

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 4 日(04.12.2014)



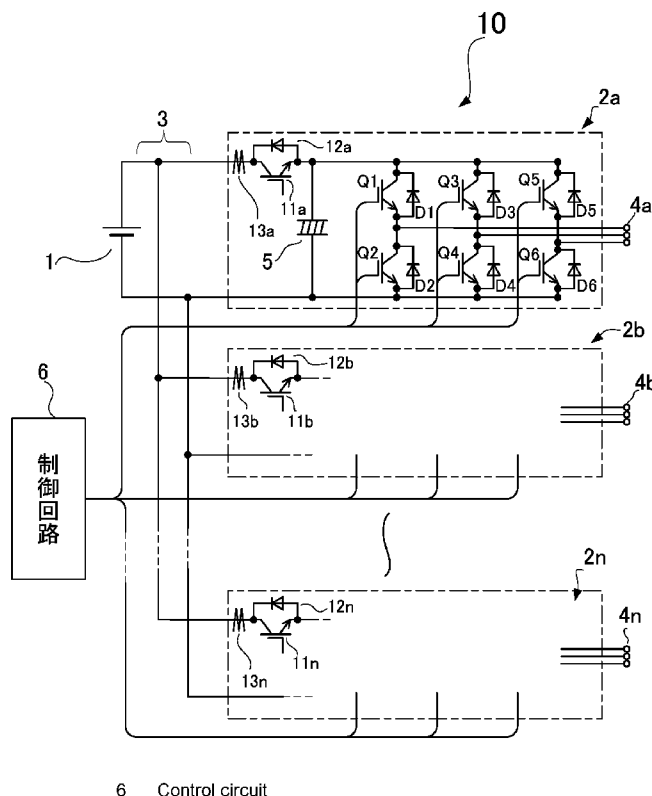
(10) 国際公開番号
WO 2014/192540 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2014/062740
- (22) 国際出願日: 2014 年 5 月 13 日(13.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-114721 2013 年 5 月 30 日(30.05.2013) JP
- (71) 出願人: 富士電機株式会社(FUJII ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 田久保 拡(TAKUBO, Hiromu); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 星野 裕司(HOSHINO, Hiroshi); 〒1130033 東京都文京区本郷三丁目 2 1 番 1 0 号 浅沼第 2 ビル 8 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



(57) Abstract: Semiconductor switching elements are individually inserted between a plurality of power conversion units provided in parallel with each other through a DC link portion and a DC power supply unit for supplying DC power to each of the power conversion units and limit DC powers supplied to the respective power conversion units. A control circuit monitors short-circuit current occurring in each of the power conversion units and turns off the semiconductor switching element connected to a power conversion unit in which short-circuit current has flowed to interrupt the power supplied to said power conversion unit.

(57) 要約: 直流リンク部を介して並列に設けられた複数の電力変換ユニットと、これらの電力変換ユニットにそれぞれ直流電力を供給する直流電源ユニットとの間に、前記各電力変換ユニットにそれぞれ供給される直流電力を制限する半導体スイッチ素子をそれぞれ個別に介装する。そして制御回路において前記各電力変換ユニットに生じる短絡電流をそれぞれ監視し、短絡電流が流れた電力変換ユニットに接続された前記半導体スイッチ素子をオフ制御して当該電力変換ユニットに対する電力供給を遮断する。

WO 2014/192540 A1



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は、並列に設けられた複数の電力変換ユニットの中の故障した電力変換ユニットを、前記各電力変換ユニットに直流電力を供給する直流電源ユニットから速やかに切り離して、他の健全な電力変換ユニットを継続運転することのできる電力変換装置に関する。

背景技術

[0002] 直流電源を電力源としてモータ等の大容量の交流負荷を駆動し、或いは複数台の交流負荷を並列駆動する電源装置として、複数の電力変換ユニットを並列に設けた電力変換装置が用いられる。図3はこの種の電力変換装置の概略構成図で、1は直流電源ユニットである。この直流電源ユニット1は、例えば商用交流電源を整流・平滑化するダイオード回路やバッテリー等からなる。

[0003] また2（2a～2n）は、直流リンク部3を介して前記直流電源ユニット1に接続されて並列に設けられた複数の電力変換ユニットである。これらの電力変換ユニット2（2a～2n）は、前記直流電源ユニット1から供給される直流電力をそれぞれ交流電力に変換して出力するインバータ・ユニットからなる。前記電力変換ユニット2（2a～2n）の各出力端子4（4a～4n）は、例えば並列に接続されて大容量の交流負荷に対する電力出力端子として用いられる。或いは前記複数の電力変換ユニット2（2a～2n）の各出力端子4（4a～4n）には、複数の交流負荷がそれぞれ個別に接続される。

[0004] 図3に電力変換ユニット2aの構成例を示す。前記各電力変換ユニット2（2a～2n）は、例えばIGBT等からなる6個の半導体スイッチング素子Q1～Q6を2個ずつ直列に接続して直流入力端子の正極と負極との間に介装された3組のハーフブリッジ回路を並列に備えて構成される。これらの

各半導体スイッチング素子Q 1～Q 6は、前記各ハーフブリッジ回路毎に所定の位相差で交互にオン・オフ駆動されることで該ハーフブリッジ回路に印加される直流電圧をスイッチングする。そして前記各電力変換ユニット2（2 a～2 n）は、前記ハーフブリッジ回路の midpoint である各直列接続点を前記出力端子4（4 a～4 n）に接続し、所定電圧の三相交流電力を出力するように構成される。

[0005] 尚、D 1～D 6は、前記各半導体スイッチング素子Q 1～Q 6に逆並列に接続されたフリーホイリング・ダイオードである。また5は前記電力変換ユニット2（2 a～2 n）の前記各直流入力端子間に設けられて該電力変換ユニット2（2 a～2 n）に供給される直流電圧を安定化する為のコンデンサである。そして6は前記半導体スイッチング素子Q 1～Q 6を前述したようにオン・オフ制御する制御回路である。このように構成された電力変換装置については、例えば特許文献1等に詳しく紹介されている通りである。

[0006] ところで前記特許文献1には、前記複数の電力変換ユニット2（2 a～2 n）の直流入力部に機械的接点を使用したスイッチ7を回路開閉器としてそれぞれ設けている。さらに前記特許文献1は、前記直流電源ユニット1との間の直流リンク部3にそれぞれ直流リアクトル8を介装することが開示されている。前記スイッチ7は、前記複数の電力変換ユニット2（2 a～2 n）のいずれかに短絡等の故障が生じたとき、故障した電力変換ユニット2（2 a～2 n）を前記直流電源ユニット1から切り離す。こうすることで、残された他の健全な電力変換ユニット2（2 a～2 n）だけを運転することができる。

[0007] しかし故障した電力変換ユニット2（2 a～2 n）が前記スイッチ7により切り離されるまでの間、当該故障した電力変換ユニット2（2 a～2 n）の短絡点に他の健全な電力変換ユニット2（2 a～2 n）から過大な電流が流れ込む。するとこの過大な電流の流れ込みによって他の健全な電力変換ユニット2（2 a～2 n）が過電流状態に陥る虞がある。前記直流リアクトル8は、このような短絡故障の発生時に他の健全な電力変換ユニット2（2 a

～2 n) に流れる電流の立上りを制限することで、これらの健全な電力変換ユニット2 (2 a～2 n) が過電流状態に陥ることを防止する役割を担う。

先行技術文献

特許文献

[0008] 特許文献1：特許第4 7 2 6 6 2 4 号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら前記直流リンク部3に前記直流リアクトル8をそれぞれ介装した場合、前記各電力変換ユニット2 (2 a～2 n) の応答特性が悪くなることが否めない。換言すれば前記各電力変換ユニット2 (2 a～2 n) の正常動作時における入力直流電圧の変動に対する応答性が悪くなる。しかも前記スイッチ7の動作応答遅れは一般的には数ミリ秒オーダーであり、短絡故障に対する応答性が高いとは言い難い。

[0010] 本発明はこのような事情を考慮してなされたもので、その目的は、並列に設けられた複数の電力変換ユニットの中の故障した電力変換ユニットを直流電源ユニットから速やかに切り離し、他の健全な電力変換ユニットを継続運転することのできる簡易な構成で応答性の高い電力変換装置を提供することにある。

課題を解決するための手段

[0011] 上述した目的を達成するべく本発明に係る電力変換装置は、直流電源ユニットと、直流リンク部を介して並列に設けられて前記直流電源ユニットから給電される直流電力をそれぞれ交流電力に変換して出力する複数の電力変換ユニットとを備えたものである。

特に本発明に係る電力変換装置は、前記各電力変換ユニットと前記直流電源ユニットとの間に、前記各電力変換ユニットに給電される電力を制限する複数の半導体スイッチ素子をそれぞれ個別に介装すると共に、前記各電力変換ユニットに生じる短絡電流をそれぞれ監視する制御回路により、短絡電流

が流れた電力変換ユニットに接続された前記半導体スイッチ素子をオフ制御して当該電力変換ユニットに対する電力供給を遮断するように構成したことを特徴としている。

[0012] ちなみに前記制御回路は、例えば次のような電流を検出して前記半導体スイッチ素子をオフ制御するように構成される。前記直流電源ユニットから前記電力変換ユニットに供給される電流、または前記電力変換ユニットの主体部を構成する半導体スイッチング素子に流れる電流、若しくは前記半導体スイッチング素子に印加される直流電圧の低下から該電力変換ユニットの短絡故障に伴う短絡電流。

[0013] 尚、前記直流電源ユニットは、例えばＩＧＢＴやＭＯＳ－ＦＥＴ等の半導体スイッチング素子を用いて所定の直流電圧を生成する電圧制御型のＰＷＭコンバータ等からなる。また前記複数の電力変換ユニットのそれぞれは、例えば三相交流電力を生成するインバータ・ユニットからなる。更に前記半導体スイッチ素子は、例えばダイオードを逆並列に接続したＩＧＢＴ、または双方向に電流を流し得る逆導通ＩＧＢＴからなる。そして前記半導体スイッチ素子は、前記各電力変換ユニットにおける直流入力部の正極側および負極側の少なくとも一方に介装される。

発明の効果

[0014] 上記構成の電力変換装置によれば、前記各電力変換ユニットと前記直流電源ユニットとの間に介装された半導体スイッチ素子の素子特性自体を有効に活用して、前記各電力変換ユニットにそれぞれ給電される電力、特に電流を制限することができる。従って前記各電力変換ユニットを構成する半導体スイッチング素子に、不本意に過電流が流れることを効果的に阻止することができる。

[0015] その上で前記電力変換ユニットに短絡故障が発生した場合には、前記制御回路の制御の下で当該故障が生じた電力変換ユニットに接続された前記半導体スイッチ素子をオフ制御することで、該電力変換ユニットを前記直流電源ユニットから速やかに切り離すことができる。しかも前記半導体スイッチ素

子の応答遅延は一般的に数マイクロ秒オーダーなので、従来一般的な機械的接点を使用したスイッチを回路開閉器として用いる場合に比較して十分高速に、前記故障が生じた電力変換ユニットを前記直流電源ユニットから切り離すことができる。

[0016] 従って本発明に係る電力変換装置によれば、前記各電力変換ユニットの直流入力部にそれぞれ直流リアクトルを介装した従来装置のように、正常時における前記各電力変換ユニットの動作応答遅れの問題を招来することがない。しかも直流リアクトルを必要としないので、そのインダクタンスを調整する必要がなく、前記各電力変換ユニットの動作応答性を十分に速くすることができる。

[0017] また前記各電力変換ユニットにおける短絡電流の検出時には前記半導体スイッチ素子をオフ制御するだけで、短絡故障が生じた電力変換ユニットを前記直流電源ユニットから速やかに切り離すことができる。従って他の健全な電力変換ユニットを、前述した過電流の問題を招来することなしに安定に継続して運転することが可能となる。故に電流制限機能と直流リンク回路の切り離し機能とを持たせた半導体スイッチ素子を用いることで、電力変換装置の全体構成の簡素化を図りながらその動作特性を保証し、健全な電力変換ユニットの継続運転を可能とする等の実用上多大なる効果が奏せられる。

図面の簡単な説明

[0018] [図1]本発明の一実施形態に係る電力変換装置の要部概略構成図。

[図2]本発明の他の実施形態に係る電力変換装置の要部概略構成図。

[図3]従来の電力変換装置の要部概略構成図。

発明を実施するための形態

[0019] 以下、図面を参照して本発明の実施形態に係る電力変換装置について説明する。

[0020] 図1は本発明の一実施形態に係る電力変換装置10の要部概略構成を示す図で、図3に示した従来の電力変換装置と同一部分には同一符号を付して示してある。尚、これらの同一符号を付して示した構成要素については、その

繰り返し説明を省略する。またこの実施形態における前記直流電源ユニット 1 は、例えば IGBT や MOS-FET 等の半導体スイッチング素子を用いて直流入力電圧をスイッチングし、所定の直流出力電圧を生成する電圧制御型の PWM コンバータ等として実現される。

[0021] さてこの実施形態に係る電力変換装置 10 が特徴とするところは、並列に設けられた前記複数の電力変換ユニット 2 (2a~2n) の各直流入力部に、例えば IGBT からなる半導体スイッチ素子 11 (11a~11n) を回路開閉器としてそれぞれ直列に介装した点にある。これらの各半導体スイッチ素子 11 (11a~11n) には、ダイオード 12 (12a~12n) が逆並列に接続されている。これらのダイオード 12 (12a~12n) は、前述したスイッチング素子 Q1~Q6 のスイッチング動作遅れや、前記電力変換ユニット 2 (2a~2n) の構成部品のバラツキ等に起因して直流電力に重畳する交流の横流成分を流す役割を担う。

[0022] 尚、ここでは前記電力変換ユニット 2 (2a~2n) の各直流入力部における正極側に前記半導体スイッチ素子 11 (11a~11n) をそれぞれ直列に介装した例について示している。しかしながら前記電力変換ユニット 2 (2a~2n) の前記各直流入力部における負極側に前記半導体スイッチ素子 11 (11a~11n) をそれぞれ直列に介装しても良いことは言うまでもない。また前記半導体スイッチ素子 11 (11a~11n) として双方向に電流を流し得る逆導通 IGBT を用いることも可能である。

[0023] ちなみに前記半導体スイッチ素子 11 (11a~11n) は、前記各電力変換ユニット 2 (2a~2n) に異常がないとき、つまり前記各電力変換ユニット 2 (2a~2n) が正常に動作している場合には、前記制御回路 6 の制御の下でそれぞれオン制御される。従って前記直流電源ユニット 1 から前記直流リンク部 3 を介して供給される直流電力は、前記各半導体スイッチ素子 11 (11a~11n) をそれぞれ介して前記各電力変換ユニット 2 (2a~2n) に加えられる。

[0024] このようにオン制御された前記半導体スイッチ素子 11 (11a~11n)

）を介して前記各電力変換ユニット 2（2 a～2 n）に流れ込む直流電流は、該半導体スイッチ素子 1 1（1 1 a～1 1 n）の素子特性に応じてその最大電流が制限される。従って前記各電力変換ユニット 2（2 a～2 n）の主体部を構成する前述した各ハーフブリッジ回路にそれぞれ加えられる直流電力が制限される。従って前記各ハーフブリッジ回路を構成する前述した半導体スイッチング素子 Q 1～Q 6 に短絡等の異常が発生しない限り、前記各ハーフブリッジ回路に過電流が流れることがない。

[0025] ところで前記半導体スイッチング素子 Q 1～Q 6 が短絡する等の異常が発生したとき、その電力変換ユニット 2（2 a～2 n）の直流入力部に設けられた前記コンデンサ 5 の端子電圧、いわゆる直流リンク電圧が低下する。そして上記端子電圧の低下に伴って前記直流電源ユニット 1 から当該電力変換ユニット 2（2 a～2 n）に電流値が異常に大きい短絡電流が流れ込む。前記制御回路 6 は、このような短絡電流の発生を、例えば前記直流入力部に設けた電流検出器 1 3（1 3 a～1 3 n）を介して監視している。

[0026] そして前記制御回路 6 は短絡電流が検出されたとき、当該短絡電流が検出された電力変換ユニット 2（2 a～2 n）における前記半導体スイッチ素子 1 1（1 1 a～1 1 n）をオフ制御する。これによって前記制御回路 6 は前記直流電源ユニット 1 から当該電力変換ユニット 2（2 a～2 n）に供給される直流電力を遮断する。この半導体スイッチ素子 1 1（1 1 a～1 1 n）のオフ制御により、当該短絡故障が発生した電力変換ユニット 2（2 a～2 n）が前記直流電源ユニット 1 から切り離される。この直流電源ユニット 1 からの前記電力変換ユニット 2（2 a～2 n）の切り離しは前記半導体スイッチ素子 1 1（1 1 a～1 1 n）の素子特性に依存し、例えば数マイクロ秒オーダーの応答遅れだけで速やかに実行される。

[0027] 従って前記短絡故障に起因して他の健全な電力変換ユニット 2（2 a～2 n）に前述した異常な電流が流れ込む前に、前記短絡故障が発生した電力変換ユニット 2（2 a～2 n）が切り離される。故に前記他の健全な電力変換ユニット 2（2 a～2 n）に、上記短絡故障に起因する過電流が流れ込むこ

とがない。また仮に前記他の健全な電力変換ユニット 2 (2 a ~ 2 n) に、上記短絡故障に起因する過電流が流れ込もうとしても、前述した半導体スイッチ素子 1 1 (1 1 a ~ 1 1 n) による電流制限が作用する。こうして当該健全な電力変換ユニット 2 (2 a ~ 2 n) における過電流の発生が未然に防がれる。故に、短絡故障が生じた電力変換ユニット 2 (2 a ~ 2 n) を切り離し、残された他の健全な電力変換ユニット 2 (2 a ~ 2 n) を継続して安定に運転することが可能となる。

[0028] 特に上述した構成の電力変換装置 1 0 によれば、前記半導体スイッチ素子 1 1 (1 1 a ~ 1 1 n) を用いて前記各電力変換ユニット 2 (2 a ~ 2 n) に流れ込む直流電流 (直流電力) を制限することができる。それと同時に上述した構成の電力変換装置 1 0 は、短絡電流の検出時には前記半導体スイッチ素子 1 1 (1 1 a ~ 1 1 n) を用いて短絡故障が発生した電力変換ユニット 2 (2 a ~ 2 n) を前記直流電源ユニット 1 から速やかに切り離すことができる。従ってその構成が簡単であり、正常動作時における前記各電力変換ユニット 2 (2 a ~ 2 n) の動作応答特性を犠牲にすることもない等の優れた利点がある。

[0029] ところで前記各電力変換ユニット 2 (2 a ~ 2 n) の主体部が、例えば図 2 に示すように 3 レベル・インバータにより構成される場合、次のような構成が好ましい。前記電力変換ユニット 2 (2 a ~ 2 n) の各直流入力部における正極側に前記半導体スイッチ素子 1 1 (1 1 a ~ 1 1 n) をそれぞれ直列に介装することに加えて、前記各直流入力部における負極側にも前記半導体スイッチ素子 1 4 (1 4 a ~ 1 4 n) をそれぞれ直列に介装する構成である。ここで前記 3 レベル・インバータは、中性点クランプ・インバータとも称される。

[0030] 即ち、3 レベル・インバータは、概略的には前記直流電源ユニット 1 からその直流出力電圧を 2 分割した中間点電圧と前述した正極電圧および負極電圧とを入力し、これらの各電圧間でその直流電圧をそれぞれスイッチングする。そして上記各電圧間でスイッチングして求められる出力電圧を合成する

ことで、図 1 に示したインバータよりも、より正弦波に近い交流電力を生成するものである。この 3 レベル・インバータについては、例えば特開 2011-193646 号公報等に詳しく紹介される通りである。

[0031] 尚、図 2 において 15 (15a~15n) は、前記各半導体スイッチ素子 14 (14a~14n) にそれぞれ逆並列に接続されたダイオードである。また 16 (16a~16n) は前記各半導体スイッチ素子 14 (14a~14n) にそれぞれ流れる電流を検出する電流検出器である。更に 17a, 17b, 17c は、前記 3 レベル・インバータにおける前記各ハーフブリッジ回路の直列接続点の電位を制御する為の双方向スイッチを示している。

[0032] また図 2 では、前記 3 レベル・インバータに与える前記中間点電圧を出力するように前記直流電源ユニット 1 を、 $1/2$ の直流電圧を出力する直流電源 1a, 1b として等価的に示している。更に前記 3 レベル・インバータでは、前記正極電圧と前記中間電圧点との間、および前記中間電圧点と前記負極電圧点との間にそれぞれ介装される 2 つのコンデンサ 5a, 5b が用いられる。

[0033] 従ってこのような 3 レベル・インバータを主体部として前記電力変換ユニット 2 (2a~2n) が構成される場合には、図 2 に示すように前記電力変換ユニット 2 (2a~2n) の各直流入力部における正極側および負極側にそれぞれ前記半導体スイッチ素子 11 (11a~11n), 14 (14a~14n) を設ける。そして前記各ハーフブリッジ回路における上アーム側または下アーム側の短絡故障に応じて前記正極側の半導体スイッチ素子 11 (11a~11n)、または負極側の半導体スイッチ素子 14 (14a~14n) をオフ制御する。そして前記電力変換ユニット 2 (2a~2n) を、前記直流電源ユニット 1 における直流電源 1a, 1b からそれぞれ切り離すようにすれば良い。

[0034] この際、短絡故障が発生した電力変換ユニット 2 (2a~2n) を前記直流電源ユニット 1 における直流電源 1a, 1b の一方から切り離すと同時に、前記制御回路 6 の制御の下で当該電力変換ユニット 2 (2a~2n) を他方

の直流電源 1 a, 1 b からも切り離すことが望ましい。このようにすれば短絡故障が発生した電力変換ユニット 2 (2 a ~ 2 n) を前記直流電源ユニット 1 から完全に切り離すことが可能となる。そして前述した実施形態と同様に、他の健全な電力変換ユニット 2 (2 a ~ 2 n) を継続して安定に運転することが可能となる。

[0035] 尚、本発明は上述した実施形態に限定されるものではない。例えば前記電力変換ユニット 2 (2 a ~ 2 n) の電力容量にもよるが、前記半導体スイッチ素子 1 1 (1 1 a ~ 1 1 n), 1 4 (1 4 a ~ 1 4 n) として MOS-FET やバイポーラ・トランジスタを用いることも可能である。さらに SiC (シリコンカーバイド) 素子を使ったスイッチング素子を用いることも勿論可能である。また前記各実施形態では前記電力変換ユニット 2 (2 a ~ 2 n) の直流入力部に設けた電流検出器 1 3 (1 3 a ~ 1 3 n), 1 6 (1 6 a ~ 1 6 n) にて該電力変換ユニット 2 (2 a ~ 2 n) に流れ込む電流から短絡電流を検出した。

[0036] しかし前記半導体スイッチング素子 Q 1 ~ Q 6 として電流センス端子を備えた IGBT を用いるような場合には、該電流センス端子から前記半導体スイッチング素子 Q 1 ~ Q 6 に流れる電流を直接的に検出して短絡電流の発生を監視することも可能である。或いは前記半導体スイッチング素子 Q 1 ~ Q 6 に印加される直流電圧、例えば IGBT のコレクタ電圧から、当該半導体スイッチング素子 Q 1 ~ Q 6 の短絡を検出することも可能である。

[0037] また本発明は三相交流電力を生成する電力変換ユニット 2 (2 a ~ 2 n) のみならず、単相交流電力を生成する電力変換ユニット 2 (2 a ~ 2 n) や、その他の電力変換回路を並列に設けた電力変換装置にも同様に適用可能である。また各実施形態においては前記制御回路 6 において前記各電力変換ユニット 2 (2 a ~ 2 n) の短絡を検出して前記半導体スイッチ素子 1 1 (1 1 a ~ 1 1 n), 1 4 (1 4 a ~ 1 4 n) をオン・オフ制御するものとして説明した。しかしこの短絡検出による前記半導体スイッチ素子 1 1 (1 1 a ~ 1 1 n), 1 4 (1 4 a ~ 1 4 n) のオン・オフ制御機能を、前記各電力変換

ユニット 2 (2 a ~ 2 n) 毎に個別に設けることも可能である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

符号の説明

- [0038] 1 直流電源ユニット
- 1 a, 1 b 直流電源
- 2 (2 a ~ 2 n) 電力変換ユニット
- 3 直流リンク部
- 5, 5 a, 5 b コンデンサ
- 6 制御回路
- 10 電力変換装置
- 11 (11 a ~ 11 n) 半導体スイッチ素子
- 12 (12 a ~ 12 n) ダイオード
- 13 (13 a ~ 13 n) 電流検出器
- 14 (14 a ~ 14 n) 半導体スイッチ素子
- 15 (15 a ~ 15 n) ダイオード
- 16 (16 a ~ 16 n) 電流検出器
- 17 a, 17 b, 17 c 双方向スイッチ
- Q1 ~ Q6 半導体スイッチング素子
- D1 ~ D6 フリーホイリング・ダイオード

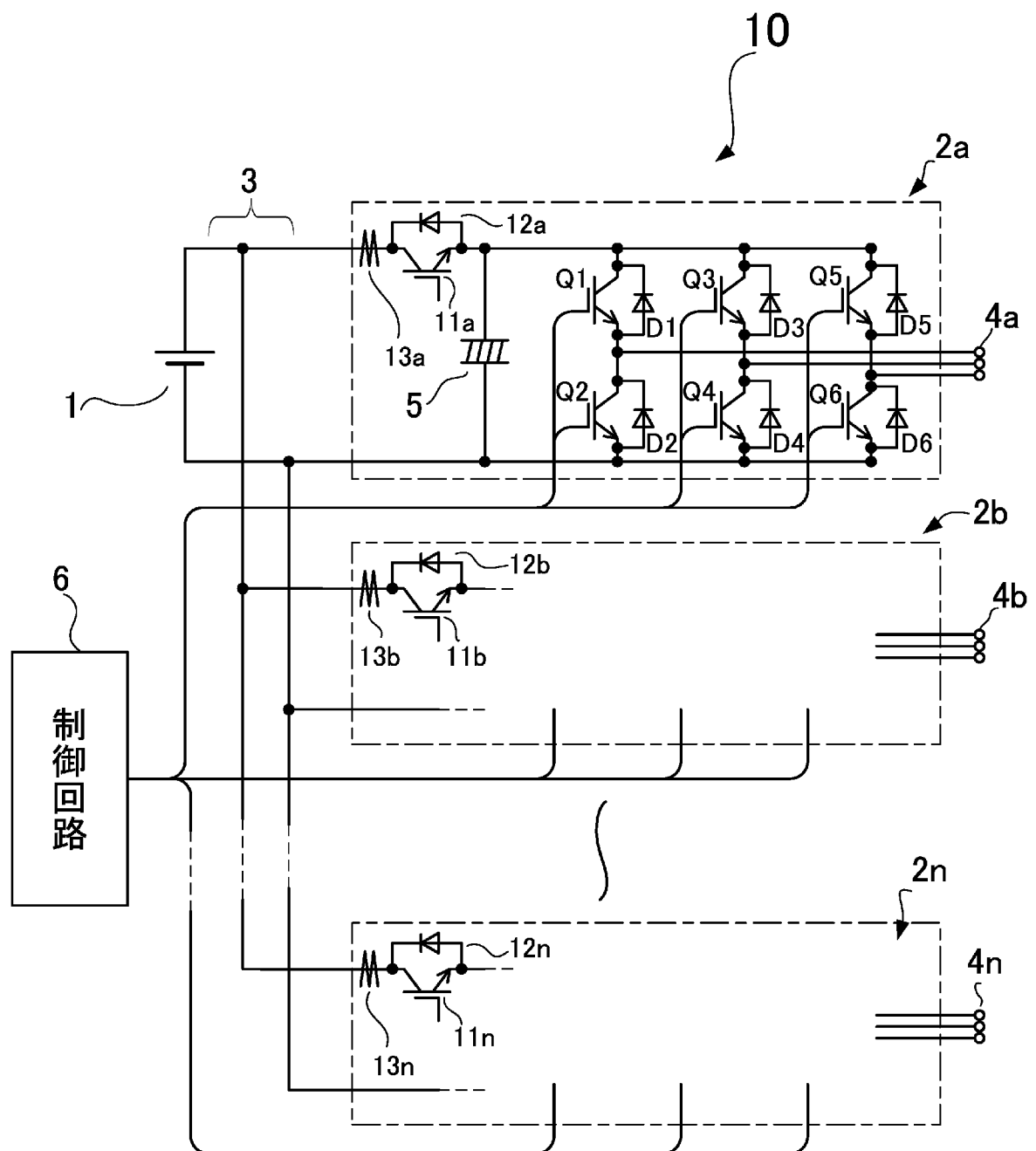
請求の範囲

- [請求項1] 直流電源ユニットと、
 直流リンク部を介して並列に設けられて前記直流電源ユニットから
 給電される直流電力をそれぞれ交流電力に変換して出力する複数の電
 力変換ユニットと、
 これらの各電力変換ユニットと前記直流電源ユニットとの間にそれ
 ぞれ個別に介装されて前記各電力変換ユニットに給電される電力を制
 限する複数の半導体スイッチ素子と、
 前記各電力変換ユニットに生じる短絡電流をそれぞれ監視し、短絡
 電流が流れた電力変換ユニットに接続された前記半導体スイッチ素子
 をオフ制御して当該電力変換ユニットに対する電力供給を遮断する制
 御回路と
 を具備したことを特徴とする電力変換装置。
- [請求項2] 前記制御回路は、前記直流電源ユニットから前記電力変換ユニット
 に供給される電流、前記電力変換ユニットの主体部を構成する半導体
 スイッチング素子に流れる電流、または前記半導体スイッチング素子
 に印加される直流電圧の低下から該電力変換ユニットの短絡電流を検
 出して前記半導体スイッチ素子をオフ制御する請求項1に記載の電力
 変換装置。
- [請求項3] 前記複数の電力変換ユニットは、それぞれ三相交流電力を生成する
 インバータ・ユニットである請求項1に記載の電力変換装置。
- [請求項4] 前記半導体スイッチ素子は、前記各電力変換ユニットにおける直流
 入力部の正極側および負極側の少なくとも一方に介装される請求項1
 に記載の電力変換装置。
- [請求項5] 前記半導体スイッチ素子は、ダイオードを逆並列に接続したIGBT、または双方向に電流を流し得る逆導通IGBTからなる請求項1
 に記載の電力変換装置。

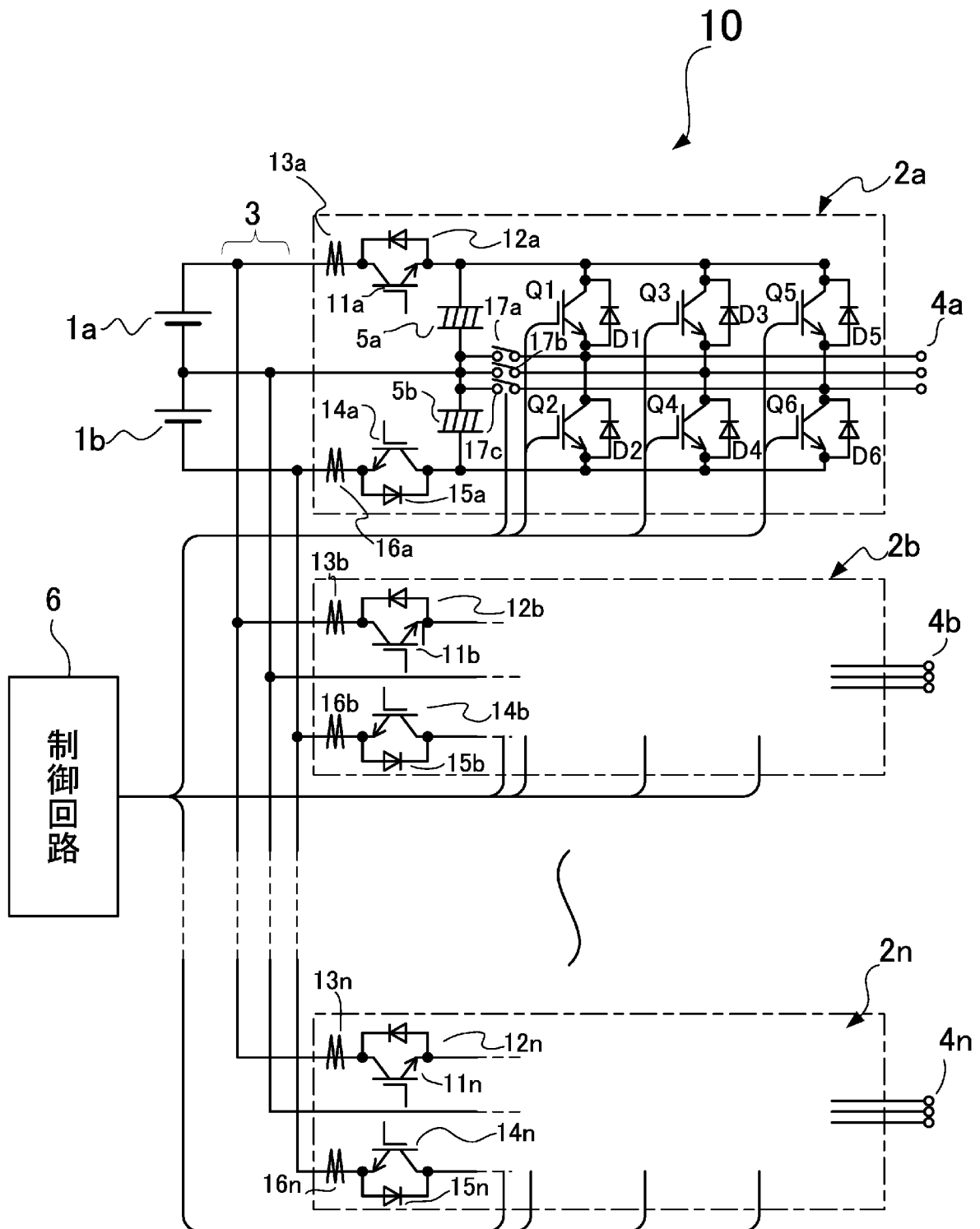
補正された請求の範囲
[2014年10月3日(03.10.2014)国際事務局受理]

- [請求項1] (補正後) 直流電源ユニットと、
 直流リンク部を介して並列に設けられて前記直流電源ユニットから
 給電される直流電力をそれぞれ交流電力に変換して出力する複数の電
 力変換ユニットと、
 これらの各電力変換ユニットと前記直流電源ユニットとの間にそれ
 ぞれ個別に介装されて前記各電力変換ユニットに給電される電力を制
 限または遮断する複数の半導体スイッチ素子と、
 前記各電力変換ユニットに生じる短絡電流をそれぞれ監視し、短絡
 電流が流れた電力変換ユニットに接続された前記半導体スイッチ素子
 をオフ制御して当該電力変換ユニットに対する電力供給を遮断する制
 御回路と
 を具備したことを特徴とする電力変換装置。
- [請求項2] 前記制御回路は、前記直流電源ユニットから前記電力変換ユニット
 に供給される電流、前記電力変換ユニットの主体部を構成する半導体
 スイッチング素子に流れる電流、または前記半導体スイッチング素子
 に印加される直流電圧の低下から該電力変換ユニットの短絡電流を検
 出して前記半導体スイッチ素子をオフ制御する請求項1に記載の電力
 変換装置。
- [請求項3] 前記複数の電力変換ユニットは、それぞれ三相交流電力を生成する
 インバータ・ユニットである請求項1に記載の電力変換装置。
- [請求項4] 前記半導体スイッチ素子は、前記各電力変換ユニットにおける直流
 入力部の正極側および負極側の少なくとも一方に介装される請求項1
 に記載の電力変換装置。
- [請求項5] 前記半導体スイッチ素子は、ダイオードを逆並列に接続したIGBT、
 または双方向に電流を流し得る逆導通IGBTからなる請求項1
 に記載の電力変換装置。

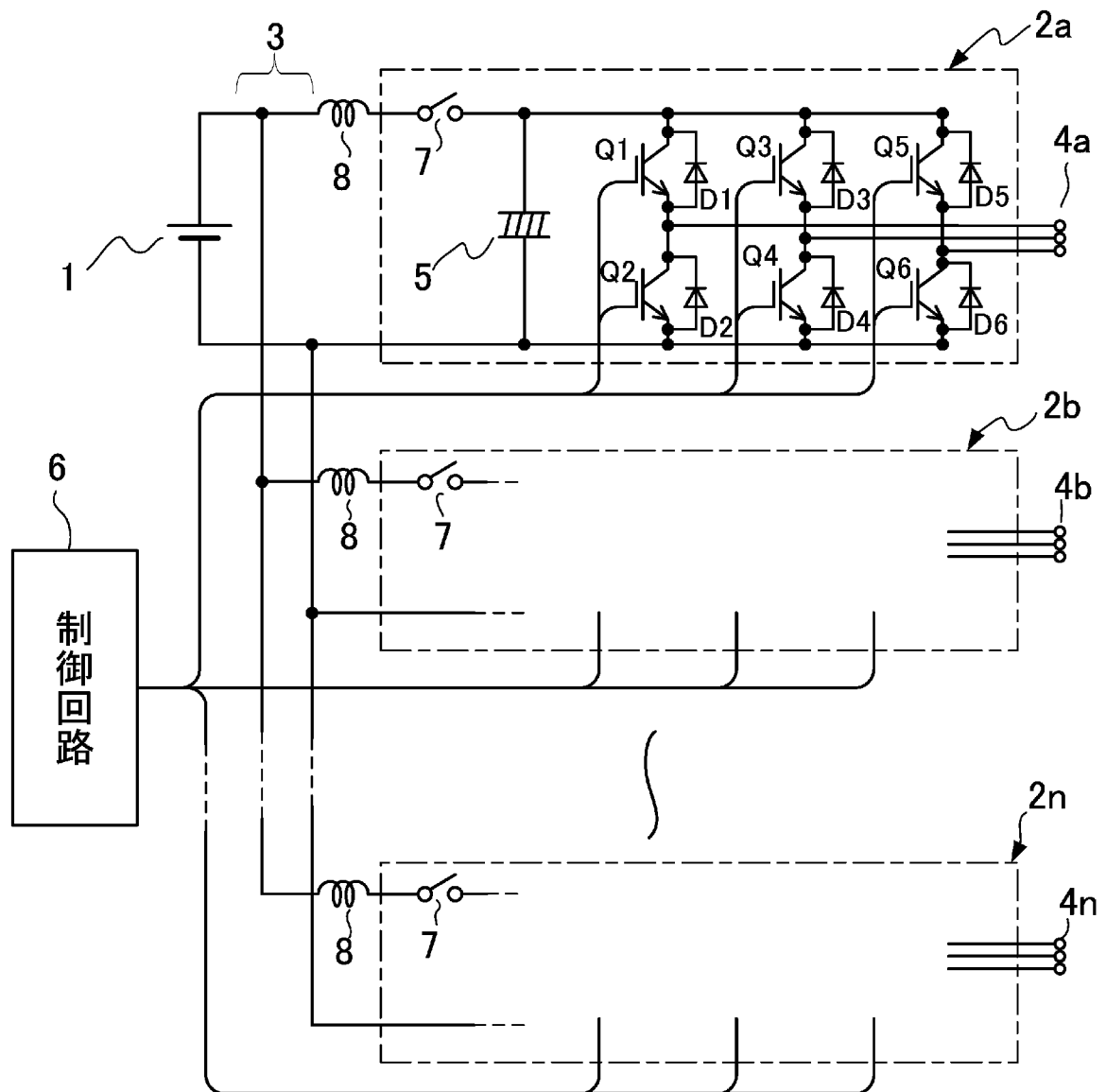
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062740

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 62-110481 A (Fuji Electric Co., Ltd.), 21 May 1987 (21.05.1987), page 2, lower right column, lines 12 to 18; fig. 2 (Family: none)	1-5
Y	JP 52-115323 A (Tokyo Shibaura Electric Co., Ltd.), 27 September 1977 (27.09.1977), page 2, lower left column, line 15 to page 3, upper left column, line 19; fig. 2 to 4 (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 July, 2014 (28.07.14)

Date of mailing of the international search report

05 August, 2014 (05.08.14)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062740

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 57-135684 A (Tokyo Shibaura Electric Co., Ltd.), 21 August 1982 (21.08.1982), page 2, lower right column, lines 3 to 14 (Family: none)	1-5
A	JP 4726624 B2 (Toshiba Mitsubishi-Electric Industrial Systems Corp.), 20 July 2011 (20.07.2011), paragraph [0015]; fig. 1 (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02M7/48(2007.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02M7/48			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 62-110481 A（富士電機株式会社）1987.05.21, 第2ページ右下欄第12-18行, 第2図（ファミリーなし）	1-5	
Y	JP 52-115323 A（東京芝浦電気株式会社）1977.09.27, 第2ページ左下欄第15行-第3ページ左上欄第19行, 第2-4図（ファミリーなし）	1-5	
A	JP 57-135684 A（東京芝浦電気株式会社）1982.08.21, 第2ページ右下欄第3-14行（ファミリーなし）	1-5	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 28.07.2014		国際調査報告の発送日 05.08.2014	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 西山 智宏 電話番号 03-3581-1101 内線 3357	3V 3112

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4726624 B2 (東芝三菱電機産業システム株式会社) 2011. 07. 20, 【0015】, 第 1 図 (ファミリーなし)	1 - 5