

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-196674

(P2013-196674A)

(43) 公開日 平成25年9月30日(2013.9.30)

(51) Int.Cl. F I テーマコード (参考)  
**G06F 12/16 (2006.01)** G06F 12/16 310J 5B018  
 G06F 12/16 310C

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号 特願2012-66736 (P2012-66736)  
 (22) 出願日 平成24年3月23日 (2012. 3. 23)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (72) 発明者 松永 直記  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 飯塚 篤史  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 Fターム(参考) 5B018 GA04 HA03 NA06

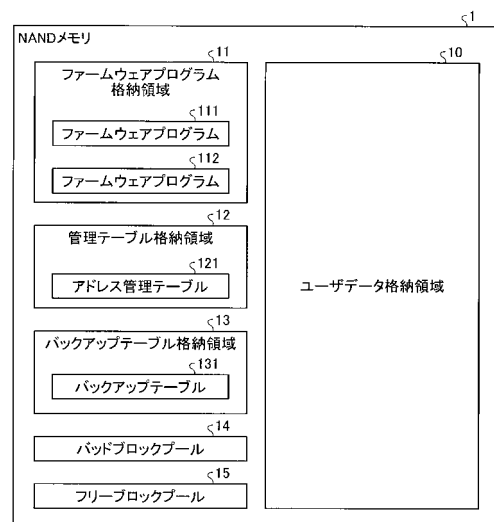
(54) 【発明の名称】 メモリシステムおよび多重化方法

(57) 【要約】

【課題】信頼性を向上させること。

【解決手段】本発明の一つの実施形態によれば、メモリシステムは、不揮発性の第1メモリと、揮発性の第2メモリと、退避部とを備えている。前記第1メモリは、不良ブロックと良ブロックとを具備し、第1の良ブロックにホスト装置からのユーザデータを記憶する。前記第2メモリは、前記ホスト装置が前記ユーザデータの書き込み先の指定に用いる論理アドレスと前記第1の良ブロックの物理アドレスとの間の対応付けを記述したアドレス管理テーブルを記憶する。前記退避部は、所定のタイミングで前記アドレス管理テーブルを前記第2メモリから読み出して、前記読み出したアドレス管理テーブルを前記第1の良ブロックとは異なる第2の良ブロックに退避するとともに、当該退避対象のアドレス管理テーブルの複製データを前記不良ブロックに書き込む。

【選択図】 図4



**【特許請求の範囲】****【請求項 1】**

不良ブロックと良ブロックとを具備し、第 1 の良ブロックにホスト装置からのユーザデータを記憶する不揮発性の第 1 メモリと、

前記ホスト装置が前記ユーザデータの書き込み先の指定に用いる論理アドレスと前記第 1 の良ブロックの物理アドレスとの間の対応付けを記述したアドレス管理テーブルを記憶する揮発性の第 2 メモリと、

前記第 2 メモリが記憶するアドレス管理テーブルを更新管理する更新部と、

所定のタイミングで前記アドレス管理テーブルを前記第 2 メモリから読み出して、前記読み出したアドレス管理テーブルを前記第 1 の良ブロックとは異なる第 2 の良ブロックに退避するとともに、当該退避対象のアドレス管理テーブルの複製データを前記不良ブロックに書き込む、退避部と、

を備えることを特徴とするメモリシステム。

**【請求項 2】**

前記退避部は、前記複製データを前記不良ブロックに書き込んだ後、当該不良ブロックに書き込まれた複製データを検証し、検証結果が不合格である場合、前記不良ブロックに書き込む前の複製データの書き込み先の不良ブロックを変更する、

ことを特徴とする請求項 1 に記載のメモリシステム。

**【請求項 3】**

前記退避部は、前記複製データを前記良ブロックのサイズよりも小さい単位サイズの構成データ毎に前記不良ブロックに書き込んで、第 1 の構成データを前記不良ブロックに書き込んだ後に当該不良ブロックに書き込まれた第 1 の構成データを検証し、検証結果が合格である場合、前記第 1 の構成データに後続する第 2 の構成データを同一の不良ブロックの後続する物理アドレスに格納し、前記検証結果が不合格である場合、当該第 1 の構成データの書き込み先の不良ブロックを変更する、

ことを特徴とする請求項 1 に記載のメモリシステム。

**【請求項 4】**

前記退避部は、前記複製データを前記良ブロックのサイズよりも小さい単位サイズの構成データ毎に前記不良ブロックに書き込んで、第 1 の構成データを前記不良ブロックに書き込んだ後に当該不良ブロックに書き込まれた第 1 の構成データを検証し、検証結果が合格である場合、前記第 1 の構成データに後続する第 2 の構成データを同一の不良ブロックの後続する物理アドレスに格納し、前記検証結果が不合格である場合、当該第 1 の構成データの書き込み先を同一の不良ブロックの後続する物理アドレスに変更する、

ことを特徴とする請求項 1 に記載のメモリシステム。

**【請求項 5】**

電源オン時に前記第 2 の良ブロックに退避されたアドレス管理テーブルを読み出して、当該読み出されたアドレス管理テーブルを前記第 2 メモリに書き込み、当該第 2 の良ブロックに退避されたアドレス管理テーブルが破損した場合、前記不良ブロックに書き込まれた複製データを読み出して、当該読み出された複製データを前記第 2 メモリに書き込む、展開部をさらに備える、

ことを特徴とする請求項 1 乃至請求項 4 の何れか一項に記載のメモリシステム。

**【請求項 6】**

前記退避部は、前記複製データを複数、前記不良ブロックに書き込み、

電源オン時に前記第 2 の良ブロックに退避されたアドレス管理テーブルを読み出して、当該読み出されたアドレス管理テーブルを前記第 2 メモリに書き込み、当該第 2 の良ブロックに退避されたアドレス管理テーブルが破損した場合、前記不良ブロックに書き込まれた複数の複製データ毎に前記複製データが含む前記破損した部分に対応する部分データを検証し、検証結果が合格である場合、前記破損した部分に替えて前記検証結果が合格である部分データを前記第 2 メモリに書き込む、展開部をさらに備える、

ことを特徴とする請求項 1 に記載のメモリシステム。

10

20

30

40

50

## 【請求項 7】

前記所定のタイミングは、電源オフ時である、ことを特徴とする請求項 1 に記載のメモリシステム。

## 【請求項 8】

不良ブロックと良ブロックとを具備し、第 1 の良ブロックにホスト装置からのユーザデータを記憶する不揮発性の第 1 メモリと、前記ホスト装置が前記ユーザデータの書き込み先の指定に用いる論理アドレスと前記第 1 の良ブロックの物理アドレスとの間の対応付けを記述したアドレス管理テーブルを記憶する揮発性の第 2 メモリと、を備えるメモリシステムの前記アドレス管理テーブルの多重化方法であって、

前記第 2 メモリが記憶するアドレス管理テーブルを更新管理する更新ステップと、

所定のタイミングで前記アドレス管理テーブルを前記第 2 メモリから読み出して、前記読み出したアドレス管理テーブルを前記第 1 の良ブロックとは異なる第 2 の良ブロックに退避する退避ステップと、

前記アドレス管理テーブルを前記第 2 の良ブロックに退避する際に、当該退避対象のアドレス管理テーブルの複製データを前記不良ブロックに書き込むバックアップステップと、

を備えることを特徴とする多重化方法。

## 【請求項 9】

電源オン時に前記第 2 の良ブロックに退避されたアドレス管理テーブルを読み出して、当該読み出されたアドレス管理テーブルを前記第 2 メモリに書き込み、前記第 2 の良ブロックに退避されたアドレス管理テーブルが破損した場合、前記不良ブロックに書き込まれた複製データを読み出して、当該読み出された複製データを前記第 2 メモリに書き込む、展開ステップ、

をさらに備えることを特徴とする多重化方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、メモリシステムおよび多重化方法に関する。

## 【背景技術】

## 【0002】

コンピュータシステムに用いられるメモリシステムとして、NAND型のメモリセルを備えるメモリチップを搭載したSSD(Solid State Drive)が注目されている。SSDは、磁気ディスク装置に比べ、高速、軽量などの利点を有している。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2008 - 198192 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

本発明の一つの実施形態は、信頼性を向上させたメモリシステム、およびメモリシステムの信頼性を向上させるための、アドレス管理テーブルの多重化方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0005】

本発明の一つの実施形態によれば、メモリシステムは、不揮発性の第 1 メモリと、揮発性の第 2 メモリと、更新部と、退避部とを備えている。前記第 1 メモリは、不良ブロックと良ブロックとを具備し、第 1 の良ブロックにホスト装置からのユーザデータを記憶する。前記第 2 メモリは、前記ホスト装置が前記ユーザデータの書き込み先の指定に用いる論理アドレスと前記第 1 の良ブロックの物理アドレスとの間の対応付けを記述したアドレス

10

20

30

40

50

管理テーブルを記憶する。前記更新部は、前記第2メモリが記憶するアドレス管理テーブルを更新管理する。前記退避部は、所定のタイミングで前記アドレス管理テーブルを前記第2メモリから読み出して、前記読み出したアドレス管理テーブルを前記第1の良ブロックとは異なる第2の良ブロックに退避するとともに、当該退避対象のアドレス管理テーブルの複製データを前記不良ブロックに書き込む。

【図面の簡単な説明】

【0006】

【図1】図1は、第1の実施形態のSSDの構成例を示す図である。

【図2】図2は、1個のブロックの構成例を示す回路図である。

【図3】図3は、1個のメモリセルトランジスタMTに2ビットの記憶を行う4値データ記憶方式でのしきい値分布の例を示している。 10

【図4】図4は、NANDメモリのメモリ構成を説明する図である。

【図5】図5は、第1の実施形態のSSDの機能構成を説明する図である。

【図6】図6は、第1の実施形態のSSDの電源オン時の動作を説明するフローチャートである。

【図7】図7は、第1の実施形態のSSDの電源オフ時の動作を説明するフローチャートである。

【図8】図8は、第1の実施形態の管理テーブル多重化処理を説明するフローチャートである。

【図9】図9は、第2の実施形態の管理テーブル多重化処理を説明するフローチャートである。 20

【図10】図10は、管理テーブル格納領域の構成例を説明する図である。

【図11】図11は、第2の実施形態のバックアップテーブル格納領域の構成例を説明する図である。

【図12】図12は、第3の実施形態の管理テーブル多重化処理を説明するフローチャートである。

【図13】図13は、第3の実施形態のバックアップテーブル格納領域の構成例を説明する図である。

【図14】図14は、第4の実施形態のバックアップテーブル格納領域の構成例を説明する図である。 30

【図15】図15は、第4の実施形態の管理テーブル多重化処理を説明するフローチャートである。

【図16】図16は、第4の実施形態のSSDの電源オン時の動作を説明するフローチャートである。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態にかかるメモリシステムおよび多重化方法を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(第1の実施形態)

図1は、第1の実施形態のSSDの構成例を示す図である。図示するように、SSD100は、パーソナルコンピュータなどのホスト装置200と所定の通信インタフェースで接続され、ホスト装置200の外部記憶装置として機能する。SSD100がホスト装置200から受信する読み出し要求や書き込み要求は、LBA(Logical Block Addressing)で定義されたアクセス対象の先頭アドレスとアクセス対象の領域の範囲を示すセクタサイズとが含まれている。なお、通信インタフェースはSATA規格に限らず、SAS(Serial Attached SCSI)、PCIe(PCI Express)など様々な通信インタフェース規格を採用することが可能である。 40

【0009】

SSD100は、NANDメモリ(第1メモリ)1と、CPU2と、ホストインタフェ 50

ース（ホストI/F）3と、DRAM（第2メモリ）4と、NANDコントローラ（NANDC）5と、ECC（Error Checking and Correcting）回路6と、を備えている。CPU2、ホストI/F3、DRAM4、NANDC5、およびECC回路6は、互いにバスで接続されている。また、NANDメモリ1は、NANDC5に接続されている。

【0010】

CPU2は、ファームウェア（後述するファームウェアプログラム111またはファームウェアプログラム112）に基づいて、SSD100全体の制御を実行する。

【0011】

DRAM4は、CPU2がSSD100を制御するためのワークエリアとして機能する揮発性メモリである。特に、DRAM4は、LBAとNANDメモリ1の物理アドレスとの対応関係を記録したアドレス管理テーブル121（後述する）が展開（格納）される。DRAM4に展開されたアドレス管理テーブル121は、LBAとNANDメモリ1の物理アドレスとの対応関係が更新される毎にCPU2によって更新される。

10

【0012】

ホストI/F3は、ホスト装置200との間の通信インタフェースの制御およびホスト装置200とDRAM4との間のデータ転送を実行する。

【0013】

NANDC5は、NANDメモリ1とDRAM4との間のデータ転送を実行する。また、NANDC5は、NANDメモリ1に対するアクセス時に発生するエラーを訂正するECC回路51を備えている。ECC回路51は、第2の訂正符号のエンコードを行い、また、第1の誤り訂正符号のエンコードおよびデコードを行う。

20

【0014】

ECC回路6は、第2の誤り訂正符号のデコードを行う。第1の誤り訂正符号、第2の誤り訂正符号は、例えば、ハミング符号、BCH（Bose Chaudhuri Hocqenghem）符号、RS（Reed Solomon）符号、或いはLDPC（Low Density Parity Check）符号等であり、第2の誤り訂正符号の訂正能力は、第1の誤り訂正符号の訂正能力よりも高いとする。

【0015】

ECC回路51が第1の誤り訂正符号のデコードでも訂正不可能なエラーを検出した場合には、ECC回路51はCPU2にその旨を通知する。通知を受けたCPU2は、ECC回路6を起動して、第2の誤り訂正符号に基づくエラー訂正を実行する。

30

【0016】

NANDメモリ1は、種々のデータを保持する記憶領域を備えている。NANDメモリ1の記憶領域は、メモリセルアレイによって構成される。このメモリセルアレイは、消去の単位となるブロックを複数備えて構成される。

【0017】

図2は、NANDメモリ1の記憶領域を構成するメモリセルアレイに含まれる1個のブロックの構成例を示す回路図である。図示するように、各ブロックは、X方向に沿って順に配列された $(m+1)$ 個のNANDストリングを備えている（ $m$ は、0以上の整数）。 $(m+1)$ 個のNANDストリングにそれぞれ含まれる選択トランジスタST1は、ドレインがビット線BL0～BLpに接続され、ゲートが選択ゲート線SGDに共通接続されている。また、選択トランジスタST2は、ソースがソース線SLに共通接続され、ゲートが選択ゲート線SGSに共通接続されている。

40

【0018】

各メモリセルトランジスタMTは、半導体基板上に形成された積層ゲート構造を備えたMOSFET（metal oxide semiconductor field effect transistor）から構成される。積層ゲート構造は、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層（浮遊ゲート電極）、及び電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲート電極を含んでいる。メモリセルトランジスタMTは、浮遊ゲート電極に蓄えられる電子の数に応じてしきい値電圧が変化し、このしきい値電圧の違いに応じてデータを記憶する

50

。メモリセルトランジスタMTは、1ビットを記憶するように構成されていてもよいし、多値(2ビット以上のデータ)を記憶するように構成されていてもよい。

【0019】

各NANDストリングにおいて、(n+1)個のメモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に、それぞれの電流経路が直列接続されるように配置されている。そして、最もドレイン側に位置するメモリセルトランジスタMTから順に、制御ゲート電極がワード線WL0~WLqにそれぞれ接続されている。従って、ワード線WL0に接続されたメモリセルトランジスタMTのドレインは選択トランジスタST1のソースに接続され、ワード線WLqに接続されたメモリセルトランジスタMTのソースは選択トランジスタST2のドレインに接続されている。

10

【0020】

ワード線WL0~WLqは、ブロック内のNANDストリング間で、メモリセルトランジスタMTの制御ゲート電極を共通に接続している。つまり、ブロック内において同一行にあるメモリセルトランジスタMTの制御ゲート電極は、同一のワード線WLに接続される。この同一のワード線WLに接続される(m+1)個のメモリセルトランジスタMTは1ページとして取り扱われ、このページごとにデータの書き込み及びデータの読み出しが行われる。

【0021】

また、ビット線BL0~BLpは、ブロック間で、選択トランジスタST1のドレインを共通に接続している。つまり、複数のブロック内において同一列にあるNANDストリングは、同一のビット線BLに接続される。

20

【0022】

なお、NANDメモリ1の記憶領域を構成するメモリセルアレイは、1つのメモリセルに2ビット以上を記憶する多値メモリ(MLC: Multi Level Cell)であってもよいし、1つのメモリセルに1ビットを記憶する二値メモリ(SLC: Single Level Cell)であってもよい。

【0023】

図3は、1個のメモリセルトランジスタMTに2ビットの記憶を行う4値データ記憶方式でのしきい値分布の例を示している。4値データ記憶方式では、上位ページデータ“x”と下位ページデータ“y”で定義される4値データ“xy”の何れか一つをメモリセルトランジスタMTに保持可能である。この、4値データ“xy”は、メモリセルトランジスタMTのしきい値電圧の順に、例えば、データ“11”、“01”、“00”、“10”が割り当てられる。データ“11”は、メモリセルトランジスタMTのしきい値電圧が負の消去状態である。

30

【0024】

下位ページ書き込み動作においては、データ“11”(消去状態)のメモリセルトランジスタMTに対して選択的に、下位ビットデータ“y”の書き込みによって、データ“10”が書き込まれる。上位ページ書き込み前のデータ“10”のしきい値分布は、上位ページ書き込み後のデータ“01”とデータ“00”のしきい値分布の中間程度に位置しており、上位ページ書き込み後のしきい値分布よりブロードであってもよい。

40

【0025】

上位ページ書き込み動作においては、データ“11”のメモリセルと、データ“10”のメモリセルに対して、それぞれ選択的に上位ビットデータ“x”の書き込みが行われて、データ“01”およびデータ“00”が書き込まれる。

【0026】

図4は、NANDメモリ1のメモリ構成を説明する図である。図示するように、NANDメモリ1は、ユーザデータ格納領域10と、ファームウェアプログラム格納領域11と、管理テーブル格納領域12と、バックアップテーブル格納領域13と、バッドブロックプール14と、フリーブロックプール15とを備えている。

50

## 【 0 0 2 7 】

ユーザデータ格納領域 1 0 は、ホスト装置 2 0 0 から書き込み要求されたデータ（ユーザデータ）が格納される領域である。ユーザデータ格納領域 1 0 は、L B A 空間上の所定の範囲が割り当てられている。なお、ファームウェアプログラム格納領域 1 1、管理テーブル格納領域 1 2、バックアップテーブル格納領域 1 3、バッドブロックプール 1 4、およびフリーブロックプール 1 5 は、L B A が割り当てられない。

## 【 0 0 2 8 】

ファームウェアプログラム格納領域 1 1 は、ファームウェアプログラム 1 1 1 とそのバックアップデータであるファームウェアプログラム 1 1 2 とが格納される。C P U 2 は、起動時にファームウェアプログラム 1 1 1 を読み出して使用する。ファームウェアプログラム 1 1 1 に訂正不可能なエラーが存在する場合には、C P U 2 は、ファームウェアプログラム 1 1 2 を読み出して使用する。

## 【 0 0 2 9 】

管理テーブル格納領域 1 2 は、アドレス管理テーブル 1 2 1 を記憶する領域である。

## 【 0 0 3 0 】

N A N D メモリ 1 への書き込み方式として、例えば以下に述べる方式が採用される。まず、書き込みの前に、ブロック内の無効データを消去する必要がある。すなわち、消去済みのブロックのうち書き込みがまだ行われていないページに対して順次書き込みが可能であり、既に書き込みが行なわれたページに対する上書きが不可能である。また、上述のように、ホスト装置 2 0 0 から要求される書き込み番地は、ホスト装置 2 0 0 で用いられる論理アドレスである L B A で指定される。一方、N A N D メモリ 1 へのデータの書き込み番地は、N A N D メモリ 1 の物理的な記憶位置（物理アドレス）に基づいて、ページの昇順に書き込みが行なわれる。即ち、物理アドレスは論理アドレスとは無関係に決定される。決定された論理アドレスと物理アドレスとの対応関係は、D R A M 4 にロードされたアドレス管理テーブル 1 2 1 に記録される。そして、データの書き込み要求において指定された論理アドレスが再度指定されて新たなデータの書き込みがホストから要求されると、C P U 2 は、消去済みのブロックのうちの書き込みがまだ行われていないページに対して新たなデータの書き込みを行う。このとき、C P U 2 は、当該論理アドレスに対応して前回書き込みが行われたページを無効にして、新たなデータの書き込みが行われたページを有効にする。D R A M 4 上のアドレス管理テーブル 1 2 1 は、所定のタイミング（ここでは電源オフ時とする）にフリーブロックに書き込まれ不揮発化される。

## 【 0 0 3 1 】

フリーブロックプール 1 5 は、有効データを含まないブロックであるフリーブロックの集合である。フリーブロックプール 1 5 に登録されているフリーブロックは、L B A が割り振られていないフリーブロック（第 2 の良ブロック）である。また、バッドブロックプール 1 4 は、C P U 2 によって使用不可の判定がなされたブロックであるバッドブロック（不良ブロック）の集合である。

## 【 0 0 3 2 】

C P U 2 は、例えば、読み出しエラー、消去エラー、またはプログラムエラーなどが発生したときにこれらのエラーが発生したブロックをバッドブロックとしてバッドブロックプール 1 4 に登録する。なお、ユーザデータ格納領域 1 0 を構成するブロック（第 1 の良ブロック）がバッドブロックとなって当該バッドブロックがバッドブロックプール 1 4 に追加されたとき、バッドブロックプール 1 4 に追加されたブロック数と同数のフリーブロックがフリーブロックプール 1 5 から取り出されてユーザデータ格納領域 1 0 に追加される。これにより、ユーザデータ格納領域 1 0 は、ユーザデータ格納領域 1 0 を構成するブロックのいくつかがバッドブロックとなっても常に同じサイズを維持することができる。即ち、ホスト装置 2 0 0 に対して、常に同一の容量のユーザデータ格納領域 1 0 を提供することができる。フリーブロックプール 1 5 に登録されているフリーブロックが枯渇したとき、ホスト装置 2 0 0 に対して常に同一の容量のユーザデータ格納領域 1 0 を提供することができなくなるので、S S D 1 0 0 は使用不可となる。

10

20

30

40

50

## 【 0 0 3 3 】

なお、D R A M 4 上のアドレス管理テーブル 1 2 1 が不揮発化される時、フリーブロックプール 1 5 に登録されているフリーブロックに当該アドレス管理テーブル 1 2 1 が格納され、そのフリーブロックは管理テーブル格納領域 1 2 となる。アドレス管理テーブル 1 2 1 が新規にフリーブロックに書き込まれたとき、それまで管理テーブル格納領域 1 2 としてアドレス管理テーブル 1 2 1 を保持していたブロックは、保持しているアドレス管理テーブル 1 2 1 が無効化され、フリーブロックプール 1 5 に戻される。なお、フリーブロックプール 1 5 に登録されているフリーブロックは、ウェアレベリングやガベージコレクションにより、ユーザデータ格納領域 1 0 に追加されたりユーザデータ格納領域 1 0 から削除されてフリーブロックプール 1 5 に追加されたりしてもよい。

10

## 【 0 0 3 4 】

バックアップテーブル格納領域 1 3 は、バッドブロックにより構成され、アドレス管理テーブル 1 2 1 のバックアップデータであるバックアップテーブル 1 3 1 が格納される。

## 【 0 0 3 5 】

例えば、データリテンションが進行したことによって読み出しエラーが発生したり、プログラムディスターブの影響を受けて読み出しエラーが発生したりしたことでバッドブロックとされたブロックは、実際にはメモリセルアレイの健全性は損なわれていないため、内部に保持するデータを消去されることで再利用されることが可能である。本発明の第 1 の実施形態の S S D 1 0 0 は、バッドブロックのうちの再利用可能なブロックに管理データを多重化して記憶するようにしているので、管理データの破損により S S D 1 0 0 が起

20

## 【 0 0 3 6 】

図 5 は、C P U 2 がファームウェアプログラム 1 1 1 またはファームウェアプログラム 1 1 2 を実行することによって実現する第 1 の実施形態の S S D 1 0 0 の機能構成を説明する図である。図示するように、C P U 2 は、アドレス管理部 2 1 および退避・展開部 2 2 を備えている。

30

## 【 0 0 3 7 】

アドレス管理部 2 1 は、ホスト装置 2 0 0 からの書き込み要求されたデータがユーザデータ格納領域 1 0 に書き込まれる毎に D R A M 4 上でのアドレス管理テーブル 1 2 1 の更新を実行する。また、アドレス管理部 2 1 は、ウェアレベリングやガベージコレクションを行って、ウェアレベリングやガベージコレクションを行う毎に D R A M 4 上のアドレス管理テーブル 1 2 1 を更新するようにしてもよい。即ち、アドレス管理部 2 1 は、アドレス管理テーブル 1 2 1 を D R A M 4 上で更新管理する。

40

## 【 0 0 3 8 】

退避・展開部 2 2 は、管理テーブル格納領域 1 2 に格納されたアドレス管理テーブル 1 2 1 を D R A M 4 へ展開したり、D R A M 4 が記憶するアドレス管理テーブル 1 2 1 を N A N D メモリ 1 に退避したりする。退避・展開部 2 2 は、D R A M 4 上のアドレス管理テーブル 1 2 1 を退避する毎に、バックアップテーブル 1 3 1 を更新する。

## 【 0 0 3 9 】

図 6 は、S S D 1 0 0 の電源オン時の動作を説明するフローチャートである。S S D 1 0 0 が電源オンされた時には、退避・展開部 2 2 は、アドレス管理テーブル 1 2 1 を N A N D メモリ 1 ( 正確には管理テーブル格納領域 1 2 ) から読み出して、読み出したアドレス管理テーブル 1 2 1 を D R A M 4 に展開する ( ステップ S 1 ) 。ここで、アドレス管理

50

テーブル121がNANDメモリ1から読み出された際に、ECC回路51、またはECC回路51およびECC回路6により、エラーの検出と訂正とが行われる。退避・展開部22は、ECC回路6を用いても訂正不可能なエラーがあるか否かを判定する(ステップS2)。アドレス管理テーブル121にECC回路6を用いても訂正不可能なエラーがあった場合には(ステップS2、Yes)、退避・展開部22は、バックアップテーブル格納領域13に格納されているバックアップテーブル131を読み出して、読み出したバックアップテーブル131をアドレス管理テーブル121としてDRAM4に格納する(ステップS3)。ECC回路6を用いても訂正不可能なエラーがなかった場合には(ステップS2、No)、ステップS3の処理はスキップされる。そして、退避・展開部22は、SSD100の起動時の処理を終了する。なお、SSD100の起動時の処理が終了した後、アドレス管理部21は、ユーザデータにかかるLBAと物理アドレスとの対応関係が変化する毎に、当該対応関係の変化分をDRAM4上のアドレス管理テーブル121に反映せしめる。LBAと物理アドレスとの対応関係の変化は、ホスト装置200から新規にユーザデータの書き込みが発生したり、ガベージコレクションやウェアレベリングが実行されたりした際に起こる。

10

#### 【0040】

図7は、SSD100の電源オフ時の動作を説明するフローチャートである。SSD100が電源オフされた時には、退避・展開部22は、フリーブロックプール15からフリーブロックを1つ取得する(ステップS11)。そして、退避・展開部22は、DRAM4上のアドレス管理テーブル121を、ステップS11の処理により取得したフリーブロックに書き込む(ステップS12)。この処理により、アドレス管理テーブル121が書き込まれたブロックは、管理テーブル格納領域12となり、以前の管理テーブル格納領域12を構成するブロックは、保持するデータが無効化されてフリーブロックプール15に追加される。続いて、退避・展開部22は、アドレス管理テーブル121を多重化する管理テーブル多重化処理を実行し(ステップS13)、電源オフ時のSSD100の動作が終了となる。

20

#### 【0041】

図8は、第1の実施形態の管理テーブル多重化処理を説明するフローチャートである。退避・展開部22は、バッドブロックプール14からバッドブロックを1つ取得する(ステップS21)。そして、退避・展開部22は、DRAM4上のアドレス管理テーブル121をステップS21の処理により取得したバッドブロックに書き込む(ステップS22)。そして、退避・展開部22は、ステップS22の処理によりバッドブロックに書き込まれたアドレス管理テーブル121を例えばDRAM4に読み出して検証することで、当該バッドブロックに書き込まれたアドレス管理テーブル121を検証する(ステップS23)。退避・展開部22は、ECC回路6が第2の訂正符号を用いてアドレス管理テーブル121の読み出し時に訂正不可能なエラーがあったか否かを監視することで、バッドブロックに書き込まれたアドレス管理テーブル121を検証することができる。即ち、退避・展開部22は、バッドブロックに書き込まれたアドレス管理テーブル121にECC回路6が第2の訂正符号を用いて訂正不可能なエラーが発生している場合には、当該アドレス管理テーブル121は不合格であると判定し、バッドブロックに書き込まれたアドレス管理テーブル121にECC回路6が第2の訂正符号を用いて訂正不可能なエラーが発生していない場合には、当該アドレス管理テーブル121は合格であると判定することができる。ステップS22の処理によりバッドブロックに書き込まれたアドレス管理テーブル121の検証結果が不合格である場合には(ステップS24、No)、退避・展開部22は、ステップS21の処理を再び実行する。ステップS22の処理によりバッドブロックに書き込まれたアドレス管理テーブル121の検証結果が合格である場合には(ステップS24、Yes)、退避・展開部22は、管理テーブル多重化処理を終了する。なお、バッドブロックに書き込まれ、検証結果が合格であったアドレス管理テーブル121はバックアップテーブル131として当該バッドブロックに保持されることとなり、当該バッドブロックはバックアップテーブル格納領域13となる。

30

40

50

## 【 0 0 4 2 】

なお、以上の説明においては、簡単のために、アドレス管理テーブル 1 2 1 は、1 ブロック内に収まるものとして説明したが、アドレス管理テーブル 1 2 1 のサイズは 1 ブロックのサイズを越えてもよい。その場合には、退避・展開部 2 2 は、バックアップテーブル 1 3 1 を複数のバッドブロックに分割して格納するようにしてもよい。

## 【 0 0 4 3 】

また、アドレス管理テーブル 1 2 1 をバックアップ対象としたが、バッドブロックリストやフリーブロックリストなど、D R A M 4 に展開されて使用される管理データをバックアップ対象とするようにしてもよい。

## 【 0 0 4 4 】

このように、第 1 の実施形態によれば、S S D 1 0 0 は、所定のタイミングでアドレス管理テーブル 1 2 1 を D R A M 4 から読み出して、前記読み出したアドレス管理テーブル 1 2 1 をフリーブロックに退避するとともに、当該退避対象のアドレス管理テーブル 1 2 1 の複製データであるバックアップテーブル 1 3 1 をバッドブロックに書き込む、ように構成したので、アドレス管理テーブル 1 2 1 が破損した場合であってもバッドブロックに書き込まれたバックアップテーブル 1 3 1 をアドレス管理テーブル 1 2 1 として使用することができるので、S S D 1 0 0 の信頼性が向上する。また、S S D 1 0 0 は、バックアップテーブル 1 3 1 の書き込み先としてフリーブロックではなくバッドブロックを使用するので、S S D 1 0 0 が使用不可となるまでの時間を延ばすことができる。

## 【 0 0 4 5 】

また、S S D 1 0 0 は、バックアップテーブル 1 3 1 をバッドブロックに書き込んだ後、当該バッドブロックに書き込まれたバックアップテーブル 1 3 1 を検証し、検証結果が不合格である場合、別のバッドブロックにバックアップテーブル 1 3 1 を格納する、ように構成したので、訂正不可能なエラーのないバックアップテーブル 1 3 1 を用意することができるので、S S D 1 0 0 の信頼性が向上する。

## 【 0 0 4 6 】

( 第 2 の実施形態 )

ブロック内の特定のワードラインが故障したとき、その他のワードラインが使用可能であっても、当該ブロックはバッドブロックとされる。第 2 の実施形態によれば、特定のワードラインのみが故障したバッドブロックのうちの故障していないワードラインにバックアップデータを格納することができる。

## 【 0 0 4 7 】

第 2 の実施形態の S S D の構成は、第 1 の実施形態と同様であるので、第 2 の実施形態の S S D の構成要素については、第 1 の実施形態と同様の名称および符号を用い、重複する説明を省略する。

## 【 0 0 4 8 】

第 2 の実施形態の S S D 1 0 0 の動作は、管理データ多重化処理のみ第 1 の実施形態と異なっている。

## 【 0 0 4 9 】

図 9 は、第 2 の実施形態の管理テーブル多重化処理を説明するフローチャートである。まず、退避・展開部 2 2 は、バッドブロックプール 1 4 からバッドブロックを 1 つ取得する (ステップ S 3 1)。そして、退避・展開部 2 2 は、ステップ S 3 3 ~ ステップ S 3 9 のループ処理で使用するループインデックス  $i$  を 1 で初期化して (ステップ S 3 2)、ステップ S 3 1 の処理により取得したバッドブロックに空きページが存在するか否かを判定する (ステップ S 3 3)。なお、ステップ S 3 3 の処理における空きページとは、後述のステップ S 3 5 の処理による書き込みが一度も試みられていないページをいう。バッドブロックに空きページが存在しない場合 (ステップ S 3 3、No)、退避・展開部 2 2 は、バッドブロックプール 1 4 から別のバッドブロックを取得し (ステップ S 3 4)、ステップ S 3 3 の判定処理を再び実行する。バッドブロックに空きページがある場合 (ステップ S 3 3、Yes)、退避・展開部 2 2 は、D R A M 4 上のアドレス管理テーブル 1 2 1 を

10

20

30

40

50

構成するデータのうちの  $i$  ページ目をバッドブロックの空きページに書き込む (ステップ S 3 5)。ステップ S 3 5 では、退避・展開部 2 2 は、前回書き込みが行われたページから物理アドレスが後続するページに  $i$  ページ目のデータを書き込む。続いて、退避・展開部 2 2 は、ステップ S 3 5 の処理によりバッドブロックに書き込まれた  $i$  ページ目のデータを D R A M 4 に読み出して検証する (ステップ S 3 6)。なお、ステップ S 3 6 の処理における検証方法は、ステップ 2 3 の処理における検証方法と同じであってよい。

【 0 0 5 0 】

続いて、退避・展開部 2 2 は、ステップ S 3 6 の処理による検証結果が合格であるか否かを判定する (ステップ S 3 7)。ステップ S 3 5 の処理によりバッドブロックに書き込まれた  $i$  ページ目のデータの検証結果が不合格である場合には (ステップ S 3 7、No)、退避・展開部 2 2 は、ステップ S 3 4 の処理を実行する。これにより、退避・展開部 2 2 は、 $i$  ページ目のデータの検証結果が不合格である場合には、当該  $i$  ページ目のデータの書き込み先のバッドブロックを別のバッドブロックに変更することになる。

10

【 0 0 5 1 】

ステップ S 3 5 の処理によりバッドブロックに書き込まれた  $i$  ページ目のデータの検証結果が合格である場合には (ステップ S 3 7、Yes)、退避・展開部 2 2 は、D R A M 4 上のアドレス管理テーブル 1 2 1 を構成する全てのデータのバッドブロックへの書き込みが完了したか否かを判定する (ステップ S 3 8)。バッドブロックへの書き込みが行われていないデータが存在する場合には (ステップ S 3 8、No)、退避・展開部 2 2 は、ループインデックス  $i$  を 1 だけインクリメントし (ステップ S 3 9)、ステップ S 3 3 の処理を実行する。これにより、退避・展開部 2 2 は、 $i$  ページ目のデータの検証結果が合格である場合には、 $i + 1$  ページ目のデータ、言い換えると  $i$  ページ目のデータに後続するデータを、 $i$  ページ目のデータと同一のバッドブロックの後続のワードライン (即ち物理アドレスが後続するページ) に書き込む。

20

【 0 0 5 2 】

バッドブロックへの書き込みが行われていないデータが存在しない場合には (ステップ S 3 8、Yes)、退避・展開部 2 2 は、第 2 の実施形態の管理テーブル多重化処理を終了する。

【 0 0 5 3 】

図 1 0 は、管理テーブル格納領域 1 2 の構成例を説明する図であり、図 1 1 は、第 2 の実施形態のバックアップテーブル格納領域 1 3 の構成例を説明する図である。図 1 0 に示すようにアドレス管理テーブル 1 2 1 が 1 つのブロック 1 2 0 により保持されるサイズを有する場合には、図 1 1 に示すように、バックアップテーブル 1 3 1 は、第 2 の実施形態の管理テーブル多重化処理により、複数 (ここでは 2 つ) のバックアップテーブル 1 3 1 a、1 3 1 b に分割され、分割されたバックアップテーブル 1 3 1 a、1 3 1 b は、夫々、バッドブロック 1 3 0 a、1 3 0 b に夫々格納される。なお、バッドブロック 1 3 0 a、1 3 0 b に描画されている斜線部分は、故障している箇所を示す。即ち、第 2 の実施形態によれば、バックアップテーブル 1 3 1 は、バッドブロック 1 3 0 a の故障している箇所の直前まで書き込まれてバックアップテーブル 1 3 1 a が生成され、残りの部分であるバックアップテーブル 1 3 1 b がバッドブロック 1 3 0 b の故障していない箇所に書き込まれる。

30

40

【 0 0 5 4 】

なお、ここでは、退避・展開部 2 2 は、バックアップテーブル 1 3 1 を構成するデータをページサイズ (ワードラインのサイズ) 毎にバッドブロックに書き込んで、書き込んだページサイズのデータを検証する、として説明したが、退避・展開部 2 2 によりバッドブロックへ書き込まれ、検証されるデータの単位サイズは、ブロックサイズよりも小さければページサイズに等しくなくても構わない。例えば、退避・展開部 2 2 によりバッドブロックに書き込まれ、検証されるデータの単位サイズは、ページサイズの自然数倍であってもよい。

【 0 0 5 5 】

50

このように、第2の実施形態によれば、SSD100は、バックアップテーブル131をブロックサイズよりも小さい単位サイズの構成データ毎にバッドブロックに書き込む。そして、SSD100は、構成データをバッドブロックに書き込んだ後に当該バッドブロックに書き込まれた構成データを検証する。検証結果が合格である場合、SSD100は、当該構成データに後続する構成データを同一のバッドブロックの後続する物理アドレスに格納する。構成データの検証結果が不合格である場合、SSD100は、当該検証結果が不合格の構成データを別のバッドブロックに書き込む。これにより、SSD100は、部分的に故障しているバッドブロックの故障していない部分をバックアップテーブル131の格納先として活用することができるようになる。即ち、バッドブロックを効率的に使用することができるようになる。

10

**【0056】**

(第3の実施形態)

第3の実施形態によれば、バッドブロックを構成するワードラインのうちの全てを検証して、検証結果が合格となったワードラインにバックアップテーブルを格納することができる。

**【0057】**

第3の実施形態のSSDの構成は、第1の実施形態と同様であるので、第3の実施形態のSSDの構成要素については、第1の実施形態と同様の名称および符号を用い、重複する説明を省略する。

**【0058】**

第3の実施形態のSSD100の動作は、管理データ多重化処理のみ第1の実施形態と異なっている。

20

**【0059】**

図12は、第3の実施形態の管理テーブル多重化処理を説明するフローチャートである。まず、退避・展開部22は、バッドブロックプール14からバッドブロックを1つ取得する(ステップS41)。そして、退避・展開部22は、ステップS43～ステップS49のループ処理で使用するループインデックス*i*を1で初期化して(ステップS42)、ステップS41の処理により取得したバッドブロックに空きページが存在するか否かを判定する(ステップS43)。なお、ステップS43の処理における空きページとは、後述のステップS45の処理による書き込みが一度も試みられていないページをいう。バッドブロックに空きページが存在しない場合(ステップS43、No)、退避・展開部22は、バッドブロックプール14から別のバッドブロックを取得し(ステップS44)、ステップS43の判定処理を再び実行する。バッドブロックに空きページがある場合(ステップS43、Yes)、退避・展開部22は、DRAM4上のアドレス管理テーブル121を構成するデータのうちの*i*ページ目をバッドブロックの空きページに書き込む(ステップS45)。そして、退避・展開部22は、ステップS45の処理によりバッドブロックに書き込まれた*i*ページ目のデータをDRAM4に読み出して検証する(ステップS46)。なお、ステップS46の処理における検証方法は、ステップ23の処理における検証方法と同じであってよい。

30

**【0060】**

続いて、退避・展開部22は、ステップS46の処理による検証結果が合格であるか否かを判定する(ステップS47)。ステップS45の処理によりバッドブロックに書き込まれた*i*ページ目のデータの検証結果が不合格である場合には(ステップS47、No)、退避・展開部22は、ステップS43の処理を実行する。ステップS43～ステップS47、Noのループ処理が繰り返されることにより、バッドブロックのうちの使用可能なワードラインにアドレス管理テーブル121を構成するデータが書き込まれてゆく。即ち、退避・展開部22は、*i*ページ目のデータの検証結果が不合格である場合、当該*i*ページ目のデータの書き込み先を同一のバッドブロックの後続する物理アドレスに変更する。

40

**【0061】**

ステップS45の処理によりバッドブロックに書き込まれた*i*ページ目のデータの検証

50

結果が合格である場合には（ステップ S 4 7、Y e s）、退避・展開部 2 2 は、D R A M 4 上のアドレス管理テーブル 1 2 1 を構成する全てのデータのバッドブロックへの書き込みが完了したか否かを判定する（ステップ S 4 8）。バッドブロックへの書き込みが行われていないデータが存在する場合には（ステップ S 4 8、N o）、退避・展開部 2 2 は、ループインデックス  $i$  を 1 だけインクリメントし（ステップ S 4 9）、ステップ S 4 3 の処理を実行する。バッドブロックへの書き込みが行われていないデータが存在しない場合には（ステップ S 4 8、Y e s）、退避・展開部 2 2 は、第 3 の実施形態の管理テーブル多重化処理を終了する。

#### 【 0 0 6 2 】

図 1 3 は、第 3 の実施形態のバックアップテーブル格納領域 1 3 の構成例を説明する図である。図示するように、バッドブロック 1 3 0 a、1 3 0 b の使用可能な領域に分割されてバックアップテーブル 1 3 1 c ~ 1 3 1 f が保持されている。特に、第 3 の実施形態によれば、バックアップテーブル 1 3 1 d、1 3 1 f のように、バッドブロックの先頭から故障部分を隔てて存在する使用可能な領域が存在する場合でも、これらの領域にバックアップテーブルを保持することができる。

10

#### 【 0 0 6 3 】

このように、第 3 の実施形態によれば、S S D 1 0 0 は、アドレス管理テーブル 1 2 1 を構成する単位サイズの構成データをバッドブロックに書き込んだ後に当該バッドブロックに書き込まれた構成データを検証する。検証結果が合格である場合、S S D 1 0 0 は、当該構成データに後続する構成データを同一のバッドブロックの後続する物理アドレスに格納する。構成データの検証結果が不合格である場合、S S D 1 0 0 は、当該検証結果が不合格の構成データの書き込み先を同一のバッドブロックの後続する物理アドレスに変更する。これにより、S S D 1 0 0 は、部分的に故障しているバッドブロックの故障していない部分を第 2 の実施形態よりもさらに効率的にバックアップテーブル 1 3 1 の格納先として活用することができるようになる。

20

#### 【 0 0 6 4 】

（第 4 の実施形態）

第 4 の実施形態の S S D の構成は、第 1 の実施形態と同様であるので、第 4 の実施形態の S S D の構成要素については、第 1 の実施形態と同様の名称および符号を用い、重複する説明を省略する。

30

#### 【 0 0 6 5 】

図 1 4 は、第 4 の実施形態のバックアップテーブル格納領域 1 3 の構成例を説明する図である。本図において、バックアップテーブル 1 3 1 g およびバックアップテーブル 1 3 1 h は、同一のアドレス管理テーブル 1 2 1 から生成された複製データである。即ち、バックアップテーブル 1 3 1 が多重化される。そして、本図に示すように、バックアップテーブル 1 3 1 g、1 3 1 h は、ワードラインが使用可能であるか故障しているかに関係なくバッドブロック 1 3 0 a、1 3 1 b に夫々書き込まれており、管理テーブル格納領域 1 2 に格納されているアドレス管理テーブル 1 2 1 が破損してバックアップテーブル 1 3 1 が必要となったとき、バックアップテーブル 1 3 1 g、1 3 1 h のうちの使用可能な部分に書き込まれた部分データを D R A M 4 にロードする。

40

#### 【 0 0 6 6 】

第 4 の実施形態の S S D 1 0 0 の動作は、管理データ多重化処理と、電源オン時の動作とが第 1 の実施形態と異なっている。

#### 【 0 0 6 7 】

図 1 5 は、第 4 の実施形態の管理テーブル多重化処理を説明するフローチャートである。まず、退避・展開部 2 2 は、ステップ S 5 2 ~ ステップ S 5 5 のループ処理で使用するループインデックス  $i$  を 1 で初期化して（ステップ S 5 1）、バッドブロックプール 1 4 からバッドブロックを 1 つ取得する（ステップ S 5 2）。そして、退避・展開部 2 2 は、D R A M 4 上のアドレス管理テーブル 1 2 1 を構成するデータを、所定のサイズ毎に誤り検出符号を付して、ステップ S 5 2 の処理により取得したバッドブロックに書き込む（ス

50

テップ S 5 3 )。ステップ S 5 3 にてアドレス管理テーブル 1 2 1 を構成するデータに付与される誤り検出符号は、どのような符号であってもよい。この誤り検出符号は、例えば、チェックサム、ハミング符号、B C H ( Bose Chaudhuri Hocqenghem ) 符号、R S ( Reed Solomon ) 符号、或いは L D P C ( Low Density Parity Check ) 符号、ハッシュデータ等であってよい。そして、退避・展開部 2 2 は、ループインデックス  $i$  が予め設定された自然数である  $N$  に等しいか否かを判定する ( ステップ S 5 4 )。自然数  $N$  は、バックアップテーブル 1 3 1 を何重に多重化するかを記述した値であって、例えばバックアップテーブル 1 3 1 が 3 重化される場合には  $N = 3$  が設定される。ループインデックス  $i$  が  $N$  と等しくない場合 ( ステップ S 5 4、No )、退避・展開部 2 2 は、ループインデックス  $N$  を 1 だけインクリメントして ( ステップ S 5 5 )、ステップ S 5 2 の処理を実行する。ループインデックス  $i$  が  $N$  と等しい場合 ( ステップ S 5 5、Yes )、退避・展開部 2 2 は、第 4 の実施形態の管理テーブル多重化処理を終了する。

10

【 0 0 6 8 】

これにより、バックアップテーブル 1 3 1 は、 $N$  重に多重化されて保持される。

【 0 0 6 9 】

図 1 6 は、第 4 の実施形態の S S D 1 0 0 の電源オン時の動作を説明するフローチャートである。S S D 1 0 0 が電源オンされた時には、退避・展開部 2 2 は、アドレス管理テーブル 1 2 1 を N A N D メモリ 1 から読み出して、読み出したアドレス管理テーブル 1 2 1 を D R A M 4 に展開する ( ステップ S 6 1 )。ここで、アドレス管理テーブル 1 2 1 が N A N D メモリ 1 から読み出された際に、E C C 回路 5 1、または E C C 回路 5 1 および E C C 回路 6 により、エラーの検出と訂正とが行われる。退避・展開部 2 2 は、E C C 回路 6 を用いても訂正不可能なエラーがあるか否かを判定する ( ステップ S 6 2 )。E C C 回路 6 を用いても訂正不可能なエラーがあった場合には ( ステップ S 6 2、Yes )、退避・展開部 2 2 は、ステップ S 6 4 ~ ステップ S 6 7 のループ処理で使用するループインデックス  $i$  を 1 で初期化して ( ステップ S 6 3 )、バックアップテーブル格納領域 1 3 を構成する  $i$  番目のバッドブロックに格納されているバックアップテーブル 1 3 1 の、ステップ S 6 2 にて訂正不可能なエラーが含まれていた箇所に該当する部分を読み出して、当該部分を検証する ( ステップ S 6 4 )。なおここで読み出されて検証される部分は、ステップ S 5 3 にて誤り検出符号が付与された単位の部分データであって、検証は、当該部分データに付与されている誤り検出符号が用いられる。

20

30

【 0 0 7 0 】

続いて、退避・展開部 2 2 は、部分データの検証結果が合格であるか否かを判定する ( ステップ S 6 5 )。部分データの検証結果が不合格であった場合 ( ステップ S 6 5、No )、退避・展開部 2 2 は、ループインデックス  $i$  がステップ S 5 4 で用いた値と同じ自然数  $N$  と等しいか否かを判定する ( ステップ S 6 6 )。ループインデックス  $i$  が  $N$  と等しくない場合 ( ステップ S 6 6、No )、退避・展開部 2 2 は、ループインデックス  $i$  を 1 だけインクリメントして ( ステップ S 6 7 )、ステップ S 6 4 の処理を実行する。ループインデックス  $i$  が  $N$  と等しい場合 ( ステップ S 6 6、Yes )、起動エラーとなる。

【 0 0 7 1 】

部分データの検証結果が合格であった場合 ( ステップ S 6 5、Yes )、退避・展開部 2 2 は、D R A M 4 上のアドレス管理テーブル 1 2 1 のエラー部分を当該部分データで置き換えて ( ステップ S 6 8 )、電源オン時の動作を終了する。また、アドレス管理テーブル 1 2 1 に訂正不可のエラーがなかった場合 ( ステップ S 6 2、No )、退避・展開部 2 2 は、電源オン時の動作を終了する。

40

【 0 0 7 2 】

このように、第 4 の実施形態によれば、S S D 1 0 0 は、バックアップテーブル 1 3 1 を複数用意し、アドレス管理テーブル 1 2 1 が破損した場合、バックアップテーブル 1 3 1 毎にバックアップテーブル 1 3 1 が含む前記破損した部分に対応する部分データを検証し、検証結果が合格である場合、前記破損した部分に替えて前記検証結果が合格である部分データを D R A M 4 に書き込む、ようにしたので、バックアップテーブル 1 3 1 を用意

50

する際に第1～第3の実施形態では必要としたバックアップテーブル131を検証する動作が必要なくなっていくので、電源オフ時の処理コストを低減することができる。

【0073】

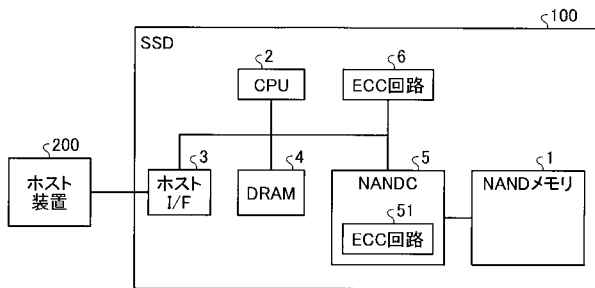
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

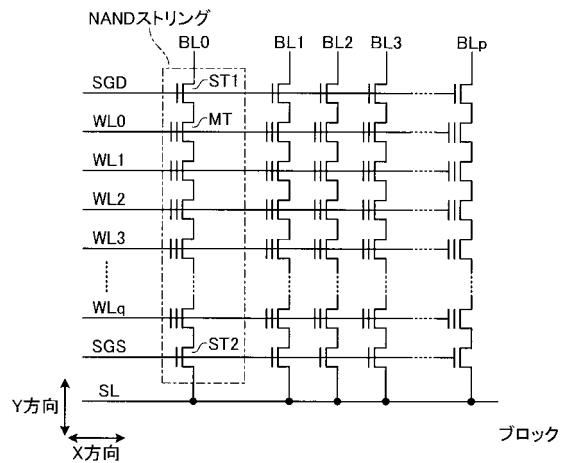
【0074】

1 NANDメモリ、2 CPU、3 ホストI/F、4 DRAM、5 NANDC、6 ECC回路、10 ユーザデータ格納領域、11 ファームウェアプログラム格納領域、12 管理テーブル格納領域、13 バックアップテーブル格納領域、14 バッドブロックプール、15 フリーブロックプール、21 アドレス管理部、22 退避・展開部、51 ECC回路、100 SSD、111、112 ファームウェアプログラム、120 ブロック、121 アドレス管理テーブル、130a、130b バッドブロック、131、131a～131h バックアップテーブル、200 ホスト装置。

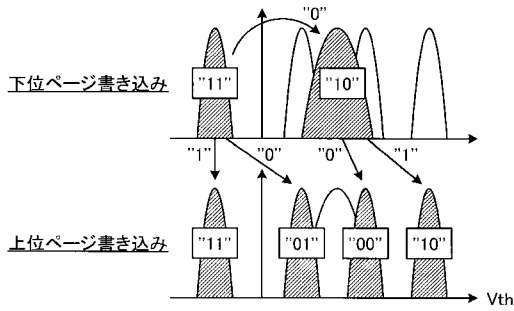
【図1】



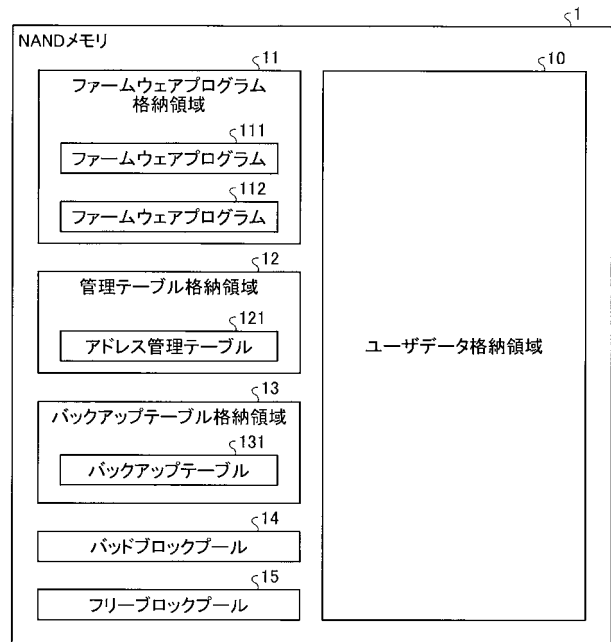
【図2】



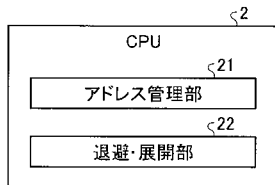
【 図 3 】



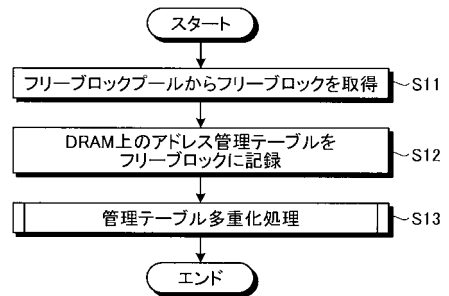
【 図 4 】



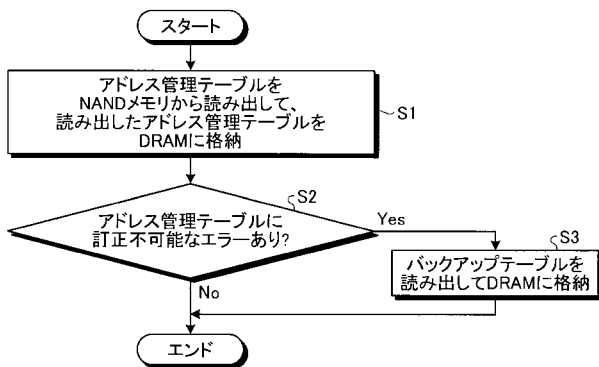
【 図 5 】



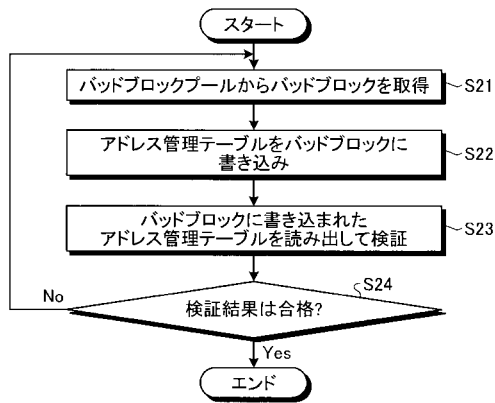
【 図 7 】



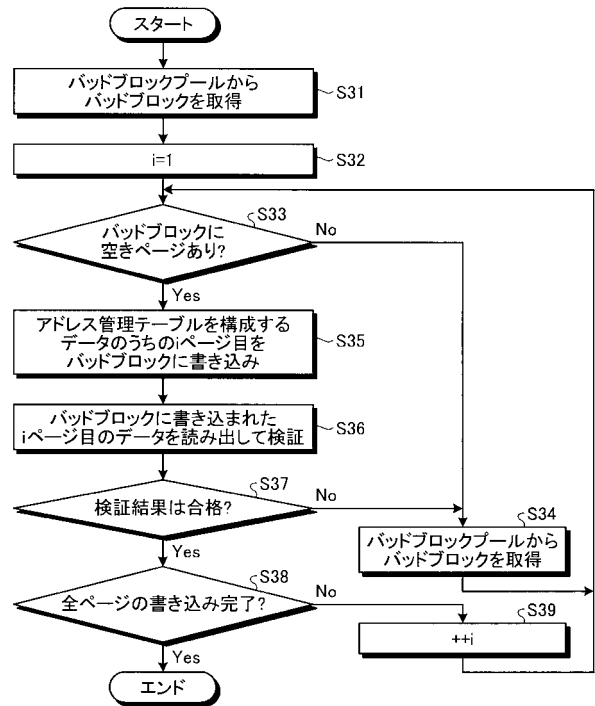
【 図 6 】



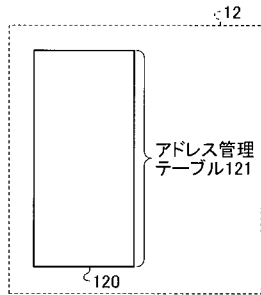
【 図 8 】



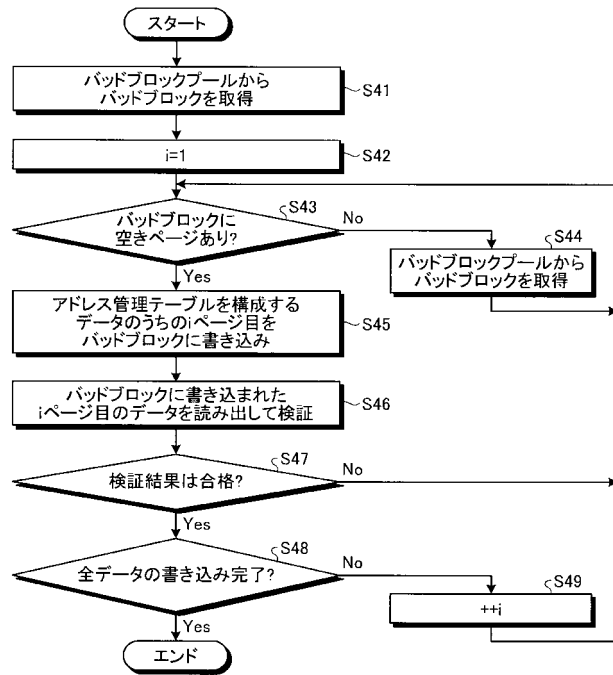
【 図 9 】



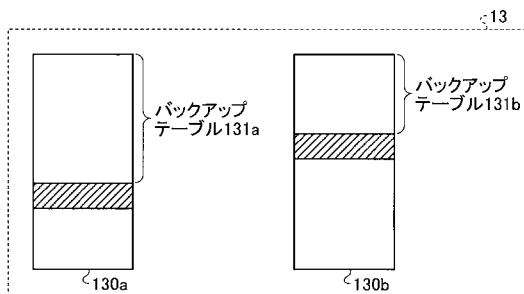
【 図 10 】



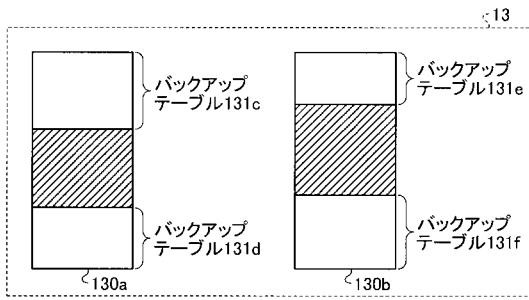
【 図 12 】



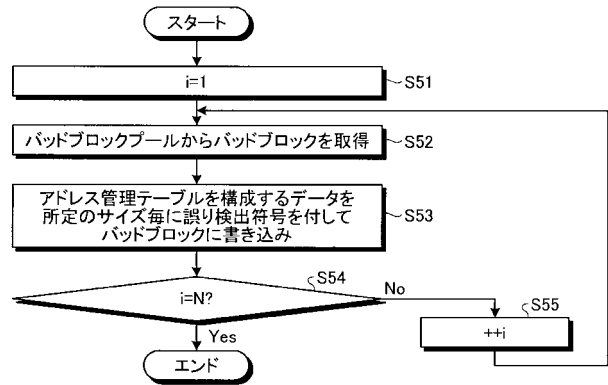
【 図 11 】



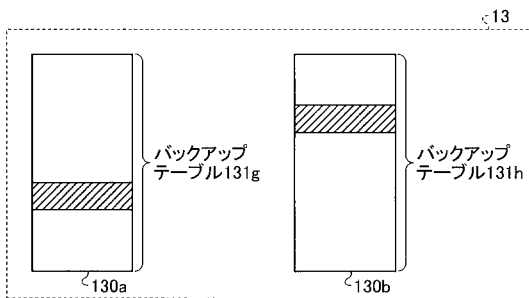
【 図 1 3 】



【 図 1 5 】



【 図 1 4 】



【 図 1 6 】

