

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4053497号

(P4053497)

(45) 発行日 平成20年2月27日(2008.2.27)

(24) 登録日 平成19年12月14日(2007.12.14)

(51) Int.Cl. F I
 H O 1 L 21/331 (2006.01) H O 1 L 29/72 Z
 H O 1 L 29/73 (2006.01)

請求項の数 15 (全 17 頁)

(21) 出願番号	特願2003-520003 (P2003-520003)	(73) 特許権者	590000248
(86) (22) 出願日	平成14年8月5日(2002.8.5)		コーニンクレッカ フィリップス エレク
(65) 公表番号	特表2004-538647 (P2004-538647A)		トロニクス エヌ ヴィ
(43) 公表日	平成16年12月24日(2004.12.24)		オランダ国 5621 ベーアー アイン
(86) 国際出願番号	PCT/IB2002/003289		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開番号	W02003/015178		1
(87) 国際公開日	平成15年2月20日(2003.2.20)	(74) 代理人	100075812
審査請求日	平成17年7月19日(2005.7.19)		弁理士 吉武 賢次
(31) 優先権主張番号	0119215.2	(74) 代理人	100088889
(32) 優先日	平成13年8月7日(2001.8.7)		弁理士 橋谷 英俊
(33) 優先権主張国	英国 (GB)	(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100112793
			弁理士 高橋 佳大

最終頁に続く

(54) 【発明の名称】 トレンチバイポーラトランジスタ

(57) 【特許請求の範囲】

【請求項 1】

第1の濃度にドーピングされた第1の導電型の半導体材料から成る相対的に高ドーピングのコレクタ領域を含有するコレクタと、

前記第1の導電型の半導体材料から成るエミッタ領域と、

前記第1の導電型と逆の第2の導電型の半導体材料から成る、前記エミッタ領域と前記コレクタとの間のベース領域と、

前記相対的に高ドーピングのコレクタ領域と前記ベース領域との間に延在する相対的に低ドーピングのドリフト領域をさらに含有する前記コレクタであって、前記ドリフト領域が、前記第1の導電型を持ち、前記第1の濃度よりも低い第2の濃度にドーピングされている前記コレクタと、

前記ドリフト領域に隣接して延在するトレンチと、

前記ドリフト領域が電圧ブロッキングモード動作においてキャリアの空乏化状態になるように制御するための、前記ドリフト領域から絶縁された前記トレンチ内のゲートと、を備え、

前記ゲートが半絶縁性材料から成る前記構造であって、さらに、前記ドリフト領域と前記ベースとの境界に隣接する前記ゲートの一端に第1のゲート接続を、また、前記ドリフト領域と前記相対的に高ドーピングのコレクタ領域との境界に隣接する前記ゲートの他端に第2のゲート接続を有し、それによって、前記両ゲート接続間に電圧を印加して、前記ゲートと、したがってまた、前記隣接するドリフト領域とに、実質的に一様な電界を生成可能

10

20

であることを特徴とするバイポーラトランジスタ構造。

【請求項 2】

前記構造が、相対向する第 1 の面と第 2 の面とを持つ半導体本体に形成された縦型構造であり、前記エミッタ領域が、前記第 1 の面に電氣的に接続されており、前記コレクタ領域が、前記逆側の第 2 の面に電氣的に接続されており、前記トレンチが、前記半導体本体の前記第 1 の面に実質的に垂直に、前記エミッタ領域、ベース領域、ドリフト領域を突き抜けて延びていることを特徴とする請求項 1 に記載のバイポーラトランジスタ構造。

【請求項 3】

前記ゲートが、前記ドリフト領域に隣接して、前記トレンチ内に縦方向に延在し、前記トレンチの側壁上のゲート絶縁層によって前記ドリフト領域から分離されていることを特徴とする請求項 1 または 2 に記載のバイポーラトランジスタ構造。

10

【請求項 4】

遮断周波数とコレクターベース間絶縁破壊電圧との積が、通常のバイポーラトランジスタにおけるジョンソンリミットを超えることを特徴とする請求項 1 から 3 のいずれかに記載のバイポーラトランジスタ構造。

【請求項 5】

前記ベースと前記相対的に高ドープのコレクタ領域との間に逆方向電位を印加して使用したときに、前記ドリフト領域内の電界が、実質的に一様であることを特徴とする請求項 1 から 4 のいずれかに記載のバイポーラトランジスタ構造。

【請求項 6】

20

前記第 1 のゲート接続が、前記ベースにコンタクトしているベースコンタクト、または、前記エミッタにコンタクトしているエミッタコンタクトに電氣的に接続しているゲートコンタクトであることを特徴とする請求項 1 に記載のバイポーラトランジスタ構造。

【請求項 7】

前記第 2 のゲート接続が、前記相対的に高ドープのコレクタ領域に隣接する前記ドリフト制御ゲートの前記端と、前記相対的に高ドープのコレクタ領域との直接接続であることを特徴とする請求項 1 または 6 に記載のバイポーラトランジスタ構造。

【請求項 8】

前記トレンチ内に形成された前記ゲートが、前記トレンチ内に、第 1 の導電型の前記相対的に高ドープのコレクタ領域とコンタクトしている真性半導体層を含有し、第 2 の導電型の半導体層が、前記真性半導体層に隣接して、前記真性半導体層の、前記相対的に高ドープのコレクタ領域の側と逆側に設けられていることを特徴とする請求項 1 から 5 のいずれかに記載のバイポーラトランジスタ構造。

30

【請求項 9】

前記ゲートが、導電材料から成ることを特徴とする請求項 1 から 5 のいずれかに記載のバイポーラトランジスタ構造。

【請求項 10】

前記ベースが、前記コレクタまたはエミッタと異なる材料で形成されており、それによって、前記構造が、ヘテロ構造バイポーラトランジスタを形成していることを特徴とする請求項 1 から 9 のいずれかに記載のバイポーラトランジスタ構造。

40

【請求項 11】

前記ベース層が、Si-Ge 層であることを特徴とする請求項 9 に記載のバイポーラトランジスタ構造。

【請求項 12】

前記ゲートが、前記相対的に高ドープのコレクタ領域と前記ドリフト領域との境界に実質的に隣接する位置から、前記ドリフト領域と前記ベース領域との境界に実質的に隣接する位置まで延在していることを特徴とする請求項 1 から 11 のいずれかに記載のバイポーラトランジスタ構造。

【請求項 13】

前記構造は、前記相対的に高ドープのコレクタ領域およびドリフト領域、前記ベース領

50

域、および、前記エミッタ領域が、基板に沿って主面上下方向（電流方向）に配置された横型構造であり、前記ゲートが、少なくとも部分的に、前記ドリフト領域に沿い、また、隣接して主面上下方向に延在する絶縁トレンチ内に設けられていることを特徴とする請求項1から5のいずれかに記載のバイポーラトランジスタ構造。

【請求項14】

第1の導電型の半導体より成るドーパされたコレクタ領域を含有する基板を準備する工程と、

前記コレクタ領域の上にエピタキシャルドリフト領域を堆積する工程と、

前記エピタキシャルドリフト領域を突き抜けてトレンチを形成する工程と、

前記トレンチの側壁にゲート絶縁体を形成する工程と、

前記トレンチをゲート材料で埋める工程と、

前記ドリフト領域の上にベース領域およびエミッタ領域を形成する工程であって、前記ベース領域が、前記コレクタ領域の前記第1の導電型と逆の第2の導電型であり、前記エミッタ領域が、前記第1の導電型である工程と、

前記ドリフト領域と前記ベースとの境界に隣接する前記ゲートの一端に第1のゲート接続を設ける工程と、

前記ドリフト領域と前記相対的に高ドーパのコレクタ領域との境界に隣接する前記ゲートの他端に第2のゲート接続を設ける工程と、
を含有するバイポーラトランジスタ構造の製造方法。

【請求項15】

前記トレンチをゲート材料で埋める前記工程が、前記トレンチに半絶縁性多結晶シリコンを堆積する工程を有することを特徴とする請求項14に記載のトランジスタ構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、縦型バイポーラトランジスタに関し、特に、高周波における使用に適した縦型バイポーラトランジスタに関するものである。

【0002】

【従来の技術】

バイポーラトランジスタは、高電圧無線周波数デバイスを含む、多くの応用に用いられている。それらの構造の設計は、多くの因子間のトレードオフとなる。1つの因子は、コレクタと、ベースまたはエミッタとの間の絶縁破壊電圧、即ち、コレクタに逆電位を印加したときに、絶縁破壊を起こさずに、コレクタと、ベースまたはエミッタとの間に印加できる最大電圧である。もう1つの因子は、動作遮断周波数である。それらのパラメータのどちらの値をも増加させるのが、望ましい。

【0003】

しかしながら、一般に、遮断周波数 f_t と、コレクターエミッタ間絶縁破壊電圧との積が、ジョンソンリミットとして知られる最大値を持つということが、当業ではよく知られている。この積は、したがって、バイポーラトランジスタにおいて、重要なパラメータである。その積が、最大値を持つのであるから、それらのパラメータの一方を、他方を減少させることなく、増加させることは、普通、不可能である。

【0004】

超短波周波数では、ジョンソンリミットに例外のあることが知られている。ベースーコレクタ間空間電荷領域内での局所的でないなだれ効果は、最高無線周波数において、ジョンソンリミットを超えることを可能にする。

【0005】

しかしながら、閾周波数・絶縁破壊電圧積の値が、広い無線周波数範囲でジョンソンリミットを超えるトランジスタを設計できれば、それは有用なことである。

【0006】

【課題を解決するための手段】

本発明によれば、第1の濃度にドーピングされた第1の導電型の半導体材料から成る相対的に高ドーピングのコレクタ領域を含有するコレクタと、前記第1の導電型の半導体材料から成るエミッタ領域と、前記第1の導電型と逆の第2の導電型の半導体材料から成る、前記エミッタ領域と前記コレクタとの間のベース領域と、前記相対的に高ドーピングのコレクタ領域と前記ベース領域との間に延在する相対的に低ドーピングのドリフト領域をさらに含有する前記コレクタであって、前記ドリフト領域が、前記第1の導電型を持ち、前記第1の濃度よりも低い第2の濃度にドーピングされている前記コレクタと、前記ドリフト領域に隣接して延在するトレンチと、前記ドリフト領域が電圧ブロッキングモード動作においてキャリアの空乏化状態になるように制御するための、前記ドリフト領域から絶縁されたトレンチ内のゲートと、を備え、前記ゲートが半絶縁性材料から成る前記構造であって、さらに、前記ドリフト領域と前記ベースとの境界に隣接する前記ゲートの一端に第1のゲート接続を、また、前記ドリフト領域と前記相対的に高ドーピングのコレクタ領域との境界に隣接する前記ゲートの他端に第2のゲート接続を有し、それによって、前記両ゲート接続間に電圧を印加して、前記ゲートと、したがってまた、前記隣接するドリフト領域とに、実質的に様な電界を生成可能であることを特徴とするバイポーラトランジスタ構造が提供される。

10

【0007】

コレクタのドリフト領域は、コレクタの相対的に高ドーピングの領域よりも、相対的に低ドーピング濃度であり、したがって、ドリフト領域は、キャリアを空乏化されることができる。トレンチ内のゲートを用いることによって、ドリフト領域は、ゲートを用いない場合に空乏化可能であるよりも高いドリフト領域のドーピング量においてさえ、空乏化することができる。このことは、閾周波数と絶縁破壊電圧との積を、従来技術の構造に比して、増加させることを可能にする。本発明の実施例において、ジョンソンリミットを超えることができる。

20

【0008】

前記構造は、相対向する第1の面と第2の面とを持つ半導体本体上に形成された縦型構造であるのが好ましい。前記エミッタ領域が、前記第1の面に接続されていてもよく、前記コレクタ領域が、前記第2の面に接続されていてもよい。前記トレンチが、前記第1の面に実質的に垂直に、前記エミッタ領域、ベース領域を突き抜けて、前記ドリフト領域まで延びていてもよい。

30

【0009】

他の実施例において、横型構造が、例えばゲートとして絶縁された埋設層を用いて、提供されてもよい。

【0010】

前記ゲートが、前記トレンチの側壁上のゲート絶縁層によって前記ドリフト領域から分離されていてもよい。

【0011】

その構造は、また、通常、ドリフト領域に多層を伴う構造よりも容易に製造することができる。

【0012】

コレクタ領域は、半導体基板あるいは半導体本体、あるいは、基板上に形成された層あるいは領域を含有していてもよい。トレンチは、エミッタ領域、ベース領域、ドリフト領域を突き抜けて、延在していてもよい。

40

【0013】

本発明は、特に、高周波デバイスに適用される。そのようなデバイスは、例えば、ヘテロ構造バイポーラトランジスタであってもよい。本発明は、低周波デバイスにも用いることができる。

【0014】

前記ゲートは、半絶縁性材料から成り、前記構造は、さらに、前記ドリフト領域と前記ベースとの境界に隣接する前記ゲートの端に第1のゲート接続を、また、前記ドリフト領

50

域と前記相対的に高ドーピングのコレクタ領域との境界に第2のゲート接続を有している。これは、一様な電界をゲートに沿って印加し、それによって、ドリフト領域に一様な電界を与えて、低電圧において絶縁破壊する危険性を最小化する。その一様な電界は、ドリフト領域に複雑なドーピングプロファイルを要することなく達成される。

【0015】

前記ベースに隣接する前記端の前記コンタクトは、前記エミッタ（またはベース）に電氣的に接続されていてもよい。したがって、前記第1のゲート接続は、前記ベースにコンタクトしているベースコンタクト、または、前記エミッタにコンタクトしているエミッタコンタクトに電氣的に接続するゲートコンタクトであってもよい。別の実施例では、ゲートにかかる電圧を、エミッタの電圧と独立に制御するために、ゲートに、他と切り離された接続があってもよい。

10

【0016】

前記第2のゲート接続は、前記相対的に高ドーピングのコレクタ領域に隣接する前記ドリフト制御ゲートの前記端と、前記相対的に高ドーピングのコレクタ領域との直接接続であってもよい。そうでなければ、第2のゲート接続は、ゲートに沿って印加される電圧を独立に制御できるような、さらなるコンタクトであってもよい。

【0017】

別の実施例では、全く同様の効果を得るために、半絶縁性のゲートが、真性(i)領域を横切って電圧が降下するp-i-nダイオードに置き換えられる。

【0018】

そうでなければ、ゲートは、導電性であってもよく、ドリフト領域の一様な電界は、ドリフト領域の適切に傾斜したドーピングプロファイルによって与えられてもよい。この特定の実施例においては、ゲートは、相対的に高ドーピングのコレクタ領域から分離されている。

20

【0019】

本発明の他の有利な技術的観点が、従属請求項に並べられている。

【0020】

もう1つの見地において、本発明は、また、上述のバイポーラトランジスタの製造方法に関するものでもある。

【0021】

【発明の実施の形態】

ここで、本発明をより良く理解するために、実施の形態について、純粹に例として、付随する図面を参照して記述する。

30

【0022】

図は全て、概略図であり、一定の縮尺で製図されてはいないということに注意されたい。部分部分の相対的な大きさは、図面の明確および便宜のために、寸法を拡大／縮小されている。同一の、または、同等の観点を参照するために、概略、同じ参照符号を用いている。

【0023】

図1を参照すると、本発明の第1の実施例による縦型バイポーラトランジスタは、相対的に高ドーピングのコレクタ領域3および相対的に低ドーピングのドリフト領域5を含むコレクタ4、ドリフト領域5の上にベース領域7、ベース領域の上にエミッタ領域9を持っている。それらの領域は、半導体材料から成っている。ベース領域7は、エミッタ領域9およびコレクタ領域3、4、5と逆の導電型である。この例において、バイポーラトランジスタは、p型のベース7、および、n型のエミッタ9およびコレクタ4を備えたNPNトランジスタであるが、本発明は、PNPトランジスタにも、同等に適用できる。ドリフト領域5は、相対的に高ドーピングのコレクタ領域3、ベース領域7、および、エミッタ領域9よりも軽くしかドーピングされていない。

40

【0024】

公知の態様で、例えば、結晶シリコン、III-V族半導体、Si-Ge層あるいは他の合金、II-VI半導体、窒化物系層などで、種々のトランジスタ領域を形成することができる。

50

【0025】

通常の縦型バイポーラトランジスタ構造と異なり、半絶縁性のゲート11が、ドリフト領域の両側に、薄い絶縁層13によってドリフト領域5から絶縁されて、設けられている。そのゲート電極は、半絶縁性の材料から成り、したがって、それは、自らに沿って電圧を支えることができる。例えば、半絶縁性多結晶シリコンを用いることができる。同じ効果を得るために、種々の異なる半絶縁性材料を用いることができるのは、明らかである。

【0026】

絶縁層は、当業者には明らかなように、二酸化シリコン、シリコン窒化物、それらの組み合わせ、あるいは、他の層で形成できる。

【0027】

コレクタコンタクト15、ベースコンタクト17、エミッタコンタクト19が、それぞれ、コレクタ3、ベース7、エミッタ9に接続して設けられている。第1のゲート接続が、ゲート電極11の上面に設けられた第1のゲートコンタクト21として与えられる。ゲート電極11の下端は、第2のゲートコンタクト23に接続されている。

【0028】

使用の際に、トランジスタは、ベースとコレクタとの間で電圧が降下して、ベースとコレクタとを通過して非常にわずかの電流しか流れないブロッキングモードの動作になるように制御することができる。このモードでは、トランジスタは、スイッチオフしていると言うことができる。ベースとコレクタとの間の電圧と同様に、ゲートコンタクト21、23間にも電圧が供給され、ゲート11に沿って電圧降下する。これは、ゲート電極内に、一様な縦方向の電界を生み出し、その電界は、ドリフト領域5に一様な電界を印加することになる。上側のゲートコンタクト21をエミッタコンタクト19（または、ベースコンタクト17）に接続し、下側のゲートコンタクト23をコレクタコンタクト15に接続するのが、好都合である。ただし、別の実施例では、分離したコンタクトが設けられてもよい。この一様な電界は、コレクターベース間絶縁破壊電圧を、可能なかぎり高く保つのに有益である。

【0029】

図示されている構造は、高周波数動作を可能にし、特に、遮断周波数を悪化させる効果を、このような構造になっていない場合に可能であるよりもずっと小さくしながら、絶縁破壊電圧を増加させることを可能にする。したがって、閾周波数とコレクターベース間絶縁破壊電圧との最大可能な積は、ジョンソンリミットを超えることが可能である。

【0030】

図1は、ゲートによって単一のエミッタおよびコレクタしか囲まれていない状態を示しているが、実際には、デバイスの電流処理能力を増加させるために並列接続した、そのような構造のアレイが、設けられてもよいことは理解されるであろう。例えば、いくつかの実施例において、各々が、1つのドリフト領域5と1つのベース7と1つのエミッタ9とを含有し、ゲート11によって囲まれてたメサのアレイが、設けられてもよい。

【0031】

コレクタに逆電圧を印加したときにドリフト領域が空乏化するのを確実にし、また、その状態において、ゲートによってドリフト領域に実質的に線形な電圧傾斜を与えることによって、局所的な高電界領域を防止でき、それによって、絶縁破壊電圧を上昇させることができる。

【0032】

ドリフト領域のこの空乏化は、そのドリフト領域のドーピング量を、トランジスタをターンオフさせるときに、ゲートなしにドリフト領域を空乏化させるのに必要であるドーピング量よりも高くすることができるという利益を持つ。これは、そのトランジスタにおいてカーク効果を先まで引き延ばし、最大可能な電流密度を増加させ、したがって、スイッチング周波数を増加させる。さらに、それは、デバイスがスイッチオンしているときのドリフト領域の抵抗を減少させ、最大可能な電流密度を増加させる。

【0033】

本発明者達は、バイポーラトランジスタ構造において、ドリフト領域を空乏化させるため

10

20

30

40

50

に、絶縁ゲートを用いている従来例を知らない。

【0034】

図解されているトランジスタタイプは、通常のバイポーラトランジスタであるが、本発明は、多くの他のタイプのトランジスタにも適用できる。例えば、本発明は、高周波数における使用用のトランジスタに特に有用である。無線周波数では、ヘテロ構造バイポーラトランジスタ(HBT)を用いることができ、したがって、本発明は、特に、HBTに適用できる。本発明の考え方は、例えば絶縁ゲートバイポーラトランジスタや他の類似の構造を含む、多くの他のタイプの構造に用いることができる。

【0035】

図1に示されている構造は、縦型構造である。この用語は、本明細書において、電流が、基板に横方向に平行にではなくて、基板面に概ね垂直になって、デバイスを流れるデバイスのことを言うために用いられる。縦型デバイスは、コレクタコンタクトとエミッタコンタクトとが、互いに反対側の面にあるデバイスであることが多い。本発明は、また、横型構造にも適用可能である(図15参照)。

【0036】

図1の配置は、ドリフト領域を実質的に一様な電界としながら、デバイスをターンオフさせるときにドリフト領域を空乏化させることができる唯一の配置ではないということに気付かれるであろう。図2に示す別のアプローチは、1個の他から切り離されたゲートコンタクト35を備えた導電ゲート33を用いている。しかしながら、この配置においては、ドリフト領域5のドーピングは、ゲート33に一定電圧を印加した状態で実質的に一様な電界を与えるように選択される。これは、ドーピング濃度を、ベース電極近傍よりもコレクタ電極近傍で高くする、傾斜ドーピングプロファイルによって達成される。

【0037】

図3を参照すると、本発明の特定の1実施例において、ドーピング濃度 $2 \times 10^{19} \text{ cm}^{-3}$ でドーピングされた n^+ 半導体本体すなわち基板3上に、構造が形成されている。本体3は、相対向する前面6および背面8を持っている。背面コンタクト15が、バイポーラトランジスタの相対的に高ドーピングのコレクタ領域3として働く基板3に接続している。

【0038】

トランジスタ本体部を形成する残りの層が、それぞれ $0.3 \text{ }\mu\text{m}$ の幅を持つ複数のメサ25として基板上に形成されており、各メサは、厚さ 10 nm の薄い二酸化シリコン絶縁層13によってメサ25から分離されたトレンチ27によって囲まれている。

【0039】

ドーピング濃度 10^{17} cm^{-3} で n 型ドーピングされた $3.5 \text{ }\mu\text{m}$ 厚のドリフト領域5が、相対的に高ドーピングのコレクタ基板3の上に設けられている。 20% のゲルマニウム割合を持つ薄いSiGe層29が、ドリフト領域5の上に形成されている。薄いSiGe層29は、ベースとして働き、ドーピング濃度 $3 \times 10^{19} \text{ cm}^{-3}$ で p 型にドーピングされている。ベース29の上には、 $5 \times 10^{17} \text{ cm}^{-3}$ のドーピング量を持つエミッターベース間空間電荷領域31が、存在する。エミッタ領域9が、エミッターベース間空間電荷領域31の上に位置し、 $2 \times 10^{21} \text{ cm}^{-3}$ のドーピング量を持っている。エミッタコンタクト19が、エミッタ9の上に設けられている。これらの特定の寸法およびドーピング濃度が変化させ得るものであることは、容易に気付かれるであろう。

【0040】

トレンチ27は、半絶縁性の多結晶シリコン(SIPOS)ゲート11を含有している。第1のゲート接続を形成するために、コンタクト21が、SIPOSゲート11の上面上に形成されている。SIPOSゲート11の上面は、ベース7とドリフト領域5との境界に隣接して位置しており、ゲート11に隣接するベース内に反転層ができることを回避し、また、その接合のすみに電界が集中することを回避している。トップコンタクト21は、エミッタコンタクト19に接続される。ベース29に対するベースコンタクトは、メサの側面に設けられている。

【0041】

SIPOSゲート11の底面は、コレクタに直接接続しており、第1のゲート接続と反対側のゲート

10

20

30

40

50

ト端において第2のゲート接続を形成していることに注意されたい。

【0042】

この構造の製造方法が、図4～6に図解されている。

【0043】

初期の段階は、ドリフト領域を持つヘテロ構造バイポーラトランジスタを形成するために用いられる段階と全く同じであり、したがって、当業者には既によく知られている。ドリフト領域を形成するためのエピ層5を、コレクタ領域を形成しているn+ドーピングの基板3上に成長させる。そのエピ層が、 10^{17} cm^{-3} のドーピング濃度でn型ドーピングされる。

【0044】

次に、薄いSiGe層29を、ベースを形成するために成長させ、次いで、エミッターベース間空間電荷領域31、エミッタ層9を成長させる。それに替わる方法として、エミッタ層9は、もっと後で成長させてもよいことに注意されたい。

【0045】

次に、フォトレジストマスク41が堆積され、パターン化される。次いで、複数のトレンチ27が、異方性エッチングプロセスを用いて、エピ層5を突き抜けて、コレクタ基板3までエッチングによって形成される。この特定の例では、用いられているプロセスは、ドライエッチングプロセスである。コレクタ基板3の上面で正確にエッチングを中止する必要はなく、必要であれば、わずかのオーバーエッチングを実行してもよく、図4の構造となる。

【0046】

フォトレジストが取り除かれ、ゲート絶縁層13が、トレンチの壁を含めて、構造を覆うように形成される。この特定の実施例では、ゲート絶縁層13は、然るべき雰囲気中での熱酸化によって形成された熱酸化層である。次いで、熱酸化層13が、トレンチ27の側壁のみに残るように、異方性スペーサエッチングプロセスを用いてエッチングされる（図5）。このエッチングプロセスを用いずに、ゲートがコレクタから分離される別の実施例が、形成される。

【0047】

次に、公知の技術通りに、半絶縁性の多結晶シリコン(SIPOS)11を堆積するために、化学気相成長が用いられ、トレンチが埋められる。次いで、エッチバックプロセスを用いて、構造にできているエピ層の上から全ての多結晶シリコンを除去し、図6に示されているベース29のレベルまで多結晶シリコン11をエッチングする。

【0048】

その後、最後の工程として、公知のように、フォトレジストでマスクし、コンタクト金属を堆積した後、そのフォトレジストを取り去ることによって、コンタクト15, 19, 21を形成して、本出願の図3の構造となる。

【0049】

それに替わる方法として、特に、30 GHzを越えないトランジスタの場合には、ベースおよびコレクタは、トレンチ形成の前あるいは後に、イオン打込みで形成してもよい。

【0050】

この製造方法は、多くの他の方法よりもかなり簡単に実行できる。特に、製造を非常に難しくする、異なるドーピングレベルで多数の層を順に形成するということを必要としない。

【0051】

図3によるデバイスが、モデル化された。図7は、ベースーコレクタ間に95ボルトの電圧（これは、この構造の絶縁破壊限界である）を印加したときの、図3のデバイス内の電位等高線を図解している。この図の左端は、メサ25の中心に対応する。グラフは、この軸に関して対称であり、したがって、メサ25の左半分は、示されていない。見られるように、電位等高線は、ゲート領域11では等間隔であり、ドリフト領域5では、いくらかの横向き電界が存在し、電位等高線は、やはり、等間隔である。これは、ベースーコレクタ接続の近傍を除けば、ドリフト領域に、実質的に一定の縦方向電界が存在するというに該当する。縦方向電界（曲線43）が、距離の関数として、図8に図解されている。ベースーコレ

10

20

30

40

50

クタ接続の近傍を除けば、縦方向電界は、ドリフト領域において実質的に一定である。

【0052】

この構造のコレクタ電流が、ベース－エミッタ間電圧(V_{be})の関数としてシミュレートされ、従来構造のそれと比較された(図9)。比較のための従来のヘテロ構造バイポーラトランジスタ構造は、同様のコレクタ3、ベース29、エミッターベース間空間電荷領域31、および、エミッタ9を持っている。しかしながら、従来の構造は、2つの点で異なっている。第1に、トレンチやゲートが全く存在せず、第2に、ドリフト領域のドーピング量が、 10^{17} cm^{-3} ではなく 10^{15} cm^{-3} にすぎない。比較のために用いたデバイスは、また、本発明の本実施例によるデバイスが $3.5 \text{ } \mu\text{m}$ のドリフト長を持つのに対して、 $3.8 \text{ } \mu\text{m}$ のドリフト長を持っていた。結果として、比較用デバイスは、ほぼ95 Vの絶縁破壊電圧を持ち、図3の実施例のそれと同等である。

10

【0053】

図9から見られるように、通常のヘテロ構造バイポーラトランジスタのコレクタ電流密度(曲線45)は、カークリミットにおおよそ一致する 500 A/cm^2 におけるベース－エミッタ間電圧で非線形な振る舞いを示し始める。この値は、コレクタコンタクトに10 Vを印加することによって、若干、上昇させることができる(曲線47)。

【0054】

しかしながら、本発明によるデバイス(曲線49)では、電流密度は、ずっと高くすることができ、それは、ドリフト領域5にドーピング可能なドーピング量が増加することによる。より高いドーピングが可能である理由は、デバイスが、トレンチ領域11からの空乏化によってターンオフできるということである。最大コレクタ電流密度を増加させるもう1つの効果は、ドリフト領域から正孔を引き出す、ドリフト領域5内に存在する横向きの電界である。しかしながら、この後者の効果は、この特定の実施例では、あまり重要ではない。

20

【0055】

図10は、コレクタ電流密度を、コレクター－エミッタ間電圧の関数として図解している。ここでも、やはり、従来のデバイス(曲線53, 54)に比して、本発明による図3に示されているデバイス(曲線51, 52)の性能が大きく向上していることが、見て取れる。下側のグラフ(52, 54)は、ベース－エミッタ間電圧0.7 Vのときの結果であり、上側のグラフ(51, 53)は、ベース－エミッタ間電圧0.75 Vのときの結果である。

【0056】

遮断周波数の計算が、SIPOS層の上側コンタクト21をエミッタに接続して、なされた(図11)。従来のトランジスタ(曲線55)の最大遮断周波数は、2 GHzであり、一方、本発明によるデバイス(曲線57)のそれは、10 GHzである。それらの計算は、コレクター－ベース間電圧0 Vでなされている。新しい構造においては、カーク効果が、高電流密度へとひたすら進むだけであるから、その最大遮断周波数は、より高電流密度で得られる。通常の構造と新しい構造との両者の絶縁破壊電圧が、実質的に同じ(95ボルト)なのであるから、したがって、本発明は、閾周波数とコレクター－ベース間絶縁破壊電圧との通常の最大積を超えることを可能にする。

30

【0057】

図12は、本発明によるデバイスにおける、電子濃度の等高線プロット59および電子電流の等高線プロット61を示している。図7と同様に、グラフの左端は、ドリフト領域5の中心を表している。電流は、図解されているように、ドリフト領域を通して不均質に流れている。

40

【0058】

図13に、遮断周波数とコレクター－ベース間絶縁破壊電圧との最大到達可能積が、通常のHBT(曲線69)、通常のHBTと同じ低ドリフト濃度を持つが本発明によるトレンチゲートを含むデバイス(曲線71)、および、図3の実施例の構造に形成されている最適化されたHBT(曲線73)に対して、コレクター－ベース間絶縁破壊電圧の関数としてプロットされている。見られるように、ドリフト領域を制御するためにトレンチフィールドゲートを使用することは、ずっと良い結果を与える。実際、それらの値は、シリコンに対しては記

50

録破りの値であり、III-Vデバイスで得られ得る最高値に並ぶものである。通常のSi(Ge) HBTバイポーラデバイスは、2 Vの絶縁破壊電圧で、約85 GHzの最大遮断周波数を持つことが可能である。それらの値は、本発明によって超えることができ、例えば、それは、50 GHzの遮断で10 Vの絶縁破壊電圧を備えることができる。

【0059】

図3の実施例の半絶縁性のゲート11が、p-i-nダイオードに置き換えられている本発明のさらなる実施例が、図14に示されている。p-i-nダイオードは、p層63、真性層67、および、コレクタ3によって形成されるn型層を持っており、真性層に一樣な電界を帯びることができ、図3の実施例で生じる一樣な電界と同様の結果を持つ。コンタクト65は、p層63と接続している。図14の実施例の構造は、特に、現存のBiCMOSプロセスに適合している。

10

【0060】

図15、16、17に図式的に図解されている本発明の第5の実施例において、横型構造が、提供される。図15は、その構造の上面図、図16、17は、それぞれ、A-A、B-Bに沿う断面図を示している。この実施例において、例えばガラス基板、あるいは、上面に絶縁層が堆積された半導体基板から成る絶縁基板91が、設けられており、トランジスタ構造が、その基板の上の半導体層に形成されている。

【0061】

図16、17を参照すると、その構造は、主面上下軸B-Bに沿って配置された、コレクタ4、ベース領域7、および、エミッタ領域9を含有している。コレクタ領域4は、相対的に高ドーピングの領域3と、相対的に高ドーピングの領域3とベース7との間に長さ方向に延びる相対的に低ドーピングのドリフト領域5と、に分かれている。トランジスタ電流が、B-Bに沿って流れるので、方向B-Bを主面上下軸と呼び、方向A-Aを主面左右軸と呼んでいることに注意されたい。

20

【0062】

ゲート絶縁体97によってドリフト領域5から絶縁された半絶縁性のゲート電極95が、ドリフト領域5に隣接して設けられている。コンタクト81、83が、ゲート電極95の主面上下終端において、ゲート電極95上に設けられている。これらのコンタクト81、83は、縦型の実施例の場合と同様に、ゲート電極95に沿って電圧を印加するために用いられる。

【0063】

図15、17を参照すると、半絶縁性のゲート電極95は、ドリフト領域の両側に配置されたトレンチ93内で、ドリフト領域5を取り囲むように主面左右方向に間隔を置いて展開している。ゲート酸化物質層97が、ゲート電極をドリフト領域5から絶縁するために、トレンチの側壁および底面上に延在している。

30

【0064】

使用時には、電圧ブロッキングモード動作において、上述の縦型の実施例の場合と同様に、ドリフト領域5を空乏化させ、また、そのドリフト領域に実質的に一樣な主面上下方向の電界を維持して、コレクターベース間絶縁破壊電圧を改善するために、ゲートコンタクト81、83を結ぶ方向に沿って電圧が供給される。

【0065】

横型構造は、比較的、製造が容易である。ゲートは、絶縁されたトレンチ内にある。

40

【0066】

本発明は、上述の例に限定されることなく、特に、全てのヘテロ構造バイポーラトランジスタ構造、実際には、他の（バイポーラ）トランジスタ構造にも用いることができるということに注意されたい。

【0067】

上述の特定の実施例の特定の寸法および特定の材料は、当業者にとっては容易に気付かれるように、変更できるものである。

【0068】

さらに、本発明は、NPNトランジスタに限定されることなく、PNPトランジスタにも用いることができる。また、本デバイスは、シリコン構造に限定されることなく、ゲルマニウム

50

、ゲルマニウムシリコン、III-V、III-N、SiCバイポーラデバイスにも用いることができる。

【0069】

特に、SiGe HBT構造の使用は、30 V以下、とりわけ、10 V以下の電圧で動作するデバイスに有用である。より高電圧のデバイスには、より一般的なSiバイポーラ接合トランジスタデザインを用いることができる。したがって、95 Vの絶縁破壊電圧を持つ好適な配置では、図3に図解されている実施例のSi-Geベース層を、通常、約 10^{18} cm^{-3} の、より低いドーピング濃度を持つSi層に置き換えてもよい。

【0070】

本開示を読むことによって、当業者には、他の変形および変更も明らかである。そのような変形および変更には、半導体デバイスの設計、製造、および、用途において既に公知であり、本明細書に記載した観点に加えて、あるいは、換えて使用できる、等価なおよび他の観点が含まれる。請求項は、本出願において、特定の組み合わせの観点に対して案出されているが、開示の範囲には、本発明と同じ技術的問題のいずれか又は全てを緩和するものであろうがなかろうが、明示的であれ含蓄的であれ本明細書に開示されている全ての新規な観点あるいは全ての新規な組み合わせの観点、あるいはそれらからの一般化もまた、含まれることが理解されなければならない。本出願人は、その結果として、新しい請求項を、本出願または本出願から導出される任意のさらなる出願の審査／審判／訴訟を通じて、任意のそのような観点および／またはそのような観定の組み合わせに対して案出できる

【図面の簡単な説明】

【図1】本発明によるバイポーラトランジスタ構造の第1の線図的な実施例を示す。

【図2】本発明によるバイポーラトランジスタ構造の第2の線図的な実施例を示す。

【図3】本発明によるバイポーラトランジスタ構造の第3の実施例を示す。

【図4】図3のバイポーラトランジスタ構造の製造に用いる一工程を示す。

【図5】図3のバイポーラトランジスタ構造の製造に用いる一工程を示す。

【図6】図3のバイポーラトランジスタ構造の製造に用いる一工程を示す。

【図7】図3の構造の等電位線を示す。

【図8】図3の構造のドリフト領域の縦方向の電界を示す。

【図9】本発明によるデバイスの改善された電流密度を示す。

【図10】図3のデバイスの改善された性能を示す。

【図11】図3のデバイスの改善された高周波数性能を示す。

【図12】図3のデバイスの電子濃度と電子電流とを示す。

【図13】他のデバイスと比較した、図3のデバイスの遮断周波数・絶縁破壊電圧積を示す。

【図14】本発明の第4の実施例を示す。

【図15】本発明の第5の線図的な実施例の上面図を示す。

【図16】図15の実施例のA-A線に沿う断面を示す。

【図17】図15の実施例のB-B線に沿う断面を示す。

【符号の説明】

3 相対的に高ドーピングのコレクタ領域

4 コレクタ領域

5 ドリフト領域

7, 29 ベース領域

9 エミッタ領域

11, 33 ゲート

13 ゲート絶縁層

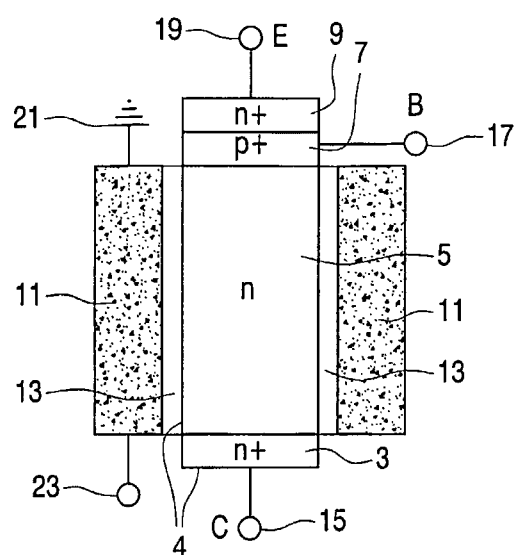
15 コレクタコンタクト

17 ベースコンタクト

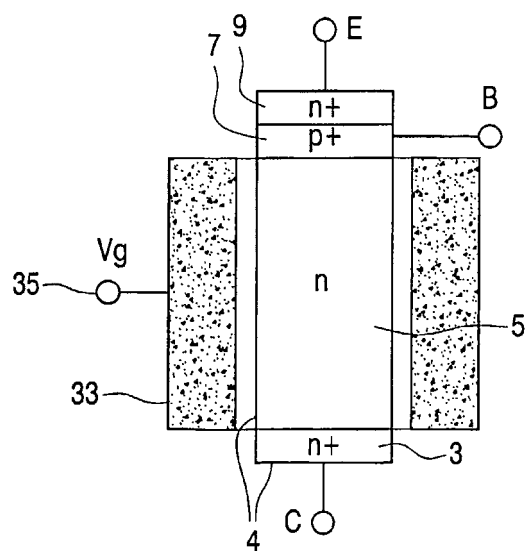
19 エミッタコンタクト

21, 23, 35, 81, 83 ゲートコンタクト
25 メサ
27, 93 トレンチ
31 エミッターベース間空間電荷領域
95 ゲート電極
97 ゲート絶縁体

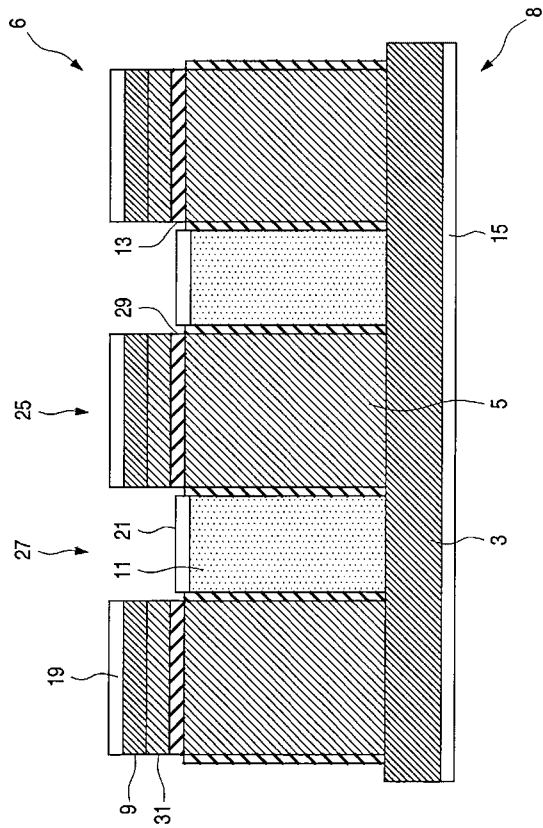
【図 1】



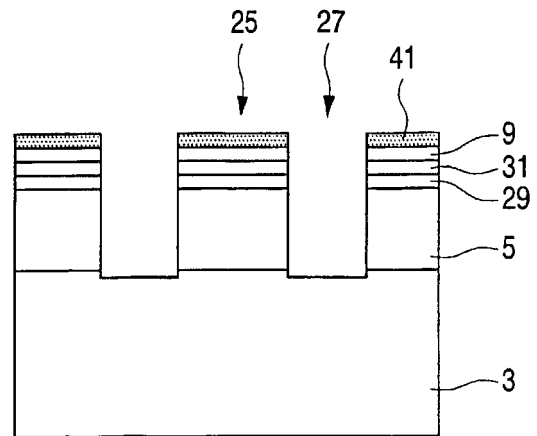
【图 2】



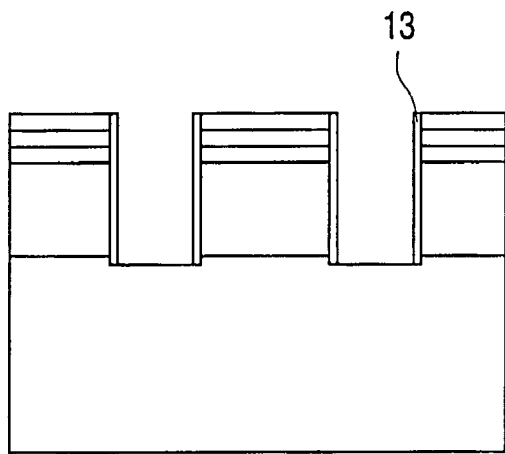
【図 3】



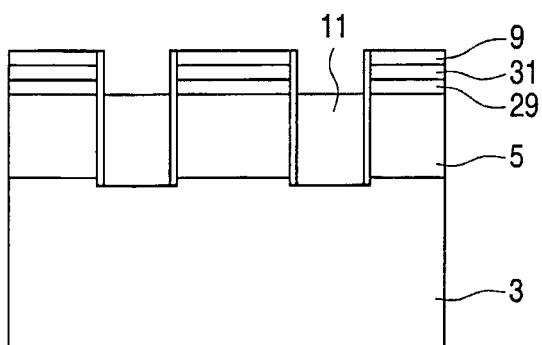
【図 4】



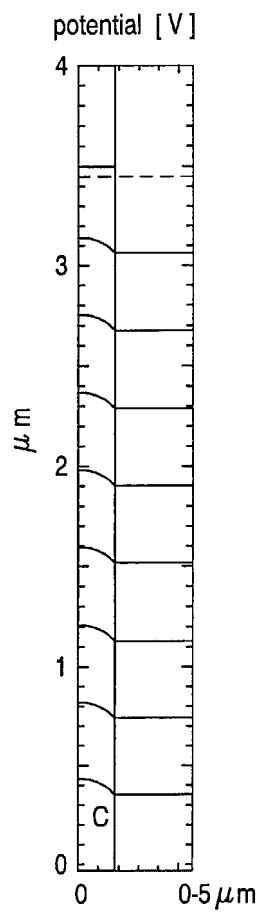
【図 5】



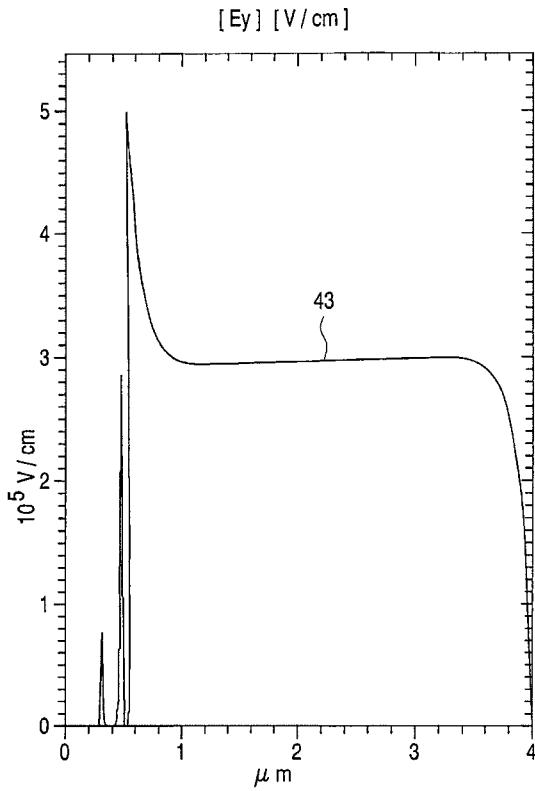
【図 6】



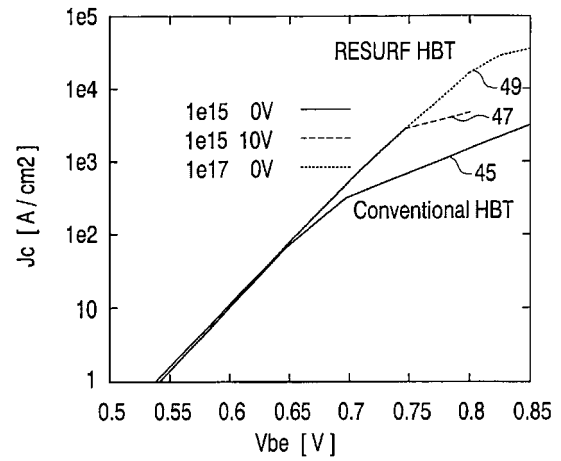
【図 7】



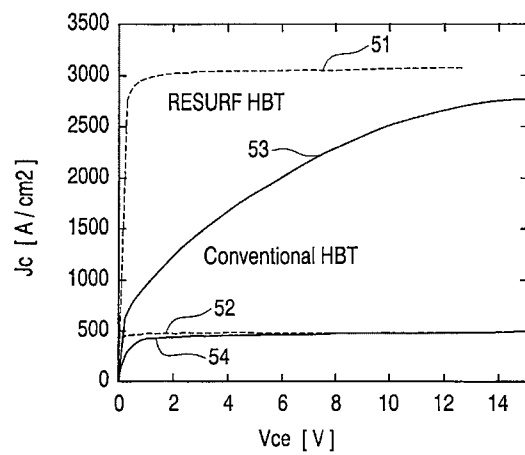
【図 8】



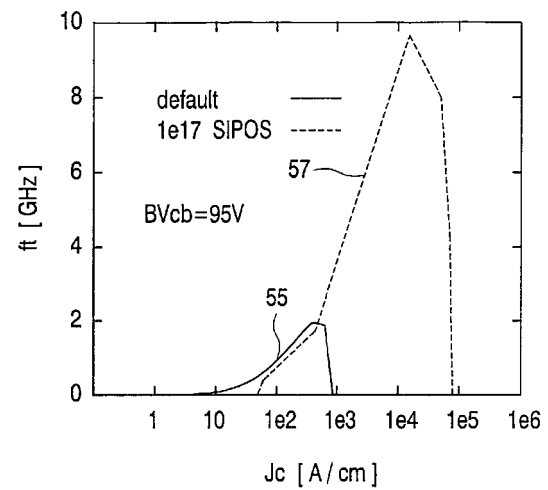
【図 9】



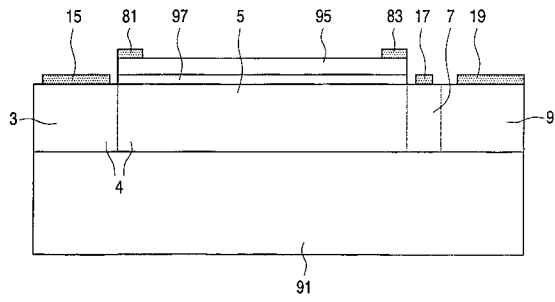
【図 10】



【図 11】



【図 17】



フロントページの続き

(74)代理人 100087789

弁理士 津軽 進

(74)代理人 100092048

弁理士 沢田 雅男

(72)発明者 ヒューティング レイモンド ジェイ イー

オランダ国 5 6 5 6 アー アー アインドーフェン プロフホルストラーン 6

(72)発明者 スロトブーム ジャン ダビュリュ

オランダ国 5 6 5 6 アー アー アインドーフェン プロフホルストラーン 6

(72)発明者 マグニー ペトラス エイチ シー

オランダ国 5 6 5 6 アー アー アインドーフェン プロフホルストラーン 6

審査官 小川 将之

(56)参考文献 特開昭61-089666 (JP, A)

特開昭61-220465 (JP, A)

特開平06-232149 (JP, A)

特開平02-001931 (JP, A)

特開平05-259075 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/331

H01L 29/73