

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 22.12.17.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 28.06.19 Bulletin 19/26.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE ET AUX ENERGIES ALTERNATIVES Etablis-
sment public — FR.

72 Inventeur(s) : ANDRIEU FRANCOIS, BENAISSA
LAMINE et BRUNET LAURENT.

73 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE ET AUX ENERGIES ALTERNATIVES Etablis-
sment public.

74 Mandataire(s) : BREVALEX Société à responsabilité
limitée.

54 ASSEMBLAGE AMELIORE POUR CIRCUIT 3D A NIVEAUX DE TRANSISTORS SUPERPOSES.

57

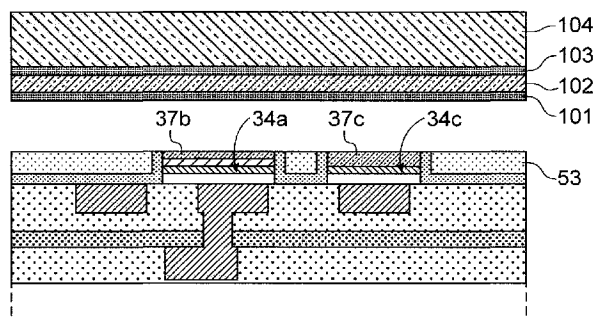


FIG.2F



ASSEMBLAGE AMELIORE POUR CIRCUIT 3D A NIVEAUX DE TRANSISTORS SUPERPOSES

DESCRIPTION

DOMAINE TECHNIQUE ET ART ANTERIEUR

La présente demande concerne le domaine des circuits intégrés dotés de composants répartis sur plusieurs niveaux, en particulier de transistors superposés. De tels dispositifs sont généralement qualifiés de circuits intégrés en 3 dimensions ou « 3D ».

Elle vise en particulier la mise en œuvre d'un circuit 3D doté d'un étage supérieur de transistor(s) doté(s) d'électrode(s) de contrôle arrière servant de plan de masse ou de grille arrière.

D'une manière générale, dans le domaine des circuits intégrés, on cherche continuellement à augmenter la densité de transistors.

Pour cela, une solution consiste à répartir les transistors sur plusieurs niveaux de couches semi-conductrices disposées les unes au-dessus des autres.

De tels circuits comportent ainsi généralement un niveau inférieur doté d'une première couche semi-conductrice à partir de laquelle des transistors sont formés et au moins un niveau supérieur doté d'au moins une deuxième couche semi-conductrice à partir de laquelle des transistors sont formés, la première et la deuxième couche semi-conductrice étant superposées et séparées entre elles par au moins une couche isolante.

Le document "A 14 nm Finfet Transistor-level 3D partitioning Design to Enable High Performance and Low-Cost Monolithic 3D IC", de Shi et al., IEDM 2016 présente un exemple circuit 3D.

La réalisation du circuit peut impliquer la mise en œuvre d'une étape d'assemblage par collage entre un niveau inférieur dans lequel des transistors ont déjà été réalisés et un support dans lequel la couche semi-conductrice d'un niveau supérieur est intégrée.

L'assemblage entre le support et le niveau inférieur est généralement effectué par collage direct, c'est-à-dire sans devoir apporter de colle intermédiaire, typiquement entre une couche d'oxyde de silicium du support et une couche d'oxyde formée sur le niveau inférieur.

Un tel collage peut requérir un traitement thermique. Cependant, une température trop élevée peut induire une dégradation du ou des niveau(x) inférieur(s) et en particulier une détérioration du matériau des contacts dans le niveau inférieur ou d'éléments de connexion inter-niveaux voire une diffusion intempestive de dopants au sein du niveau inférieur.

On cherche donc généralement à limiter le budget thermique du collage. On peut vouloir en particulier éviter de mettre en œuvre des traitements thermiques supérieurs à 550°C.

Cependant, dans certaines conditions, en particulier lorsque les couches d'oxyde ont une faible épaisseur et que la température de collage est réduite, en particulier inférieure à 550°C un phénomène de dégazage d'hydrogène peut apparaître et générer des défauts de collage.

Dans certains cas, le collage moléculaire peut également entraîner une oxydation intempestive de la couche semi-conductrice de niveau supérieur disposée dans le support.

Il se pose notamment le problème de trouver un nouveau procédé de réalisation d'un circuit à transistors superposés et qui soit amélioré vis-à-vis d'inconvénient(s) mentionné(s) ci-dessus.

EXPOSÉ DE L'INVENTION

Selon un aspect, la présente demande concerne un procédé de réalisation d'un circuit à transistors superposés comprenant des étapes consistant à :

a) prévoir une structure comportant au moins un niveau inférieur d'un ou plusieurs transistors ayant une région de canal formée dans une première couche semi-conductrice reposant sur un substrat, lesdits transistors étant recouverts d'au moins une couche isolante dans laquelle un ou plusieurs éléments de connexion sont formés, ladite structure étant revêtue d'une ou plusieurs zones en matériau donné, getter d'oxygène et apte à s'oxyder,

b) assembler ladite structure avec un support doté d'au moins une deuxième couche semi-conductrice dans laquelle un ou plusieurs canaux respectivement

d'un ou plusieurs transistors d'un niveau supérieur sont prévus, la deuxième couche semi-conductrice étant revêtue d'une fine couche d'oxyde de silicium, l'assemblage de ladite structure et du support étant réalisé par collage dans lequel la fine couche d'oxyde de silicium est collée à des portions oxydées desdites une ou plusieurs zones dudit matériau
5 donné getter d'oxygène.

Le collage effectué est typiquement appelé collage direct.

La ou les zones de matériau getter peuvent s'oxyder avant une étape de recuit sous atmosphère oxydante ou s'oxyder lors d'une étape de recuit servant à consolider une interface de collage entre la structure et le support.

10 Dans les deux cas, la ou les zones de matériau donné getter servent d'éléments absorbants d'oxygène et participent à l'élaboration d'une interface de collage plus solide et présentant moins de défauts. En effet, sans getter d'oxygène, de l'hydrogène dégazé pourrait éventuellement réagir avec des atomes d'oxygène disponibles et former des groupements -OH qui migrent moins rapidement en surface
15 que l'hydrogène. En particulier, ces groupement -OH pourraient se concentrer à l'interface de collage, notamment lorsque le budget thermique est réduit, et créer des défauts de collage.

La ou les zones de matériau donné getter peuvent également permettre d'éviter ou limiter une oxydation intempestive du support.

20 Le matériau donné getter d'oxygène peut être par exemple du Ti, ou du Si non hydrogéné, ou du Mo, ou du Ru. De tels matériaux peuvent permettre de former des oxydes stables et susceptibles de créer des liaisons avec la fine couche d'oxyde et présenter ainsi une bonne adhérence sur cette fine couche d'oxyde.

On peut ainsi avoir une interface de collage comportant des portions
25 oxydées à base de TiO_x ou de TiO_2 , ou de SiO_2 , ou de MoO_2 , ou de RuO_2 .

Lesdites une ou plusieurs zones en matériau donné, getter d'oxygène et apte à s'oxyder peuvent être disposées respectivement sur une ou plusieurs régions conductrices, lesdites régions conductrices étant elles-mêmes disposées respectivement sur lesdits un ou plusieurs éléments de connexion.

Avantageusement, au moins une première région conductrice parmi lesdites desdites régions conductrices est apte à former une électrode de contrôle du canal d'un transistor donné dudit niveau supérieur ou un plan de masse dudit transistor donné.

5 La première région conductrice formant électrode de contrôle peut être ainsi couplée par couplage électrostatique ou capacitif à la deuxième couche semi-conductrice. Un tel agencement requiert typiquement un support doté d'une fine couche d'oxyde de silicium, par exemple inférieure à 20 nm. Malgré la finesse de cette couche la ou les zones de matériau getter permettent d'éviter les défauts de collage dus à des
10 phénomènes de dégazage.

Avantageusement, selon une possibilité de mise en œuvre du procédé, au moins une première région conductrice parmi lesdites régions conductrices forme une électrode de contrôle du canal d'un transistor donné dudit niveau supérieur et est réalisée sur un premier élément de connexion, la première région conductrice
15 comportant un premier empilement de couches métalliques, ledit premier empilement étant revêtu d'une zone à base dudit matériau donné getter d'oxygène, au moins une deuxième région conductrice parmi lesdites régions conductrices étant réalisée sur un autre élément de connexion et formée d'un deuxième empilement de couches métalliques différent dudit premier empilement, ledit deuxième empilement étant revêtu
20 d'une autre zone à base dudit matériau donné getter d'oxygène. Cette deuxième région conductrice peut avantageusement former une autre électrode de contrôle du canal d'un autre transistor dudit niveau supérieur.

On peut ainsi prévoir une première région conductrice avec un premier travail de sortie et une deuxième région conductrice avec un deuxième travail de sortie.
25 Cela peut permettre d'avoir, pour une même polarisation et des configurations semblables des transistors de tensions de seuil respectives différentes entre le transistor donné dont le canal est couplé à la première région conductrice et l'autre transistor dont le canal est couplé à la deuxième région conductrice.

A l'étape a), ladite structure peut être avantageusement pourvue de plusieurs régions conductrices chacune revêtue d'une zone à base de matériau getter d'oxygène.

Lesdites régions conductrices peuvent être avantageusement séparées entre elles par au moins un bloc d'oxyde de silicium. Ce bloc d'oxyde de silicium peut être réalisé avant collage de la structure et du support. Un tel agencement peut permettre d'éviter de devoir nécessairement réaliser des zones d'isolation de type STI et donc d'avoir à réaliser des tranchées entre les transistors de niveau supérieur et qui se prolongeraient entre les électrodes de contrôle sous-jacentes.

Dans ce cas, l'assemblage de la structure et du support est également réalisée par collage entre la fine couche d'oxyde de silicium et le bloc d'oxyde de silicium. Le bloc d'oxyde de silicium peut être également réparti autour des régions conductrices.

Selon un mode de réalisation particulier, le bloc d'oxyde de silicium peut être réalisé par :

- formation d'une tranchée entre une première région conductrice et une deuxième région conductrice parmi lesdites régions conductrices,
- remplissage de ladite tranchée à l'aide d'au moins une couche d'oxyde de silicium,
- planarisation de ladite couche d'oxyde de silicium. Dans ce cas, les zones de matériau getter et le bloc d'oxyde réalisé sont sensiblement à la même hauteur, ce qui peut permettre d'améliorer le collage avec le support.

Avantageusement, lorsqu'on réalise ce bloc d'oxyde, préalablement à ladite couche d'oxyde de silicium, on forme une couche de matériau diélectrique barrière de diffusion au cuivre tapissant le fond et les parois latérales de ladite tranchée.

Selon un mode de réalisation particulier, ladite couche isolante dans laquelle lesdits un ou plusieurs éléments de connexion sont formés peut comporter une couche superficielle en oxyde de silicium qui est également apte à être collée à ladite fine couche d'oxyde de silicium lors dudit assemblage par collage de la structure et du support.

Lesdits éléments de connexion peuvent comporter chacun une portion supérieure d'extrémité traversant ladite couche superficielle en oxyde de silicium. Dans ce cas, la réalisation desdites régions conductrices revêtues de zones en matériau getter d'oxygène peut comprendre des étapes de :

- 5 - retrait desdites portions d'extrémité de sorte à former des trous dans la couche superficielle dévoilant respectivement des portions restantes desdits éléments de connexion, puis
- formation dans les trous des régions conductrices puis des zones de matériau donné getter d'oxygène. Une telle variante permet de former des régions
- 10 conductrices connectées avec des éléments de connexion du niveau inférieur, et ce de manière auto-alignée.

Selon un mode de réalisation particulier, on peut prévoir au moins un élément de connexion donné parmi lesdits éléments de connexion à base de cuivre. Dans ce cas, au moins une desdites régions conductrices peut être pourvue d'une couche

15 conductrice barrière de diffusion au cuivre en contact avec ledit élément de connexion en cuivre.

Selon un autre aspect, un mode de réalisation de la présente invention concerne un dispositif à transistors superposés comprenant : au moins un niveau inférieur d'un ou plusieurs transistors ayant une région de canal formée dans une

20 première couche semi-conductrice reposant sur un substrat, lesdits transistors du niveau inférieur étant recouverts d'au moins une couche isolante dans laquelle un ou plusieurs éléments de connexion sont formés et sont reliés respectivement à une ou plusieurs régions conductrices, les régions conductrices étant revêtues respectivement d'une ou plusieurs zones d'oxyde, en matériau donné getter d'oxygène oxydé, en particulier tel

25 que du TiO_2 , ou du MoO_2 , ou du RuO_2 , ou du SiO_2 , lesdites zones d'oxyde étant assemblées à une fine couche d'oxyde de silicium d'un support doté d'au moins une deuxième couche semi-conductrice dans laquelle un ou plusieurs canaux respectivement

 d'un ou plusieurs transistors d'un niveau supérieur est ou sont formé(s), la fine couche d'oxyde de silicium étant revêtue de la deuxième couche semi-conductrice, au moins une

30 première région conductrice parmi lesdites régions conductrices formant une électrode

de contrôle de canal ou formant un plan de masse d'un transistor donné du niveau supérieur dont le canal s'étend dans la deuxième couche semi-conductrice.

Avantageusement, la première région conductrice est revêtue d'un empilement isolant formé d'une zone d'oxyde parmi lesdites zones d'oxyde en matériau
5 donné getter d'oxygène oxydé, et de la fine couche d'oxyde de silicium, l'empilement isolant ayant une épaisseur et une composition prévues de manière à permettre un couplage électrostatique entre la première région conductrice et le canal dudit transistor donné.

Selon un mode de réalisation, la première région conductrice peut être
10 connectée à un élément de connexion à base de cuivre. Dans ce cas, la première région conductrice est avantageusement pourvue d'une couche conductrice barrière de diffusion en contact avec ledit élément de connexion donné en cuivre.

Selon un mode de réalisation particulier, l'élément de connexion à base de cuivre peut être formé d'une ligne conductrice reliée à une autre ligne conductrice par
15 le biais d'un élément conducteur vertical encore appelé via. Dans ce cas l'élément de connexion à base de cuivre peut être enveloppé d'une barrière de diffusion au cuivre.

Avantageusement, la première région conductrice peut être également elle-même entourée d'une couche de matériau diélectrique barrière de diffusion.

Un mode de réalisation particulier du dispositif prévoit, parmi lesdites
20 régions conductrices : une première région conductrice formée d'un empilement de couches métalliques et au moins une deuxième région conductrice disposée formée d'un autre empilement de couches métalliques. Un tel agencement permet d'avoir des transistors couplés respectivement à la première et à la deuxième région, avec des tensions de seuils respectives différentes, ce pour une éventuelle même polarisation.

25 **BRÈVE DESCRIPTION DES DESSINS**

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

- la figure 1 sert à illustrer un exemple de structure de départ possible pour la mise en œuvre d'un dispositif à plusieurs niveaux superposés de composants et suivant un mode de réalisation de la présente l'invention ;

5 - la figure 2A sert à illustrer un autre exemple de structure de départ possible pour la mise en œuvre d'un procédé suivant un mode de réalisation de la présente l'invention ;

10 - les figures 2B-2H servent à illustrer un exemple de procédé suivant l'invention, dans lequel des zones de matériau getter en oxygène servent une fois oxydées à la mise en œuvre d'un collage amélioré entre une structure et un support comportant chacune une couche semi-conductrice d'accueil pour des composants électroniques ;

15 - la figure 3 servent à illustrer un exemple de dispositif à transistors superposés mis en œuvre à l'aide d'un procédé suivant l'invention, le dispositif étant doté d'un niveau supérieur avec un ou plusieurs transistors comportant une électrode de grille et une électrode de contrôle arrière ;

- les figures 4A-4F servent à illustrer un exemple de variante de procédé suivant l'invention ;

20 Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

25 En outre, dans la description ci-après, des termes qui dépendent de l'orientation de la structure tels que « sur », « dessous », « au-dessus », « vertical », « horizontale », « inférieur », « supérieur » s'appliquent en considérant que la structure est orientée de la façon illustrée dans les figures.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

On se réfère à présent à la figure 1 qui illustre une structure de départ possible d'un procédé suivant l'invention.

Cette structure comprend un substrat 10 sur lequel au moins un niveau N_1 doté d'un ou plusieurs composants électroniques, en particulier des transistors T_{11} , T_{12} , a été formé.

Les transistors T_{11} , T_{12} ont une région de canal agencée dans une première couche semi-conductrice 11 et peuvent être mis en œuvre sur un substrat 10 massif (« bulk » selon la terminologie anglo-saxonne) ou bien sur un substrat de type semi-conducteur sur isolant, en particulier un substrat de type SOI (« Silicon On Insulator » ou « silicium sur isolant »), avantageusement selon une technologie totalement désertée également appelée FDSOI (pour « Fully Depleted Silicon On Insulator »).

Les transistors T_{11} , T_{12} sont recouverts d'au moins une couche isolante 13 dans laquelle un ou plusieurs éléments conducteurs 14a, 14b, 14c traversant connectés au(x) transistor(s) sont au moins partiellement formés.

Un étage d'éléments d'interconnexion 22a, 22b, 22c traversant au moins une couche isolante est typiquement formé sur le niveau N_1 de transistors.

Une manière de fabriquer de tels éléments d'interconnexions 22a, 22b, 22c est d'utiliser un procédé de type « Back-end-of line » (BEOL) en particulier avec une technique Damascène ou double-Damascène. Les éléments d'interconnexion 22a, 22b, 22c peuvent être dans ce cas prévus en cuivre et formés dans des tranchées revêtues d'une barrière 21 à la diffusion du Cuivre. Une telle barrière 21 est typiquement formée d'un empilement de Ti/TiN ou Ta/TaN. On peut ainsi réaliser une encapsulation barrière de diffusion du cuivre au-dessous et latéralement à l'aide de cet empilement. Un autre exemple de matériau utilisable pour les éléments d'interconnexion 22a, 22b, 22c est le Ru.

En variante, les éléments d'interconnexion 22a, 22b, 22c peuvent être prévus en W ou Co. Dans ce cas, la couche barrière de diffusion peut être facultative.

Dans l'exemple particulier illustré sur la figure 2A, un élément de connexion 22b est formé d'une ligne conductrice 18 inférieure, typiquement horizontale ou sensiblement horizontale, disposée dans une couche isolante 15, par exemple en SiOCN, cette ligne 18 pouvant être encapsulée latéralement par une barrière de diffusion

conductrice 21 par exemple formée d'un empilement Ti/TiN ou Ta/TaN et sur le dessus par une couche barrière diélectrique 16, par exemple en SiN. Un élément conducteur 19 vertical encore appelé « via » traversant la couche barrière diélectrique 16 relie la ligne conductrice inférieure 18 à une ligne conductrice 20 supérieure, typiquement horizontale ou sensiblement horizontale et réalisée dans une couche isolante 17, par exemple en SiOCN. Le remplissage de tranchées traversant la ou les couches isolantes, peut être suivi d'une étape de polissage CMP (pour « Chemical mechanical planarization »). On obtient ainsi une structure du type de celle illustrée sur la figure 2A. Cette structure peut également servir de structure de départ possible pour mettre en œuvre un procédé suivant l'invention.

On réalise ensuite une ou plusieurs régions conductrices avantageusement destinées à former une ou plusieurs électrodes dites « arrière » de contrôle ou de plan de masse d'un ou plusieurs transistors d'un niveau supérieur au niveau N₁ déjà formé.

Pour cela, on forme un empilement de couches 31, 33, 35 conductrices. L'empilement comprend de préférence une couche conductrice 31 disposée directement sur les éléments 22a, 22b, 22c, de connexion c'est-à-dire en contact avec ces éléments. Dans l'exemple de réalisation particulier illustré sur la figure 2B, lorsque les éléments de connexion 22a, 22b, 22c sont en cuivre, cette couche conductrice 31 est une couche barrière de diffusion au cuivre recouvrant les éléments de connexion 22a, 22b, 22c. La couche barrière 31 est formée par exemple d'un empilement de Ti et de TiN. La couche barrière 31 peut avoir une épaisseur comprise par exemple entre 3 et 10 nm.

Une couche 33 en matériau métallique est ensuite déposée. Dans l'exemple illustré la couche 33 en matériau métallique s'étend « pleine plaque », c'est-à-dire de sorte à recouvrir toute la face supérieure de la structure de départ. Le matériau métallique est choisi en fonction du travail de sortie que l'on souhaite conférer aux électrodes dites « arrière ». La couche 33 de matériau métallique peut être par exemple à base de TiN ou de TaN ou de W et avoir une épaisseur comprise par exemple entre 3 et 15 nm.

Sur certaines parties localisées, l'empilement peut comprendre avantageusement une couche conductrice 35 supplémentaire. Dans l'exemple de réalisation illustré, la couche conductrice 35 est une couche métallique supplémentaire qui s'étend en regard d'un ou plusieurs éléments de connexion 22a, 22b, mais pas en regard de l'élément de connexion 22c. Le matériau de la couche conductrice 35 est choisi en fonction du travail de sortie que l'on souhaite conférer à au moins électrode « arrière » particulière. On peut ainsi obtenir des travaux de sortie différents entre une électrode destinée à être formée dans l'empilement de couches 31, 33, et une autre électrode destinée à être formée dans l'empilement de couches 31, 33, 35, et comportant donc cette couche supplémentaire permettant d'ajuster le travail de sortie. Une couche conductrice 35 à base de TiN ou de TaN ou de W d'épaisseur qui peut être comprise par exemple entre 3 et 15 nm peut être par exemple prévue.

L'empilement de couches 31, 33, 35 est revêtu ensuite d'une couche superficielle 37 en un matériau 38 de piégeage de l'oxygène et qui est apte à s'oxyder.

Autrement dit, le matériau 38 est un matériau getter d'oxygène et apte à s'oxyder. Le matériau 38 est de préférence un matériau qui lorsqu'il se trouve sous forme oxydée, est susceptible de pouvoir présenter un important pouvoir d'adhésion avec une couche d'oxyde de silicium destinée à être formée ultérieurement. Par exemple, le matériau 38 peut être à base de Titane, ou de silicium amorphe non-hydrogéné ou de Molybdène ou de Ruthénium. On choisit typiquement l'épaisseur de matériau 38 notamment en fonction de la solubilité de l'oxygène dans ce dernier.

Par exemple, lorsque le matériau 38 getter est du Ti, on peut considérer une solubilité théorique de l'oxygène dans le Ti par exemple de l'ordre de 33%. Généralement, un collage direct est effectué au moyen d'une préparation hydrophile et s'accompagne de l'adsorption de quelques monocouches d'eau qui produisent un oxyde non stœchiométrique TiOx. L'étape de préparation permet la formation d'oxyde et peut comprendre une étape de CMP ou d'activation plasma ou une étape d'exposition UV d'ozone.

Si l'on souhaite obtenir une couche de TiOx de l'ordre de 2 nm, on peut typiquement prévoir une épaisseur de matériau 38 par exemple de l'ordre d'au moins 10

nm. Cette valeur tient compte d'un cas dans lequel la zone de matériau getter oxydé occuperait l'intégralité d'une surface que l'on souhaite coller ultérieurement avec un support. L'épaisseur de matériau 38 choisie peut toutefois dépendre également du ratio de surface que ce matériau 38 est destiné à occuper dans l'interface de collage qui sera
5 réalisée ultérieurement.

Selon une étape ultérieure illustrée sur la figure 1C, on grave la superposition de couches 31, 33, 35, 37 de sorte à former des blocs 40b, 40c distincts et définir ainsi des électrodes arrières distinctes.

Sur un premier élément de connexion 22b on forme ainsi un premier
10 bloc 40b comprenant un empilement d'une première région conductrice 34b revêtue d'une première zone 37b en matériau 38 de piégeage d'oxygène sur cette première région conductrice 34b. Sur un deuxième élément de connexion 22c on forme un deuxième bloc 40c comprenant un empilement d'une deuxième région 34c conductrice revêtue d'une deuxième zone 37c en matériau 38 de piégeage d'oxygène sur la deuxième
15 région conductrice.

On forme ensuite entre les blocs 40b, 40c distincts et de préférence également autour des blocs 40b, 40c une zone isolante afin de réaliser au moins une isolation électrique entre les électrodes arrière, une isolation autour de ces électrodes pouvant également être prévue.

20 La zone isolante peut être réalisée comme sur l'exemple de la figure 2D par dépôt d'un empilement de couches 51, 52 de matériaux diélectriques.

Une couche diélectrique 51, qui peut être réalisée par dépôt conforme, est tout d'abord déposée. La couche diélectrique 51 peut être prévue en un matériau apte à former une barrière de diffusion au cuivre tel que par exemple du SiCN. Cette
25 couche diélectrique 51 a par exemple une épaisseur de l'ordre de 15 nm.

On remplit ensuite une tranchée entre les blocs 40b, 40c par une couche 52 d'un autre matériau diélectrique choisi de sorte à pouvoir servir de matériau de collage en vue de l'assemblage ultérieur de la structure avec un autre support. Le collage envisagé est un collage direct. La couche 52 est typiquement réalisée en oxyde de
30 silicium. La couche 52 a par exemple une épaisseur de l'ordre de 20 nm ou inférieure.

Comme suggéré précédemment, on choisit de préférence l'épaisseur de matériau 38 formée dans les blocs 40b, 40c également en fonction du ratio de surface que ce matériau 38 est destiné à occuper dans la surface totale de l'interface de collage.

Lorsque l'on colle une structure recouverte de blocs de matériau getter et de blocs d'oxyde, on tient compte du ratio de surface occupée par le matériau getter sur toute la surface incluant les blocs de matériau getter et les blocs d'oxyde. Par exemple, si l'on considère un matériau 38 getter en Ti et un ratio de 50% de la surface occupée par ce matériau 38 par rapport à la surface totale de l'interface de collage également composée à 50% de la couche 52 de SiO_2 on peut prévoir une épaisseur de matériau 38 par exemple de l'ordre de 20 nm.

L'épaisseur de matériau 38 peut également être choisie en fonction de la répartition des blocs et plus particulièrement de leur espacement.

On effectue ensuite une planarisation des couches diélectriques 51, 52, par exemple par CMP, de manière à obtenir des zones isolantes 53 entre et autour les blocs 40b, 40c et de même hauteur que ces blocs 40b, 40c (figure 2E).

On obtient ainsi une face supérieure plane ou comportant peu de relief afin de favoriser un assemblage ultérieur par collage direct avec un support 100.

Un tel assemblage par collage direct est illustré par exemple sur les figures 2F-2G.

Le support 100 que l'on reporte sur la structure déjà réalisée est revêtu d'une fine couche d'oxyde diélectrique 101. Le support est également doté d'au moins couche semi-conductrice 102 à partir de laquelle on prévoit de réaliser un niveau supérieur de transistors. La couche semi-conductrice 102 du support 100 peut avoir une épaisseur par exemple comprise entre plusieurs nanomètres et 50 nanomètres. Typiquement, la couche semi-conductrice 102 du support 100 est disposée sur une ou plusieurs couches 103, 104, avec en particulier une couche 103 d'arrêt de gravure par exemple en oxyde de silicium et une couche 104 épaisse de soutien mécanique par exemple en silicium.

La fine couche 101 d'oxyde diélectrique a une épaisseur prévue suffisamment faible pour permettre ultérieurement d'établir un couplage électrostatique

encore appelé couplage capacitif entre la couche semi-conductrice 102 et une ou plusieurs des électrodes arrière déjà formées. La fine couche d'oxyde diélectrique 101 est avantageusement une couche d'oxyde thermique typiquement à base d'oxyde de silicium et a une épaisseur qui peut être prévue inférieure à 20nm, par exemple entre 10 et 20 nm.

On peut prévoir avantageusement un temps d'attente entre une préparation hydrophile en vue du collage et l'étape de recuit thermique. Une telle attente, par exemple de l'ordre de plusieurs dizaines de minutes ou supérieure à une heure, et que l'on pourra adapter en fonction de l'espacement des différents blocs 40a, 40b, peut permettre de donner suffisamment de temps aux molécules d'eau qui se déplacent librement à une vitesse par exemple de l'ordre de 160 $\mu\text{m/h}$ de se répartir au niveau des différents blocs 40a, 40b.

L'assemblage par collage direct comprend typiquement un recuit thermique à une température comprise par exemple entre 200°C et 550°C, pendant une durée qui peut être comprise par exemple de l'ordre d'une heure. Le recuit est dans cet exemple réalisé sous atmosphère oxydante. Les blocs 40b, 40c revêtus de matériau 38 de piégeage d'oxygène absorbent de l'oxygène et s'oxydent superficiellement.

On forme ainsi des portions oxydées 37'b, 37'c susceptibles de présenter une bonne adhésion avec l'oxyde diélectrique 101.

Une oxydation préalable au recuit thermique est également possible. Le recuit thermique permet alors de renforcer l'adhésion.

Les zones isolantes 53 formées autour des blocs 40a, 40b revêtus de portions oxydées 37'b, 37'c adhèrent également à l'oxyde diélectrique 101 lorsqu'elles sont en oxyde de silicium et peuvent ainsi participer au collage.

Une fois l'assemblage réalisé, on retire ensuite, lorsqu'elles sont présentes, les couches 103, 104 du support par exemple à l'aide d'étapes de gravure et planarisation (CMP) et de manière à dévoiler la couche semi-conductrice 102 à partir de laquelle un ou plusieurs transistors sont aptes à être formés (figure 2H).

Ainsi, des étapes de formation de zones actives dans la couche semi-conductrice 102, puis sur cette couche 102 semi-conductrice d'électrodes de grilles de

transistor d'un niveau supérieur N_2 , puis d'éléments de contacts sont ensuite typiquement réalisées.

Dans l'exemple illustré sur la figure 3, des portions semi-conductrices 102a, 102b distinctes sont formées à partir de la couche semi-conductrices 102 reportée sur le niveau N_1 inférieur de transistors. Dans une première portion semi-conductrice 102a, un canal de transistor T_{21} est prévu, tandis qu'une autre portion semi-conductrice 102b, séparée de la première portion 102a, accueille un canal d'un autre transistor T_{22} . Dans l'exemple particulier illustré, des transistors T_{21} , T_{22} de types différents, en particulier à structures de grilles et de canal différents sont réalisés. Le transistor T_{21} a une structure de grille 106a enrobante recouvrant la face supérieure et les faces latérales d'une portion semi-conductrice 102a en forme d'ailette (« fin » selon la terminologie anglo-saxonne). Le transistor T_{22} a, quant à lui, une structure avec une grille 106b planaire disposée sur la portion semi-conductrice 102b. Les grilles 106a, 106b peuvent être formées par exemple d'un empilement de polysilicium et de TiN sur un diélectrique de grille formé d'un empilement de HfO_2 et de SiO_x .

Les transistors T_{21} et T_{22} peuvent être isolés entre eux par le biais d'isolation de type communément appelé « STI » (pour « Shallow trench isolation », ou de manière préférentielle, de type communément appelé « mesa », autrement dit sans réaliser des tranchées allant sous les transistors.

Les régions conductrices 34b, 34c disposées respectivement sous la région de canal du premier transistor T_{21} et sous la région de canal de l'autre transistor T_{22} peuvent être couplées par couplage capacitif ou électrostatique à ces régions de régions de canal et peuvent ainsi former des électrodes de contrôle supplémentaires de ces régions de canal. La possibilité d'établissement d'un tel couplage dépend de la composition et de l'épaisseur d'un empilement isolant séparant chaque région conductrice 34a (ou 34b), avec la portion semi-conductrice 102a (respectivement 102b) de canal qui se trouve en regard.

Autrement dit, elle dépend notamment de l'épaisseur et de la composition de la fine couche d'oxyde de silicium 101 ainsi que de l'épaisseur et de la

composition de la zone de matériau getter oxydée située sous les portions semi-conductrices 102a, 102b.

Les transistors T_{21} , T_{22} sont recouverts d'au moins une couche isolante 113, dans laquelle des éléments conducteurs 114a, 114b, 114c, 114d, 114e sont réalisés.

5 Un élément conducteur 114a peut permettre de prendre contact avec le niveau d'interconnexion agencé sur le niveau inférieur N_1 de transistors, tandis que des éléments conducteurs 114c, 114d, 114e permettent de prendre contact respectivement avec les transistors T_{21} et T_{22} de niveau supérieur N_2 . Dans l'exemple illustré, un élément conducteur 114b permet de prendre contact sur la région conductrice 34b formant une
10 électrode arrière de transistor T_{21} .

Une variante de réalisation va à présent être donnée en liaison avec les figures 4A-4D.

La structure de départ est semblable à celle décrite précédemment en lien avec la figure 2A avec des éléments de connexion 22a, 22b, 22c formés au-dessus du
15 niveau inférieur N_1 de transistors. Ces éléments de connexion 22a, 22b, 22c ont une extrémité formée dans une épaisseur de matériau isolant comportant une couche superficielle 17', typiquement en oxyde de silicium.

On effectue ensuite un retrait de portions d'extrémité des éléments de connexion 22a, 22b, 22c, de manière à former des trous 23a, 23b, 23c, dans l'épaisseur
20 isolante et en particulier dans la couche superficielle 17'. Les trous 23a, 23b, 23c réalisés dévoilent les éléments de connexion 22a, 22b, 22c. A titre d'exemple, on peut retirer une épaisseur correspondant sensiblement à la profondeur des trous 23a, 23b, 23c, par exemple de l'ordre de plusieurs dizaines de nanomètres.

On forme ensuite dans les trous 23a, 23b, 23c, des régions conductrices
25 destinées à former des électrodes de contrôle arrière.

Pour former ces régions conductrices, on réalise typiquement un empilement de couches 31, 33, conductrices, une couche conductrice 31 barrière de diffusion au cuivre étant formée par exemple de Co ou d'un empilement de Ti et de TiN et d'une couche 33 en matériau métallique.

D'un trou à l'autre, des empilements différents peuvent être mis en œuvre afin de pouvoir réaliser, comme cela a été décrit précédemment, des électrodes de contrôle arrière de compositions différentes d'un transistor à l'autre.

5 Ainsi, dans un ou plusieurs trous 23a, 23b on forme en une couche conductrice 35 supplémentaire, cette couche conductrice 35 supplémentaire n'étant pas disposée dans au moins un autre trou 23c.

Un tel remplissage sélectif peut être effectué par exemple en réalisant tout d'abord un masquage 28, par exemple à base de résine ou de nitrure, typiquement formé par photolithographie, sur des parties de la structure sur lesquelles on souhaite
10 réaliser la couche 35 supplémentaire.

Dans l'exemple illustré sur la figure 4C, le trou 23c n'est ainsi pas protégé par le masquage 28, tandis que d'autres trous 23a, 23b sont recouverts par le masquage 28.

Puis, on grave la couche conductrice 35 supplémentaire au niveau des
15 parties non masquées. On retire ensuite le masquage 28.

Dans cet exemple de réalisation, et du fait de la réalisation des régions conductrices dans des trous, lorsque les éléments de connexion 22a, 22b, 22c sont en cuivre, la première couche conductrice 31 de l'empilement formant les régions conductrices, peut suffire à former une barrière de diffusion. Ainsi, on peut prévoir dans
20 cet exemple d'assurer la barrière de diffusion par une couche métallique plutôt qu'au moyen d'une couche de matériau diélectrique.

La figure 4D illustre une étape ultérieure de formation d'une couche de matériau 38 apte à absorber l'oxygène et s'oxyder sur la structure. Certaines zones de matériau 38 getter d'oxygène sont formées dans les trous 23a, 23b, 23c et recouvrent les
25 différentes régions conductrices 34a, 34b, 34c réalisées dans les trous.

Afin de pouvoir retirer les couches déposées autour des trous et dépassant de l'embouchure des trous, on peut ensuite effectuer une planarisation (CMP). Pour effectuer cela, on peut au préalable comme sur la figure 4E, former une couche isolante 39, par exemple d'oxyde de silicium.

Les régions conductrices et zones de matériau 38 getter recouvrant ces régions sont ainsi conservées uniquement dans les trous 23a, 23b, 23c.

Une fois le retrait effectué, on peut ensuite procéder (figure 4F) à l'assemblage du support 100 doté de la fine couche d'oxyde diélectrique 101 servant au collage et la couche semi-conductrice 102 dans laquelle des canaux de transistors sont prévus.

REVENDEICATIONS

1. Procédé de réalisation d'un circuit à transistors superposés comprenant :

5 a) prévoir une structure comportant au moins un niveau inférieur (N_1) d'un ou plusieurs transistors (T_{11} , T_{12}) ayant une région de canal formée dans une première couche semi-conductrice (11) reposant sur un substrat, lesdits transistors étant recouverts d'au moins une couche isolante (15-16-17, 15-16-17') dans laquelle un ou plusieurs éléments de connexion (22a, 22b, 22c) sont formés, ladite structure étant
10 revêtue d'une ou plusieurs zones (37b, 37c) en matériau donné (38), getter d'oxygène et apte à s'oxyder,

b) assembler ladite structure avec un support (100) doté d'au moins une deuxième couche semi-conductrice (110) dans laquelle un ou plusieurs canaux respectivement d'un ou plusieurs transistors d'un niveau supérieur (N_2) sont prévus, la
15 deuxième couche semi-conductrice (110) étant revêtue d'une fine couche (101) d'oxyde de silicium, en particulier du SiO_2 , l'assemblage de ladite structure et du support (100) étant réalisé par collage dans lequel la fine couche (101) d'oxyde de silicium est collée à des portions oxydées desdites une ou plusieurs zones dudit matériau donné (38) getter d'oxygène.

20 2. Procédé selon la revendication 1, dans lequel ledit matériau donné (38) getter d'oxygène est choisi parmi les matériaux suivants : Ti, Mo, Ru, Si non hydrogéné.

25 3. Procédé selon l'une des revendications 1 ou 2, dans lequel lesdites une ou plusieurs zones (37b, 37c) en matériau donné (38), getter d'oxygène et apte à s'oxyder sont disposées respectivement sur une ou plusieurs régions conductrices (34b, 34c), lesdites régions conductrices étant elles-mêmes disposées respectivement sur lesdits un ou plusieurs élément de connexion (22a, 22b, 22c), au moins une desdites

régions conductrices (34b, 34c) formant une électrode de contrôle du canal d'un transistor donné dudit niveau supérieur (N_2) ou un plan de masse dudit transistor donné.

4. Procédé selon l'une des revendications 1 à 3, dans lequel au moins
 5 une première région conductrice (34b) parmi lesdites régions conductrices (34b, 34c) forme une électrode de contrôle du canal d'un transistor donné dudit niveau supérieur (N_2) et est réalisée sur un premier élément de connexion (22b), la première région conductrice comportant un premier empilement de couches métalliques (31, 33, 35), ledit premier empilement étant revêtu d'une zone (37b) à base dudit matériau donné getter
 10 d'oxygène, au moins une deuxième région conductrice (34c) parmi lesdites régions conductrices (34b, 34c) étant réalisée sur un autre élément de connexion (22c) et formée d'un deuxième empilement de couches métalliques (33, 35) différent dudit premier empilement, ledit deuxième empilement étant revêtu d'une autre zone (37c) à base dudit matériau donné (38) getter d'oxygène.

15

5. Procédé selon l'une des revendications 1 à 4, dans lequel ladite structure à l'étape a) est pourvue de plusieurs régions conductrices chacune revêtue d'une zone à base de matériau getter d'oxygène, lesdites régions conductrices étant séparées entre elles par au moins un bloc (53) d'oxyde de silicium, en particulier du SiO_2 ,
 20 l'assemblage de la structure et du support étant réalisé en outre par collage entre la fine couche (101) d'oxyde de silicium et le bloc (53) d'oxyde de silicium.

6. Procédé selon la revendication 5, dans lequel la réalisation dudit bloc (53) d'oxyde de silicium comprend des étapes de :

25 - réalisation d'une tranchée (44) entre une première région conductrice (34b) et une deuxième région conductrice (34c) parmi lesdites régions conductrices (34b, 34c),

- remplissage de ladite tranchée (44) à l'aide d'au moins une couche d'oxyde de silicium (52),

30 - planarisation de ladite couche d'oxyde de silicium (52).

7. Procédé selon la revendication 6, dans lequel préalablement à ladite couche d'oxyde de silicium (52), on forme une couche de matériau diélectrique (51) barrière de diffusion au cuivre tapissant le fond et les parois latérales de ladite tranchée (44).

8. Procédé selon l'une des revendications 1 à 5, dans lequel ladite couche isolante (15-16-17') dans laquelle lesdits un ou plusieurs éléments de connexion (22a, 22b, 22c) sont formés comporte une couche superficielle (17') en oxyde de silicium apte à être collée à ladite fine couche (101) d'oxyde de silicium lors dudit assemblage de la structure et du support par collage, lesdits éléments de connexion (22a, 22b, 22c) comportent chacun une portion supérieure d'extrémité traversant ladite couche superficielle (17') en oxyde de silicium, la réalisation desdites régions conductrices (34b, 34c) revêtues de zone (37b, 37c) en matériau donné (38), getter d'oxygène comprenant des étapes de :

- retrait desdites portions d'extrémité de sorte à former des trous (23a, 23b, 23c) dans la couche superficielle (17') dévoilant respectivement des portions restantes desdits éléments de connexion (22a, 22b, 22c), puis

- formation dans les trous (23a, 23b, 23c) des régions conductrices puis des zones de matériau donné getter d'oxygène.

9. Procédé selon l'une des revendications 1 à 8, dans lequel au moins un élément de connexion (22b) donné parmi lesdits éléments de connexion (22a, 22b, 22c) est en cuivre, au moins une desdites régions conductrices comprenant une couche conductrice (31) barrière de diffusion au cuivre en contact avec ledit élément de connexion (22b) en cuivre.

10. Dispositif à transistors superposés comprenant : au moins un niveau inférieur (N_1) d'un ou plusieurs transistors (T_{11} , T_{12}) ayant une région de canal formée dans une première couche semi-conductrice (11) reposant sur un substrat, lesdits

transistors du niveau inférieur étant recouverts d'au moins une couche isolante (15-16-17, 15-16-17') dans laquelle un ou plusieurs éléments de connexion (22a, 22b, 22c) sont formés et sont reliés respectivement à une ou plusieurs régions conductrices (34b, 34c), les régions conductrices étant revêtues respectivement d'une ou plusieurs zones (37'b, 37'c) d'oxyde, en matériau donné (38) getter d'oxygène oxydé tel que du TiO_2 , ou du MoO_2 , ou du RuO_2 , ou du SiO_2 , lesdites zones d'oxydes étant assemblées à une fine couche (101) d'oxyde de silicium d'un support (100) doté d'au moins une deuxième couche semi-conductrice (110) dans laquelle un ou plusieurs canaux respectivement d'un ou plusieurs transistors d'un niveau supérieur (N_2) est ou sont formé(s), la fine couche (101) d'oxyde de silicium étant revêtue de la deuxième couche semi-conductrice (110), au moins une première région conductrice parmi lesdites régions conductrices (34b, 34c) formant une électrode de contrôle de canal ou formant un plan de masse d'un transistor donné (T_{21}) du niveau supérieur (N_2) dont le canal s'étend dans la deuxième couche semi-conductrice (110).

11. Dispositif selon la revendication 10, dans lequel la première région conductrice (34b) est revêtue d'un empilement isolant formé d'une zone (37b) d'oxyde parmi lesdites zones (37b, 37c) d'oxyde en matériau donné (38) getter d'oxygène oxydé, et de la fine couche (101) d'oxyde de silicium, l'empilement isolant ayant une épaisseur et une composition prévues de manière à permettre un couplage électrostatique entre la première région conductrice (34b) et le canal dudit transistor donné (T_{21}).

12. Dispositif selon l'une des revendications 10 ou 11, dans lequel la première région conductrice (34b) est connectée à un élément de connexion (22b) donné parmi lesdits éléments de connexion (22a, 22b, 22c), l'élément de connexion donné étant à base de cuivre, la première région conductrice comprenant une couche conductrice (31) barrière de diffusion en contact avec ledit élément de connexion donné en cuivre.

13. Dispositif selon la revendication 12, dans lequel ledit élément de connexion (22b) donné en cuivre est formé d'une ligne conductrice (20) horizontale reliée

à une autre ligne conductrice (18) horizontale par le biais d'un élément conducteur vertical (19).

5 14. Dispositif selon l'une des revendications 10 à 13, dans lequel la première région conductrice (34b) est entourée d'une couche de matériau diélectrique (51) barrière de diffusion.

10 15. Dispositif selon l'une des revendications 10 à 14, dans lequel la première région conductrice (34b) est formée d'un empilement de couches métalliques (33, 35) et dans lequel au moins une deuxième région conductrice (34c) parmi lesdites régions conductrices (34b, 34c) est disposée sur un autre élément de connexion (22c) et formée d'un empilement de couches métalliques (33, 35) différent du premier empilement.

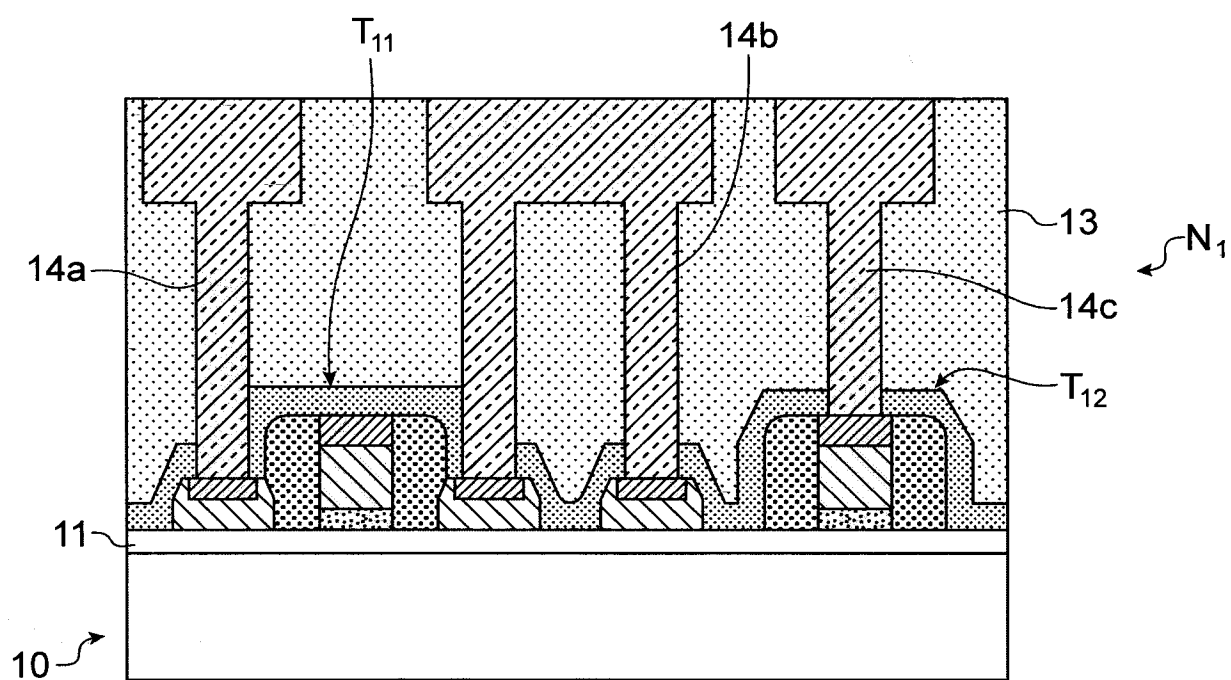


FIG.1

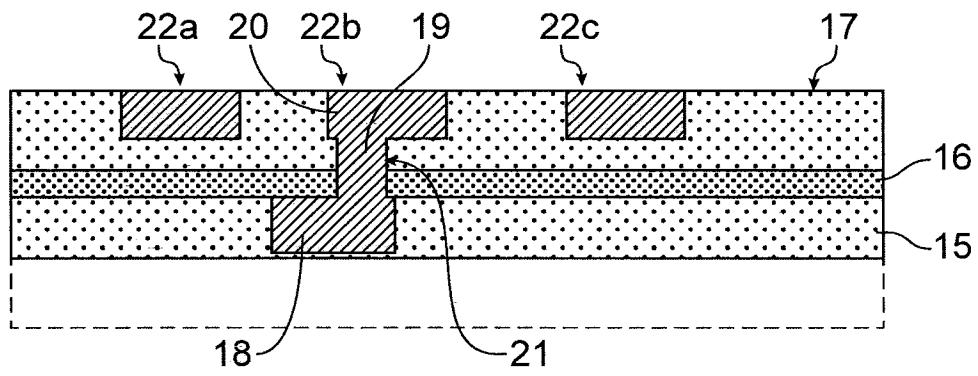


FIG. 2A

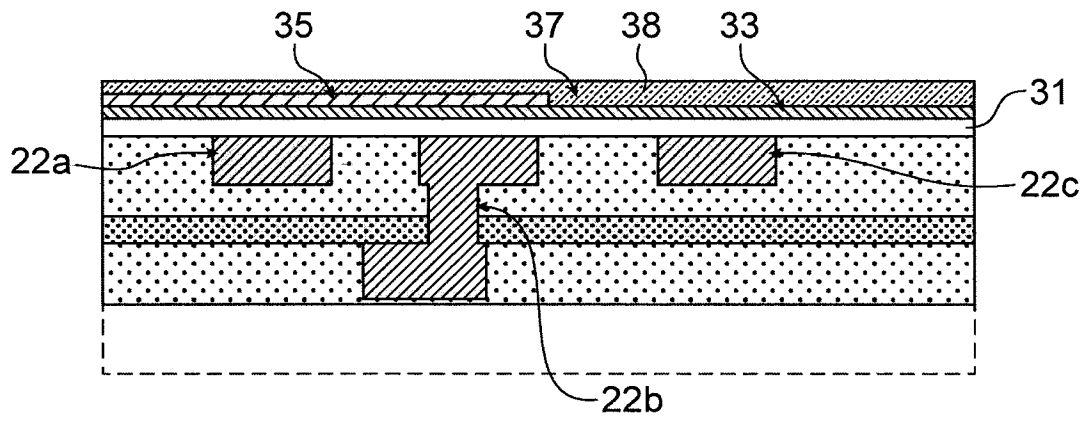


FIG. 2B

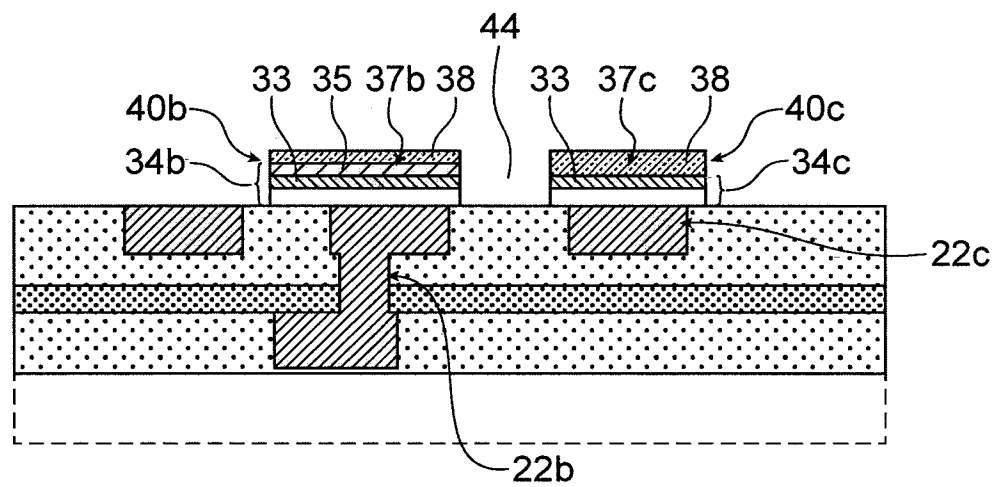


FIG. 2C

3/6

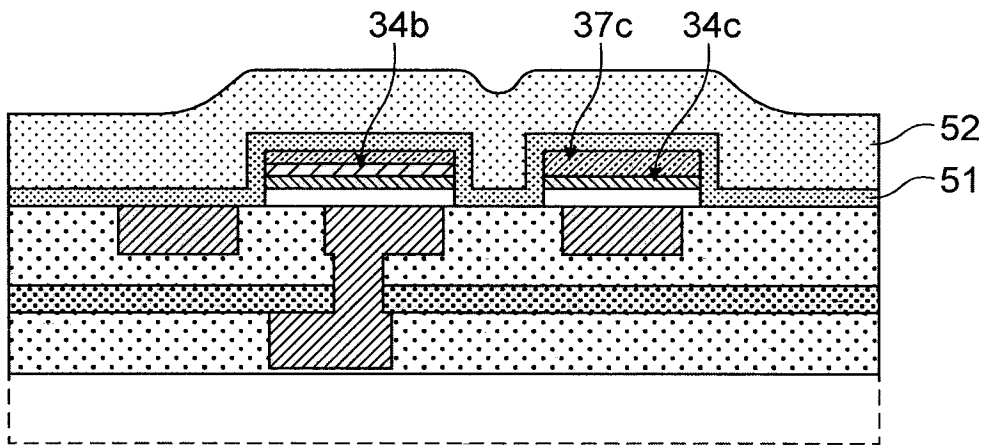


FIG. 2D

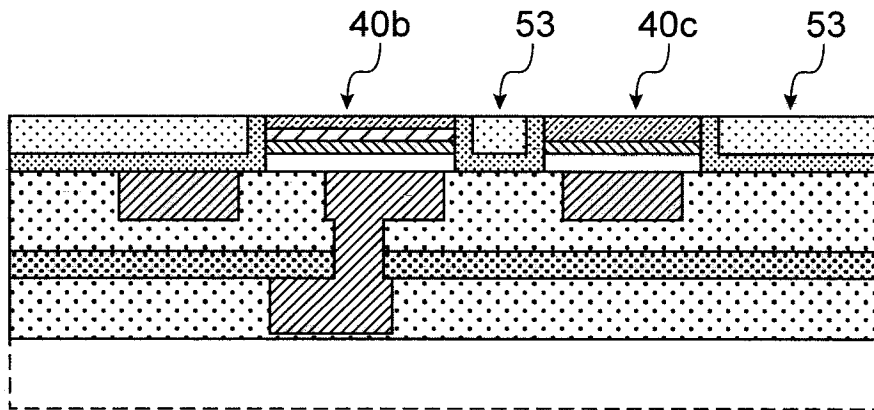


FIG. 2E

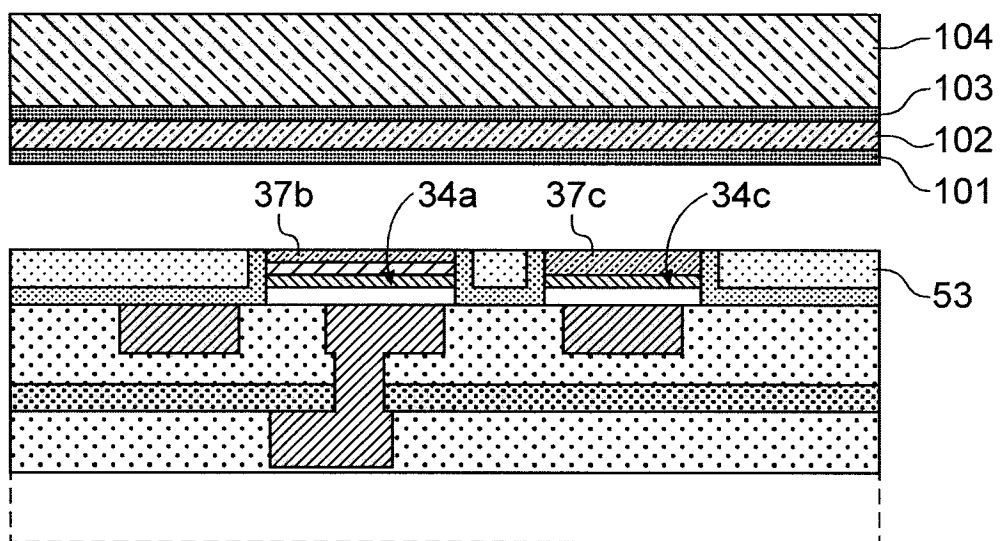


FIG. 2F

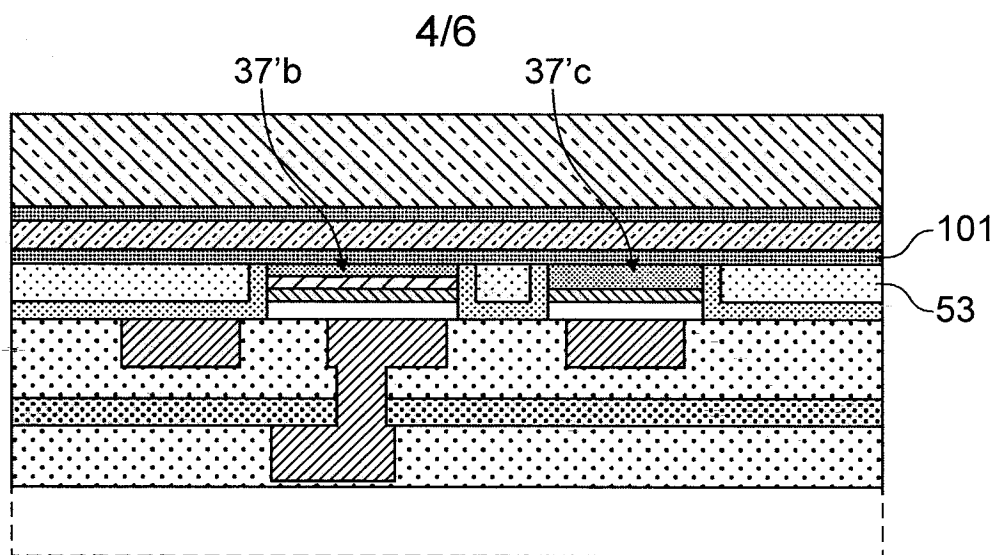


FIG. 2G

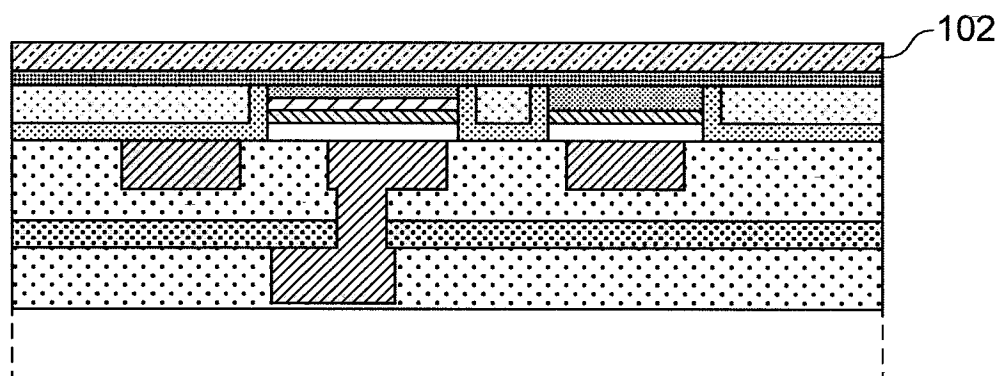


FIG. 2H

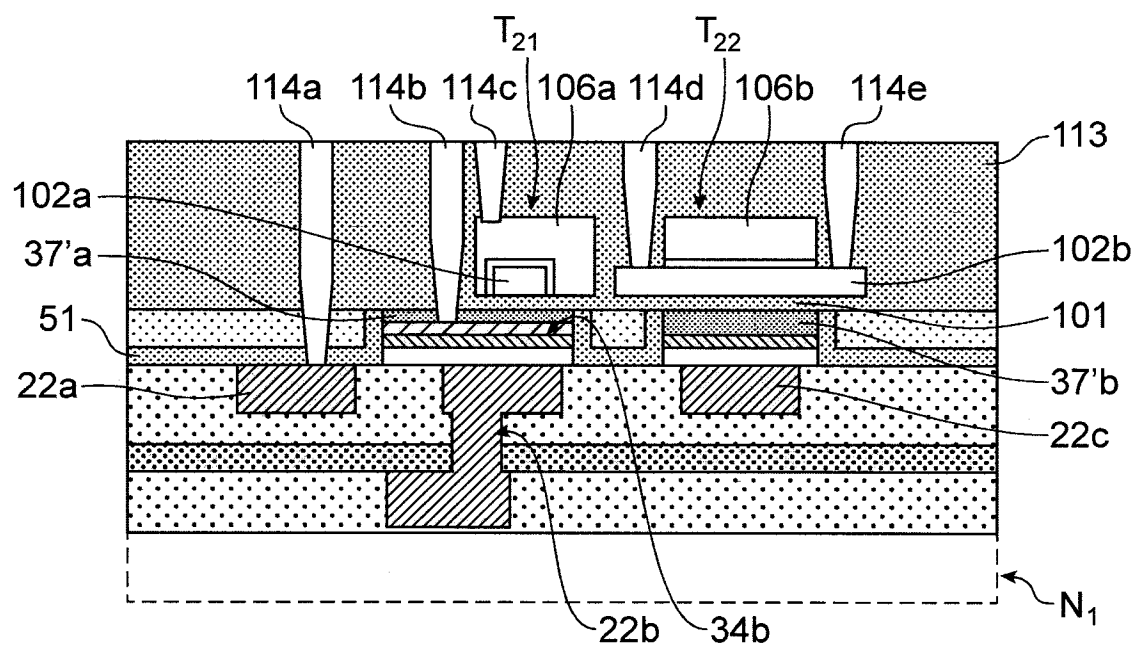


FIG. 3

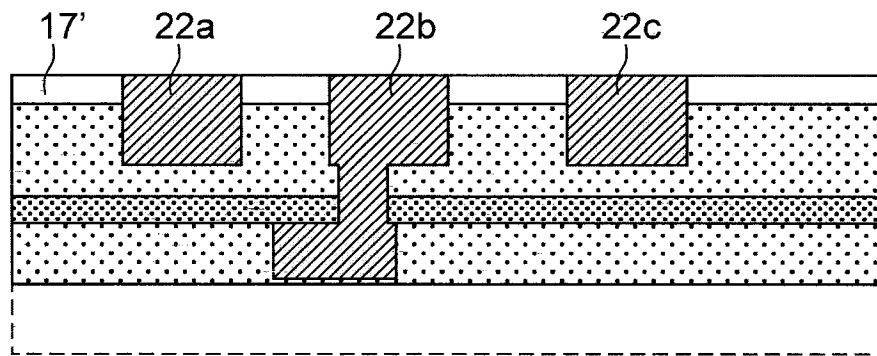


FIG. 4A

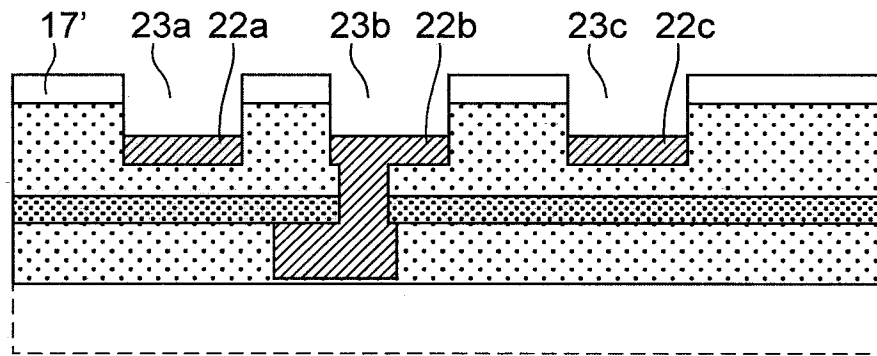


FIG. 4B

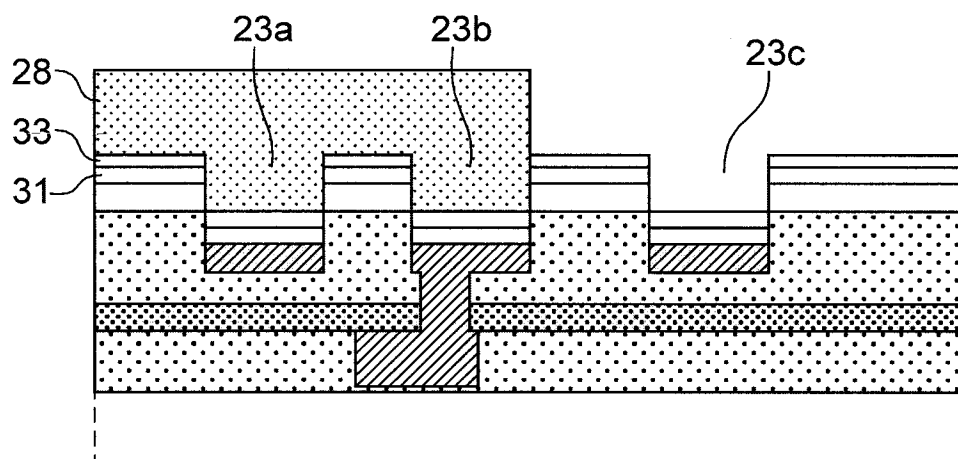


FIG. 4C

6/6

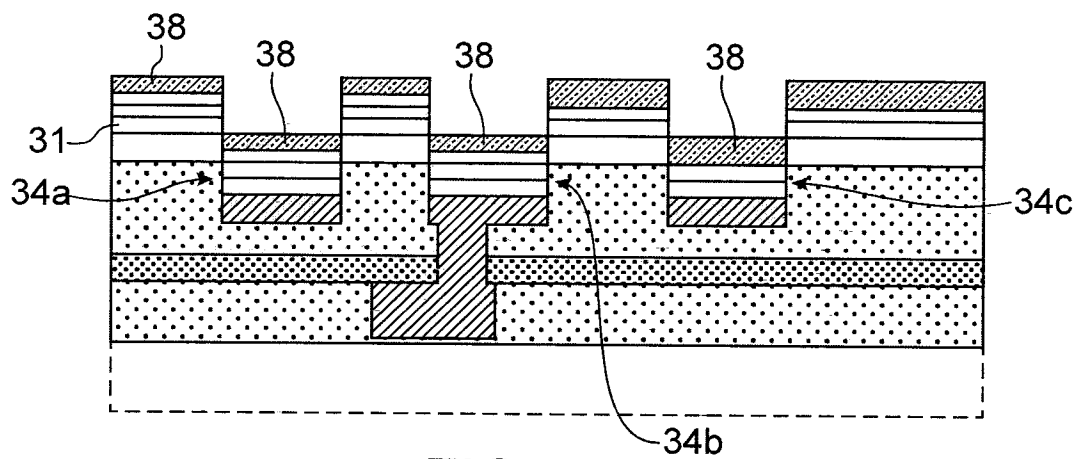


FIG. 4D

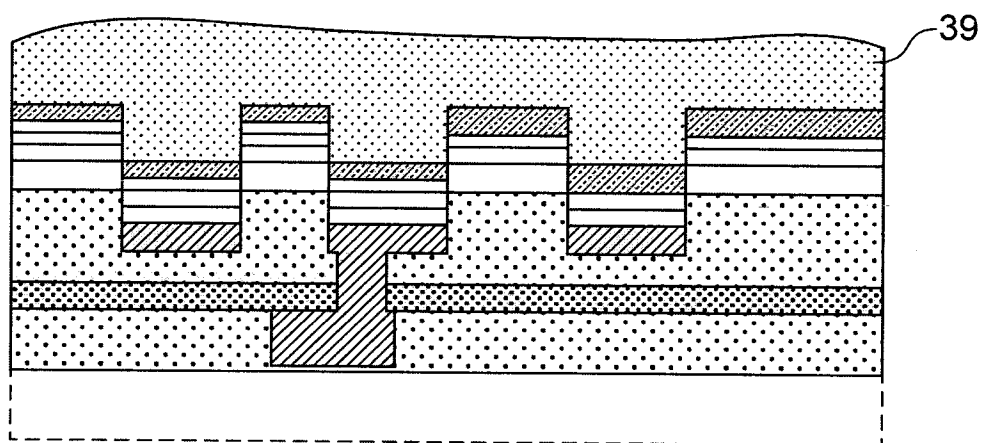


FIG. 4E

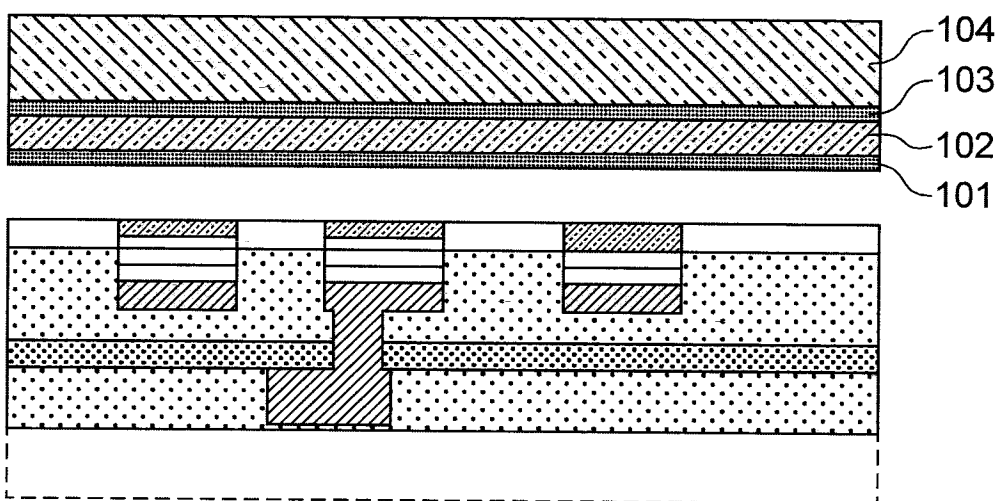


FIG. 4F



INSTITUT NATIONAL
DE LA PROPRIÉTÉ
INDUSTRIELLE

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 850782
FR 1763164

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	EP 0 238 066 A2 (FUJITSU LTD [JP]) 23 septembre 1987 (1987-09-23)	1,2,9	H01L21/77 H01L27/12
Y	* colonne 1, ligne 12 - ligne 23 *	3,5-8	
A	* colonne 4, ligne 5 - colonne 5, ligne 25; figures 2-4 * * colonne 7, ligne 21 - ligne 23 * * colonne 7, ligne 47 - colonne 9, ligne 23; figure 12 *	4,10-15	
X	FR 2 961 016 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 9 décembre 2011 (2011-12-09)	10-14	
Y	* page 5, ligne 7 - ligne 13 *	15	
A	* page 12, ligne 3 - ligne 8 * * page 14, ligne 6 - ligne 21 * * page 23, ligne 15 - page 24, ligne 19; figure 5 * * page 28, ligne 22 - ligne 29 *	7,9	
Y	US 2013/193550 A1 (SKLENARD BENOIT [FR] ET AL) 1 août 2013 (2013-08-01)	3,5-8	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A	* alinéas [0040], [0045]; figure 3 *	4,10-15	H01L
Y	US 2015/102419 A1 (IKEDA KEIJI [JP] ET AL) 16 avril 2015 (2015-04-16)	15	
A	* alinéas [0018], [0034]; figure 1 *	4	
Date d'achèvement de la recherche		Examineur	
24 septembre 2018		Seck, Martin	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE **RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1763164 FA 850782**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
 Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **24-09-2018**
 Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0238066	A2	23-09-1987	EP 0238066 A2	23-09-1987
			JP 2559700 B2	04-12-1996
			JP S62216352 A	22-09-1987
			US 4826787 A	02-05-1989

FR 2961016	A1	09-12-2011	EP 2577730 A2	10-04-2013
			FR 2961016 A1	09-12-2011
			US 2013203248 A1	08-08-2013
			WO 2011154360 A2	15-12-2011

US 2013193550	A1	01-08-2013	FR 2986370 A1	02-08-2013
			US 2013193550 A1	01-08-2013

US 2015102419	A1	16-04-2015	JP 5826716 B2	02-12-2015
			JP 2014003184 A	09-01-2014
			TW 201401487 A	01-01-2014
			US 2015102419 A1	16-04-2015
			WO 2013190863 A1	27-12-2013
