

(12) 发明专利

(10) 授权公告号 CN 101615260 B

(45) 授权公告日 2013. 02. 13

(21) 申请号 200910150401. 4

(22) 申请日 2009. 06. 19

(30) 优先权数据

2008-168471 2008. 06. 27 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 鸟山显宏 渡边一希

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

G06K 19/07(2006. 01)

G06K 19/073(2006. 01)

(56) 对比文件

US 2005056704 A1, 2005. 03. 17, 全文.

US 2005224589 A1, 2006. 02. 23, 全文.

WO 2007135434 A1, 2007. 11. 29, 全文.

US 2007026825 A1, 2007. 02. 01, 全文.

US 2006038024 A1, 2006. 02. 23, 全文.

WO 2006095186 A1, 2006. 09. 14, 全文.

JUNG-HYUN CHO ET AL. An NFC transceiver with RF-powered RFID transponder mode.《IEEE ASIAN SOLID-STATE CIRCUITS》. 2007, 172-175.

审查员 卞喜双

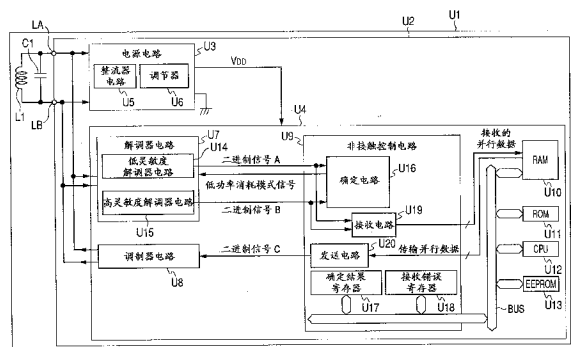
权利要求书 6 页 说明书 22 页 附图 16 页

(54) 发明名称

半导体集成电路、安装有该电路的 IC 卡和该 IC 卡操作方法

(57) 摘要

提供一种半导体集成电路、安装有该电路的 IC 卡和该 IC 卡操作方法,其中可以在短时间内接收至少三种接收信号中的任一种接收信号。来自天线的射频信号并行供应给在解调器电路中包括的第一和第二解调器电路。第一解调器电路解调第一调制的第一接收信号。第二解调器电路解调具有第一通信开始信号(SOF)的第二接收信号和具有第二通信开始信号(前导)的第三接收信号。第一和第二解调器电路的解调输出信号供应给确定电路。当确定第一解调器电路的解调输出时,确定目前接收第一接收信号。当确定第二解调器电路对第二接收信号的解调输出时,确定目前接收第二接收信号。当确定第二解调器电路对第三接收信号的解调输出时,确定目前接收第三接收信号。



1. 一种半导体集成电路,包括:

第一天线耦合端子;

第二天线耦合端子;

电源电路;

解调器电路;以及

确定电路,

其中在所述第一天线耦合端子与所述第二天线耦合端子之间供应由天线接收的射频信号,

其中所述电源电路向所述解调器电路和所述确定电路供应通过对所述射频信号进行整流和平滑来生成的操作电压,

其中所述解调器电路包括第一解调器电路和第二解调器电路,

其中在所述第一天线耦合端子与所述第二天线耦合端子之间供应的所述射频信号并行供应给所述第一解调器电路的输入和所述第二解调器电路的输入,

其中所述第一解调器电路解调作为所述射频信号的具有第一调制度的第一接收信号,并且生成第一解调输出信号,

其中所述第二解调器电路解调作为所述射频信号的第二接收信号和第三接收信号,并且生成第二解调输出信号,其中所述第二接收信号具有与所述第一调制度不同的第二调制度并且具有第一格式的第一通信开始信号,所述第三接收信号具有所述第二调制度并且具有第二格式的第二通信开始信号,

其中所述第一解调器电路的所述第一解调输出信号和所述第二解调器电路的所述第二解调输出信号供应给所述确定电路,

其中当所述确定电路确定所述第一解调器电路生成所述第一解调输出信号时,所述确定电路确定接收作为所述射频信号的具有所述第一调制度的所述第一接收信号,

其中当所述确定电路确定所述第一解调器电路没有生成所述第一解调输出信号时,所述确定电路确定所述第一通信开始信号与所述第二通信开始信号之间的格式差异,

其中当所述确定电路确定所述第二解调器电路通过解调具有所述第一格式的所述第一通信开始信号的所述第二接收信号,生成所述第二解调输出信号时,所述确定电路确定接收作为所述射频信号的所述第二接收信号,并且

其中当所述确定电路确定所述第二解调器电路通过解调具有所述第二格式的所述第二通信开始信号的所述第三接收信号,生成所述第二解调输出信号时,所述确定电路确定接收作为所述射频信号的所述第三接收信号。

2. 根据权利要求 1 所述的半导体集成电路,

其中当所述确定电路确定所述第一解调器电路生成所述第一解调输出信号时,所述第二解调器电路的操作由所述确定电路生成的控制信号暂停,并且

其中当所述确定电路确定所述第一解调器电路没有生成所述第一解调输出信号时,所述第一解调器电路的操作由所述确定电路生成的所述控制信号暂停。

3. 根据权利要求 2 所述的半导体集成电路,

其中所述第一接收信号、所述第二接收信号和所述第三接收信号是 ASK 调制信号,所述第一调制度和所述第二调制度由 ASK 调制度给定,并且所述第二调制度具有比所述第一

调制度更小的 ASK 调制度，

其中所述第一解调器电路解调具有 ASK 调制度大的所述第一调制度的所述第一接收信号，并且生成所述第一解调输出信号，并且

其中所述第二解调器电路解调具有 ASK 调制度小的所述第二调制度的所述第二接收信号和所述第三接收信号，并且生成所述第二解调输出信号。

4. 根据权利要求 3 所述的半导体集成电路，

其中所述第二接收信号的所述第一格式的所述第一通信开始信号是先于第一用户数据的第一报头信息，并且所述第三接收信号的所述第二格式的所述第二通信开始信号是先于第二用户数据的第二报头信息。

5. 根据权利要求 4 所述的半导体集成电路，还包括：

中央处理单元；

随机存取存储器；

非易失性存储器；

接收电路；

发送电路；以及

调制器电路，

其中将由所述中央处理单元执行的程序存储于所述非易失性存储器中，

其中在由所述第一解调器电路生成的所述第一解调输出信号中包括的第一接收数据以及在由所述第二解调器电路生成的所述第二解调输出信号中包括的第二接收数据通过所述接收电路存储于所述随机存取存储器中，

其中所述中央处理单元被控制成在所述第一接收数据和所述第二接收数据的其中之一存储于所述随机存取存储器之前处于低功率消耗状态，并且响应于在所述随机存取存储器中存储所述第一接收数据和所述第二接收数据的所述其中之一，从所述低功率消耗状态转变成操作状态，

其中转变成所述操作状态的所述中央处理单元读出所述随机存取存储器中存储的数据，根据所述处理程序来处理从所述随机存取存储器读出的所述存储的数据，将所述处理的相关数据存储在所述随机存取存储器，并且在所述相关存储之后从所述操作状态转变成所述低功率消耗状态，

其中所述发送电路从所述随机存取存储器读出所述处理的数据并且将所述读取的相关数据传送到所述调制器电路，并且

其中响应于所述传送的相关数据，所述调制器电路生成将要从所述天线传输的射频传输信号。

6. 根据权利要求 5 所述的半导体集成电路，

其中所述第一接收信号符合国际标准 ISO/IEC 14443A 类，所述第二接收信号符合国际标准 ISO/IEC 14443B 类，并且所述第三接收信号符合国际标准 ISO/IEC 18092。

7. 一种 IC 卡，包括：

安装于衬底之上的半导体集成电路；以及

设置于所述衬底之上的由布线形成的天线，

其中所述半导体集成电路包括第一天线耦合端子、第二天线耦合端子、电源电路、解调

器电路和确定电路，

其中在所述第一天线耦合端子与所述第二天线耦合端子之间供应由所述天线接收的射频信号，

其中所述电源电路向所述解调器电路和所述确定电路供应通过对所述射频信号进行整流和平滑而生成的操作电压，

其中所述解调器电路包括第一解调器电路和第二解调器电路，

其中在所述第一天线耦合端子与所述第二天线耦合端子之间供应的所述射频信号并行供应给所述第一解调器电路的输入和所述第二解调器电路的输入，

其中所述第一解调器电路解调作为所述射频信号的具有第一调制度的第一接收信号，并且生成第一解调输出信号，

其中所述第二解调器电路解调作为所述射频信号的第二接收信号和第三接收信号，并且生成第二解调输出信号，其中所述第二接收信号具有与所述第一调制度不同的第二调制度并且具有第一格式的第一通信开始信号，所述第三接收信号具有所述第二调制度并且具有第二格式的第二通信开始信号，

其中所述第一解调器电路的所述第一解调输出信号和所述第二解调器电路的所述第二解调输出信号供应给所述确定电路，

其中当所述确定电路确定所述第一解调器电路生成所述第一解调器输出信号时，所述确定电路确定接收作为所述射频信号的具有所述第一调制度的所述第一接收信号，

其中当所述确定电路确定所述第一解调器电路没有生成所述第一解调输出信号时，所述确定电路确定所述第一通信开始信号与所述第二通信开始信号之间的格式差异，

其中当所述确定电路确定所述第二解调器电路通过解调具有所述第一格式的所述第一通信开始信号的所述第二接收信号，生成所述第二解调输出信号时，所述确定电路确定接收作为所述射频信号的所述第二接收信号，并且

其中当所述确定电路确定所述第二解调器电路通过解调具有所述第二格式的所述第二通信开始信号的所述第三接收信号，生成所述第二解调输出信号时，所述确定电路确定接收作为所述射频信号的所述第三接收信号。

8. 根据权利要求 7 所述的 IC 卡，

其中当所述确定电路确定所述第一解调器电路生成所述第一解调输出信号时，所述第二解调器电路的操作由所述确定电路生成的控制信号暂停，并且

其中当所述确定电路确定所述第一解调器电路没有生成所述第一解调输出信号时，所述第一解调器电路的操作由所述确定电路生成的所述控制信号暂停。

9. 根据权利要求 8 所述的 IC 卡，

其中所述第一接收信号、所述第二接收信号和所述第三接收信号是 ASK 调制信号，所述第一调制度和所述第二调制度由 ASK 调制度给定，并且所述第二调制度具有比所述第一调制度更小的 ASK 调制度，

其中所述第一解调器电路解调具有 ASK 调制度大的所述第一调制度的所述第一接收信号，并且生成所述第一解调输出信号，并且

其中所述第二解调器电路解调具有 ASK 调制度小的所述第二调制度的所述第二接收信号和所述第三接收信号，并且生成所述第二解调输出信号。

10. 根据权利要求 9 所述的 IC 卡，

其中所述第二接收信号的所述第一格式的所述第一通信开始信号是先于第一用户数据的第一报头信息，并且所述第三接收信号的所述第二格式的所述第二通信开始信号是先于第二用户数据的第二报头信息。

11. 根据权利要求 10 所述的 IC 卡，

其中所述半导体集成电路还包括中央处理单元、随机存取存储器、非易失性存储器、接收电路、发送电路和调制器电路，

其中将由所述中央处理单元执行的处理程序存储于所述非易失性存储器中，

其中在由所述第一解调器电路生成的所述第一解调输出信号中包括的第一接收数据以及在由所述第二解调器电路生成的所述第二解调输出信号中包括的第二接收数据通过所述接收电路存储于所述随机存取存储器中，

其中所述中央处理单元被控制成在所述第一接收数据和所述第二接收数据的其中之一存储于所述随机存取存储器之前处于低功率消耗状态，并且响应于在所述随机存取存储器中存储所述第一接收数据和所述第二接收数据的所述其中之一，从所述低功率消耗状态转变成操作状态，

其中转变成所述操作状态的所述中央处理单元读出所述随机存取存储器中存储的数据，根据所述处理程序来处理从所述随机存取存储器读出的所述存储的数据、将所述处理的相关数据存储到所述随机存取存储器，并且在所述相关存储之后，从所述操作状态转变成所述低功率消耗状态，

其中所述发送电路从所述随机存取存储器读出所述处理的数据，并且将所述读取的相关数据传送到所述调制器电路，并且

其中响应于所述传送的相关数据，所述调制器电路生成将要从所述天线传输的射频传输信号。

12. 根据权利要求 11 所述的 IC 卡，

其中所述第一接收信号符合国际标准 ISO/IEC 14443A 类，所述第二接收信号符合国际标准 ISO/IEC 14443B 类，并且所述第三接收信号符合国际标准 ISO/IEC 18092。

13. 一种用于 IC 卡的操作方法，所述 IC 卡包括：

安装于衬底之上的半导体集成电路；以及

设置于所述衬底之上的由布线形成的天线，

其中所述半导体集成电路包括第一天线耦合端子、第二天线耦合端子、电源电路、解调器电路和确定电路，

其中在所述第一天线耦合端子与所述第二天线耦合端子之间供应由所述天线接收的射频信号，

其中所述电源电路向所述解调器电路和所述确定电路供应通过对所述射频信号进行整流和平滑而生成的操作电压，

其中所述解调器电路包括第一解调器电路和第二解调器电路，

其中在所述第一天线耦合端子与所述第二天线耦合端子之间供应的所述射频信号并行供应给所述第一解调器电路的输入和所述第二解调器电路的输入，

其中所述第一解调器电路解调作为所述射频信号的具有第一调制度的第一接收信号，

并且生成第一解调输出信号，

其中所述第二解调器电路解调作为所述射频信号的第二接收信号和第三接收信号，并且生成第二解调输出信号，其中所述第二接收信号具有与所述第一调制度不同的第二调制度并且具有第一格式的第一通信开始信号，所述第三接收信号具有所述第二调制度并且具有第二格式的第二通信开始信号，

其中所述第一解调器电路的所述第一解调输出信号和所述第二解调器电路的所述第二解调输出信号供应给所述确定电路，

其中当所述确定电路确定所述第一解调器电路生成所述第一解调输出信号时，所述确定电路确定接收作为所述射频信号的具有所述第一调制度的所述第一接收信号，

其中当所述确定电路确定所述第一解调器电路没有生成所述第一解调输出信号时，所述确定电路确定所述第一通信开始信号与所述第二通信开始信号之间的格式差异，

其中当所述确定电路确定所述第二解调器电路通过解调具有所述第一格式的所述第一通信开始信号的所述第二接收信号，生成所述第二解调输出信号时，所述确定电路确定接收作为所述射频信号的所述第二接收信号，并且

其中当所述确定电路确定所述第二解调器电路通过解调具有所述第二格式的所述第二通信开始信号的所述第三接收信号，生成所述第二解调输出信号时，所述确定电路确定接收作为所述射频信号的所述第三接收信号。

14. 根据权利要求 13 所述的用于 IC 卡的操作方法，

其中当所述确定电路确定所述第一解调器电路生成所述第一解调输出信号时，所述第二解调器电路的操作由所述确定电路生成的控制信号暂停，并且

其中当所述确定电路确定所述第一解调器电路没有生成所述第一解调输出信号时，所述第一解调器电路的操作由所述确定电路生成的所述控制信号暂停。

15. 根据权利要求 14 所述的用于 IC 卡的操作方法，

其中所述第一接收信号、所述第二接收信号和所述第三接收信号是 ASK 调制信号，所述第一调制度和所述第二调制度由 ASK 调制度给定，并且所述第二调制度具有比所述第一调制度更小的 ASK 调制度，

其中所述第一解调器电路解调具有 ASK 调制度大的所述第一调制度的所述第一接收信号，并且生成所述第一解调输出信号，并且

其中所述第二解调器电路解调具有 ASK 调制度小的所述第二调制度的所述第二接收信号和所述第三接收信号，并且生成所述第二解调输出信号。

16. 根据权利要求 15 所述的用于 IC 卡的操作方法，

其中所述第二接收信号的所述第一格式的所述第一通信开始信号是先于第一用户数据的第一报头信息，并且所述第三接收信号的所述第二格式的所述第二通信开始信号是先于第二用户数据的第二报头信息。

17. 根据权利要求 16 所述的用于 IC 卡的操作方法，

其中所述半导体集成电路还包括中央处理单元、随机存取存储器、非易失性存储器、接收电路、发送电路和调制器电路，

其中将由所述中央处理单元执行的程序存储于所述非易失性存储器中，

其中在由所述第一解调器电路生成的所述第一解调输出信号中包括的第一接收数据

以及在由所述第二解调器电路生成的所述第二解调输出信号中包括的第二接收数据通过所述接收电路存储于所述随机存取存储器中，

其中所述中央处理单元被控制成在所述第一接收数据和所述第二接收数据的其中之一存储于所述随机存取存储器之前处于低功率消耗状态，并且响应于在所述随机存取存储器中存储所述第一接收数据和所述第二接收数据的其中之一，从所述低功率消耗状态转变成操作状态，

其中转变成所述操作状态的所述中央处理单元读出所述随机存取存储器中存储的数据，根据所述处理程序来处理从所述随机存取存储器读出的所述存储的数据、将所述处理的相关数据存储到所述随机存取存储器，并且在所述相关存储之后，从所述操作状态转变成所述低功率消耗状态，

其中所述发送电路从所述随机存取存储器读出所述处理的数据，并且将所述读取的相关数据传送到所述调制器电路，并且

其中响应于所述传送的相关数据，所述调制器电路生成将从所述天线传输的射频传输信号。

18. 根据权利要求 17 所述的用于 IC 卡的操作方法，

其中所述第一接收信号符合国际标准 ISO/IEC 14443A 类，所述第二接收信号符合国际标准 ISO/IEC 14443B 类，并且所述第三接收信号符合国际标准 ISO/IEC 18092。

半导体集成电路、安装有该电路的 IC 卡和该 IC 卡操作方法

[0001] 相关申请的交叉引用

[0002] 包括说明书、附图和说明书摘要、于 2008 年 6 月 27 日提交的日本专利申请 No. 2008-168471 的公开内容通过整体引用而结合于此。

技术领域

[0003] 本发明涉及一种半导体集成电路、一种安装有该半导体集成电路的 IC 卡和一种用于该 IC 卡的操作方法,并且具体地涉及对于在短时间内接收至少三种接收信号中的任何一种接收信号有用的技术。

背景技术

[0004] 根据国际标准 ISO/IEC 14443,具有非接触接口的 IC 卡称为 PICC 并且进行与称为 PCD 的读取器 / 写入器的射频通信。ISO 代表国际标准化组织,而 IEC 代表国际电工委员会。PICC 代表邻近卡,而 PCD 代表邻近耦合设备。

[0005] 例如,如以下非专利文献 1 中所示,在国际标准 ISO/IEC 14443A 类中,从 PCD 到 PICC 的通信使用以 ASK 100%幅度调制方法中的改进型密勒方法为基础的编码系统。然而,在国际标准 ISO/IEC14443B 类中,从 PCD 到 PICC 的通信使用以 ASK 100%幅度调制方法中的 NRZ-L 方法为基础的编码方法。NRZ-L 代表不归零电平。ASK 代表作为数字调制方法之一的幅移键控。

[0006] 例如,如以下非专利文献 2 中所示,国际标准 ISO/IEC 14443 规定,应当在 PCC 进入操作场中之后 5 毫秒内接受请求。还规定,A 类 PICC 无论接收 B 类什么命令都应当在 5 毫秒内接受 A 类请求命令。相似地规定,B 类 PICC 无论接收 A 类什么命令都应当在 5 毫秒内接受 B 类请求。

[0007] 另外,如非专利文献 2 中所述,在 A 类初始化中,A 类 PICC 按照 A 类请求命令从空闲状态转变成就绪状态,并且按照选择命令从就绪状态转变成活跃状态,而且按照暂停命令从活跃状态转变成暂停状态。就绪状态具有防冲突环。

[0008] 如以下非专利文献 2 和专利文献 5 中所述,在 B 类初始化中,B 类 PICC 在空闲状态中等待 B 类请求命令。这一请求命令使 B 类 PICC 预备生成应用族标识符 (AFI)、属性信息参数 (PARAM) 和循环冗余校验检错码 (CRC)。在检测到 AFI 符合时,B 类 PICC 向 PCD 传输对 B 类请求的响应。这一响应包括伪唯一标识符 (PUPI)、应用信息 (应用数据)、协议信息和循环冗余校验检错码 (CRC)。随后,在接受 PICC 选择命令时,B 类 PICC 向 PCD 传输对该接受的响应并且转变成活跃状态。B 类传输数据称为作为帧的字符,并且该帧由 SOF (帧开始) 和 EOF (帧结束) 界定。各 SOF 和 EOF 包括一个下降沿和预定长度的逻辑“0”。

[0009] 近年来,已经广泛使用称为近场通信 (NFC) 的近程无线通信技术,该技术实现家用电器和数字媒体之间面向消费者的无线通信连接并且简化和扩展对内容和商业账户的处理。这一 NFC 技术具有与现有各种通信方法的兼容性并且使得可以使用 13.56MHz 的射频频率按照 847kbps 的最大通信速率和按照约 10cm 的距离执行近程通信。具体而言,NFC

技术安装于具有如下内置 IC 卡微型计算机（安全芯片）的移动电话终端中，该微型计算机具有电子结算功能，其目的在于增强终端用户侧对诸如在商店购买的商品的非接触支付、在车站对运输费的非接触支付等各种非接触电子结算实际使用的便利性。NFC 代表近场通信。

[0010] 以下非专利文献 3 描述了国际标准 ISO/IEC 18092 NFC 的内容。ISO/IEC 18092 NFC 的传送速率为 212kbps 到 424kbps 的通信利用调制方法为 ASK 8% 至 30% 幅度调制的以曼彻斯特方法为基础的编码系统。在无源通信模式中，发起方生成向目标方供应能量的射频电场。另一方面，在有源通信模式中，发起方和目标方交替地生成射频电场。

[0011] 在 ISO/IEC 18092 的三个传送速率（106kbps、212kbps 和 424kbps）之一的通信的初始化中，将应用切换成有源通信模式并且选择三个传送速率之一。在传送速率为 212kbps 或者 424kbps 的无源通信模式的初始化中，在数据分组之前插入前导。该前导包括逻辑“0”被编码在其中的最少 48 位。

[0012] 以下专利文献 1 描述了一种可以按照 ISO/IEC 14443 的以下各种通信过程由 CPU 的如下判断部分根据应用来通信的非接触 IC 卡，该判断部分规定从卡读取器 / 写入器传输的信号的调制方法和编码系统。

[0013] 以下专利文献 2 描述了一种邻近型非接触 IC 卡，其中 ISO/IEC14443A 类请求信号由 ASK 100% 幅度解调电路和改进型密勒解码电路处理，而 B 类请求信号由 ASK 10% 幅度解调电路和 NRZ-L 解码电路处理。由于接收 A 类和 B 类请求信号之一而另一请求信号被错误地处理并且变成无意义的位串，所以算术电路比较两个输出值并且选择有意义的信号。用于算术运算的应用存储于 IC 卡的非易失性存储器中，并且通信方法可以使用 A 类或者 B 类。然而，IC 卡的优先级表描述了出于读取器 / 写入器设备所致的供应电压裕度不充分等原因而将 B 类优先级设置得较高。

[0014] 另一方面，以下专利文献 3 描述了一种包括比如天线线圈、整流器电路、电源电路、CPU、解调器电路、调制器电路、非接触控制电路、ROM、RAM 和 EEPROM 这样的部件的非接触 IC 卡。除了天线线圈以外的部件集成于硅衬底上。非接触控制电路包括检测高速类前导的第一检测器电路和检测 ISO/IEC 14443B 类 SOF 的第二检测器电路。高速类是曼彻斯特编码方法中的前导报头系统，而 B 类是 NRZ 编码方法中的 SOF 报头系统。第一检测器电路的报头检测信号和第二检测器电路的报头检测信号供应给通信方法检测电路。通过 CPU 的程序执行的第一处理来处理来自第一检测器电路的输出，并且通过 CPU 的程序执行的第二处理来处理来自第二检测器电路的输出。第一处理和第二处理之一的无用处理的执行由通信方法检测电路中的高速类或者 B 类的重合检测输出信号禁止。

[0015] 以下专利文献 4 描述了一种非接触 IC 卡，该 IC 卡区别向 ISO/IEC 14443B 类中的传输数据的开头添加的 SOF 信号的逻辑值“0”的长时间宽度和 ISO/IEC 18092 的曼彻斯特码的传输数据的逻辑值“0”的短时间宽度。

[0016] （非专利文献 1）D.Baddeley, " Final Committee Draft ISO/IEC14443-2 " Identification cards-Contactless integrated circuit(s) cards-Proximity cards-Part 2:Radio frequency power and signal interface, <http://www.waaza.org/download/fcd-14443-2.pdf> (检索于 2008 年 5 月 30 日)。

[0017] （非专利文献 2）D.Baddeley, " FINAL COMMITTEE DRAFT ISO/IEC

14443-3" Identification cards-Contactless integrated circuit(s) cards-Proximity cards-Part 3: Initialization and anticollision, <http://www.waaza.org/download/fcd-14443-3.pdf> (检索于 2008 年 5 月 30 日)。

[0018] (非专利文献 3) INTERNATIONAL STANDARD ISO/IEC 18092, " Information technology-Telecommunications and information exchange between systems-Near Field Communication-Interface and Protocol (NFCIP-1)", <http://standards.iso.org/ittf/licence.html> (检索于 2008 年 5 月 30 日)。

[0019] (专利文献 1) 日本专利公开 No. 2008-059271

[0020] (专利文献 2) 日本专利公开 No. 2003-249870

[0021] (专利文献 3) 日本专利公开 No. 2006-060363

[0022] (专利文献 4) 日本专利公开 No. 2006-072678

[0023] (专利文献 5) 美国专利 No. 7364083-B2, 说明书

发明内容

[0024] 在本发明之前, 本发明人从事对具有如下非接触接口的 IC 卡的开发, 该非接触接口安装于在与非接触读取器 / 写入器设备的通信中使用 NFC 技术的移动电话中。已经变得有必要让非接触 IC 卡安装如上所述三种 NFC 通信功能: ISO/IEC 14443A 类通信功能、ISO/IEC 14443B 类通信功能和 ISO/IEC 18092 的通信功能。

[0025] 非接触 IC 卡不仅可以安装于具有电池的移动电话中而且可以用作无电池的 IC 卡单体。在其中非接触 IC 卡用作无电池的 IC 卡单体的环境中, 来自 IC 卡的内部电路的操作功率电压仅由如下操作电压供应, 该操作电压是通过由非接触读取器 / 写入器设备传输并由天线接收的射频载波信号进行整流和平滑来生成的。从非接触读取器 / 写入器设备接收射频载波信号的天线由如下螺旋形线圈组成, 该螺旋形线圈由设置于 IC 卡的树脂模制绝缘衬底的表面之上的印刷布线形成。通过对用天线接收的射频载波信号进行整流和平滑来生成的操作电压的驱动能力比较小。

[0026] 另一方面, 在非接触 IC 卡的实际操作环境中, 难以预测非接触 IC 卡进入三种之中哪一类非接触读取器 / 写入器设备的通信范围内。另一方面, 由国际标准 ISO/IEC 14443 规定的 A 类和 B 类 IC 卡需要在进入操作场之后 5 毫秒内接受请求命令。然而, 本发明人的考察已经澄清, 难以在通过对由天线接收的射频载波信号进行整流和平滑来生成的操作电压的较小的驱动能力之下并行操作接受三种请求命令的用于三个命令的三个检测器电路。另一方面, 本发明人已经研究用以随机切换用于一个命令的检测器电路的命令接收功能的方法。然而, 本发明人的考察已经澄清, 也难以在由国际标准规定的 5 毫秒内接收请求命令。

[0027] 作为本发明人在本发明之前进行的考察结果, 实现了本发明。

[0028] 因此, 本发明的一个目的在于在短时间内接受至少三种接收信号中的任一类接收信号。

[0029] 本发明的另一目的在于减少在接收任一上述类型的接收信号时的功率消耗。本发明的又一目的在于使得可以在从由天线接收的射频信号生成的操作电压的较小驱动能力之下操作。

[0030] 本发明的其它目的和新特征将从本说明书和附图的描述中变得清楚。

[0031] 下文是对本申请中公开的发明中的一个典型发明的简短说明。

[0032] 也就是,根据本发明的典型半导体集成电路(U2)包括第一天线耦合端子(LA)、第二天线耦合端子(LB)、电源电路(U3)、解调器电路(U7)和确定电路(U16)。

[0033] 在第一天线耦合端子与第二天线耦合端子之间供应天线(L1)的射频信号。电源电路通过对射频信号进行整流和平滑来生成操作电压(V_{DD})并且将生成的操作电压供应给解调器电路和确定电路。

[0034] 解调器电路(U7)包括天线(L1)的射频信号被并行供应到的第一解调器电路(U14)和第二解调器电路(U15)。第一解调器电路(U14)解调作为射频信号的具有第一调制度(100%)的第一接收信号(A类)并且生成第一解调输出信号(二进制信号A)。第二解调器电路(U15)解调作为射频信号的具有第二调制度(10%)且具有第一格式的第一通信开始信号(SOF)的第二接收信号(B类)并且也解调具有第二调制度且具有第二格式的第二通信开始信号(前导)的第三接收信号("18092")。因而,第二解调器电路(U15)生成第二解调输出信号(二进制信号B)。

[0035] 第一解调器电路(U14)的第一解调输出信号和第二解调器电路(U15)的第二解调输出信号供应给确定电路(U16)(参照图1)。

[0036] 当确定电路(U16)确定第一解调器电路(U14)生成第一解调输出信号时,确定电路(U16)确定目前接收作为射频信号的具有第一调制度的第一接收信号(图7中的步骤F4-2、步骤F4-4)。当确定电路(U16)确定第一解调器电路(U14)没有生成第一解调输出信号时,确定电路确定第一通信开始信号的格式与第二通信开始信号的格式之间的差异(图7中的步骤F4-3)。当确定电路(U16)确定第二解调器电路(U15)通过解调具有第一格式的第一通信开始信号的第二接收信号(B类)来生成第二解调输出信号时,确定电路(U16)确定目前接收第二接收信号(图7中的步骤F4-3、步骤F4-5)。当确定电路(U16)确定第二解调器电路(U15)通过解调具有第二格式的第二通信开始信号的第三接收信号("18092")来生成第二解调输出信号时,确定电路(U16)确定目前接收第三接收信号(图7中的步骤F4-3、步骤F4-6)。

[0037] 下文简短地说明通过由本申请公开的发明中的一个典型发明来获得的效果。也就是,根据本发明,可以在短时间内接受至少三种接收信号中的任一类接收信号。

附图说明

[0038] 图1是图示了根据本发明一个实施例的非接触IC卡的基本配置的图;

[0039] 图2(A)是图示了在ASK调制度是ISO/IEC 14443A类中的100%情况下在非接触IC卡中从非接触读取器/写入器设备接收的接收信号的波形的图;

[0040] 图2(B)是图示了在ASK调制度是ISO/IEC 14443B类和ISO/IEC 18092中的10%情况下在非接触IC卡中从非接触读取器/写入器设备接收的接收信号的波形的图;

[0041] 图3是图示了ISO/IEC 14443B类传输数据的帧结构的图;

[0042] 图4是图示了ISO/IEC 18092的传输数据分组的结构的图;

[0043] 图5是图示了在从非接触读取器/写入器设备传输到非接触IC卡的ISO/IEC 14443B类传输数据的传输速度分别是106kbps、212kbps、424kbps和848kbps的情况下在帧

开头的通信开始信号 S0F 的时域长度的图；

[0044] 图 6 是图示了在从非接触读取器 / 写入器设备传输到非接触 IC 卡的 ISO/IEC 18092 的传输数据的传输速度分别是 212kbps、424kbps 和 848kbps 的情况下在传输数据分组开头的前导的逻辑“0”的时域长度的图；

[0045] 图 7 是用于说明图 1 的非接触 IC 卡在非接触 IC 卡检测来自非接触读取器 / 写入器设备的接收信号是 A 类、B 类和“18092”中的哪种数据通信方法情况下的操作流程的流程图；

[0046] 图 8 是用于说明图 1 的非接触 IC 卡在非接触 IC 在初始接收中没有接收错误、对数据通信方法的确定结果存储于确定结果寄存器中并且在初始接收之后的接收中对数据通信方法的确定被省略的情况下的操作流程的流程图；

[0047] 图 9 是用于说明图 1 的非接触 IC 卡非接触 IC 卡在图 7 的操作流程中执行从在步骤 F4 的初始接收到在步骤 F5 由于接收错误而结束接收的操作之后的操作流程的流程图；

[0048] 图 10 是图示了在图 1 中所示非接触 IC 卡的半导体集成电路的内部电路中包括的非接触控制电路的配置的图；

[0049] 图 11 是图示了在图 1 中所示非接触 IC 卡的半导体集成电路的内部电路的非接触控制电路中包括的确定电路的配置的图；

[0050] 图 12 是图示了根据本发明一个实施例的半导体集成电路的电路配置的图；

[0051] 图 13 是图示了组成图 12 中所示根据本发明一个实施例的半导体集成电路的各种器件的布局的硅芯片平面图；

[0052] 图 14 是图示了在图 1 中所示非接触 IC 卡从非接触读取器 / 写入器设备基于 ISO/IEC 14443A 类数据通信方法对接收信号进行接收的情况下的操作的图；

[0053] 图 15 是图示了在图 1 中所示非接触 IC 卡从非接触读取器 / 写入器设备基于 ISO/IEC 14443B 类数据通信方法对接收信号进行接收的情况下的操作的图；

[0054] 图 16 是图示了在图 1 中所示非接触 IC 卡从非接触读取器 / 写入器设备基于 ISO/IEC 18092 的数据通信方法对接收信号进行接收的情况下的操作的图；

[0055] 图 17 是图示了在图 1 中所示非接触 IC 卡从非接触读取器 / 写入器设备基于 ISO/IEC 14443B 类数据通信方法对接收信号进行接收之时改变数据通信速度并且非接触 IC 卡再次基于相同 B 类来对接收信号进行接收的情况下的操作的图；

[0056] 图 18 是图示了在比如图 1 中所示非接触 IC 卡 U1 的 ROM(U10) 或者 EEPROM(U13) 这样的非易失性存储器中存储的并且由非接触 IC 卡 U1 执行的各种程序的结构图；

[0057] 图 19 是图示了图 1 中所示非接触 IC 卡 U1 的结构图；以及

[0058] 图 20 是图示了安装于移动电话中的图 1 中所示非接触 IC 卡的外观图。

具体实施方式

[0059] 《典型实施例》首先,说明关于本申请中公开的本发明一个典型实施例的概况。在关于典型实施例的概况说明中在括号内对附图的部件进行引用的标号仅说明在附有该标号的该部件的概念中包括的内容。

[0060] (1) 根据本发明一个典型实施例的半导体集成电路 (U2) 包括第一天线耦合端子

(LA)、第二天线耦合端子 (LB)、电源电路 (U3)、解调器电路 (U7) 和确定电路 (U16)。

[0061] 在第一天线耦合端子与第二天线耦合端子之间供应由天线 (L1) 接收的射频信号。电源电路通过对射频信号进行整流和平滑来生成操作电压 (V_{DD}) 并且将生成的操作电压供应给解调器电路和确定电路。

[0062] 解调器电路 (U7) 包括第一解调器电路 (U14) 和第二解调器电路 (U15)。在第一天线耦合端子与第二天线耦合端子之间供应的射频信号并行供应给第一解调器电路的输入和第二解调器电路的输入。

[0063] 第一解调器电路 (U14) 通过解调作为射频信号的具有第一调制度 (100%) 的第一接收信号 (A 类) 来生成第一解调输出信号 (二进制信号 A)。

[0064] 第二解调器电路 (U15) 通过解调作为射频信号的具有与第一调制度不同的第二调制度 (10%) 并且具有第一格式的第一通信开始信号 (SOF) 的第二接收信号 (B 类) 以及具有第二调制度并且具有第二格式的第二通信开始信号 (前导) 的第三接收信号 (“18092”) 来生成第二解调输出信号 (二进制信号 B)。

[0065] 第一解调器电路 (U14) 的第一解调输出信号和第二解调器电路 (U15) 的第二解调输出信号供应给确定电路 (U16) (参照图 1)。

[0066] 当确定电路 (U16) 确定第一解调器电路 (U14) 生成第一解调输出信号时, 确定电路 (U16) 确定目前接收作为射频信号的具有第一调制度的第一接收信号 (图 7 中的步骤 F4-2、步骤 F4-4)。

[0067] 当确定电路 (U16) 确定第一解调器电路 (U14) 没有生成第一解调输出信号时, 确定电路确定第一通信开始信号的格式与第二通信开始信号的格式之间的差异 (图 7 中的步骤 F4-3)。

[0068] 当确定电路 (U16) 确定第二解调器电路 (U15) 通过解调具有第一格式的第一通信开始信号 (SOF) 的第二接收信号 (B 类) 来生成第二解调输出信号时, 确定电路 (U16) 确定目前接收作为射频信号的第二接收信号 (图 7 中的步骤 F4-3、步骤 F4-5)。

[0069] 当确定电路 (U16) 确定第二解调器电路 (U15) 通过解调具有第二格式的第二通信开始信号 (前导) 的第三接收信号 (“18092”) 来生成第二解调输出信号时, 确定电路 (U16) 确定目前接收作为射频信号的第三接收信号 (图 7 中的步骤 F4-3、步骤 F4-6)。

[0070] 根据该实施例, 可以通过使用第一解调器电路 (U14)、第二解调器电路 (U15) 和确定电路 (U16) 将确定处理进行两次来进行对三种接收信号 (A 类、B 类、“18092”) 的接收确定。首先, 当通过第一解调器电路 (U14) 和确定电路 (U16) 的第一次确定来确定第一解调器电路 (U14) 通过解调具有第一调制度 (100%) 的第一接收信号 (A 类) 来生成第一解调输出信号时, 可以在极短时间内确定目前接收作为射频信号的第一接收信号 (A 类)。同时, 可以认为当前第一次确定本身与如专利文献 2 中所述通过选择 ASK 100% 幅度调制电路、ASK 10% 幅度调制电路和算术电路来进行的确定基本上相同。

[0071] 接着, 当第一次确定的结果为否定时并且当通过使用第二解调器电路 (U15) 和确定电路 (U16) 的第二次确定来确定第二解调器电路 (U15) 通过解调具有第一通信开始信号 (SOF) 的第二接收信号 (B 类) 而生成第二解调输出信号时, 可以确定目前接收作为射频信号的第二接收信号 (B 类)。反言之, 当第二次确定的确定结果是第二解调器信号 (U15) 通过解调具有第二通信开始信号 (前导) 的第三接收信号 (“18092”) 来生成第二解调输出

信号时,可以确定目前接收作为射频信号的第三接收信号(“18092”)。同时,可以认为当前第二次确定本身与如专利文献3中所述高速类前导与B类SOF之间的区别以及在专利文献4中所述B类SOF与“18092”的曼彻斯特码的传输数据的逻辑值“0”之间的区别基本上相同。

[0072] 按照所述方式,根据该实施例,可以通过按照上述序列将确定处理进行两次而在短时间内接收至少三种接收信号(A类、B类和“18092”)中的任一种接收信号。在专利文献2、专利文献3和专利文献4中没有发现如下描述,该描述提出通过按照上述序列将确定处理进行两次而在短时间内接收至少三种接收信号中的任一种接收信号。

[0073] 根据一个优选实施例,当确定电路(U16)确定第一解调器电路(U14)生成第一解调输出信号时,由确定电路生成的控制信号(低功率消耗模式信号)暂停第二解调器电路(U15)的操作(参照图1和图14)。

[0074] 当确定电路(U16)确定第一解调器电路(U14)没有生成第一解调输出信号时,由确定电路生成的控制信号暂停第一解调器电路(U14)的操作(参照图1、图15和图16)。

[0075] 根据该优选实施例,可以减少在接收至少三种接收信号时的功率消耗。

[0076] 根据一个更优选实施例,第一接收信号(A类)、第二接收信号(B类)和第三接收信号(“18092”)是ASK调制信号,并且第一调制制度和第二调制制度是ASK调制制度,而且第二调制制度具有比第一调制制度更小的ASK调制制度。

[0077] 第一解调器电路(U14)可以通过解调具有ASK调制制度大的第一调制制度的第一接收信号(A类)来生成第一解调输出信号(二进制信号A)。

[0078] 第二解调器电路(U15)可以通过解调具有ASK调制制度小的第二调制制度的第二接收信号(B类)和第三接收信号(“18092”)来生成第二解调输出信号(二进制信号B)。

[0079] 根据一个进一步优选实施例,第二接收信号(B类)的第一格式的第一通信开始信号(SOF)是先于第一用户数据(字符)的第一报头信息。

[0080] 第三接收信号(“18092”)的第二格式的第二通信开始信号(前导)是先于第二用户数据(PD0、PD1、...、PDn)的第二报头信息。

[0081] 根据一个具体实施例的半导体集成电路(U2)还包括中央处理单元(U12)、随机存取存储器(U10)、非易失性存储器(U11、U13)、接收电路(U19)、发送电路(U20)和调制器电路(U8)。

[0082] 中央处理单元执行的程序存储于非易失性存储器中。

[0083] 在由第一解调器电路(U14)生成的第一解调输出信号中包括的第一接收数据和在由第二解调器电路(U15)生成的第二解调输出信号中包括的第二接收数据经由接收电路(U19)存储于随机存取存储器(U10)中。

[0084] 在随机存取存储器(U10)中存储第一接收数据和第二接收数据之一之前,将中央处理单元(U12)控制成低功率消耗状态。

[0085] 响应于第一接收数据和第二接收数据中的在随机存取存储器(U10)中存储的接收数据,中央处理单元(U12)从低功率消耗状态转变成操作状态,并且转变成操作状态的中央处理单元可以读取随机存取存储器的存储数据。

[0086] 中央处理单元根据程序处理从随机存取存储器读取的存储数据并且在随机存取存储器中存储相关的处理数据。在存储处理数据之后,中央处理单元从操作状态转变

成低功率消耗状态。

[0087] 发送电路 (U20) 从随机存取存储器 (U10) 读取处理数据并且将读出数据传送到调制器电路 (U8)。响应于相关的传送数据,解调器电路生成将要从天线 (L1) 发送的射频传输信号 (参照图 14、图 15、图 16 和图 17)。

[0088] 根据该更具体实施例,第一接收信号符合国际标准 ISO/IEC14443A 类,第二接收信号符合国际标准 ISO/IEC 14443B 类,并且第三接收信号符合国际标准 ISO/IEC 18092。

[0089] (2) 根据本发明另一观点的一个典型实施例的 IC 卡包括安装于衬底之上的半导体集成电路和由布线形成的天线。

[0090] 半导体集成电路 (U2) 具有第一天线耦合端子 (LA)、第二天线耦合端子 (LB)、电源电路 (U3)、解调器电路 (U7) 和确定电路 (U16)。

[0091] 在第一天线耦合端子与第二天线耦合端子之间供应由天线 (L1) 接收的射频信号。电源电路通过对射频信号进行整流和平滑来生成操作电压 (V_{DD}) 并且将生成的操作电压供应给解调器电路和确定电路。

[0092] 解调器电路 (U7) 包括第一解调器电路 (U14) 和第二解调器电路 (U15)。在第一天线耦合端子与第二天线耦合端子之间供应的射频信号并行供应给第一解调器电路的输入和第二解调器电路的输入。

[0093] 第一解调器电路 (U14) 通过解调作为射频信号的具有第一调制度 (100%) 的第一接收信号 (A 类) 来生成第一解调输出信号 (二进制信号 A)。

[0094] 第二解调器电路 (U15) 通过解调作为射频信号的具有与第一调制度不同的第二调制度 (10%) 并且具有第一格式的第一通信开始信号 (SOF) 的第二接收信号 (B 类) 以及具有第二调制度并且具有第二格式的第二通信开始信号 (前导) 的第三接收信号 (“18092”) 来生成第二解调输出信号 (二进制信号 B)。

[0095] 第一解调器电路 (U14) 的第一解调输出信号和第二解调器电路 (U15) 的第二解调输出信号供应给确定电路 (U16) (参照图 1)。

[0096] 当确定电路 (U16) 确定第一解调器电路 (U14) 生成第一解调输出信号时,确定电路 (U16) 确定目前接收作为射频信号的具有第一调制度的第一接收信号 (图 7 中的步骤 F4-2、步骤 F4-4)。

[0097] 当确定电路 (U16) 确定第一解调器电路 (U14) 没有生成第一解调输出信号时,确定电路确定第一通信开始信号的格式与第二通信开始信号的格式之间的差异 (图 7 中的步骤 F4-3)。

[0098] 当确定电路 (U16) 确定第二解调器电路 (U15) 通过解调具有第一格式的第一通信开始信号 (SOF) 的第二接收信号 (B 类) 来生成第二解调输出信号时,确定电路 (U16) 确定目前接收作为射频信号的第二接收信号 (图 7 中的步骤 F4-3、步骤 F4-5)。

[0099] 当确定电路 (U16) 确定第二解调器电路 (U15) 通过解调具有第二格式的第二通信开始信号 (前导) 的第三接收信号 (“18092”) 来生成第二解调输出信号时,确定电路 (U16) 确定目前接收作为射频信号的第三接收信号 (图 7 中的步骤 F4-3、步骤 F4-6)。

[0100] (3) 本发明又一观点的一个典型实施例涉及一种 IC 卡的操作方法,该 IC 卡包括安装于衬底之上的半导体集成电路和由布线形成的天线。

[0101] 半导体集成电路 (U2) 具有第一天线耦合端子 (LA)、第二天线耦合端子 (LB)、电源

电路 (U3)、解调器电路 (U7) 和确定电路 (U16)。

[0102] 在第一天线耦合端子与第二天线耦合端子之间供应由天线 (L1) 接收的射频信号。电源电路通过对射频信号进行整流和平滑来生成操作电压 (V_{DD}) 并且将生成的操作电压供应给解调器电路和确定电路。

[0103] 解调器电路 (U7) 包括第一解调器电路 (U14) 和第二解调器电路 (U15)。在第一天线耦合端子与第二天线耦合端子之间供应的射频信号并行供应给第一解调器电路的输入和第二解调器电路的输入。

[0104] 第一解调器电路 (U14) 通过解调作为射频信号的具有第一调制度 (100%) 的第一接收信号 (A 类) 来生成第一解调输出信号 (二进制信号 A)。

[0105] 第二解调器电路 (U15) 通过解调作为射频信号的具有与第一调制度不同的第二调制度 (10%) 并且具有第一格式的第一通信开始信号 (SOF) 的第二接收信号 (B 类) 以及具有第二调制度并且具有第二格式的第二通信开始信号 (前导) 的第三接收信号 (“18092”) 来生成第二解调输出信号 (二进制信号 B)。

[0106] 第一解调器电路 (U14) 的第一解调输出信号和第二解调器电路 (U15) 的第二解调输出信号供应给确定电路 (U16) (参照图 1)。

[0107] 当确定电路 (U16) 确定第一解调器电路 (U14) 生成第一解调输出信号时, 确定电路 (U16) 确定目前接收作为射频信号的具有第一调制度的第一接收信号 (图 7 中的步骤 F4-2、步骤 F4-4)。

[0108] 当确定电路 (U16) 确定第一解调器电路 (U14) 没有生成第一解调输出信号时, 确定电路 (U16) 确定第一通信开始信号的格式与第二通信开始信号的格式之间的差异 (图 7 中的步骤 F4-3)。

[0109] 当确定电路 (U16) 确定第二解调器电路 (U15) 通过解调具有第一格式的第一通信开始信号 (SOF) 的第二接收信号 (B 类) 来生成第二解调输出信号时, 确定电路 (U16) 确定目前接收作为射频信号的第二接收信号 (图 7 中的步骤 F4-3、步骤 F4-5)。

[0110] 当确定电路 (U16) 确定第二解调器电路 (U15) 通过解调具有第二格式的第二通信开始信号 (前导) 的第三接收信号 (“18092”) 来生成第二解调输出信号时, 确定电路 (U16) 确定目前接收作为射频信号的第三接收信号 (图 7 中的步骤 F4-3、步骤 F4-6)。

[0111] 《实施例的说明》接着, 完全具体地进一步说明一个实施例。在用于说明本发明实施例最佳实施方式的所有图中, 具有与前图中相同功能的部件附有相同标号, 并且省略其重复说明。

[0112] 《非接触 IC 卡的基本配置》图 1 图示了根据本发明一个实施例的非接触 IC 卡的基本配置。

[0113] 图 1 中所示非接触 IC 卡 U1 包括天线 L1、谐振电容 C1 和半导体集成电路 U2。天线 L1 的一端和谐振电容 C1 的一端耦合到半导体集成电路 U2 的第一天线耦合端子 LA, 并且天线 L1 的另一端和谐振电容 C1 的另一端耦合到半导体集成电路 U2 的第二天线耦合端子 LB。因此, 来自非接触读取器 / 写入器设备的射频载波信号可以经由天线耦合端子 LA 和 LB 作为非接触 IC 卡 U1 的操作能量供应给电源电路 U3。

[0114] 来自非接触读取器 / 写入器设备的接收信号经由非接触 IC 卡 U1 的天线耦合端子 LA 和 LB 供应给解调器电路 U7。另一方面, 来自非接触 IC 卡 U1 的调制器电路 U8 的传输信

号可以经由天线耦合端子 LA、LB、天线 L1 和谐振电容 C1 供应给非接触读取器 / 写入器设备。

[0115] 半导体集成电路 U2 包括电源电路 U3 和内部电路 U4。电源电路 U3 包括整流器电路 U5 和调节器 U6, 并且内部电路 U4 包括解调器电路 U7、解调器电路 U8 和非接触控制电路 U9。解调器电路 U7 包括低灵敏度解调器电路 U14 和高灵敏度解调器电路 U15。低灵敏度解调器电路 U14 用于从非接触读取器 / 写入器设备接收 ISO/IEC14443A 类接收信号。高灵敏度解调器电路 U15 用于从非接触读取器 / 写入器设备接收 ISO/IEC 14443B 类接收信号和 ISO/IEC 18092 的接收信号。非接触控制电路 U9 包括确定电路 U16、确定结果寄存器 U17、接收错误寄存器 U18、接收电路 U19 和发送电路 U20。RAM(U10)、ROM(U11)、CPU(U12)、EEPROM(U13)、进行密码处理等的协处理器 (未示出) 和接口电路 (未示出) 等经由总线 (BUS) 耦合到非接触控制电路 U9。

[0116] 图 1 中所示非接触 IC 卡 U1 具有用以根据 ASK 调制度和逻辑值的时间宽度来检测来自非接触读取器 / 写入器设备的接收信号是基于 ISO/IEC 14443A 类通信方法、ISO/IEC 14443B 类通信方法和 ISO/IEC 18092 通信方法之中的哪种数据通信方法的功能。

[0117] 当图 1 中所示非接触 IC 卡 U1 进入其中可以接收来自非接触读取器 / 写入器设备的射频载波信号的操作场中时, 非接触 IC 卡 U1 的电源电路 U3 的整流器电路 U5 和调节器 U6 生成内部功率供应电压 V_{DD} 并且将生成的内部功率供应电压 V_{DD} 作为操作功率电压供应给在内部电路 U4 中包括的各电路。首先, 在天线 L1 的两端接收的接收信号在初始接收期间供应给解调器电路 U7 的低灵敏度解调器电路 U14 和高灵敏度解调器电路 U15。另一方面, 低灵敏度解调器电路 U14 的输出和高灵敏度解调器电路 U15 的输出供应给非接触控制电路 U9 的确定电路 U16。确定电路 U16 检测目前接收信号是基于 A 类、B 类和“18092”中的哪种数据通信方法。首先, 低灵敏度解调器电路 U14 的输出和高灵敏度解调器电路 U15 的输出供应给非接触控制电路 U9 的确定电路 U16, 并且由确定电路 U16 检测在初始接收期间接收的接收信号的 ASK 调制度。

[0118] 如后文完全具体地所述, 解调器电路 U7 的低灵敏度解调器电路 U14 在初始接收期间检测具有 ASK 调制度为 100% 的 ISO/IEC14443A 类接收信号。另一方面, 解调器电路 U7 的高灵敏度解调器电路 U15 检测具有 ASK 调制度为 10% 的 ISO/IEC 14443B 类和 ISO/IEC 18092 的接收信号。非接触控制电路 U9 的确定电路 U16 确定目前接收信号的 ASK 调制度是否为低灵敏度解调器电路 U14 检测的 100% 或者它是否为高灵敏度解调器电路 U15 检测的 10%。例如, 当确定电路 U16 确定目前接收信号的 ASK 调制度是低灵敏度解调器电路 U14 的 100% 时, 高灵敏度解调器电路 U15 的操作由低功率消耗模式信号暂停。因而, 可以减少在初始接收之后对接收的用户数据的接收处理期间高灵敏度解调器电路 U15 的无用操作所致的功率消耗。反之, 当确定电路 U16 确定目前接收信号的 ASK 调制度是高灵敏度解调器电路 U15 的 10% 时, 低灵敏度解调器电路 U14 的操作由低功率消耗模式信号暂停。因而, 可以减少在初始接收之后对接收的用户数据的接收处理期间低灵敏度解调器电路 U14 的无用操作所致的功率消耗。

[0119] 《ASK 调制度的检测》图 2(A) 和图 2(B) 图示了在非接触 IC 卡中从非接触读取器 / 写入器设备接收的接收信号的波形。图 2(A) 是针对 ASK 调制度是 ISO/IEC 14443A 类中的 100% 的情况, 而图 2(B) 是针对 ASK 调制度是 ISO/IEC 14443B 类和 ISO/IEC 18092 中的

10%的情况。也就是,图 2(A) 图示了在 ASK 调制度是 ISO/IEC14443A 类中的 100%的情况下接收信号的波形。图 2(B) 图示了在 ASK 调制度是 ISO/IEC 14443B 类和 ISO/IEC 18092 中的 10%的情况下接收信号的波形。假设幅度调制的接收信号的最小幅度值为“a”而最大幅度值为“b”,则 ASK 调制度由 $|b-a|/|b+a|$ 给定。

[0120] 图 1 中所示非接触 IC 卡 U1 的内部电路 U4 的解调器电路 U7 包括低灵敏度解调器电路 U14 和高灵敏度解调器电路 U15。例如,低灵敏度解调器电路 U14 具有这样的低检测灵敏度,使得如果最小幅度值“a”与最大幅度值“b”之间的幅度差不大于或者等于 90%则幅度差不可检测。高灵敏度解调器电路 U15 具有这样的高检测灵敏度,使得如果最小幅度值“a”和最大幅度值“b”的幅度差大于或者等于 18%则幅度差可检测。

[0121] 跨天线 L1 的两端的接收信号供应给图 1 的解调器电路 U7 的低灵敏度解调器电路 U14 的差分输入端子和高灵敏度解调器电路 U15 的差分输入端子。根据低灵敏度解调器电路 U14 的输出来生成二进制信号 A,并且根据高灵敏度解调器电路 U15 的输出来生成二进制信号 B。

[0122] 在图 2(A) 的下部图示了具有低检测灵敏度的低灵敏度解调器电路 U14 的输出的二进制信号 A 和具有高检测灵敏度的高灵敏度解调器电路 U15 的输出的二进制信号 B,其中低灵敏度解调器电路 U14 和高灵敏度解调器电路 U15 响应于 ISO/IEC 14443A 类接收信号。在这一情况下,两个输出的波形变得相同。

[0123] 在图 2(B) 的下部图示了具有低检测灵敏度的低灵敏度解调器电路 U14 的输出的二进制信号 A 和具有高检测灵敏度的高灵敏度解调器电路 U15 的输出的二进制信号 B,其中低灵敏度解调器电路 U14 和高灵敏度解调器电路 U15 响应于 ISO/IEC 14443B 类或者 ISO/IEC 18092 的接收信号。在这一情况下,根据具有高检测灵敏度的高灵敏度解调器电路 U15 的输出的二进制信号 B,生成针对 ASK 调制度为 10%的 ISO/IEC 14443B 类和 ISO/IEC 18092 的接收信号的检测信号。然而,根据具有低检测灵敏度的低灵敏度解调器电路 U14 的输出二进制信号 A,没有生成针对 ASK 调制度为 10%的 ISO/IEC14443B 类和 ISO/IEC 18092 的接收信号的检测信号。

[0124] 《数据通信方法的检测》首先,将从非接触读取器 / 写入器设备发送到非接触 IC 卡 U1 的数据定义为“下行链路数据”,而将从非接触 IC 卡 U1 发送到非接触读取器 / 写入器设备的数据定义为“上行链路数据”。

[0125] 图 7 是用于说明图 1 的非接触 IC 卡 U1 在非接触 IC 卡检测来自非接触读取器 / 写入器设备的接收信号是基于 A 类、B 类和“18092”中的哪种数据通信方法情况下的操作流程的流程图。

[0126] 在图 7 的步骤 F 1,当图 1 中所示非接触 IC 卡 U1 进入非接触读取器 / 写入器设备的操作场中时,非接触 IC 卡 U1 的电源电路 U3 生成内部功率供应电压 V_{DD} 并且将它作为操作功率电压供应给内部电路 U4。

[0127] 接着,在图 7 的步骤 F2,CPU(U12) 经由总线 (BUS) 读取非接触控制电路 U9 内部的结果寄存器 U17 的内容。当预先执行对数据通信方法和数据通信速度的确定时,与确定电路 U16 已经确定的数据通信方法和数据通信速度的确定结果有关的信息存储于确定结果寄存器 U17 中。在当前情况下,没有预先执行确定并且没有确定结果存储于确定结果寄存器 U17 中;因此,非接触 IC 卡 U1 的状态转变成在图 7 的步骤 F4 的初始接收模式。然

后,在图 7 的步骤 F4-1 的初始接收时段中,执行非接触 IC 卡 U1 的解调器电路 U7 中的低灵敏度解调器电路 U14 和高灵敏度解调器电路 U15 的并行解调操作。具有低检测灵敏度的低灵敏度解调器电路 U14 的输出二进制信号 A 和具有高检测灵敏度的高灵敏度解调器 U15 的输出二进制信号 B 供应给确定电路 U16。

[0128] 如图 2(A) 的下部所述,在接收 ISO/IEC 14443A 类接收信号时,低灵敏度解调器电路 U14 的输出二进制信号 A 的波形和高灵敏度解调器 U15 的输出二进制信号 B 的波形变得相同。因而,如图 7 的步骤 F4-2 的左侧结果中和在步骤 F4-4 的方法确定中所示,确定电路 U16 可以基于二进制信号 A 和二进制信号 B 具有相同波形这一事实来确定目前接收 ASK 调制幅度为 100% 的 ISO/IEC 14443A 类接收信号。随后,在图 7 的步骤 F4-7,确定电路 U16 将目前接收为 A 类的确定结果写入到确定结果寄存器 U17 中。然后,在图 7 的步骤 F4-10,进行对接收的 A 类用户数据的接收处理。由于从非接触读取器 / 写入器设备到非接触 IC 卡 U1 的数据通信方法在这时确定为 ISO/IEC 14443A 类,所以二进制信号的接收用户数据中已经在接收电路 U19 中进行串行 / 并行转换的部分在接收的并行数据模式下传送并且存储于 RAM(U10) 中。接收的并行数据独立于被设置于低功率消耗模式状态中的 CPU(U12) 经由独占信号线针对每个字节从接收电路 U19 供应给 RAM(U10)。传送的数据例如从固定地址(例如 RAM 的存储器空间的先导地址)依次地存储于 RAM(U10) 中。因而,可以抑制与数据传送控制有关的电路规模。

[0129] 在步骤 F5 完成接收之后,CPU(U12) 从低功率消耗状态返回到操作状态。然后,CPU(U12) 例如根据 ROM(U11) 或者 EEPROM(U13) 中存储的用于安全电子银行的处理程序来处理 RAM(U10) 中存储的数据并且再次将处理结果存储于 RAM(U10) 中。存储于 RAM(U10) 中的处理结果作为传输并行数据传送到非接触控制电路 U9 的发送电路 U20 并且在发送电路 U20 中转换成 ISO/IEC 14443 的帧。串行数据的二进制信号 C 经由调制器电路 U8 发送到非接触读取器 / 写入器设备。

[0130] 当在图 7 的步骤 F4-10 的接收处理中出现某个接收错误时,接收电路 U19 在图 7 的步骤 F4-13 将接收错误的结果写入接收错误寄存器 U18 中。在图 7 的步骤 F5 结束接收。当在图 7 的步骤 F4-10 的接收中没有出现接收错误并且正常地进行接收时,在步骤 F4-13 对接收错误寄存器的设置变得没有必要,并且流程进到在步骤 F5 的结束接收操作。

[0131] 如图 2(B) 的下部所述,当接收 ISO/IEC 14443B 类或者 ISO/IEC 18902 的接收信号时,可以根据高灵敏度解调器电路 U15 的输出生成用于 ASK 调制度为 10% 的 ISO/IEC 14443B 类或者 ISO/IEC 18902 的接收信号的检测信号作为在高电平与低电平之间改变的二进制信号 B。然而在这一情况下,没有根据低灵敏度解调器电路 U14 的输出来生成在高电平与低电平之间改变的二进制信号 A。因而,如图 7 的步骤 F4-2 的右侧结果中所示,确定电路 U16 可以根据二进制信号 A 和二进制信号 B 的波形差异来确定目前接收 ASK 调制度为 10% 的 ISO/IEC 14443B 类还是 ISO/IEC 18902 的接收信号。

[0132] 《对二进制信号的脉冲宽度确定》通过由确定电路 U16 进行的在图 7 的步骤 F4-3 对二进制信号 B 的脉冲宽度确定可以确定目前接收的接收信号是否为 ISO/IEC 14443B 类或者它是否为 ISO/IEC18902。

[0133] 如非专利文献 2 中所述,包括预定长度的逻辑“0”的 SOF(帧开始)添加到帧(作为将要从非接触读取器 / 写入器设备传输到非接触 IC 卡 U1 的 ISO/IEC 14443B 类传输数

据)的开头。

[0134] 图 3 图示了 ISO/IEC 14443B 类传输数据的帧结构。如图 3 中所示,在帧的开头包括作为通信开始信号的 SOF(帧开始)。在帧的中间包括作为传送用户数据的字符(Character)。继传送用户数据之后添加循环冗余校验检错码(CRC)和作为通信结束信号的 EOF(帧结束)。

[0135] 与之对照,如非专利文献 3 中所述,作为通信开始信号的包括最少 48 位的编码逻辑“0”的前导(Preamble)添加到从非接触读取器/写入器设备传输到非接触 IC 卡 U1 的 ISO/IEC 18092 的传输数据分组的开头。

[0136] 图 4 图示了 ISO/IEC 18092 的传输数据分组的结构。如图 4 中所示,传输数据分组从开头包括前导(Preamble)、同步码、数据长度(LEN)、净荷数据(PD0、PD1、……PDn)和循环冗余校验检错码(CRC)。

[0137] 图 5 图示了在从非接触读取器/写入器设备传输到非接触 IC 卡 U1 的 ISO/IEC 14443B 类传输数据的传输速度分别是 106kbps、212kbps、424kbps 和 848kbps 的情况下在帧开头的通信开始信号 SOF 的时域长度。如非专利文献 2 中所述,ISO/IEC 14443B 类 SOF 包括 10-11 个 etu 的逻辑“0”和 2-3 个 etu 的逻辑“1”。因而,当传输速度是比较低的速度 212kbps 时,10-11 个 etu 的逻辑“0”的调制时段(调制时间)变成 47.17-51.89 微秒。当传输速度是 848kbps 的高速度时,10-11 个 etu 的逻辑“0”的调制时段变成 11.79-12.97 微秒。这里,“etu”代表“基本时间单位”。

[0138] 图 6 图示了在从非接触读取器/写入器设备传输到非接触 IC 卡 U1 的 ISO/IEC 18092 的传输数据的传输速度分别是 212kbps、424kbps 和 848kbps 的情况下在传输数据分组开头的前导(Preamble)的逻辑“0”的时域长度。如非专利文献 3 中所述,ISO/IEC 18092 的前导包括最少 48 位的编码逻辑“0”。因而,当传输速度是比较低的速度 212kbps 时,在前导的开始处的逻辑“0”的调制时段变成 2.36 微秒,而当传输速度是 848kbps 的高速度时在前导的开始处的逻辑“0”的调制时段变成 0.59 微秒。

[0139] 因此,当与在比较低的速度 212kbps 的传输速度下的在 ISO/IEC 14443B 类传输数据的 SOF 中的逻辑“0”的 47.17-51.89 微秒调制时段比较时,在相同传输速度下的在 ISO/IEC 18092 的传输数据的前导开始处的逻辑“0”的 2.36 微秒调制时段表现为很短的时间。确定电路 U16 通过在图 7 的步骤 F4-3 对二进制信号 B 的脉冲宽度确定来确定这一逻辑“0”的脉冲宽度差。因而,可以确定目前接收的接收信号是否为 ISO/IEC 14443B 类或者它是否为 ISO/IEC 18092。

[0140] 因此,当通过在图 7 的步骤 F4-3 对二进制信号 B 的脉冲宽度确定而确定逻辑“0”的调制时段这时在例如比较低的速度 212kbps 的传输速度下为长时,确定电路 U16 可以如在步骤 F4-3 和在步骤 F4-5 的左侧结果中所示确定传输速度和目前接收 ISO/IEC 14443B 类接收信号这一事实。随后,在图 7 的步骤 F4-8,确定电路 U16 将目前接收为 B 类的确定结果写入到确定结果寄存器 U17 中。然后,在图 7 的步骤 F4-11 进行对接收的 B 类用户数据的接收处理。由于从非接触读取器/写入器设备到非接触 IC 卡 U1 的数据通信方法在这时确定为 ISO/IEC 14443B 类,所以传送并且在 RAM(U10)中存储二进制信号的接收用户数据中已经在接收电路 U19 中进行串行/并行转换的部分。接收的并行数据独立于被设置于低功率消耗状态中的 CPU(U12)而经由独占信号线针对每个字节从接收电路 U19 供应给

RAM(U10)。传送的数据例如从固定地址（例如 RAM 的存储器空间的先导地址）依次地存储于 RAM(U10) 中。因而，可以抑制与数据传送控制有关的电路规模。

[0141] CPU(U12) 例如根据 ROM(U11) 或者 EEPROM(U13) 中存储的用于安全电子银行的处理程序来处理 RAM(U10) 中存储的数据并且再次将处理结果存储于 RAM(U10) 中。存储于 RAM(U10) 中的处理结果作为传输并行数据传送到非接触控制电路 U9 的发送电路 U20 并且在发送电路 U20 中转换成 ISO/IEC 14443 的帧。串行数据的二进制信号 C 经由调制器电路 U8 发送到非接触读取器 / 写入器设备。

[0142] 当在图 7 的步骤 F4-11 的接收处理中出现某个接收错误时，接收电路 U19 在图 7 的步骤 F4-14 将接收错误的结果写入接收错误寄存器 U18 中。然后，在图 7 的步骤 F5 结束接收。当在图 7 的步骤 F4-11 的接收中没有出现接收错误并且正常地进行接收时，在步骤 F4-14 对接收错误寄存器的设置变得没有必要，并且该流程进到在步骤 F5 的结束接收操作。

[0143] 因此，当通过在图 7 的步骤 F4-3 对二进制信号 B 的脉冲宽度确定而确定逻辑“0”的调制时段这时在例如比较低的速度 212kbps 的传输速度下为短时，确定电路 U16 可以如在步骤 F4-3 和在步骤 F4-6 的下侧结果中所示确定传输速度和目前接收 ISO/IEC 18092 接收信号这一事实。随后，在图 7 的步骤 F4-9，确定电路 U16 将目前接收为“18092”的确定结果写入到确定结果寄存器 U17 中。然后，在图 7 的步骤 F4-12 进行对接收的“18092”用户数据的接收处理。从非接触读取器 / 写入器设备到非接触 IC 卡 U1 的数据通信方法在这时确定为“18092”。因此，传送并且在 RAM(U10) 中存储二进制信号的接收用户数据中已经在接收电路 U19 中进行串行 / 并行转换的部分。接收的并行数据独立于被设置于低功率消耗状态中的 CPU(U12) 而经由独占信号线针对每个字节从接收电路 U19 供应给 RAM(U10)。传送的数据例如从固定地址（例如 RAM 的存储器空间的先导地址）依次地存储于 RAM(U10) 中。因而，可以抑制与数据传送协议有关的电路规模。

[0144] CPU(U12) 例如根据 ROM(U11) 或者 EEPROM(U13) 中存储的用于安全电子银行的处理程序来处理 RAM(U10) 中存储的数据并且再次将处理结果存储于 RAM(U10) 中。存储于 RAM(U10) 中的处理结果作为传输并行数据传输到非接触控制电路 U9 的发送电路 U20 并且在发送电路 U20 中转换成 ISO/IEC 18092 的帧。串行数据的二进制信号 C 经由调制器电路 U8 发送到非接触读取器 / 写入器设备。

[0145] 当在图 7 的步骤 F4-12 的接收处理中出现某个接收错误时，接收电路 U19 在图 7 的步骤 F4-15 将接收错误的结果写入接收错误寄存器 U18 中。然后，在图 7 的步骤 F5 结束接收。当在图 7 的步骤 F4-12 的接收中没有出现接收错误并且正常地进行接收时，在步骤 F4-15 对接收错误寄存器的设置变得没有必要，并且该流程进到在步骤 F5 的结束接收操作。

[0146] 另外，当通过在图 7 的步骤 F4-3 对二进制信号 B 的脉冲宽度确定而确定逻辑“0”在传输速度为 212kbps 时的调制时段超出在由类型 B 或者“18092”规定的设置时间范围以外时，确定电路 U16 执行将非接触 IC 卡 U1 的操作状态恢复到步骤 F4-2 的处理。

[0147] 《在初始接收之后的接收操作、在出现接收错误之后或者在调制时段落在设置范围以外之后的处理》当在图 7 的步骤 F4-13、步骤 F4-14 或者步骤 F4-15 出现接收错误时，在接收错误寄存器 U18 中写入错误信息，并且流程进到接收结束。然后，CPU(U12) 读取接收

错误寄存器 U18 的内容。由于读取的内容包括接收错误,所以 CPU(U12) 清除接收错误寄存器 U18 中存储的内容和确定结果寄存器 U17 中存储的内容。然后,CPU(U12) 执行将非接触 IC 卡 U1 的操作状态恢复到图 7 的步骤 F2、即图 8 的步骤 F4 的处理。在图 7 的步骤 F4-3 的脉冲宽度确定的确定结果是逻辑“0”的调制时段在设置时间范围以外之后,非接触控制电路 U9 执行将非接触 IC 卡 U1 的操作状态恢复到图 7 的步骤 F4-1 的处理。

[0148] 图 8 是用于说明图 1 的非接触 IC 卡 U1 在非接触 IC 卡 U1 在初始接收中没有接收错误、对数据通信方法的确定结果存储于确定结果寄存器 U17 中并且在初始接收之后的接收中对数据通信方法的确定被省略的情况下的操作流程的流程图。

[0149] 在图 7 的操作流程中,当没有接收错误并且对数据通信方法的确定结果存储于确定结果寄存器 U17 中时完成初始接收。然后,由于对先前数据通信方法的确定结果存储于非接触控制电路 U9 的确定结果寄存器 U17 中,所以非接触 IC 卡 U1 的操作状态在图 8 的步骤 F3 转变成数据通信方法确认接收模式,并且也开始在图 8 的步骤 F3-1 的接收处理。按照初始接收来确定的数据通信方法是 A 类、B 类和“18092”之一。因此,确定电路 U16 在图 8 的步骤 F3-2 根据确定结果寄存器 U17 来确定在初始接收确定的数据通信方法。当确定结果寄存器 U17 存储表明了初始接收中确定的数据通信方法是 ISO/IEC 14443A 类的确定结果时,在图 8 的步骤 F3-9 的接收处理中执行 ISO/IEC 14443A 类接收处理,这是与以前相同的方法。当在图 8 的步骤 F3-9 的接收处理中出现某个接收错误时,接收电路 U19 在图 8 的步骤 F3-12 将接收错误的结果写入接收错误寄存器 U18 中,并且流程进到在图 8 的步骤 F5 的结束接收。

[0150] 然而,在图 8 的步骤 F3-2,当根据确定结果寄存器 U17 发现在初始接收确定的数据通信方法为 ISO/IEC 14443B 类或者 ISO/IEC18092 时,在图 8 的步骤 F3-3 和步骤 F3-4 执行对二进制信号 B 的脉冲宽度确定。

[0151] 也就是,当确定电路 U16 在图 8 的步骤 F3-3 按照对二进制信号 B 的脉冲宽度确定来确定传输速度得出目前接收 ISO/IEC 14443B 类接收信号时,确定电路 U16 在图 8 的步骤 F3-5 确定传输速度并且在步骤 F3-7 将该接收为 B 类的确定结果写入确定结果寄存器 U17 中。然后,在图 8 的步骤 F3-10,与在图 7 的步骤 F4-11 相似地进行对接收 B 类用户数据的接收处理。当在图 8 的步骤 F3-10 的接收处理中有某个接收错误时,接收电路 U19 在图 8 的步骤 F3-13 将接收错误的结果写入接收错误寄存器 U18 中。然后,在图 8 的步骤 F5 结束接收。

[0152] 当确定电路 U16 在图 8 的步骤 F3-4 按照对二进制信号 B 的脉宽确定来确定传输速度得出目前接收 ISO/IEC 18092 的接收信号时,确定电路 U16 在图 8 的步骤 F3-6 确定传输速度并且在步骤 F3-8 将该接收为“18092”的确定结果写入确定结果寄存器 U17 中。然后,在图 8 的步骤 F3-11,与在图 7 的步骤 F4-12 相似地进行对接收的“18092”用户数据的接收处理。当在图 8 的步骤 F3-11 的接收处理中有某个接收错误时,接收电路 U19 在图 8 的步骤 F3-14 将接收错误的结果写入接收错误寄存器 U18 中。然后,在图 8 的步骤 F5 结束接收。

[0153] 假设通过在图 8 的步骤 F3-3 和步骤 F3-4 对二进制信号 B 的脉冲宽度确定将逻辑“0”的调制时段确定为在由 B 类或者“18092”规定的设置时间范围以外。也就是,在与由规定的设置时间限定的传输速度不同的传输速度情况下,确定电路 U16 执行将非接触 IC 卡

U1 的操作状态恢复到步骤 F3-2 的处理。结果,这时在图 8 的步骤 F3-3 或者步骤 F3-4,通过对二进制 B 的脉冲宽度确定将逻辑“0”的调制时段确定为在由 B 类或者“18092”规定的设置时间范围内。然后,确定电路 U16 在步骤 F3-5 或者步骤 F3-6 确定传输速度。传输速度的确定结果和 B 类或者“18092”接收的确定结果分别在步骤 F3-7 或者步骤 F3-8 写入确定结果寄存器 U17 中。此后,在图 8 的步骤 F3-10 或者步骤 F3-11,接收 B 类或者“18092”的接收用户数据。当在当前接收中出现某个接收错误时,接收电路 U19 在图 8 的步骤 F3-13 或者步骤 F3-14 将接收错误的结果写入接收错误寄存器 U18 中,并且流程进到在图 8 的步骤 F5 的结束接收。

[0154] 如上所述,在按照图 7 的操作流程和图 8 的操作流程来控制的图 1 所示非接触 IC 卡 U1 中,一旦确定 A 类、B 类或者“18092”的数据通信方法,就保持确定结果寄存器 U17 中存储的确定结果,直至来自非接触读取器 / 写入器设备的射频载波信号因非接触 IC 卡 U1 移动到操作场以外而停止或者直至存储于确定结果寄存器 U17 中的确定结果由 CPU(U12)清除。

[0155] 在图 7 的步骤 F4-13、步骤 F4-14 或者步骤 F4-15 之后的步骤 F5 的结束接收之后或者在图 8 的步骤 F3-12、步骤 F3-13 或者步骤 F3-14 的步骤 F5 的结束接收之后,执行在图 18 中所示存储区的地址 0 存储的共用程序。

[0156] 图 18 图示了在比如图 1 中所示非接触 IC 卡 U1 的 ROM(U11) 或者 EEPROM(U13) 这样的非易失性存储器中存储的并且由非接触 IC 卡 U1 执行的各种程序的结构。

[0157] 在图 18 中所示非易失性存储器的存储区的地址 0、地址 1、地址 2 和地址 3 分别存储共用程序、用于 ISO/IEC 14443A 类的程序、用于 ISO/IEC 14443B 类的程序和用于 SIO/IEC 18092 的程序。

[0158] 通过 CPU(U12) 执行在图 18 的非易失性存储器的存储区的地址 0 中存储的共用程序,CPU(U12) 在图 9 的步骤 F6 读取接收错误寄存器 U18 的内容并且确认是否有任何接收错误。

[0159] 图 9 是用于说明图 1 的非接触 IC 卡非接触 IC 卡在图 7 的操作流程中执行从在步骤 F4 的初始接收到在步骤 F5 由于接收错误而结束接收的操作之后的操作流程的流程图。

[0160] 在图 9 的步骤 F5 由于接收错误而结束操作之后,CPU(U12) 在步骤 F6 读取接收错误寄存器 U18 的内容并且确认是否有任何接收错误。当有接收错误时,在图 9 的步骤 F7 清除接收错误寄存器 U18 中存储的内容和确定结果寄存器 U17 中存储的内容,然后再次执行在步骤 F4 的初始接收和在步骤 F4-1 的接收开始。

[0161] 由于可以通过重复相似处理来消除在图 9 的步骤 F6 的接收错误,所以 CPU(U12) 在图 9 的步骤 F8 读取确定结果寄存器 U17 中存储的内容,并且 CPU(U12) 确认存储 A 类、B 类或者“18092”中的哪种数据通信方法。当没有数据通信方法的结果存储于确定结果寄存器 U17 中时,执行在步骤 F4 的初始接收和在步骤 F4-1 的接收开始。当数据通信方法之一的结果存储于确定结果寄存器 U17 中时,如在图 9 的步骤 F9、F10 和步骤 F11 所示,流程转变到图 18 中所示存储区的用于执行 A 类程序的地址 1、用于执行 B 类程序的地址 2 和用于执行“18092”的程序的地址 3 之一。因此,如在图 9 的步骤 F12、步骤 F13 和步骤 F14 所示,执行在“A 类”程序、“B 类”程序和“18092”的程序之一中在出现接收错误时执行的相同程

序。

[0162] 当在步骤 F15 完成程序执行时,在步骤 F17 根据已经存储于确定结果寄存器 U17 中的用于 A 类、B 类和“18092”之一的数据通信方法来执行传输操作。在步骤 F18 完成传输操作。当再次接收来自非接触读取器 / 写入器设备的传输数据时,进行图 9 的操作流程并且重复必要的数据传输和接收。

[0163] 《非接触 IC 卡的具体配置》《非接触控制电路的配置》图 10 图示了在图 1 中所示非接触 IC 卡 U1 的半导体集成电路 U2 的内部电路 U4 中包括的非接触控制电路 U9 的配置。

[0164] 图 10 中所示非接触控制电路 U9 包括确定电路 U16、确定结果寄存器 U17、接收错误寄存器 U18、接收电路 U19、发送电路 U20 和总线 (BUS)。如图 1 中所示,来自解调器电路 U7 的低灵敏度解调器电路 U14 的二进制信号 A 和来自解调器电路 U7 的高灵敏度解调器电路 U15 的二进制信号 B 供应给确定电路 U16。低功率消耗模式信号从确定电路 U16 供应给解调器电路 U7。来自解调器电路 U7 的低灵敏度解调器电路 U14 的二进制信号 A、来自解调器电路 U7 的高灵敏度解调器电路 U15 的二进制信号 B 以及来自确定电路 U16 的数据通信速度确定信号和数据通信方法确定信号供应给接收电路 U19。接收的并行数据从接收电路 U19 传送到 RAM(U10),并且检错信号从接收电路 U19 供应给接收错误寄存器 (U18)。数据通信速度确定信号和数据通信方法确定信号从确定电路 U16 供应给确定结果寄存器 (U17)。数据通信速度确定信号和数据通信方法确定信号从确定结果寄存器 (U17) 供应给发送电路 (U20)。传送的并行数据从 RAM(U10) 传送到发送电路 (U20),并且二进制信号 C 从发送电路 (U20) 供应给图 1 的调制器电路 U8。

[0165] 《确定电路的配置》图 11 图示了在图 1 中所示非接触 IC 卡 U1 的半导体集成电路 U2 的内部电路 U4 的非接触控制电路 U9 中包括的确定电路 U16 的配置。

[0166] 图 11 中所示确定电路 U16 包括如下沿检测电路 U21,该沿检测电路响应于来自解调器电路 U7 的低灵敏度调制器电路 U14 的二进制信号 A 从低电平到高电平的改变。确定电路 U16 包括如下脉冲宽度检测器 U22,二进制信号 B 从解调器电路 U7 的高灵敏度解调器电路 U15 供应给该脉冲宽度检测器。脉冲宽度检测器 U22 包括脉冲宽度计数器 U23。

[0167] 例如,当解调器电路 U7 的低灵敏度解调器电路 U14 接收 ASK 调制度为 100% 的 ISO/IEC 14443A 类接收信号时,低灵敏度解调器电路 U14 的二进制信号 A 从低电平改变成高电平。响应于这一电平改变,沿检测电路 U21 生成 A 类接收模式的数据通信方法确定信号。这一数据通信方法确定信号用作将解调器电路 U7 的高灵敏度解调器电路 U15 的操作暂停的低功率消耗模式信号并且也用作针对脉冲宽度检测器 U22 的操作暂停控制信号。因此,确定电路 U16 的沿检测电路 U21 在图 7 中所示操作流程的步骤 F4-2 产生对 ASK 调制度进行确定的确定结果。

[0168] 另一方面,当解调器电路 U7 的高灵敏度解调器电路 U15 接收 ASK 调制度为 10% 的 ISO/IEC 14443B 类或者 ISO/IEC 18092 的接收信号时,来自低灵敏度解调器电路 U14 的二进制信号维持于低电平。因此,为了确定目前接收信号是否为 B 类或者它是否为“18092”,在图 7 的操作流程的步骤 F4-3 对二进制信号 B 的脉冲宽度确定是必要的。因而,脉冲宽度检测器 U22 的脉冲宽度计数器 U23 针对二进制信号 B 的脉冲宽度确定来确定逻辑“0”的调制时段长度。也就是,脉冲宽度计数器 U23 对二进制信号 B 的逻辑“0”的时段中的时钟数目进行计数。将上侧具有大计数数目的四种情况确定为逻辑“0”的调制时段长的 ISO/IEC

14443B 类接收信号,并且将下侧具有小计数数目的三种情况确定为逻辑“0”的调制时段短的 ISO/IEC 18092 的接收信号。在这七种情况下,也可以同时确定从 106kbps 到 848kbps 的数据通信速度。脉冲宽度检测器 U22 包括将计数数目与 B 类或者“18092”的数据通信方法和数据通信速度链接的查找表(参考表)。

[0169] 《接收电路的配置》图 12 图示了在图 1 中所示非接触 IC 卡 U1 的半导体集成电路 U2 的内部电路 U4 的非接触控制电路 U9 中包括的接收电路 U19 的配置。

[0170] 图 12 中所示接收电路 U19 包括 A 类数据提取电路 U191、B 类数据提取电路 U192、“18092”数据提取电路 U193 和输出选择器 U194。

[0171] 解调器电路 U7 的低灵敏度解调器电路 U14 的串行二进制信号 A 和确定电路 U16 的数据通信方法确定信号供应给 A 类数据提取电路 U191。从 A 类数据提取电路 U191 生成并且向输出选择器 U194 供应 A 类的接收的并行数据和接收错误信号。

[0172] 解调器电路 U7 的高灵敏度解调器电路 U15 的串行二进制信号 B、确定电路 U16 的数据通信方法确定信号和数据通信速度确定信号供应给 B 类数据提取电路 U192。从 B 类数据提取电路 U192 生成并且向输出选择器 U194 供应 B 类的接收的并行数据和接收错误信号。

[0173] 解调器电路 U7 的高灵敏度解调器电路 U15 的串行二进制信号 B、确定电路 U16 的数据通信方法确定信号和数据通信速度确定信号供应给“18092”数据提取电路 U193。从“18092”数据提取电路 U193 生成并且向输出选择器 U194 供应“18092”的接收的并行数据和接收错误信号。

[0174] 从确定结果寄存器 17 向数据提取电路 U191、数据提取电路 U192、数据提取电路 U193 和输出选择器 U194 供应的数据通信方法确定信号是用于 A 类、B 类和“18092”之一的方法。因此,根据由数据通信方法确定信号规定的方法,从低功率消耗状态或者去激活状态激活 A 类数据提取电路 U191、B 类数据提取电路 U192 和“18092”数据提取电路 U193 之一。因而,激活的数据提取电路根据接收的串行输入信号来生成接收并行数据和接收错误信号。

[0175] 由于用于 A 类、B 类和“18092”之一的数据通信方法确定信号从确定电路 U16 供应给输出选择器 U194,所以输出选择器 U194 选择用于这些方法之一的接收并行数据和检错信号、将接收并行数据传送到 RAM(U10) 并且将检错信号供应给接收错误寄存器(U18)。

[0176] 《发送电路的配置》图 13 图示了在图 1 中所示非接触 IC 卡 U1 的半导体集成电路 U2 的内部电路 U4 的非接触控制电路 U9 中包括的发送电路 U20 的配置。

[0177] 图 13 中所示发送电路 U20 包括 A 类帧转换电路 U201、B 类帧转换电路 U202、“18092”帧转换电路 U203 和输出选择器 U204。

[0178] 来自确定结果寄存器 17 的数据通信方法确定信号共同地供应给 A 类帧转换电路 U201、B 类帧转换电路 U202 和“18092”帧转换电路 U203。来自确定结果寄存器 17 的数据通信速度确定信号供应给 B 类帧转换电路 U202 和“18092”帧转换电路 U203。经由总线(BUS) 传送的来自 RAM(U10) 的传输并行数据共同地供应给 A 类帧转换电路 U201、B 类帧转换电路 U202 和“18092”帧转换电路 U203。

[0179] 从确定结果寄存器 17 向帧转换电路 U201、帧转换电路 U202、帧转换电路 U203 和输出选择器 U204 供应的数据通信方法确定信号是 A 类、B 类和“18092”之一的方法。因

此,根据由数据通信方法确定信号规定的方法,从低功率消耗状态或者去激活状态激活 A 类帧转换电路 U201、B 类帧转换电路 U202 和“18092”帧转换电路 U203 之一。因而,激活的转换电路根据来自确定结果寄存器 17 的数据通信速度确定信号,将经由独占信号线来自 RAM(U10) 的传输并行数据转换成传输串行数据。输出选择器 U204 根据数据通信方法确定信号来选择传输串行数据,生成二进制信号 C 并且将它供应给调制器电路 8。

[0180] 如上所述,在解调器电路 U7、确定电路 U16 和接收电路 U19 对数据的接收操作期间或者在发送电路 U20 和调制器电路 U8 对数据的传输操作期间,与射频信号的解调或者调制过程和与 RAM(U10) 的数据传送没有直接关系的 CPU(U12) 和总线 (BUS) 可以设置成低功率消耗状态。因此,可以实现减少在与非接触读取器 / 写入器设备的数据通信时的功率消耗。

[0181] 《A 类接收》图 14 图示了在图 1 中所示非接触 IC 卡 U1 从非接触读取器 / 写入器设备基于 ISO/IEC 14443A 类数据通信方法对接收信号进行接收的情况下的操作。

[0182] 如图 14 中所示,当非接触 IC 卡 U1 进入非接触读取器 / 写入器设备的操作场中时,进行非接触 IC 卡 U1 的解调器电路 U7 中的低灵敏度解调器电路 U14 和高灵敏度解调器电路 U15 的并行解调操作。恰在第一次下行链路通信之前,确定单元 U16 在图 7 的步骤 F4-2 的左侧确定目前接收 ASK 调制度为 100% 的 ISO/IEC 14443A 类接收信号。因此,高灵敏度解调器电路 U15 的操作由来自确定电路 U16 的低功率消耗模式信号暂停。因而,接收的 A 类用户数据由解调器电路 U7 的低灵敏度解调器电路 U14 和由非接触控制电路 U9 的接收电路 U19 接收、然后经由作为独占信号线的接收并行数据线存储于 RAM(U10) 中。

[0183] 响应于在结束将接收的用户数据存储到 RAM(U10) 时的中断信号, CPU(U12) 从暂停状态被唤醒 (激活) 并且转变成操作状态。CPU(U12) 读出 RAM(U10) 中存储的数据、根据 ROM(U11) 或者 EEPROM(U13) 中存储的用于安全电子银行的处理程序来处理读出的数据并且再次将处理结果存储于 RAM(U10) 中。当完成 CPU(U12) 在 RAM(U10) 中对处理结果的存储时, CPU(U12) 从操作状态转变成作为休眠状态的暂停状态。

[0184] 响应于 CPU(U12) 从操作状态到休眠状态的转变,发送电路 (U20) 和调制器电路 (U8) 从暂停状态被唤醒 (激活) 并且转变成操作状态。因而,发送电路 (U20) 经由作为独占信号线的传输并行数据信号线读取 RAM(U10) 中存储的处理结果并且将它传送到调制器电路 (U8)。结果是进行解调器电路 (U8) 向非接触读取器 / 写入器设备的第一次上行链路通信。

[0185] 《B 类接收》图 15 图示了在图 1 中所示非接触 IC 卡 U1 从非接触读取器 / 写入器设备基于 ISO/IEC 14443B 类数据通信方法对接收信号进行接收的情况下的操作。

[0186] 如图 15 中所示,当非接触 IC 卡 U1 进入非接触读取器 / 写入器设备的操作场中时,进行非接触 IC 卡 U1 的解调器电路 U7 中的低灵敏度解调器电路 U14 和高灵敏度解调器电路 U15 的并行解调操作。恰在第一次下行链路通信之前,确定单元 U16 在图 7 的步骤 F4-2 的右侧确定目前接收 ASK 调制度为 10% 的接收信号。确定电路 U16 通过在图 7 的步骤 F4-3 对二进制信号 B 的脉冲宽度确定来确定目前接收 ISO/IEC 14443B 类接收信号或者 ISO/IEC 18092 的接收信号。当确定电路 U16 确定逻辑“0”的调制时段长时,确定电路 U16 如在步骤 F4-3 的左侧结果中和在步骤 F4-5 所示确定目前接收 ISO/IEC14443B 类接收信号并且进行对数据通信速度 106kbps 的确定。因而,低灵敏度解调器电路 U14 的操作由来自确定电路 U16 的低功率消耗模式信号暂停。因此,接收的 B 类用户数据由解调器电路 U7 的高灵敏度

解调器电路 U15 和由非接触控制电路 U9 的接收电路 U19 接收、然后经由作为独占信号线的接收的并行数据线存储于 RAM(U10) 中。

[0187] 响应于在结束将接收的用户数据存储到 RAM(U10) 时的中断信号, CPU(U12) 从暂停状态被唤醒(激活)并且转变成操作状态。CPU(U12) 读出 RAM(U10) 中存储的数据、根据 ROM(U11) 或者 EEPROM(U13) 中存储的用于安全电子银行的处理程序来处理读出的数据并且再次将处理结果存储于 RAM(U10) 中。当完成 CPU(U12) 在 RAM(U10) 中对处理结果的存储时, CPU(U12) 从操作状态转变成作为休眠状态的暂停状态。

[0188] 响应于 CPU(U12) 从操作状态到休眠状态的转变, 发送电路(U20) 和调制器电路(U8) 从暂停状态被唤醒(激活)并且转变成操作状态。因而, 发送电路(U20) 经由作为独占信号线的传输并行数据信号线读取 RAM(U10) 中存储的处理结果并且将它传送到调制器电路(U8)。结果是进行解调器电路(U8) 向非接触读取器/写入器设备的第一次上行链路通信。

[0189] 《“18092”的接收》图 16 图示了在图 1 中所示非接触 IC 卡 U1 从非接触读取器/写入器设备基于 ISO/IEC 18092 的数据通信方法对接收信号进行接收的情况下的操作。

[0190] 如图 16 中所示, 当非接触 IC 卡 U1 进入非接触读取器/写入器设备的操作场中时, 进行非接触 IC 卡 U1 的解调器电路 U7 中的低灵敏度解调器电路 U14 和高灵敏度解调器电路 U15 的并行解调操作。恰在第一次下行链路通信之前, 确定电路 U16 在图 7 的步骤 F4-2 的右侧确定目前接收 ASK 调制度为 10% 的接收信号。确定电路 U16 通过在图 7 的步骤 F4-3 对二进制信号 B 的脉冲宽度确定来确定目前接收 ISO/IEC 14443B 类接收信号或者 ISO/IEC 18092 的接收信号。当确定电路 U16 确定逻辑“0”的调制时段短时, 确定电路 U16 如在步骤 F4-3 的下侧结果中和在步骤 F4-6 所示确定目前接 ISO/IEC 18092 的接收信号并且进行对数据通信速度 424kbps 的确定。因而, 低灵敏度解调器电路 U14 的操作由来自确定电路 U16 的低功率消耗模式信号暂停。因此, 接收的“18092”用户数据由解调器电路 U7 的高灵敏度解调器电路 U15 和由非接触控制电路 U9 的接收电路 U19 接收、然后经由作为独占信号线的接收的并行数据线存储于 RAM(U10) 中。

[0191] 响应于在结束将接收的用户数据存储到 RAM(U10) 时的中断信号, CPU(U12) 从暂停状态被唤醒(激活)并且转变成操作状态。CPU(U12) 读出 RAM(U10) 中存储的数据、根据 ROM(U11) 或者 EEPROM(U13) 中存储的用于安全电子银行的处理程序来处理读出的数据并且再次将处理结果存储于 RAM(U10) 中。当完成 CPU(U12) 在 RAM(U10) 中对处理结果的存储时, CPU(U12) 从操作状态转变成作为休眠状态的暂停状态。

[0192] 响应于 CPU(U12) 从操作状态到休眠状态的转变, 发送电路(U20) 和调制器电路(U8) 从暂停状态被唤醒(激活)并且转变成操作状态。因而, 发送电路(U20) 经由作为独占信号线的传输并行数据信号线读取 RAM(U10) 中存储的处理结果并且将它传送到调制器电路(U8)。结果是进行调制器电路(U8) 向非接触读取器/写入器设备的第一次上行链路通信。

[0193] 《在接收过程中改变数据通信速度》图 17 图示了在图 1 中所示非接触 IC 卡 U1 从非接触读取器/写入器设备基于 ISO/IEC 14443B 类数据通信方法对接收信号进行接收之时改变数据通信速度并且非接触 IC 卡再次基于相同 B 类来对接收信号进行接收的情况下的操作。

[0194] 虽然图 17 的第一次下行链路通信的操作与图 15 的第一次下行链路通信的操作相同,但是在图 17 的第 N 次下行链路通信的情况下,来自非接触读取器 / 写入器设备的 ISO/IEC 14443B 类接收信号的数据通信速度从最低速度 106kbps 改变成中等低速度 212kbps。通过由确定电路 U16 在图 8 的步骤 F3-3 进行的对二进制信号 B 的脉冲宽度确定来确定 B 类接收信号的传输速度可检测数据通信速度的改变。由于在确定结果寄存器 U17 中写入新检测的改变的数据通信速度,所以发送电路 U20 的传输数据通信速度改变成中等低速度 212kbps。接收电路 U19 也对应于新检测的改变的数据通信速度将串行二进制信号 B 转换成接收并行数据。数据通信速度可以任意地从 106kbps、212kbps、424kbps 和 848kbps 中的一个数据通信速度改变成 106kbps、212kbps、424kbps 和 848kbps 中的另一数据通信速度。

[0195] 在不仅接收 ISO/IEC 14443B 类接收信号而且接收 ISO/IEC18092 方法的接收信号期间,数据通信速度可以任意地从 212kbps、424kbps 和 848kbps 中的一个数据通信速度改变成 212kbps、424kbps 和 848kbps 中的另一数据通信速度。

[0196] 《非接触 IC 卡的结构》图 19 图示了图 1 中所示非接触 IC 卡 U1 的结构。

[0197] 图 19 中所示非接触 IC 卡 U1 具有通过利用由树脂模制的印刷电路板的卡形状。从外部非接触读取器 / 写入器设备接收电磁波的天线由如下螺旋线圈组成,该螺旋线圈用设置于印刷电路板之上的布线形成。形成于一个 IC 芯片中的半导体集成电路 U2 安装于印刷电路板之上,并且用作天线的线圈耦合到该 IC 芯片。

[0198] 按照这一方式,图 19 的非接触 IC 卡 U1 没有电池(这不同于移动电话)并且用低驱动能力的如下操作电压来操作,当将 IC 卡单体置于非接触读取器 / 写入器设备的操作场范围内时 IC 卡单体通过对由天线接收的射频信号进行整流和平滑来生成该操作电压。

[0199] 《安装于移动电话中的非接触 IC 卡》图 20 图示了安装于移动电话中的图 1 所示非接触 IC 卡的外观。

[0200] 与图 19 中所示非接触 IC 卡类似,图 20 中所示非接触 IC 卡具有形成于印刷电路板之上的 IC 芯片和天线。然而,图 20 的非接触 IC 卡制作成比图 19 的非接触 IC 卡小得多的外观以便能够安装于移动电话中。因此,图 20 中所示非接触 IC 卡可以用与安装于移动电话中的诸如具有移动通信功能的半导体集成电路、液晶显示控制器驱动器及其它半导体集成电路类似的方式通过置于移动电话中的电池的操作电压来操作。在这一情况下也可以通过响应于低功率消耗模式信号将各电路置于低功率消耗状态来实现低功率消耗。

[0201] 图 20 中所示非接触 IC 卡不仅安装于移动电话中而且可以置于普遍的便携信息终端如称为 PDA(个人数字助理)的口袋书尺寸的个人计算机和笔记本尺寸的个人计算机中。

[0202] 在上文中已经基于实施例具体地说明由本发明人实现的本发明。然而,毋庸赘言本发明不限于这些实施例并且它可以在没有脱离要旨的范围中不同地加以改变。

[0203] 例如,本发明不限于非接触 IC 卡,而是也可以应用于具有接触型输入 - 输出端子的接触接口和非接触接口的双重型 IC 卡。

[0204] 在图 1 中所示非接触 IC 卡中,半导体集成电路 U2 不限于单芯片配置并且可以制作为具有第一芯片和第二芯片的多芯片配置。例如,第一芯片包括电源电路 U2、解调器电路 U7、调制器电路 U8 和非接触控制电路 U9。第二芯片不仅可以包括 RAM(U10)、ROM(U11)、CPU(U12)、EEPROM(U13) 和总线 (BUS),而且可以包括用于与第一芯片通信的接口电路。

[0205] 经由作为独占信号线的接收的并行数据线或者传输并行数据线进行在安装于图

1 的半导体集成电路中的接收电路 U19 或者发送电路 U20 与 RAM(U10) 之间的数据传送。然而,并不限于经由独占信号线进行数据传送,而是也可以经由耦合到 CPU(U12) 的总线(BUS) 或者经由其它外围总线进行数据传送。

[0206] 在向 RAM(U10) 的数据传送中,配置不限于从 RAM(U10) 的固定地址依次地存储数据的配置,而是也可以利用通过使用存储器控制电路在任意地址存储数据的配置。

[0207] 另外,本发明不仅可以应用于通过 ASK 系统的数字调制方法的通信而且可以应用于通过频移键控 (FSK)、相移键控 (PSK) 等的数字调制方法的通信。

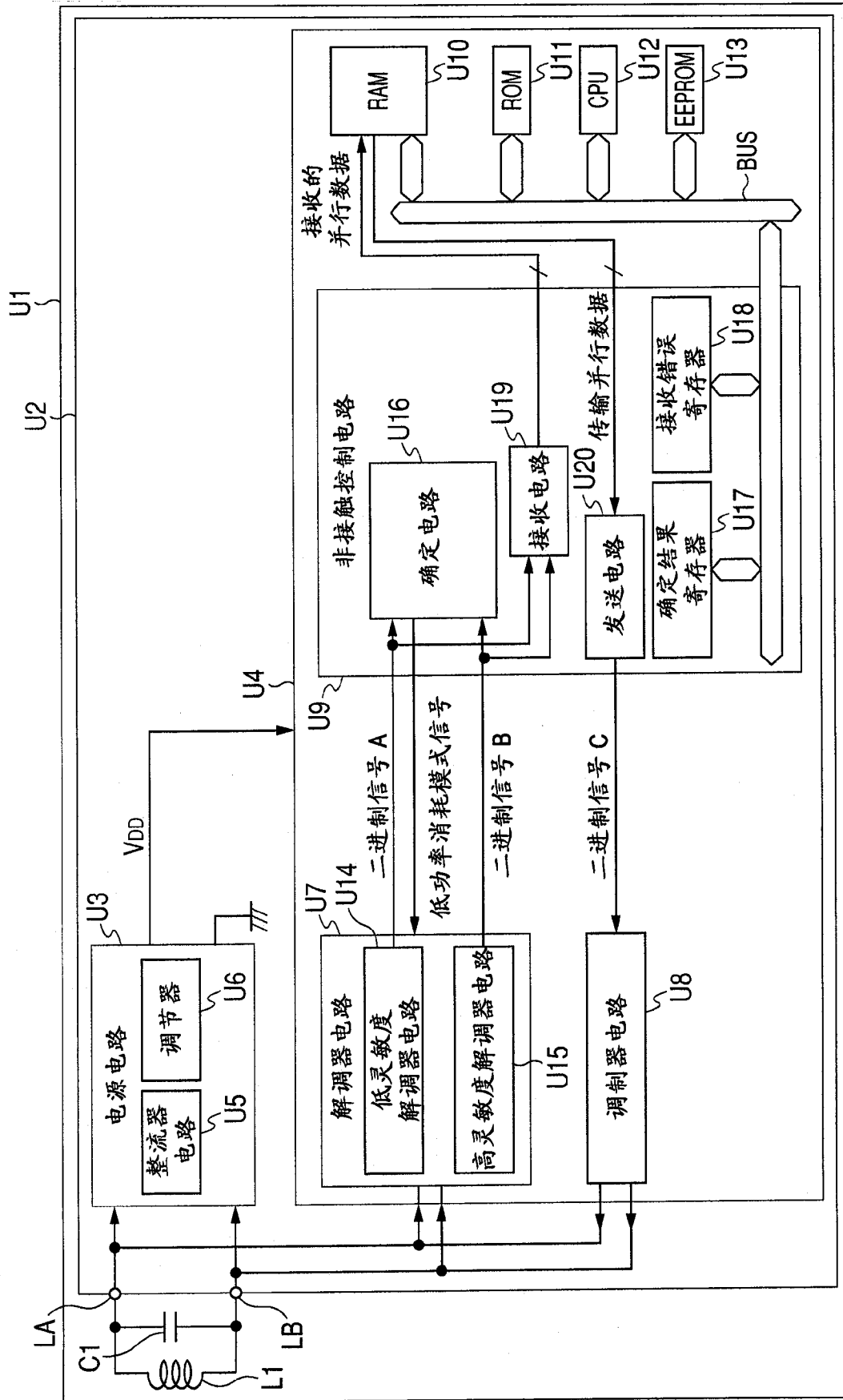


图 1

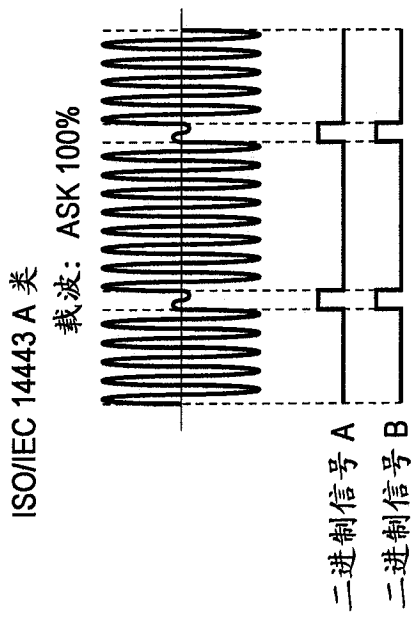


图 2(A)

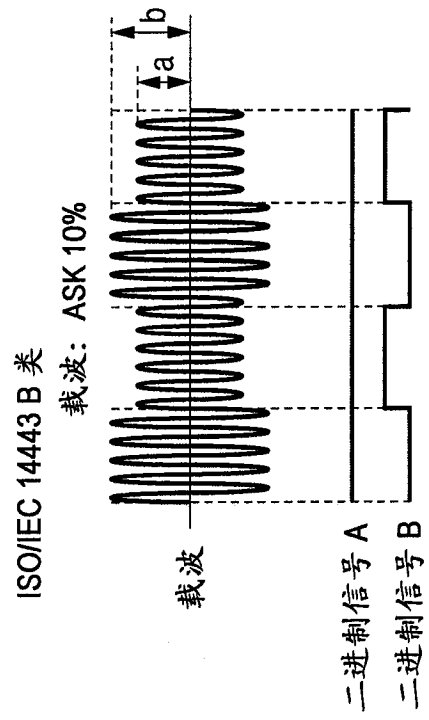


图 2(B)

ISO/IEC 14443 B 类



图 3

ISO/IEC 18092

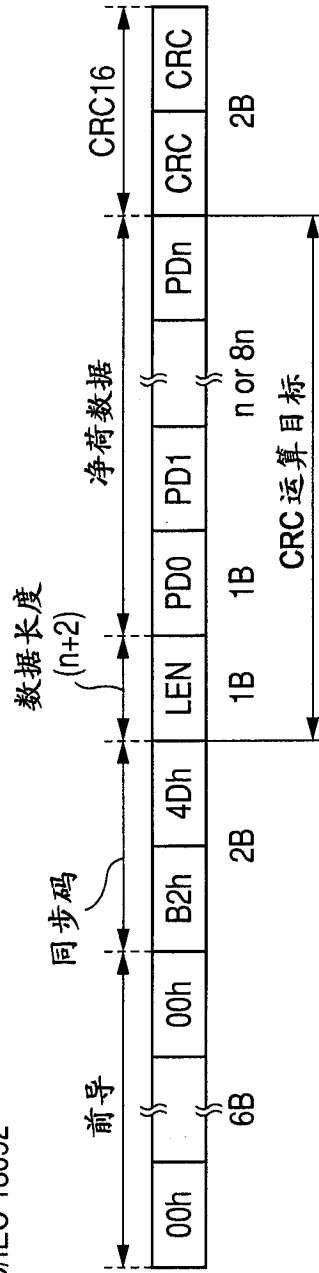


图 4

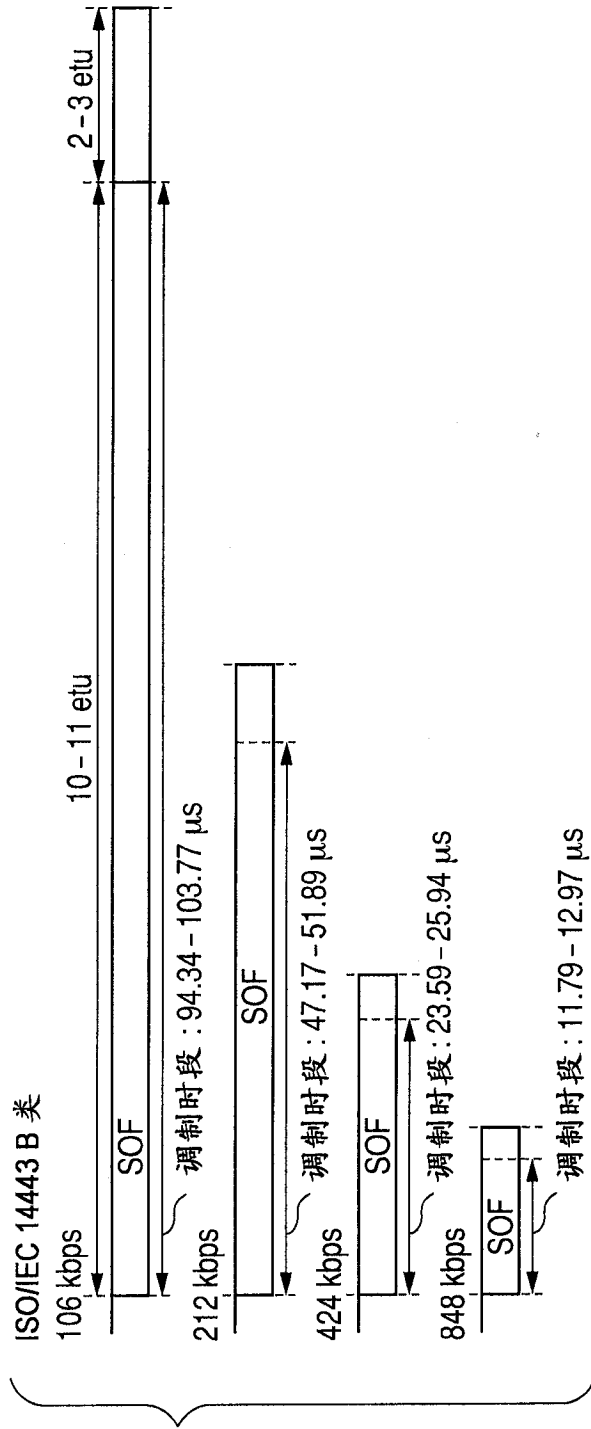


图 5

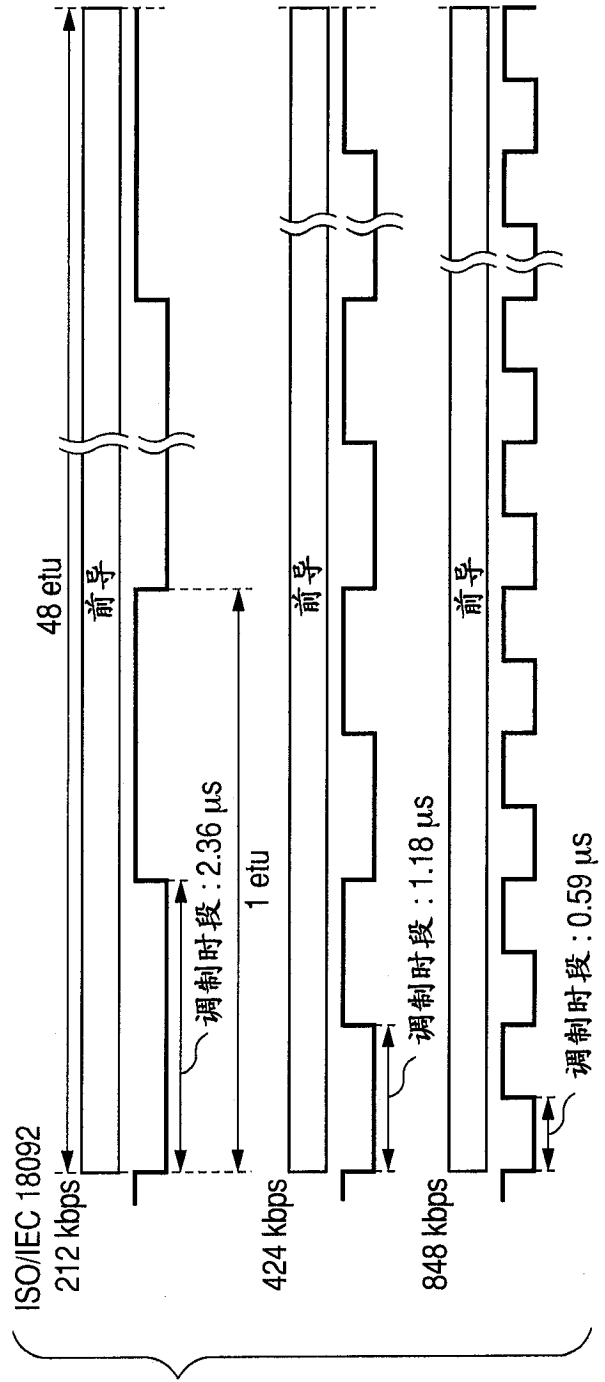


图 6

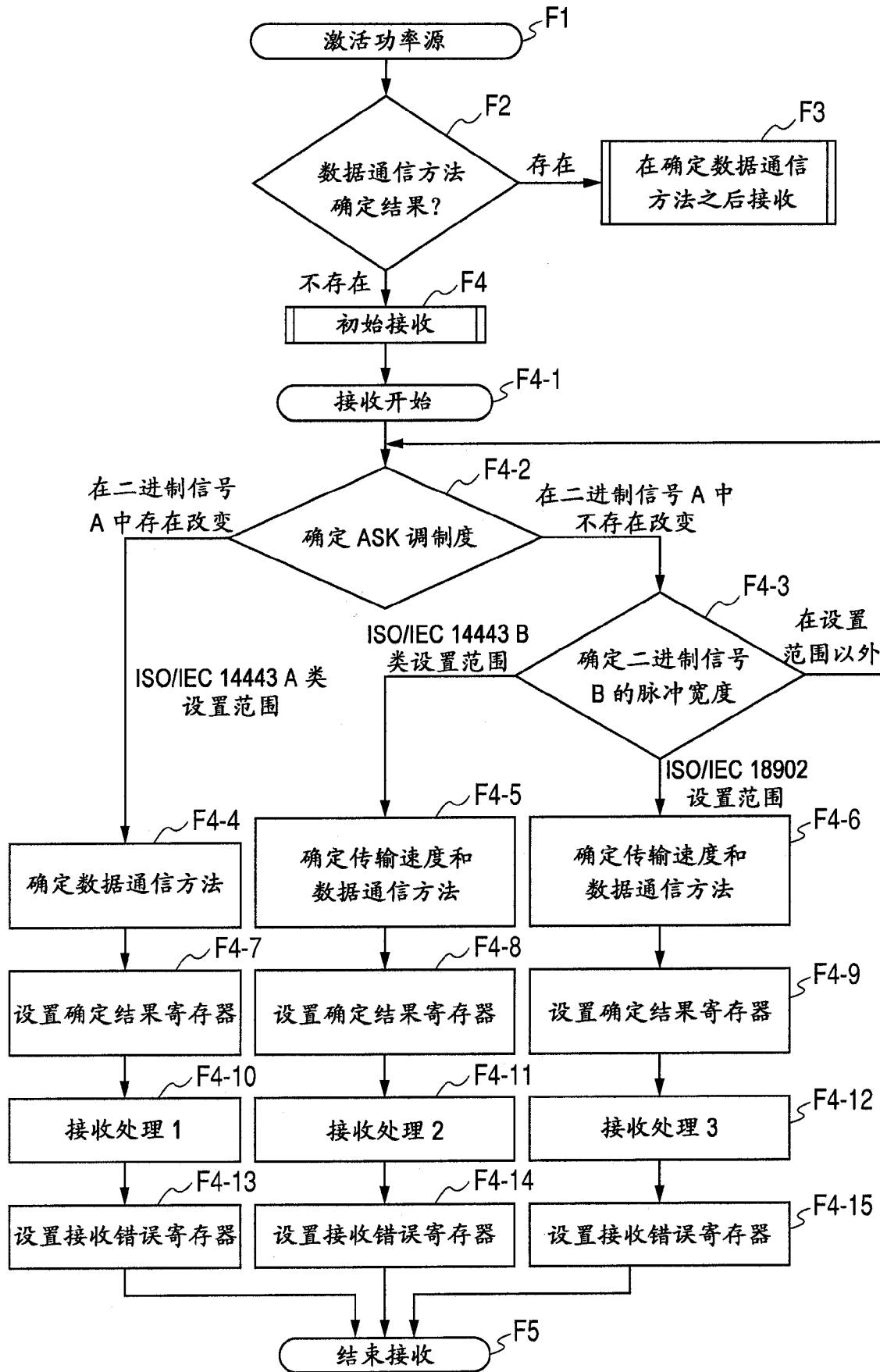


图 7

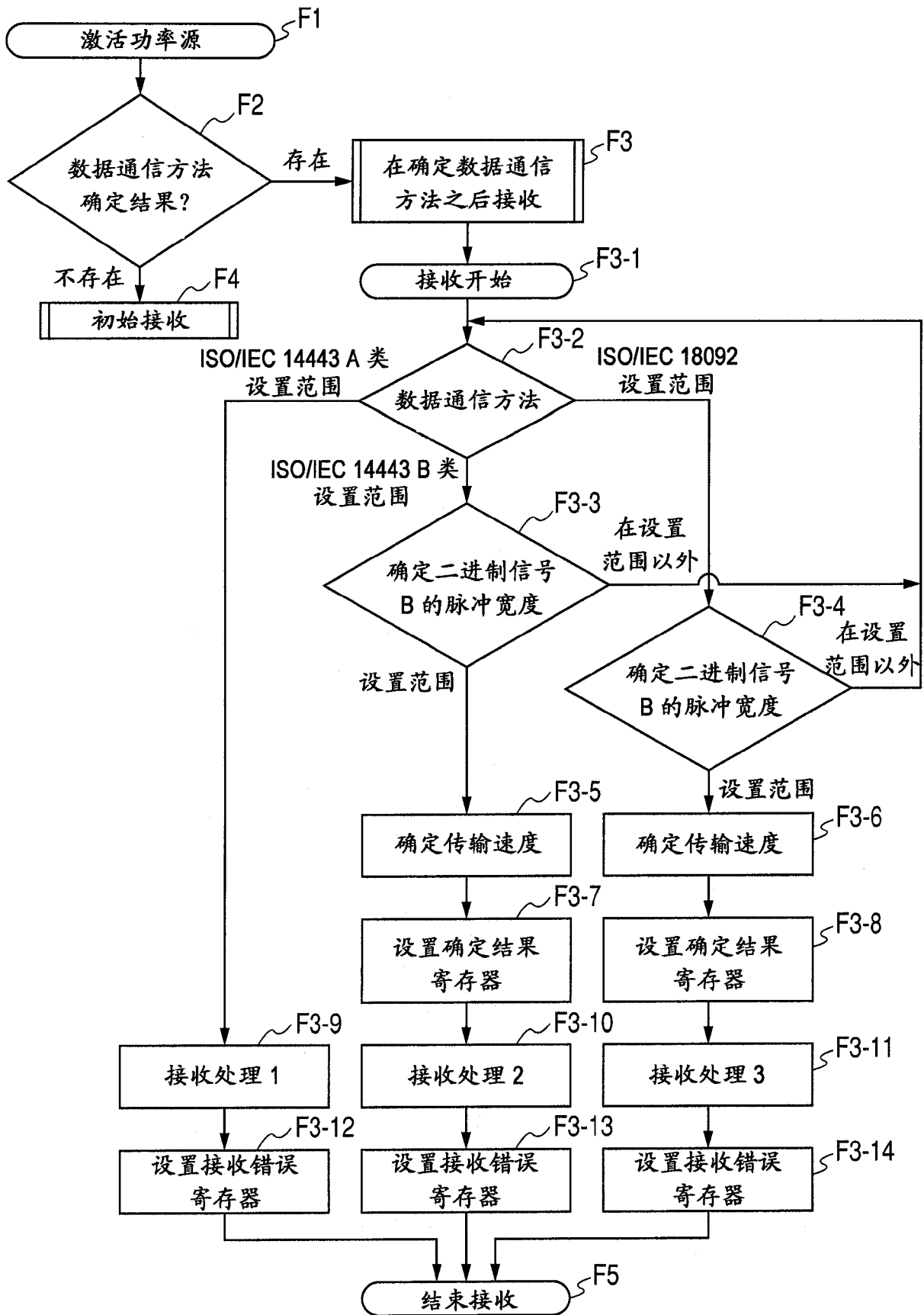


图 8

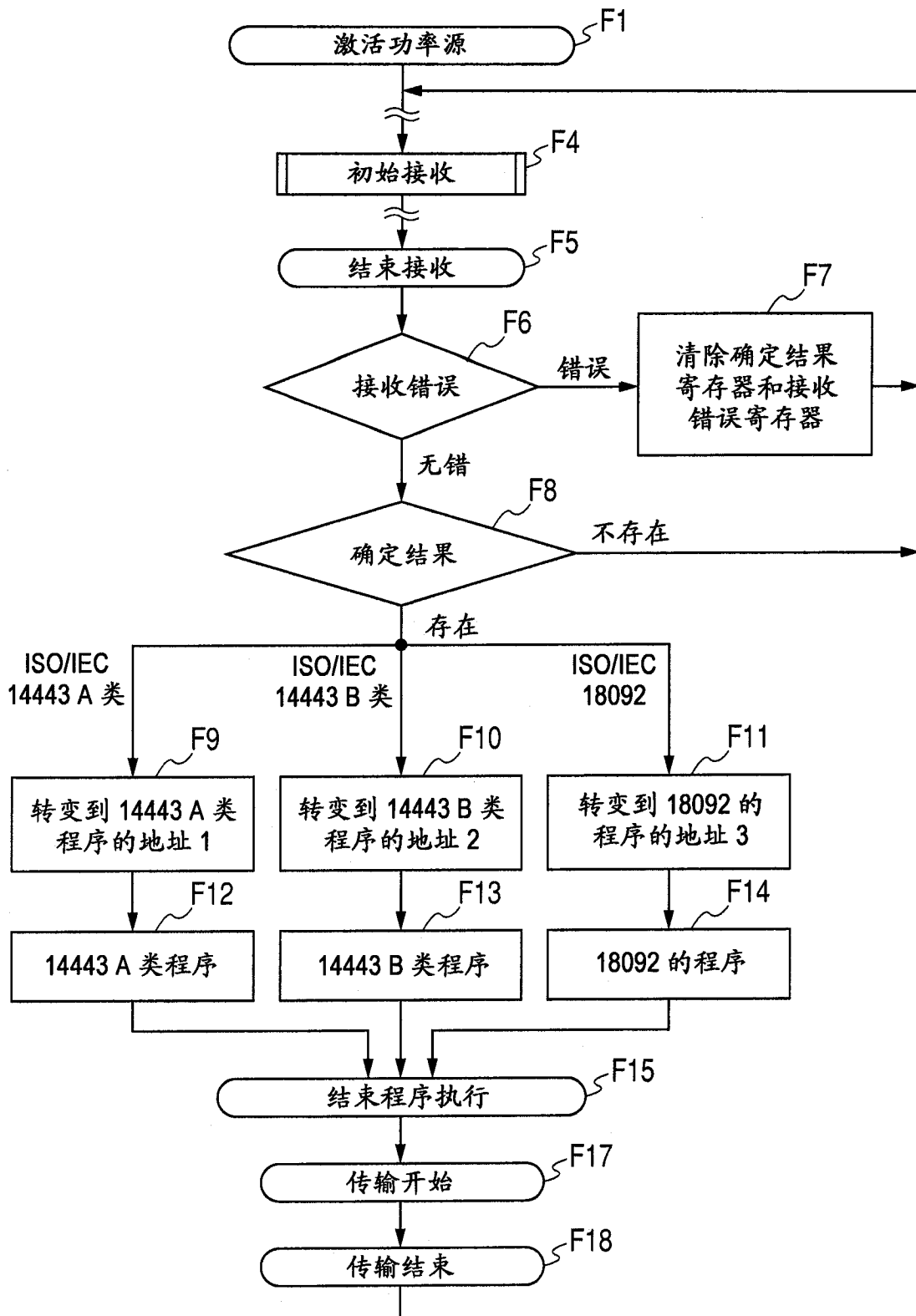


图 9

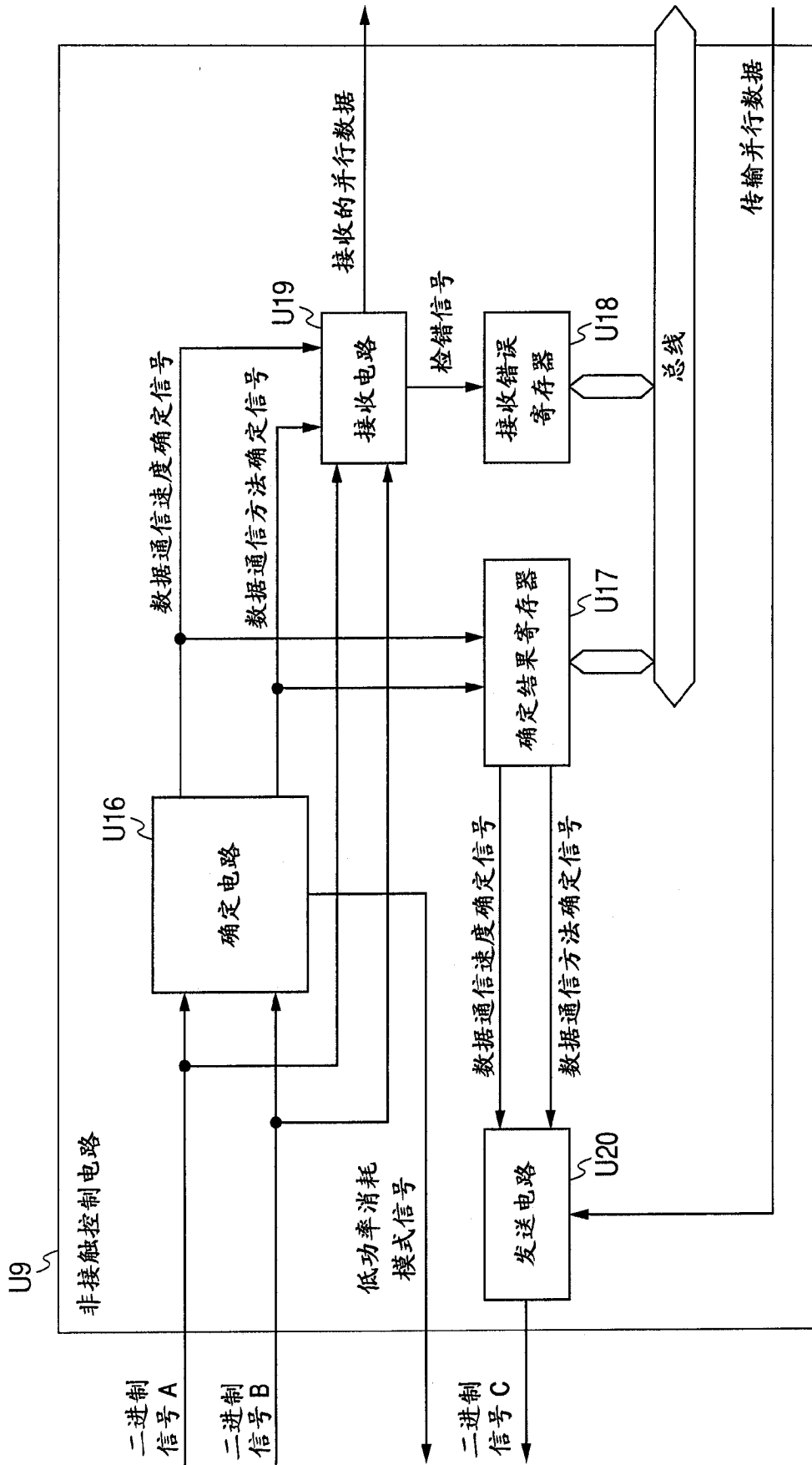


图 10

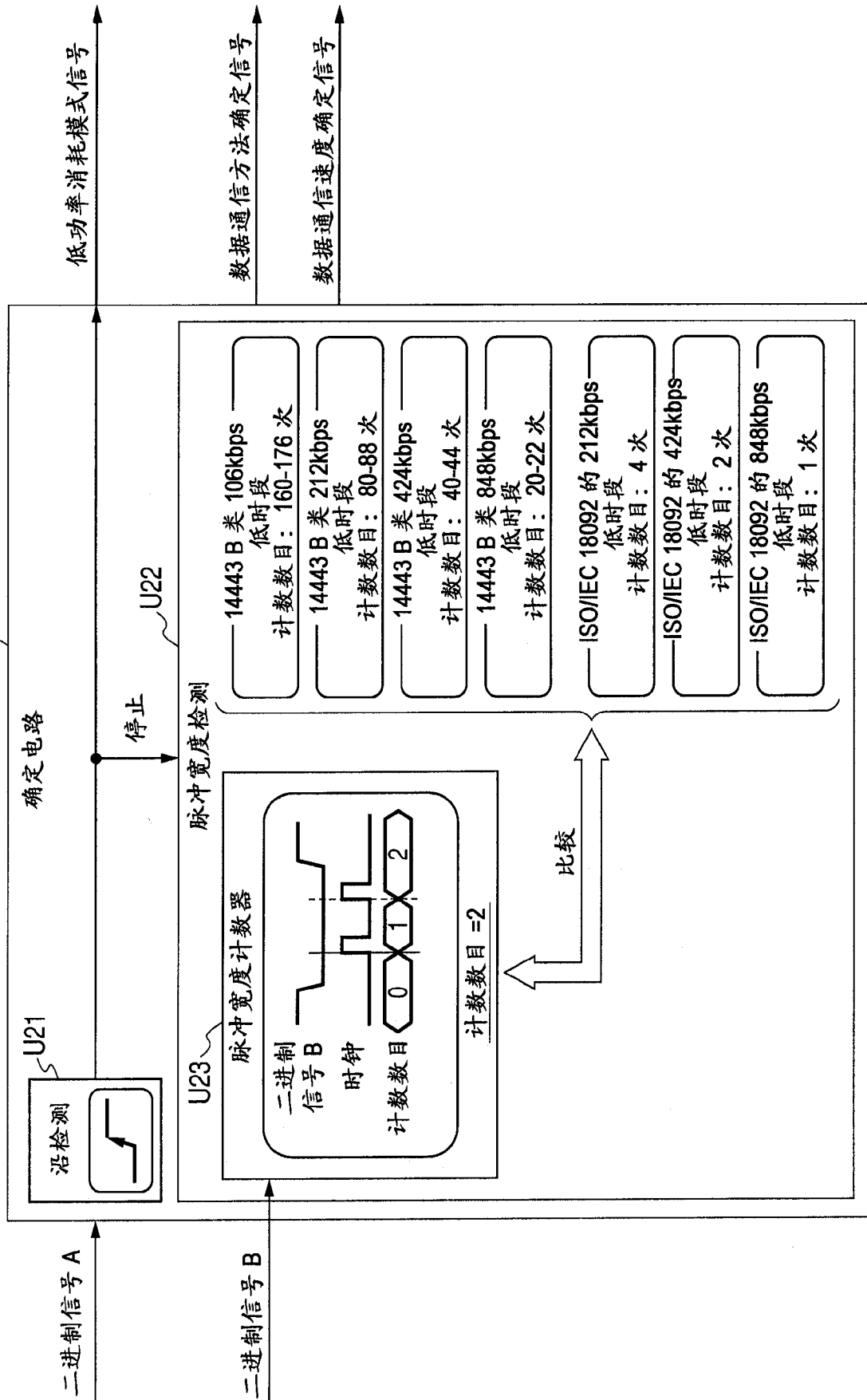


图 11

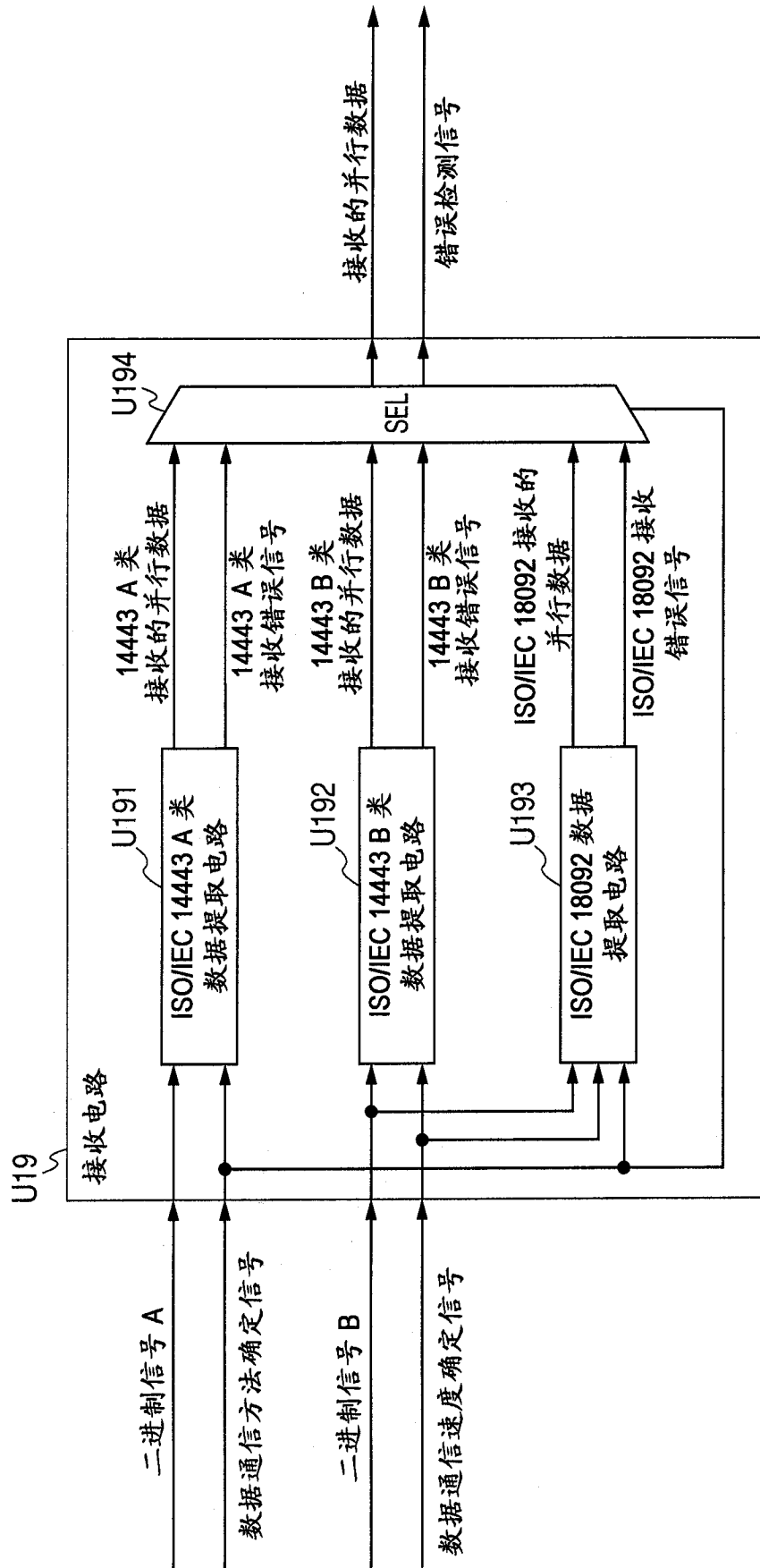


图 12

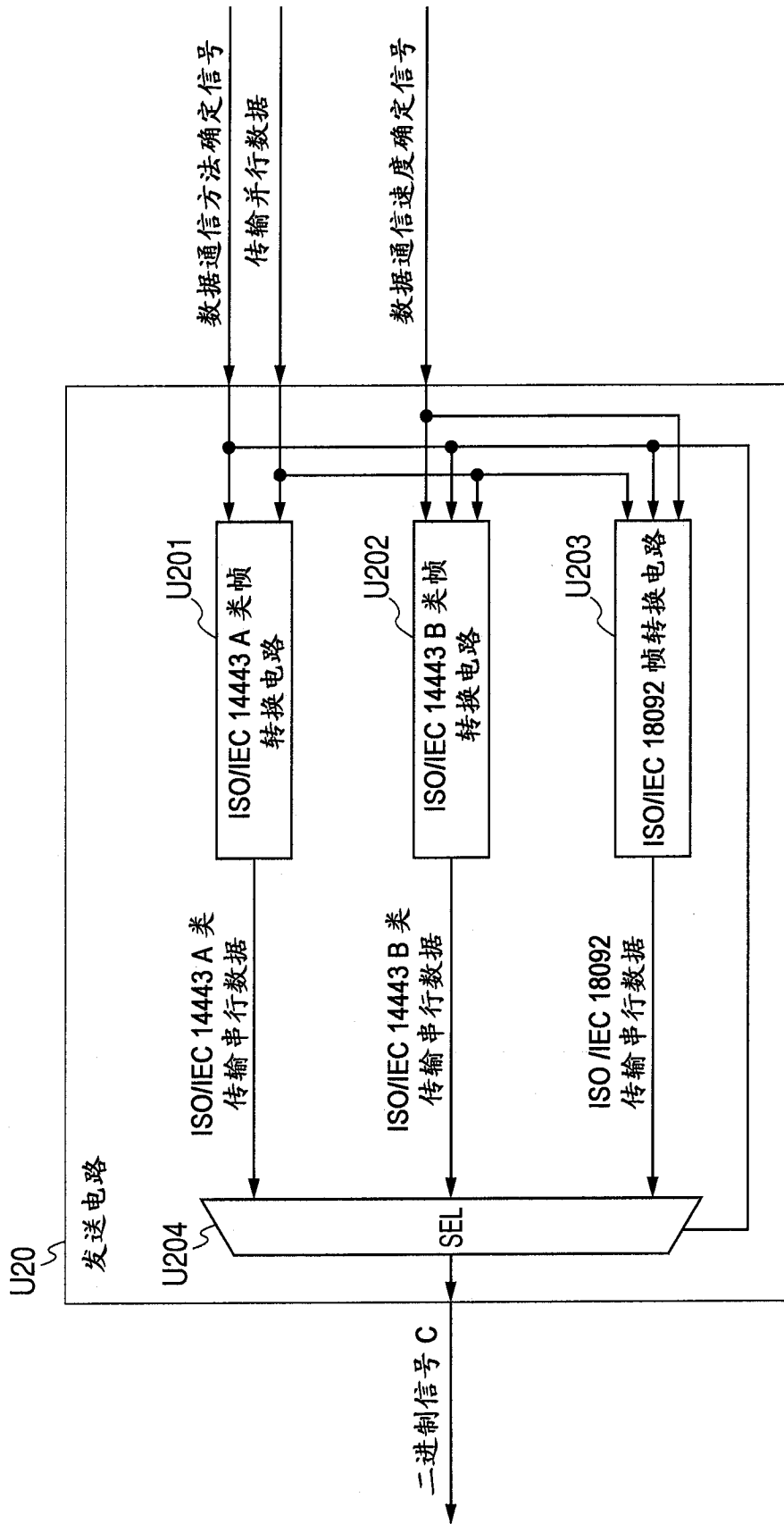


图 13

下行链路: ISO/IEC 14443 A 类
(调制度=100%, 传输速度=106kbps)

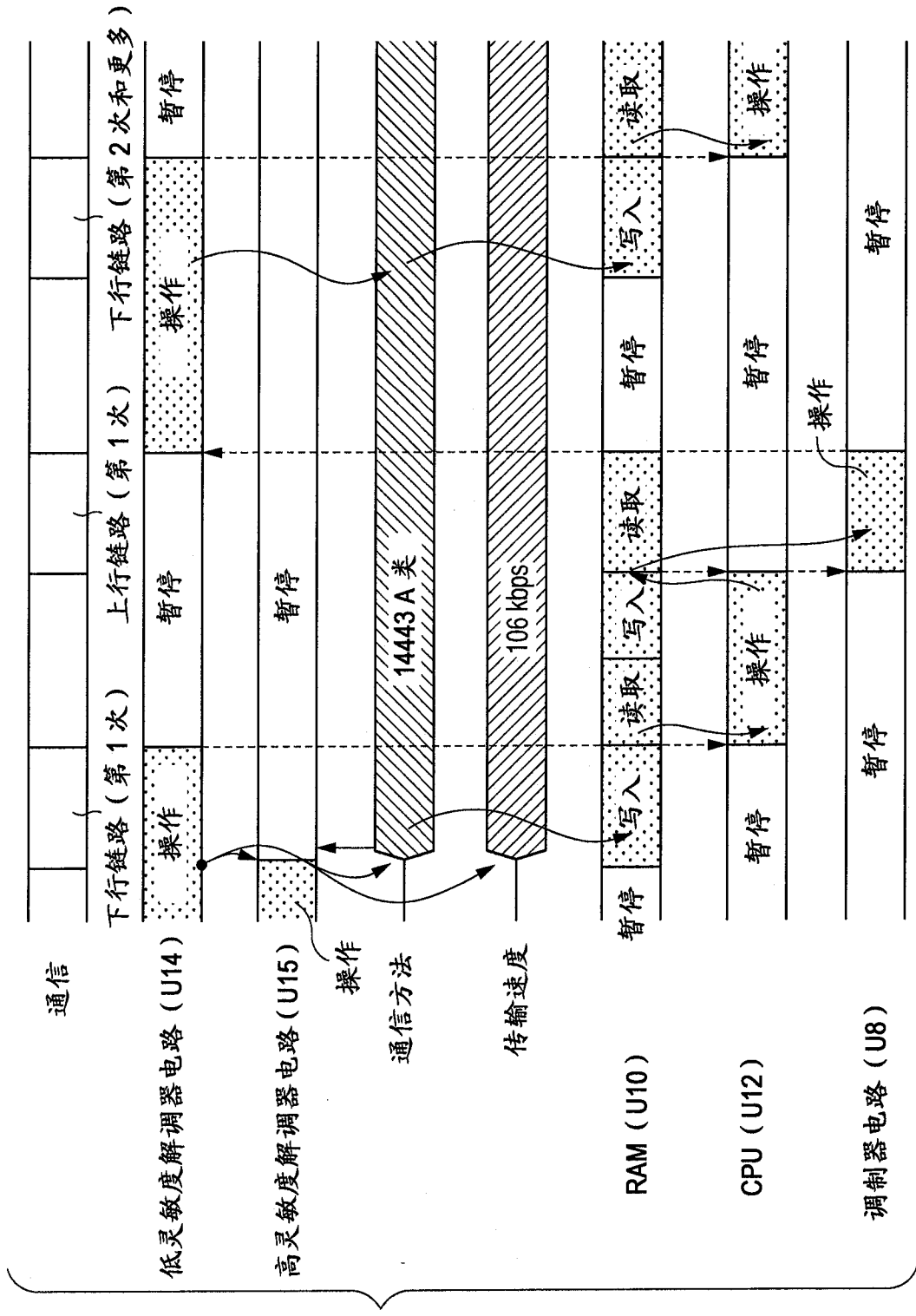


图 14

下行链路: ISO/IEC 14443 B 类
(调制度 = 10%, 传输速度 = 106kbps)

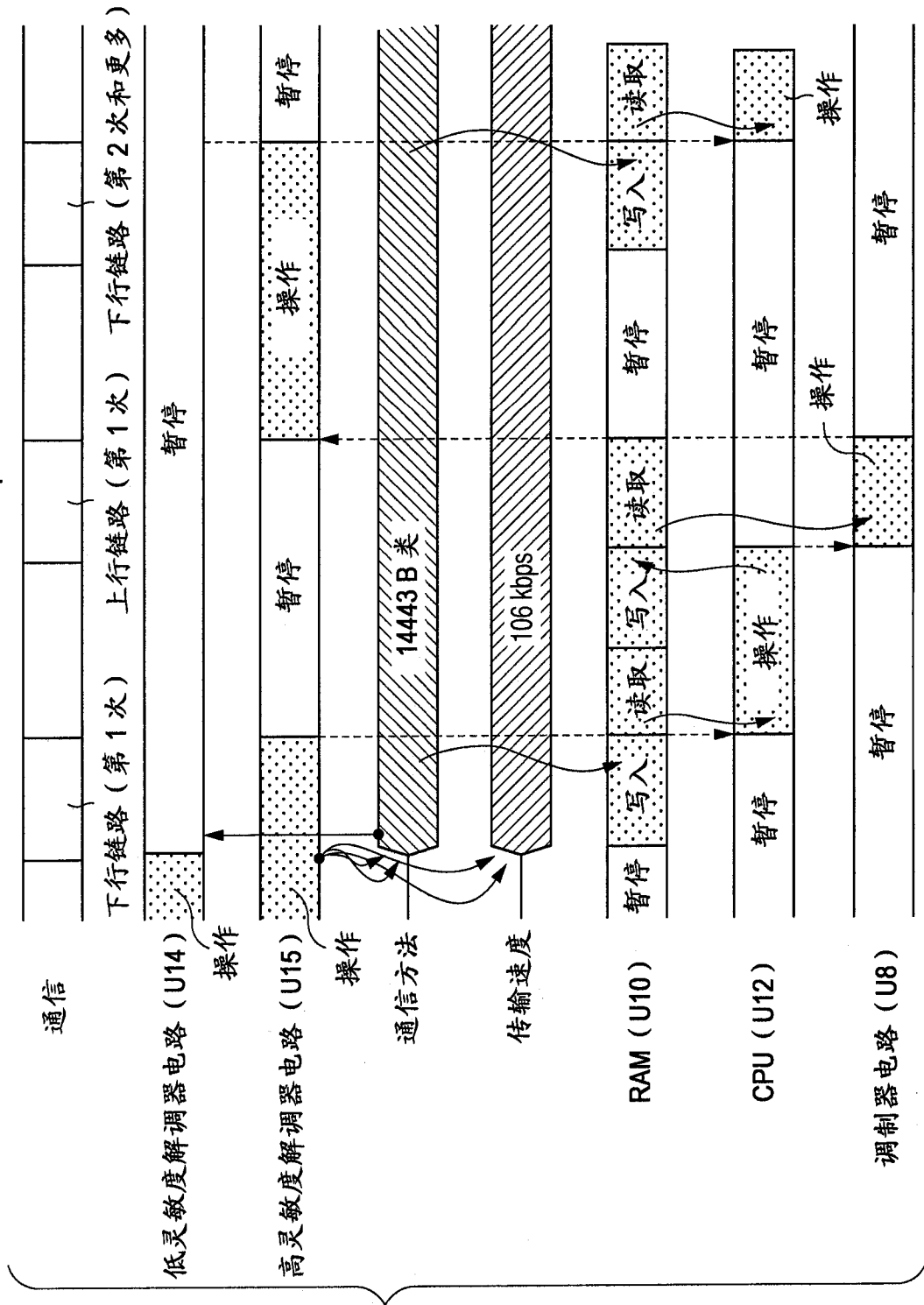


图 15

下行链路: ISO/IEC 18092
(调制度=10%, 传输速度=424kbps)

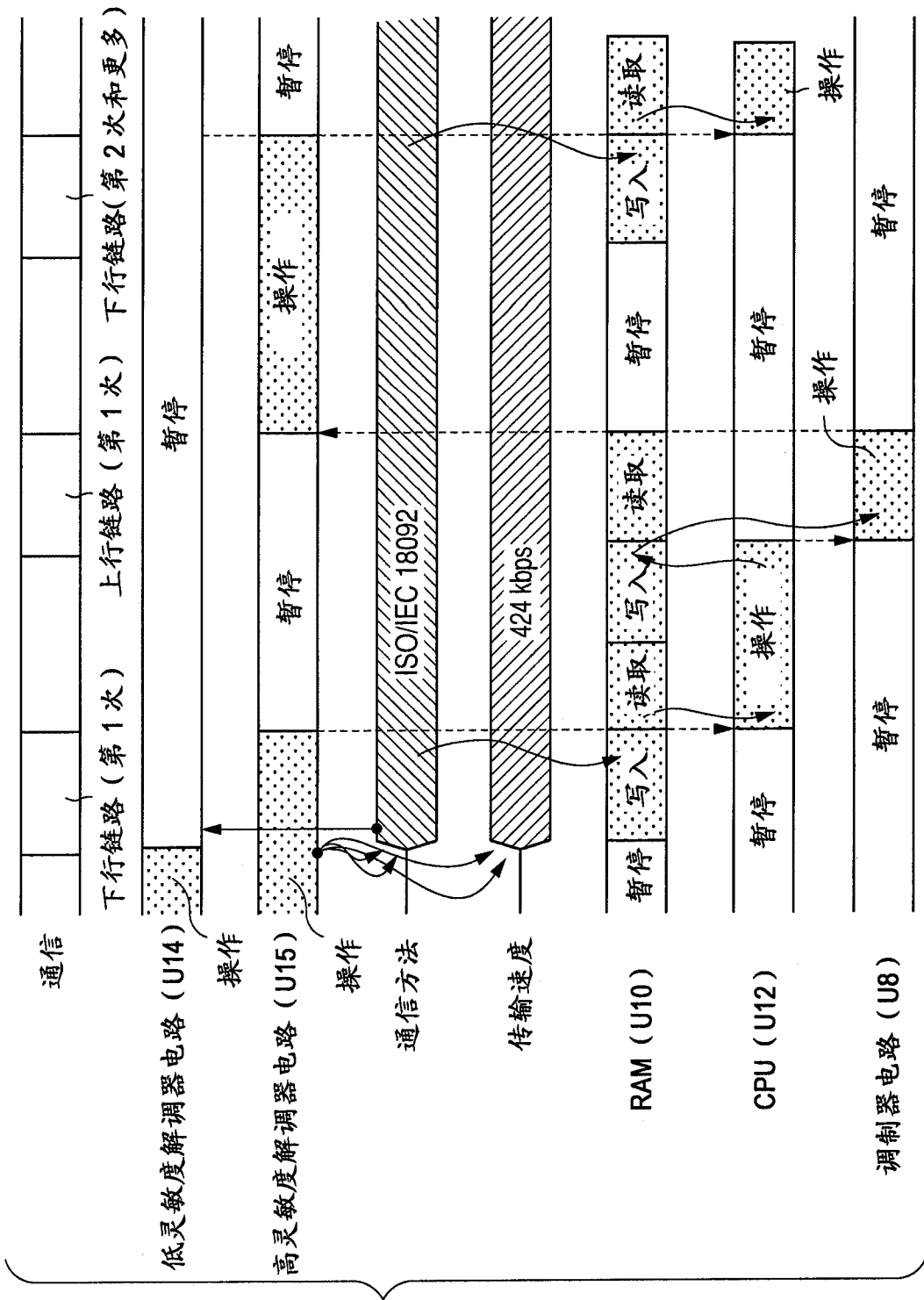


图 16

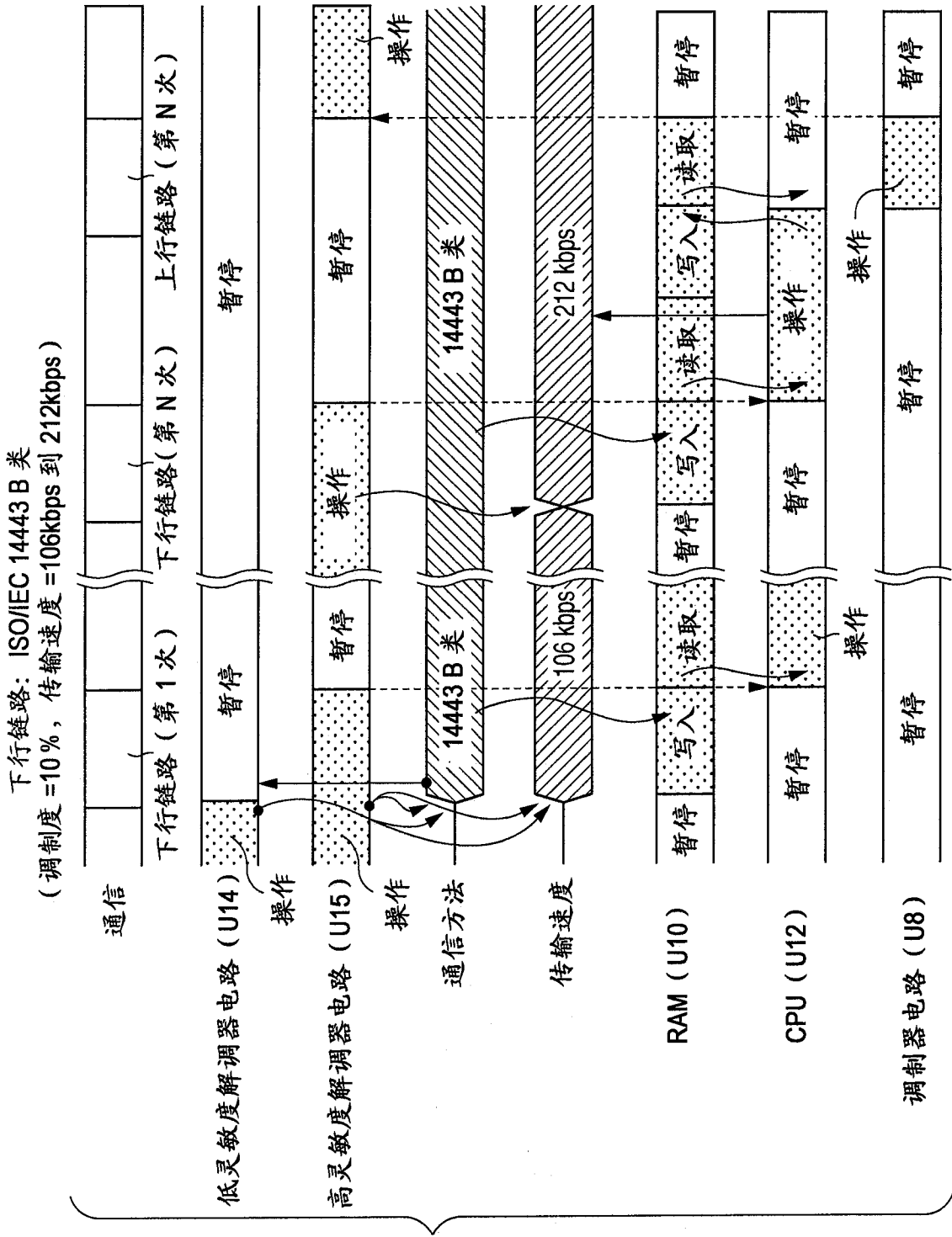


图 17

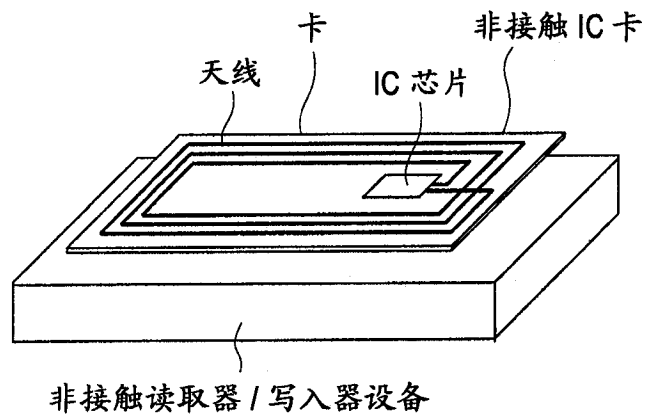
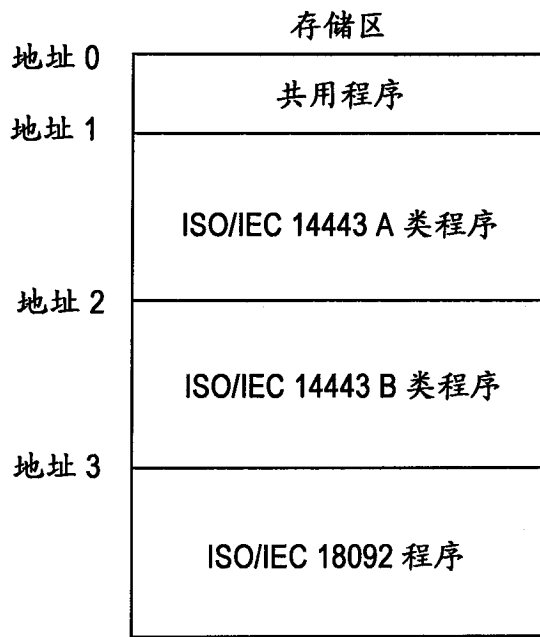


图 19

图 18

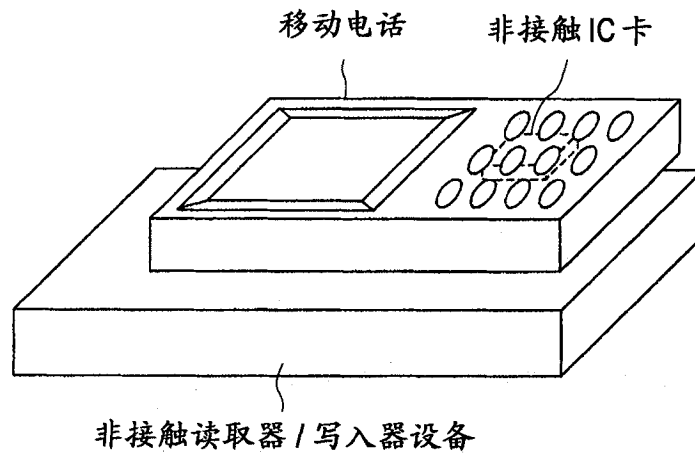


图 20