

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 6 月 14 日 (14.06.2007)

PCT

(10) 国際公開番号
WO 2007/066396 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) H01L 21/822 (2006.01)
G01R 31/28 (2006.01) H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2005/022519
- (22) 国際出願日: 2005 年 12 月 8 日 (08.12.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 丸山 繁徳 (MARUYAMA, Shigenori) [JP/JP]; 〒1006334 東京都

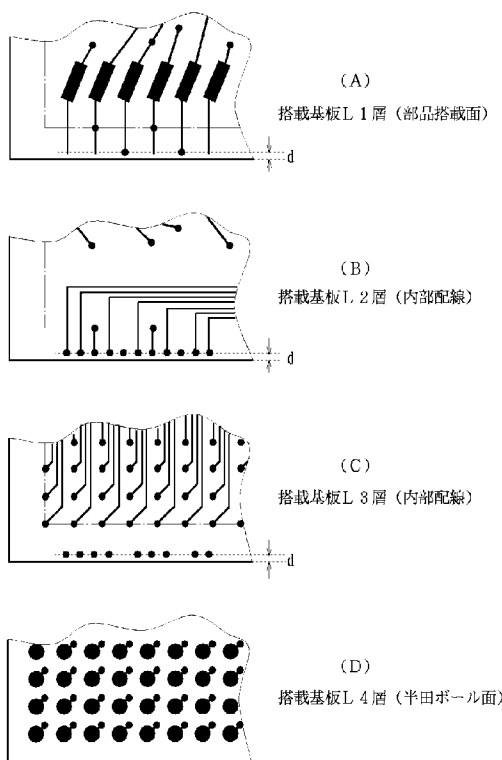
千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 松石 継巳 (MATSUISHI, Tsugumi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).

- (74) 代理人: 徳若光政 (TOKUWAKA, Kousei); 〒1810001 東京都三鷹市井の頭 5 丁目 1 番 8 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF ANALYZING FAILURES

(54) 発明の名称: 半導体装置と不良解析方法



- (A) MOUNTING SUBSTRATE L1 LAYER
(COMPONENT-MOUNTING SURFACE)
- (B) MOUNTING SUBSTRATE L2 LAYER (INSIDE WIRES)
- (C) MOUNTING SUBSTRATE L3 LAYER (INSIDE WIRES)
- (D) MOUNTING SUBSTRATE L4 LAYER
(SOLDER BALL SURFACE)

(57) Abstract: A semiconductor device is provided to reduce the number of outside lead terminals with liability retained and to simplify failure analyses and a method of analyzing failures is also provided. A semiconductor chip is mounted on a mounting substrate. Inside wires not connected to outside lead terminals are provided on the mounting substrate while the semiconductor chip is sealed with molding resins. Parts of the inside wires is provided with termination portions extending to an outside termination section of the mounting substrate or that of the molding resins that is more outside than the most outside portion of the inside wires connecting terminals to each other, corresponding to outside terminals of the semiconductor chip.

(57) 要約: 【課題】外部端子の削減と信頼性を確保しつつ不良解析を簡単にした半導体装置と不良解析方法を提供する。【解決手段】搭載基板上に半導体チップが搭載される。上記搭載基板には、外部端子に接続されない内部配線を有し、上記半導体チップはモールド樹脂により封止される。上記内部配線の一部は、半導体チップと外部端子の対応する端子同士を接続する内部配線の最外部よりも外側の上記搭載基板外側端部又は上記モールド樹脂の外側端部まで延長させた終端を設ける。

[続葉有]

WO 2007/066396 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置と不良解析方法

技術分野

- [0001] この発明は、半導体装置と不良解析方法に関し、例えばマイコンチップとメモリチップとを1つの搭載基板に搭載して実質的に一つの半導体装置とされるマルチチップモジュールのような半導体装置とその不良解析方法に適用して有効な技術に関するものである。

背景技術

- [0002] 基板本体の側縁部を利用して複数のテストポイントとしての電極を形成し、テストポイントに関わる基板本体に対する多く制約を緩和したものが、特開2003-1634307公報により提案されている。スペースを浪費する導電性ペローブパッドを要することなく、テストポイントを設けた基板を備えた電気回路へのアクセスを提供する方法及び装置が特開平6-11546公報により提案されている。

特許文献1:特開2003-1634307公報

特許文献1:特開平6-11546公報

発明の開示

発明が解決しようとする課題

- [0003] MCM (Multi Chip Module)として構成するための半導体チップとしては、例えば、マイコン用チップと、かかるマイコン用チップに結合されるメモリチップのように、互いに密接に関連したものが選ばれることが望ましい。このような互いに密接に関連する複数の半導体チップの組み合わせを選択するときにはMCMの特徴を十分に生かして1つのシステムをパッケージ内に搭載でき、いわゆるSiP (System in Package)を実現することができる。上記SiP品のパッケージ内部で完結する信号やテスト用の信号などの外部接続不要な信号でも、テストやデバッグのために、通常の端子と同様、端子として外部に接続できるようにする必要がある。しかし、このようなMCMでは本来の信号端子が多いにも関わらず、外部接続不要な信号までも端子とするため、端子数がネックとなりパッケージが大きくなってしまっている。

[0004] BGA(Ball Grid Array) パッケージ品などでは、顧客基板に搭載してしまうと、顧客が使用していない端子の信号は観測できない。テストポイントを多くすると、その分基板面積が増えて、コストアップになってしまう。基板の縁端に信号端子を持ってくるという上記の特許文献1と2では、銅等の配線と、基板材料のエポキシの間から吸湿し、基板はがれなどを起こす可能性が高く、信頼性の点で問題が生じる。また、特許文献2の技術では、基板切断時に配線同士が接触したり、半田屑によるショートを起こすことなどがあり、取り扱いが難しくなったりするという問題を有する。

[0005] 本発明の目的は、外部端子の削減と信頼性を確保しつつ不良解析を簡単にした半導体装置と不良解析方法を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0006] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、搭載基板上に半導体チップが搭載される。上記搭載基板には、外部端子に接続されない内部配線を有し、上記半導体チップはモールド樹脂により封止される。上記内部配線の一部は、半導体チップと外部端子の対応する端子同士を接続する内部配線の最外部よりも外側の上記搭載基板外側端部又は上記モールド樹脂の外側端部まで延長させた終端を設ける。

発明の効果

[0007] 外部端子の削減と信頼性を確保しつつ上記終端を利用して不良解析を簡単にできる。

発明を実施するための最良の形態

[0008] 図1には、この発明に係るMCM(SiP)に用いられる搭載基板の一実施例の配線パターン図が示されている。図1(A)は、L1層(部品搭載面)が示されており、ボンディング用電極と、そこから延びる配線及び下層であるL2層の配線とを接続するためのスルーホール(ビア)が示されている。上記電極は長方形で示され、配線は実線で示され、スルーホールは黒丸で示されている。

- [0009] 図1 (B) は、L2層 (内部配線) が示されており、配線が実線で示され、上層であるL1層の配線及び下層であるL3層の配線と接続させるためのスルーホール (ビア) が上記同様に黒丸でより示されている。
- [0010] 図1 (C) は、L3層 (内部配線) が示されており、配線が実線で示され、上層であるL1層の配線及び下層であるL3層の配線と接続させるためのスルーホール (ビア) が上記同様に黒丸でより示されている。
- [0011] 図1 (D) は、L4層 (半田ボール面) が示されており、半田ボールが形成される電極が大きな黒丸で示され、そこから配線により接続され上層であるL3層の配線に接続させるためのスルーホール (ビア) が上記同様に小さな黒丸より示されている。
- [0012] 図1 (A) ~ (D) は、後述するようなガラス樹脂等の絶縁体を介して重ね合わされた形態で1つの搭載基板が構成される。図1 (A) ~ (C) において、一点細線で示した部分より内側が本来の配線形成領域である。この実施例では、以下のように上記本来の配線形成領域より外側であって上記搭載基板外側端部又はモールド樹脂の外側端部まで延長させた終端を有すテスト用の配線及びスルーホール (ビア) が形成される。
- [0013] 図1 (A) のボンディング用電極は、搭載基板の配線ピッチの2倍に対応した間隔で配置されている。上記左から第1番目のボンディング用電極から搭載基板の下側端部まで延びる配線は、外部よりプローブの先端を突き刺すことにより電氣的接触が得られる程度の厚み (d) を持つ位置で終端している。図1 (A) の左から第2番目からのボンディング用電極から搭載基板の下側に延びる配線は、本来なら上記配線形成領域の端部に形成されたL2層の配線と接続させるスルーホールで終端するが、さらに延びて上記同様に終端している。図1 (A) の左から第3番目からのボンディング用電極から搭載基板の下側に延びる配線は、上記同様に終端するとともにL2層の配線と接続させるスルーホールも設けられる。以下、第4番目は第2番目と同様であり、第5番目は第3番目と同様であり、第6番目は第1番目と同様である。
- [0014] 図1 (B) は、一点細線で示された本来の配線形成領域より外側において、上記図1 (A) の配線ピッチの2倍のピッチで配線及びスルーホールが形成される。左から第1番目の終端としてのスルーホール (ビア) は、下層であるL3層の配線との接続を行う

ものが利用され、L2層に形成された内部配線がここまで延びて終端させられるものである。この終端は、同じ位置にあるL1層の上記終端とは電氣的に分離されている。

[0015] 左から第2番目の終端としてのスルーホール(ビア)は、上記同様に下層であるL3層の配線との接続を行うものが利用され、L2層に形成された内部配線がここまで延びて終端させられるものである。この終端と同じ位置には、L1層では何も設けられない。

[0016] 左から第3番目の終端としてのスルーホール(ビア)は、上記同様に下層であるL3層の配線との接続を行うものが利用され、L2層に形成された内部配線がここまで延びて終端させられるものである。同じ位置にあるL1層の上記終端とは上記本来の配線形成領域の端部に設けられスルーホールより電氣的に接続されている。

[0017] 左から第4番目の終端としてのスルーホール(ビア)は、上記2番目の終端と同様である。左から第5番目の終端としてのスルーホール(ビア)は、上記L1層の終端と接続されるものである。左から第6番目の終端としてのスルーホール(ビア)は、上記2番目の終端と同様である。左から第7番目の終端としてのスルーホール(ビア)は、上記3番目の終端と同様である。左から第8番目の終端としてのスルーホール(ビア)は、上記2番目の終端と同様である。左から第9番目の終端としてのスルーホール(ビア)は、上記5番目の終端と同様である。以下、上記のいずれかと同様であるで説明を省略する。

[0018] 図1(C)は、一点細線で示された本来の配線形成領域より外側において、上記図1(B)の配線ピッチと同じで上記終端を構成するスルーホールが形成される。L3層において上記ピッチでスルーホールが形成されない部分は、上記L2層において上記左から第5番目、第9番目の終端が上記L1層の終端と接続されるスルーホールが形成されるためである。

[0019] 図2には、この発明に係るMCM(SiP)の側面図が示されている。図2(A)は、側面図が示され、図2(B)は、前記図1(A)～(C)に点線で示した位置で切断したときの断面図が示されている。つまり、図2(B)は、図2(A)の基板側面を上記厚みdだけ除去した状態を示している。図2(B)のように配線だけで終端した場合には細いパッドとして、スルーホール(ビア)により終端した場合には、方形のパッドとして見え、テスト

用入力信号の供給することが可能となる

[0020] この実施例では、上記のように外部接続不要な信号のテストポイントを、モールドレジンや基板内部のような、通常では隠れた位置に配置しておく。これにより、基板の端に信号端子を持ってくるという前記特許文献1や2のように銅等の配線と、基板材料のエポキシの間から吸湿し、基板はがれなどを起こす可能性が高まり、基板切断時に配線同士が接触したり、半田屑によるショートを起こしたりするなどのような取り扱いが難しくなるという問題が解決でき、取り扱いなどは従来のようにテスト用外部端子を設ける場合と同じでよくなる。テストやデバッグの際には、少しパッケージ端を削り落とすだけで容易に露出可能。または、後述するようにプローブを突き刺して接触させることが出来る。このため、従来では通常端子としていた、外部接続不要な信号端子の分だけ、パッケージの端子数を減らすことができる。端子数が減ることにより、パッケージサイズやコストも低減できる場合がある。端子数を同じにする場合、別の機能を持つ信号を追加したり、ESD強度を上げる対策を取ったりすることができる。

[0021] 図3には、この発明に係るMCM(SiP)の一実施例の構成図が示されている。図3(A)には、平面部分が示され、図3(B)には断面部分が示されている。ただし、図3(B)は、図3(A)に示したボンディングワイヤを省略している。搭載基板表面部には、CPU(中央処理装置)を含むような1チップマイクロコンピュータ機能を持つ特定用途向IC(以下、単にCPUという)が面付けされる。このCPUの表面上には、背中合わせでシンクロナスDRAM(以下、SDRAMという)が搭載される。

[0022] 上記SDRAMは、特に制限されないが、記憶容量増大のためにSDRAM1とSDRAM2の2つから構成される。同図X方向の両側にチップ周辺に沿ってボンディングパッドを持つSDRAM1が下側とされ、その上に搭載されるSDRAM2は90°回転させてY方向の両側にチップ周辺に沿ってボンディングパッドが配置されるようにされる。同図のようにチップの両側にボンディングパッドが設けられるSDRAM1とSDRAM2において、それぞれのボンディングパッド列が重ならないように90°回転させて重ね合わせることによって、搭載基板に設けられる電極がチップ搭載部分を囲むように分散して配置させることができる。この構成は、搭載基板のサイズを小さくすることができる。

るとともボンディングワイヤとのショートを未然に防止することができる。

[0023] この実施例では、SDRAM1とSDRAM2のように2個並列接続して、2倍の記憶容量を持つメモリを実現することによって、システムの高性能又は高機能を実現するものである。特に制限されないが、後述するように32ビット構成のマイクロプロセッサに対してSDRAM1は下位の16ビット(D15～D0)分を受け持ち、SDRAM2が上位の16ビット(D31～D16)を受け持つようにされる。このため、アドレス端子及び動作モードを指示する制御端子は、搭載基板に設けられた電極に対して共通に接続される。

[0024] 図4ないし図7には、この発明に係るMCMを説明するための一実施例の概略断面図が示されている。図4ないし図7においては、この発明に係るMCMの構成を組立フローの形態で表している。この実施例におけるMCMは、アプリケーション・スペシファイド・インテグレーテッド・サーキット、すなわち特定用途向ICを構成するCPUを含むマイコンLSI(上記CPU)と2個からなる上記SDRAM(Synchronous Dynamic Random Access Memory)1, 2とがスタック構成にされる。

[0025] 上記SDRAM1, 2は、特に制限されないが、それぞれが約256Mビットのような記憶容量を持ち、上記のように2個合わせて全体で512Mビットのような大きな記憶容量とされる。図4は図3のX方向の断面を表し、図5はY方向の断面を表している。図4及び図5においてCPU200が、搭載基板100上に面付け実装される。つまり、ベアチップであるCPU200のパッド上にAuバンパ201を形成し、搭載基板100のパッドに異方導電性フィルムACFを仮付けし、上記パッド上にAuバンパ201が形成されたベアチップ形態のCPU200を搭載基板100にマウントし、加熱圧着が実施されて面付けされる。図4でSDRAM1に対応した電極101が示され、図5ではSDRAM2に対応した電極102が示されている。

[0026] 図6、図7に示したように、SDRAM1(以下SDRAM300)が上記CPU200に対して背中合わせで(チップの裏面同士が向かい合うように)搭載される。つまり、SDRAM300がASIC200と背中合わせで熱硬化性接着剤又は裏面に設けられたダイボンドフィルム301を用いて接着され、図6に示すようにワイヤボンディングにより搭載基板100の対応する電極101とワイヤ302により接続される。同様に、SDRAM2(以下

SDRAM500)が上記SDRAM300に対して上記90°回転させて搭載される。つまり、SDRAM400がSDRAM300の表面部と熱硬化性接着剤又は裏面に設けられたダイボンドフィルム401を用いて接着され、図7に示すようにワイヤボンディングにより搭載基板100の対応する電極102とワイヤ402により接続される。以下、図面では省略されているが、上記CPU200、SDRAM300、SDRAM400と、それらに設けられたボンディングワイヤを樹脂封止体(モールド)より封止し、図3(B)に示したように搭載基板100の裏面側に外部端子としてのボール付けリフローがなされてMCMが形成される。

[0027] 上記CPU200は、搭載基板100に面付け可能な複数のバンプ電極201を持つ。CPU200は、必要に応じて、エリア・アレイ・パッドと称されるような技術、すなわち、素子及び配線が完成された半導体チップの回路形成面上にポリイミド樹脂からなるような絶縁膜を介してパッド電極(ボンディングパッド)の再配置を可能とする配線を形成し、かかる配線にパッド電極(バンプ接続用ランド電極)を形成するような技術によって構成される。

[0028] 上記エリア・アレイ・パッド技術は、半導体チップにおける外部端子としての数十 μ mないし100 μ mピッチのような比較的小さいピッチに配列されたパッド電極は、0.1mm~0.2mmのような径とされ、かつ400 μ m~600 μ mピッチのような比較的大きなピッチのバンプ電極配列に変換される。このため、エリア・アレイ・パッド技術は、CPU200のように多数のパッド電極が半導体チップ設けられる半導体チップの面付けチップ化に有効である。

[0029] 上記搭載基板100は、ガラスエポキシもしくはガラスからなるような絶縁基板と、かかる絶縁基板上に形成された多層配線構成からなるような比較的微細な内部配線と、半導体チップのバンプ電極に電氣的結合されるべき複数のランドと、複数の外部端子とを持つ。搭載基板100は、上記半導体チップ搭載側の主面に、上記ランドの他に、SDRAM300、400に設けられたボンディングパッドとのワイヤ接続するための電極も形成される。この配線のうち、搭載基板には後述するようなSDRAM1、2のテストを容易にする目的で、言い換えるならば、SDRAM1、2を単独でメモリアクセスできるようにするために前記図1に示したような終端を持つ配線ないしビア(スルーホール

)が形成されている。

[0030] この実施例のMCMの組立工程の概略は、以下の通りである。

- (1) SDRAM1とSDRAM2が形成される半導体ウェハにダイボンドフィルムを貼り付けた後にダイシングを行う。
- (2) CPUを搭載基板上に面付けする。
- (3) SDRAM1を上記CPUにダイボンドする。
- (4) SDRAM2を上記SDRAM1にダイボンドする。
- (5) ワイヤボンディング性向上を目的としてプラズマ処理を行う。
- (6) SDRAM1に対してワイヤボンディングを行う。
- (7) SDRAM2に対してワイヤボンディングを行う。
- (8) モールドレジン密着性向上を目的としてプラズマ処理を行う。
- (9) モールド(封止)を行う。
- (10) レーザーマークを行う。
- (11) ボール付け(ボール搭載、リフロー、洗浄)を行う。
- (12) 個片切断(多連基板)
- (13) 梱包
- (14) 払い出し

[0031] 図8には、この発明に係るMCM(SiP)の一実施例のブロック図が示されている。CPUは、外部端子に接続されるCPUバス及び他信号を有している。また、SDRAM1とSDRAM2をアクセスするためのアドレス端子LPA[15:0]、データ端子LPD[15:0]及びLPD[31:16]及び制御信号端子を有している。上記アドレス端子LPA[15:0]は、内部配線によりSDRAM1とSDRAM2のアドレス端子A[15:0]に接続される。データ端子LPD[15:0]は、内部配線によりSDRAM1データ端子A[15:0]に接続される。データ端子LPD[31:16]は、内部配線によりSDRAM2データ端子A[15:0]に接続される。そして、CPUとSDRAM1及びSDRAM2の制御信号端子同士が内部配線により接続される。これらの内部配線は、メディアバスとして前記のようなテスト用の終端に接続されるものである。

[0032] 上記CPUは、テストモードを備えてなり、その1つにCPUバスから上記SDRAM1

とSDRAM2を独立してメモリアクセスすることができるような信号経路を持つ。すなわち、上記CPUをテストモードに設定することにより、CPUバス、つまりはMCMの外部端子から上記SDRAM1、SDRAM2を独立してテストを行うことができる。この機能を用いることにより、製造出荷までは上記テストモードを利用してSDRAM1、SDRAM2のテストを行うようにするものである。したがって、製品出荷まで、上記テスト用終端は使用する必要がなく、上記終端が露出されて前記特許文献1や2のように銅等の配線と、基板材料のエポキシの間から吸湿し、基板はがれなどを起こす可能性が高まり、基板切断時に配線同士が接触したり、半田屑によるショートを起こすことなどのような取り扱いが難しくなるという問題が回避される。

[0033] 特に制限されないが、この実施例のMCMは、パッケージが12mm角で、端子数が409ピンとされる。このうち上記メディアバスは58ピン使用している。この発明の適用によって、この58ピンが不要となる。なぜなら、このメディアバスはSiP内部のSDRAM専用のバスだからである。この58ピンを削除して、より小さなパッケージにすることが可能。もしくは、新規の信号を58取り出すことができる。

[0034] 図9には、不良解析のための接続方法を説明するための外観図である。出荷後の不良解析においては、上記搭載基板又はモールド樹脂の外部よりプローブの先端を突き刺すことにより電氣的接触を得て当該不良検出を行う。このようなプローブの先端を突き刺すことにより、上記電極が露出してしまうものとなる。しかし、出荷後の不良解析は、システムに搭載されて不良とされたIC (MCM) の不良原因を探し出すものであるので、上記終端が露出されて銅等の配線と、基板材料のエポキシの間から吸湿し、基板はがれなどを起こすことには配慮する必要はない。

[0035] つまり、MCMとしての動作不能であるので、上記CPUをテストモードにすること自体も不可能になったり、みかけ上テストモードに設定することが出来たとしてもエラーの原因がCPU側にあるかメモリ側にあるかは不明になる場合がある。そこで、上記のようなプローブの先端を突き刺すことにより、SDRAM1、SDRAM2に対して直接的にテストを行うことにより、メモリ側にどのような不良が存在したのか、メモリ側に不良がなければCPU側の不良であるといったような解析結果を得ることができる。

[0036] 図10には、この発明に係る他の一実施例の概略平面図が示されている。システム

基板には、2個のベアチップIC1、IC2が搭載され、1つのモールドによって2つが封止されている。上記同じシステム基板に、BGA構成の半導体集積回路装置IC3が搭載されている。これらは、システム基板に形成された内部配線により相互に接続されている。上記IC1とIC2を相互に接続するシステム基板の搭載面に形成された配線は、同図においてT字状態にされてモールド端部まで延長される。そして、ここにテスト用終端が存在することを示すマークが付されている。

[0037] 上記BGA構成の半導体集積回路装置IC3に対しては、基板内配線が前記搭載基板の内部配線と同様に基板側面端部まで延びて前記終端している。したがって、本システム基板が不良とされたときに、上記IC1とIC2に対しては、モールドの一部を削り取りって上記終端電極を露出させて、上記IC1とIC2のテストを行うようにする。また、上記IC3に対しては、上記基板側面端部まで延びた前記終端にプローブ尖を突き刺して前記同様にテストを行う。このようにシステムとして接続不要な信号や、部品の下にしか配線されない信号を対象として上記テストポイントである終端を設置する。

[0038] 微小なプローブの先端を突き刺す場合などでは、後で再コーティングするなどで前の状態と同等にすることができる。そうすると、出荷前のテストなどでも本発明によるテストが可能である。顧客基板に搭載後でも、パッケージ端から信号を観測できる。そのため、不良解析などで有利となる。前記図10のような一般的な基板の場合、通常では使用していない基板の端を使うため、本発明を利用したテストポイントを追加してもコストアップにならない。また、外見上は分からないため、テストポイントの信号を解析されたりする事も無いという利点も得られる。

[0039] 以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、搭載基板上に1つの半導体チップが搭載されたものにおいても、当該半導体チップに公開されないテストモードを有する場合、半導体チップとしてはウェハプロービングにおいて上記テストモードを実施するためのパッド(電極)を有する。そこで、上記公開されないテストモード用のパッドに上記内部配線の一端を接続し、他端に同様な終端を設ける。例えば、ボンディングワイヤに

より搭載基板と接続されるものでは、かかるテストモード用のパッドに対してもボンディングワイヤが設けられる。製品出荷後の不良解析において、上記終端によりテストモードを実施して詳細な不良解析を行うことができる。また、半導体チップに設けられた端子のうち、特定の機能が変更ないし省略されて使用しない端子を持つようにされた形態で組立られる半導体装置がある。このような半導体装置は、上記半導体チップの外部端子には接続されない端子(パッド)が存在するので、かかるパッドにも上記内部配線及び終端を設ける。これにより、製品出荷後の不良解析において、上記終端を利用して使用しない回路機能部分の動作も確認できるので、それに関連する不良も見つけ出すことができる。

- [0040] 前記MCMにおいても、図10の実施例のように搭載基板全表面に対してモールドにより封止するもの他、周辺部分の表面を露出させて、封止が必要な部分のみにモールド等を行うものであってもよい。搭載基板は、前記4層の他に6層等のように多層であってもよい。メモリは、前記SDRAMの他、フラッシュメモリ等のような他のメモリ、あるいは周辺チップ等何であってもよい。この発明は、前記マルチチップモジュールの他に前記のように搭載基板に1の半導体チップしか搭載されない半導体装置及びその不良解析方法に広く利用できる。

図面の簡単な説明

- [0041] [図1]この発明に係るMCM(SiP)に用いられる搭載基板の一実施例を示す配線パターン図である。
- [図2]この発明に係るMCM(SiP)の一実施例の側面図である。
- [図3]この発明に係るMCM(SiP)の一実施例を示す構成図である。
- [図4]この発明に係るMCMを説明するための一実施例の概略断面図である。
- [図5]この発明に係るMCMを説明するための一実施例の概略断面図である。
- [図6]この発明に係るMCMを説明するための一実施例の概略断面図である。
- [図7]この発明に係るMCMを説明するための一実施例の概略断面図である。
- [図8]この発明に係るMCM(SiP)の一実施例を示すブロック図である。
- [図9]この発明に係る不良解析のための接続方法を説明するための外観図である。
- [図10]この発明に係る他の一実施例を示す概略平面図である。

符号の説明

[0042] 100…搭載基板、101, 102…電極、200…CPU、300…SDRAM1、400…SDRAM2、301～401…ダイボンドフィルム、302～402…ボンディングワイヤ。

請求の範囲

- [1] 搭載基板と、
上記搭載基板上に搭載された半導体チップと、
上記搭載基板に形成され、外部端子に接続されない内部配線と、
上記半導体チップを封止するモールド樹脂とを有し、
上記内部配線の一部は、半導体チップと外部端子の対応する端子同士を接続する内部配線の最外部よりも外側の上記搭載基板外側端部又は上記モールド樹脂の外側端部まで延長させた終端を有することを特徴とする半導体装置。
- [2] 請求項1において、
上記終端は、上記搭載基板又はモールド樹脂の外部よりプローブの先端を突き刺すことにより電氣的接触が得られる程度の厚みを持って上記上記搭載基板外側端部又は上記モールド樹脂の外側端部まで延長させられるものであることを特徴とする半導体装置。
- [3] 請求項2において、
上記終端は、搭載基板の厚み方向に隣接する配線同士を接続する配線手段を含むことを特徴とする半導体装置。
- [4] 請求項1において、
上記半導体チップは、第1半導体チップと第2半導体チップからなり、
上記第1半導体チップは、上記搭載基板上に搭載され、
上記第2半導体チップは、上記搭載基板又は第1チップ上に搭載され、
上記内部配線は、搭載基板に形成され、第1半導体チップと第2半導体チップの対応する端子同士を接続する内部配線を含み、
上記第1半導体チップは、マイクロプロセッサ機能を有する信号処理装置であり、
上記第2半導体チップは、上記信号処理装置での信号処理に用いられるデータを記憶するメモリであり、
上記終端は、上記メモリを単独でアクセスするための信号線に対応して設けられるものであることを特徴とする半導体装置。
- [5] 請求項4において、

上記マイクロプロセッサは、外部端子より上記メモリを単独でアクセスするテスト経路を有効にするテストモードを備えてなることを特徴とする半導体装置。

[6] 請求項1において、

上記搭載基板表面のうち、第1半導体チップ及び第2半導体チップ部分の一部に上記モールド樹脂が形成され、上記モールド樹脂が形成されない上記搭載基板表面部に上記終端が存在する位置を示すマークが付されてなることを特徴とする半導体装置。

[7] 搭載基板と、

上記搭載基板上に搭載された半導体チップと、
上記搭載基板に形成され、外部端子に接続されない内部配線と、
上記半導体チップを封止するモールド樹脂とを有し、
上記内部配線の一部は、半導体チップと外部端子の対応する端子同士を接続する内部配線の最外部よりも外側の上記搭載基板外側端部又は上記モールド樹脂の外側端部まで延長させた終端を設けた半導体装置の不良解析方法であって、
製造出荷後の不良解析において、上記終端を用いて上記半導体チップに電氣的に接触させて不良検出を行うことを特徴とする半導体装置の不良解析方法。

[8] 請求項7において、

上記半導体チップは、第1半導体チップと第2半導体チップからなり、
上記第1半導体チップは、マイクロプロセッサ機能を有する信号処理装置であり、
上記第2半導体チップは、上記信号処理装置での信号処理に用いられるデータを記憶するメモリであり、
上記第1半導体チップは、外部端子より上記第2半導体チップを単独でアクセスするテスト経路を有効にするテストモードを有し、
製造出荷時までは、上記第1半導体チップをテストモードにして上記第2半導体チップのテスト動作を実施して不良検出を行い、
上記製造出荷後の不良解析において、上記終端を用いて第2半導体チップのテスト動作を実施して不良検出を行うことを特徴とする半導体装置の不良解析方法。

[9] 請求項8において、

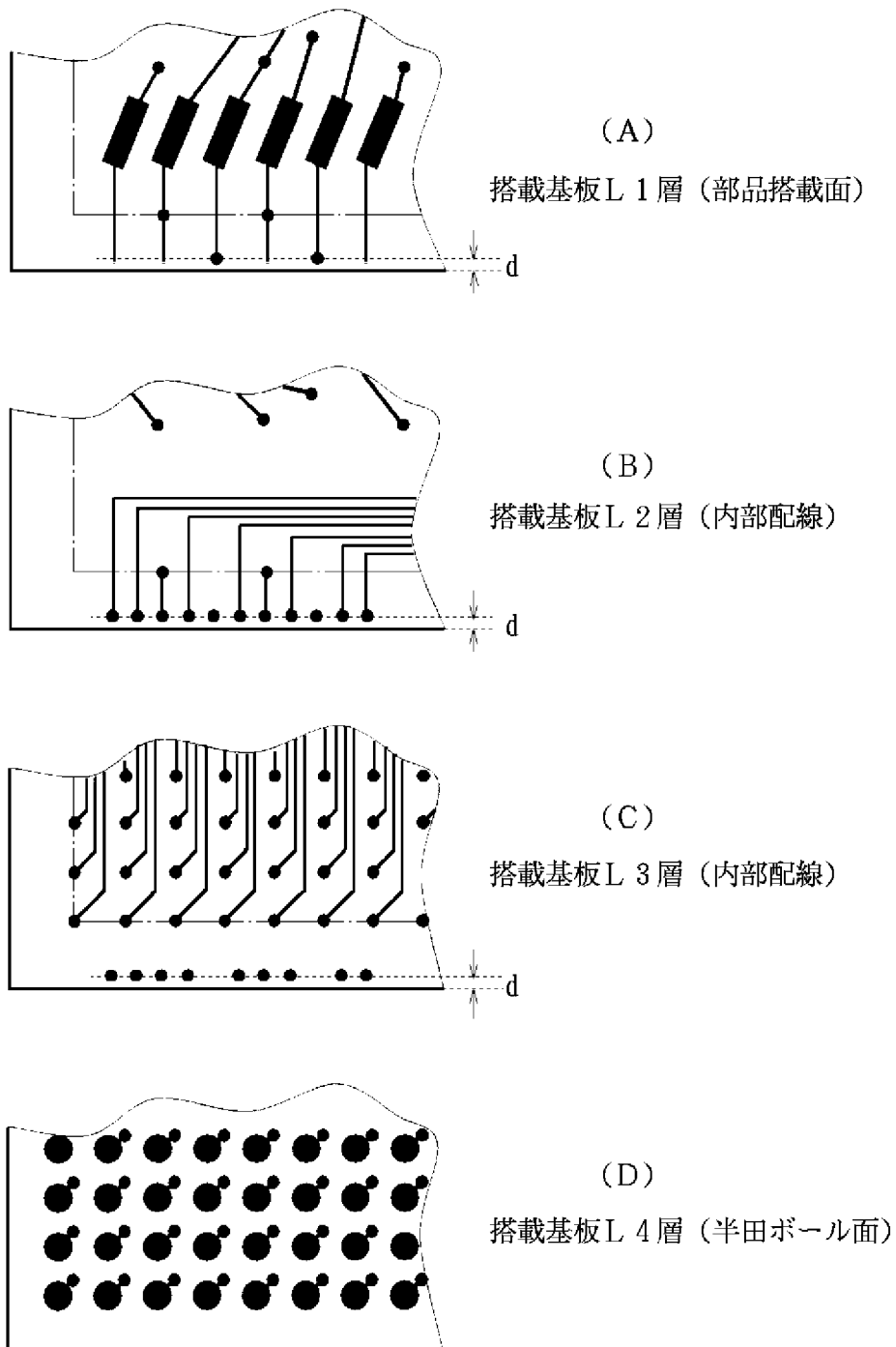
上記終端は、上記搭載基板又はモールド樹脂の外部よりプローブの先端を突き刺すことにより電氣的接触が得られる程度の厚みを持って上記上記搭載基板外側端部又は上記モールド樹脂の外側端部まで延長させられ、

上記出荷後の不良解析においては、上記搭載基板又はモールド樹脂の外部よりプローブの先端を突き刺すことにより電氣的接触を得て当該不良検出を行うことを特徴とする半導体装置の不良解析方法。

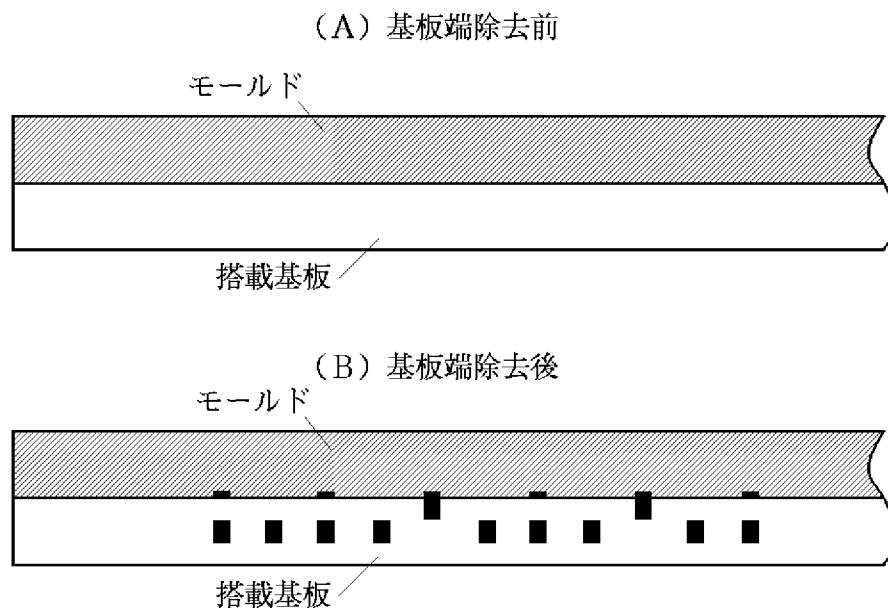
[10] 請求項8において、

上記出荷後の不良解析においては、上記終端はそれを覆う上記搭載基板材又はモールド樹脂を部分的に除去して露出させ、電氣的接触を得て当該不良検出を行うことを特徴とする半導体装置の不良解析方法。

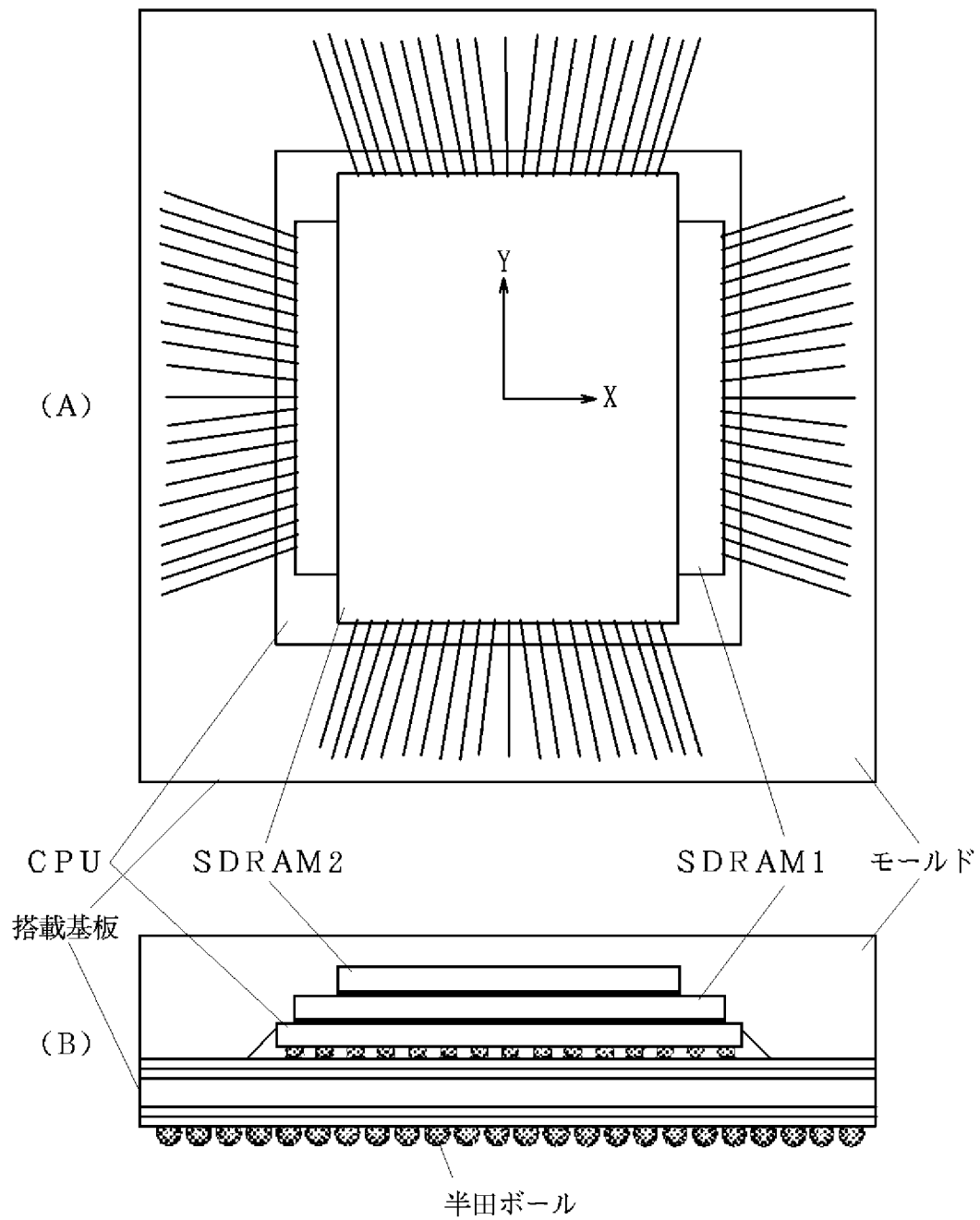
[図1]



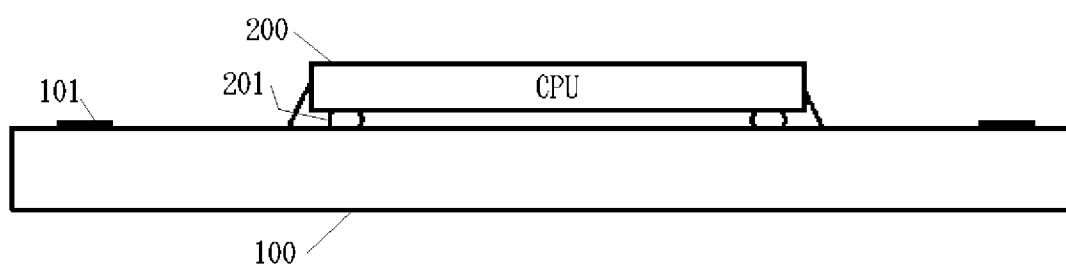
[図2]



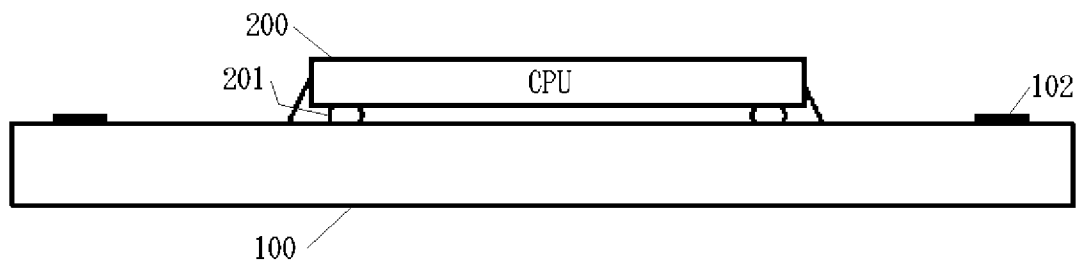
[図3]



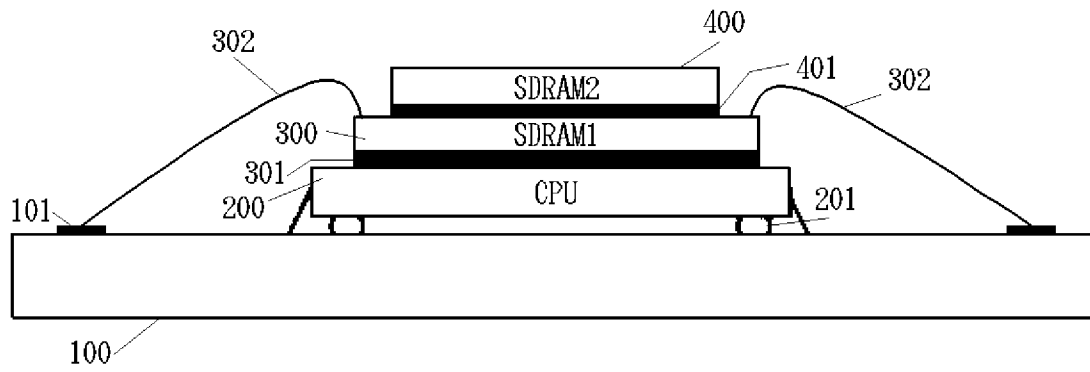
[図4]



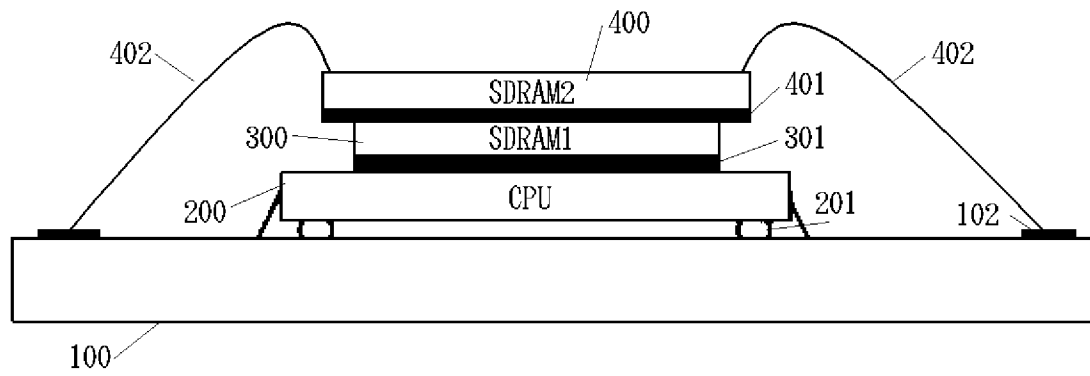
[図5]



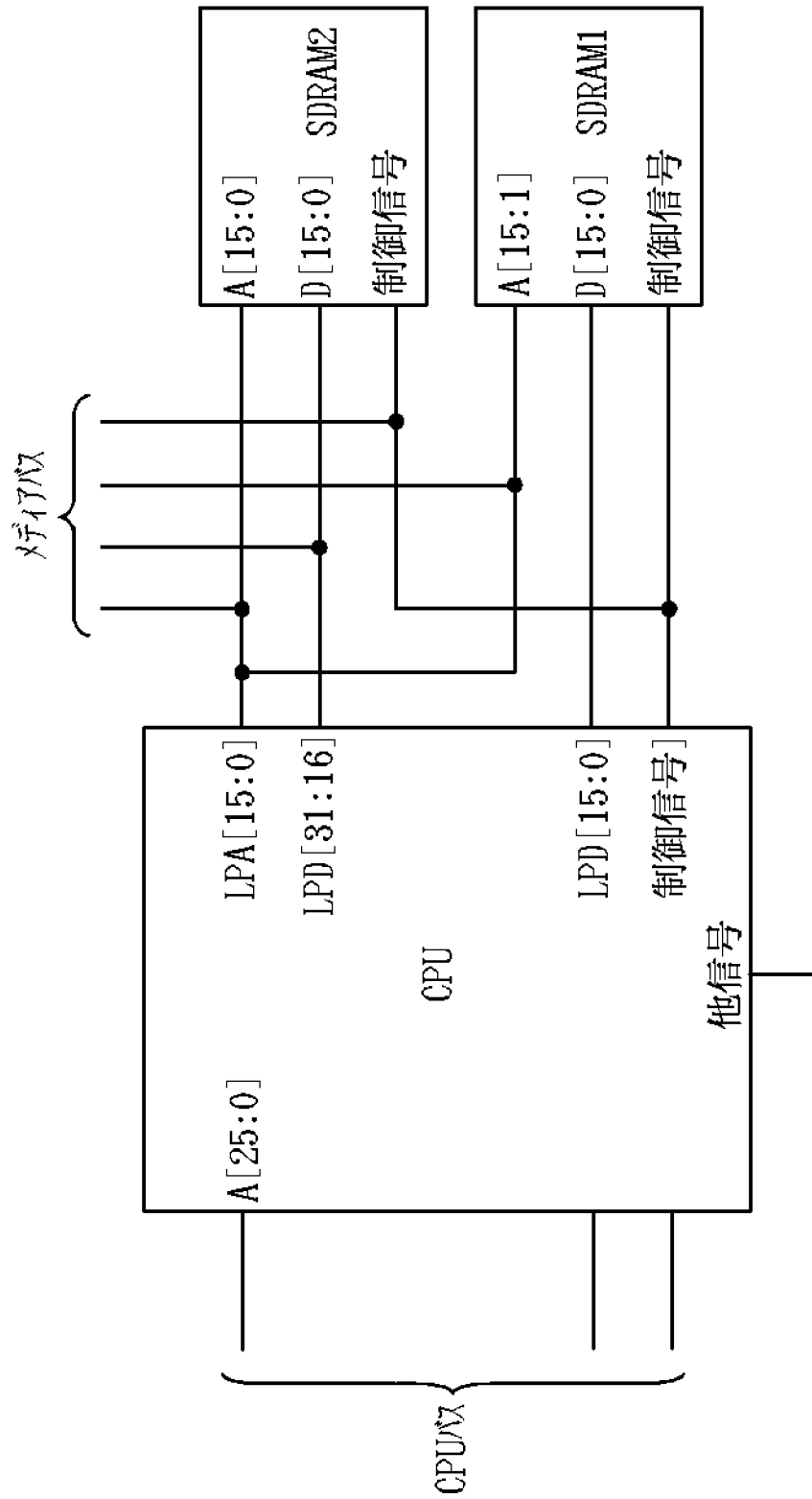
[図6]



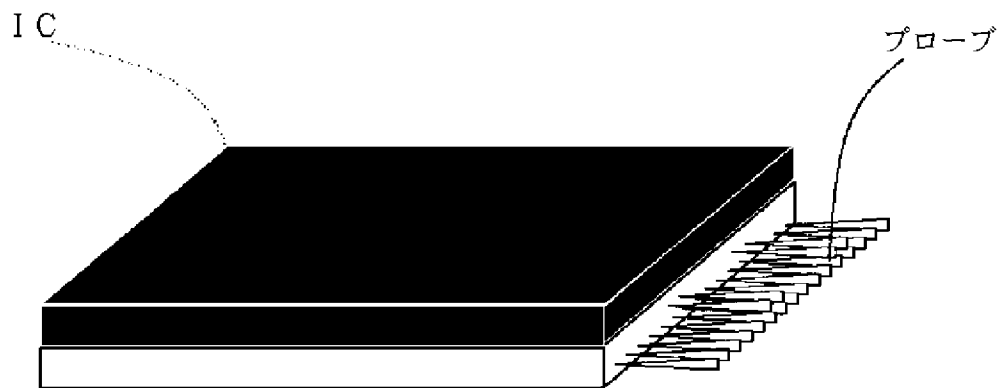
[図7]



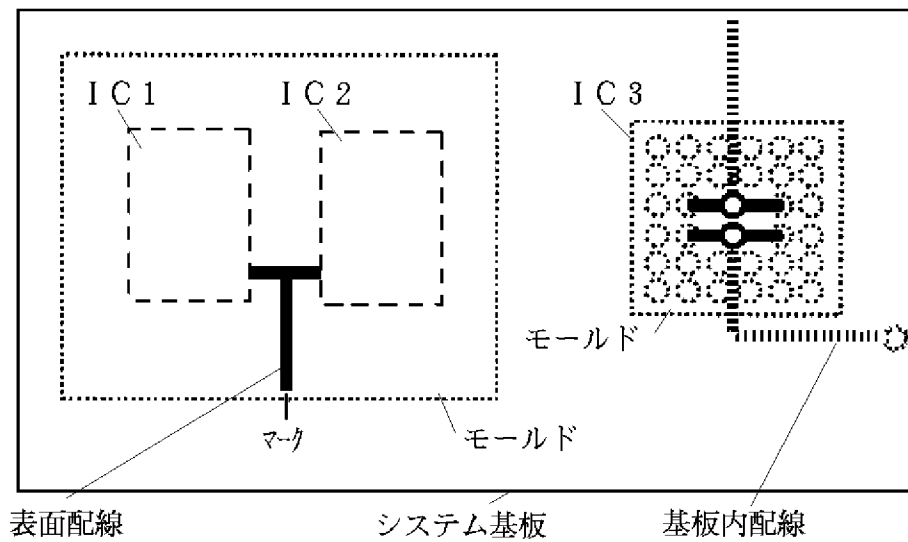
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/022519

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01), **G01R31/28**(2006.01), **H01L21/822**(2006.01), **H01L27/04**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12(2006.01), **G01R31/28**(2006.01), **H01L21/822**(2006.01), **H01L27/04**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 10-074800 A (NEC Corp.), 17 March, 1998 (17.03.98), Par. Nos. [0008] to [0026] & US 2002/0125043 A1	1 4-5 2-3, 6-10
Y	JP 2002-043504 A (Sharp Corp.), 08 February, 2002 (08.02.02), Par. Nos. [0044] to [0048] (Family: none)	4-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
29 March, 2006 (29.03.06)

Date of mailing of the international search report
11 April, 2006 (11.04.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/022519

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
(See extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☒ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/022519

Continuation of Box No.III of continuation of first sheet (2)

Although the common feature of claims 1-3 and 7-10, claims 4 and 5, and claim 6 is "Apart of inside wires not connected to outside terminals has terminated ends extending to the more outside than the most outside of the inside wires connected between terminals corresponding to outside terminals of a semiconductor chip or to outside terminals of molding resins", our search has revealed that such a structure is disclosed in JP 10-074800 A (NEC Corp.), 17 March, 1998 (17.03.98), column Nos. [0008] to [0026], so that it is clearly found that the structure is not novel.

As a result, the common feature of inventions in the above-said claims does not make contribution over the prior art and it is not a specific technical feature within the meaning of PCT Rule 13.2, Second Sentence.

Thus, the inventions have no common feature. Since there is no other feature that is deemed to be a specific technical feature within the meaning of PCT Rule 13.2, Second Sentence, no technical relationship within the meaning of PCT Rule 13 can be found among those different inventions.

Therefore, the inventions of claims 1-3 and 7-10, claims 4 and 5, and claim 6 do not comply with the requirement for the unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/12(2006.01), G01R31/28(2006.01), H01L21/822(2006.01), H01L27/04(2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/12(2006.01), G01R31/28(2006.01), H01L21/822(2006.01), H01L27/04(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P 10-074800 A（日本電気株式会社）， 1998.03.17，段落番号【0008】－【0026】 & U S 2002/0125043 A1	1 4-5 2-3, 6-10
Y	J P 2002-043504 A（シャープ株式会社）， 2002.02.08，段落番号【0044】－【0048】 （ファミリーなし）	4-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

29.03.2006

国際調査報告の発送日

11.04.2006

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

4 L

9361

電話番号 03-3581-1101 内線 3498

請求の範囲 1 乃至 3 及び 7 乃至 1 0 に記載の発明、請求の範囲 4 乃至 5 に記載の発明、請求の範囲 6 に記載の発明に共通の事項は「外部端子に接続されない内部配線の一部は、半導体チップと外部端子の対応する端子同士を接続する内部配線の最外部よりも外側の搭載基板外側端部又はモールド樹脂の外側端部まで延長させた終端を有する」ことであるが、調査の結果該構造は、J P 1 0 - 0 7 4 8 0 0 A (日本電気株式会社), 1 9 9 8 . 0 3 . 1 7 , 段落番号【0 0 0 8】－【0 0 2 6】に開示されているから、新規でないことが明らかとなった。

結果として、上記請求の範囲に記載の発明に共通の事項は先行技術の域を出ないから、P C T 規則 1 3 . 2 の第 2 文の意味において、この共通事項は特別な技術的特徴ではない。

それ故、上記発明に共通の事項はない。P C T 規則 1 3 . 2 の第 2 文の意味において、特別な技術的事項と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に P C T 規則 1 3 の意味における技術的な関連を見いだすことはできない。

よって請求の範囲 1 乃至 3 及び 7 乃至 1 0 に記載の発明、請求の範囲 4 乃至 5 に記載の発明、請求の範囲 6 に記載の発明は、発明の単一性の要件を満たしていないことが明らかである。

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☒ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。