



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I517575 B

(45)公告日：中華民國 105 (2016) 年 01 月 11 日

(21)申請案號：101129237

(22)申請日：中華民國 101 (2012) 年 08 月 13 日

(51)Int. Cl. : H03K19/0175(2006.01)

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.  
(TW)

新竹市新竹科學工業園區力行路 16 號

(72)發明人：莊育盟 CHAUNG, YU MENG (TW)；洪俊雄 HUNG, CHUN HSIUNG (TW)；張坤龍 CHANG, KUEN LUNG (TW)；陳耕暉 CHEN, KEN HUI (TW)

(74)代理人：李貴敏

(56)參考文獻：

US 5825219

US 5923183

US 6097219

US 6380770B1

審查人員：陳臆聰

申請專利範圍項數：20 項 圖式數：13 共 49 頁

(54)名稱

自動校正輸出緩衝器的驅動能力之裝置與方法

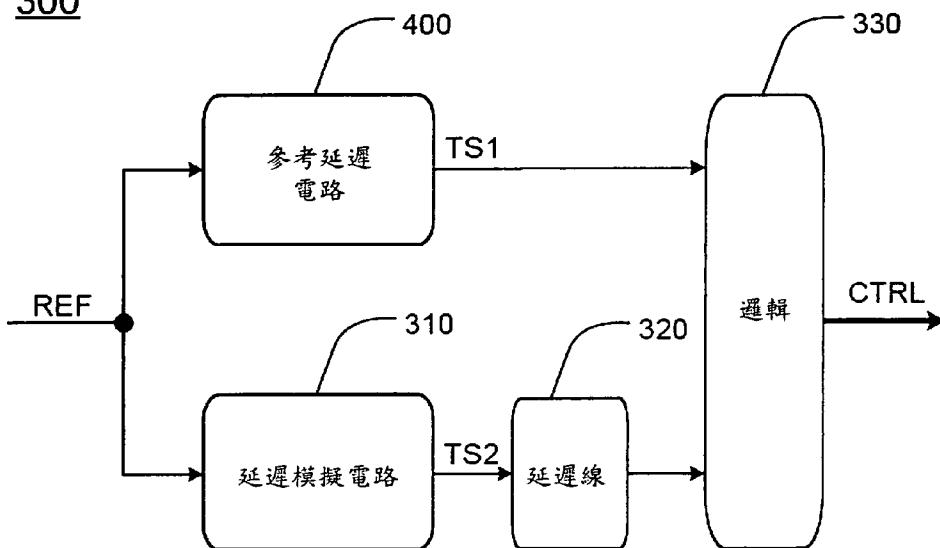
DEVICE OF SELF-CALIBRATION OF OUTPUT BUFFER DRIVING STRENGTH AND ITS METHOD

(57)摘要

本發明揭露一種積體電路，包含一輸出緩衝器及一控制電路。此輸出緩衝器，具有一信號輸入、一信號輸出及一組控制輸入。該輸出緩衝器具有輸出緩衝延遲，且響應施加至該組控制輸入的控制信號而調整其驅動能力。此控制電路與該輸出緩衝器的該組控制輸入連接，該控制電路使用第一及第二時序信號產生該些控制信號，且包括一產生具有參考延遲的該第一時序信號之參考延遲電路，及一產生具有與該輸出緩衝延遲相關的延遲模擬的該第二時序信號之延遲模擬電路。

An integrated circuit includes an output buffer and a control circuit. The output buffer has a signal input, a signal output and a set of control inputs. the output buffer has an output buffer delay, and a driving strength adjustable in response to control signals applied to the set of control inputs. the control circuit is connected to the set of control inputs of the output buffer. The control circuit uses first and second timing signals to generate the control signals, and includes a reference delay circuit that generates the first timing signal with a reference delay, and a delay emulation circuit that generates the second timing signal with an emulation delay that correlates with the output buffer delay.

指定代表圖：

300

符號簡單說明：

- 300 · · · 控制電路
- 310 · · · 延遲模擬電路
- 320 · · · 延遲線
- 330 · · · 邏輯
- 400 · · · 參考延遲電路

第3圖

第 101129237 號修正頁

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，添記號部分請勿填寫)

※ 申請案號：101129237

※ 申請日：101.8.13

※IPC 分類：H03K 19/0115 (2006.01)

## 一、發明名稱：(中文/英文)

自動校正輸出緩衝器的驅動能力之裝置與方法

DEVICE OF SELF-CALIBRATION OF OUTPUT BUFFER  
DRIVING STRENGTH AND ITS METHOD

## 二、中文發明摘要：

本發明揭露一種積體電路，包含一輸出緩衝器及一控制電路。此輸出緩衝器，具有一信號輸入、一信號輸出及一組控制輸入。該輸出緩衝器具有輸出緩衝延遲，且響應施加至該組控制輸入的控制信號而調整其驅動能力。此控制電路與該輸出緩衝器的該組控制輸入連接，該控制電路使用第一及第二時序信號產生該些控制信號，且包括一產生具有參考延遲的該第一時序信號之參考延遲電路，及一產生具有與該輸出緩衝延遲相關的延遲模擬的該第二時序信號之延遲模擬電路。

## 三、英文發明摘要：

An integrated circuit includes an output buffer and a control circuit. The output buffer has a signal input, a signal output and a set of control inputs. the output buffer has an output buffer delay, and a driving strength adjustable in response to control signals applied to the set of control inputs. the control circuit is connected to the set of control inputs of the output buffer. The control circuit

104年8月10日修正替換頁

第 101129237 號修正頁

uses first and second timing signals to generate the control signals, and includes a reference delay circuit that generates the first timing signal with a reference delay, and a delay emulation circuit that generates the second timing signal with an emulation delay that correlates with the output buffer delay.

四、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

(二)本代表圖之元件符號簡單說明：

300：控制電路

310：延遲模擬電路

320：延遲線

330：邏輯

400：參考延遲電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於數位電路，特別是關於數位電路的輸出緩衝器。

### 【先前技術】

一積體電路中的輸出緩衝器可以用來在低電流下接收內部資料及在高電流大小下呈現給外部負載。此輸出緩衝器的輸出時序會隨著製程邊界、電壓、溫度(PVT)條件而變動。因為製程邊界、電壓、溫度(PVT)條件而造成的輸出時序變動會許會減少資料正確的區間。在越高的操作速度下，則此減少的資料正確區間越有可能影響到此積體電路的表現甚至是可靠性。

因此，希望提供一種對製程邊界、電壓、溫度(PVT)條件不敏感的輸出緩衝器，且因此提供積體電路高速操作下的可靠表現。

### 【發明內容】

此處所描述之技術係提供一種積體電路，包含一輸出緩衝器及一控制電路。此輸出緩衝器，具有一信號輸入、一信號輸出及一組控制輸入。該輸出緩衝器具有輸出緩衝延遲，且響應施加至該組控制輸入的控制信號而調整其驅動能力。此控制電路與該輸出緩衝器的該組控制輸入連接，該控制電路使用第一及第二時序信號產生該些控制信號，且包括一產生具有參考延遲的該第一時序信號之參考延遲電路，及一產生具有與該輸出緩衝延遲相關的延遲模擬的該第二時序信號之延遲模擬電

路。

本發明的其它目的和優點，會在下列實施方式以及申請專利範圍的章節中搭配圖式被描述。

### 【實施方式】

為進一步說明各實施例，本發明之實施例乃提供有圖式第 1 圖到第 13 圖。這些圖式乃為本發明揭露內容之一部分，其主要係用以說明實施例，並可配合說明書之相關描述來解釋實施例的運作原理。配合參考這些內容，本領域具有通常知識者應能理解其他可能的實施方式以及本發明之優點。

第 1A 圖顯示一傳統輸出緩衝器 160 的設計範例。此輸出緩衝器包括一 N 型金氧半電晶體(NMOS)140 及一 PMOS 120 串聯在一起。此 NMOS 140 具有一控制終端、一汲極終端與一源極終端和地電位連接。此 PMOS 120 具有一控制終端、一汲極終端與一源極終端和一固定參考電壓 VDD 連接。一輸入信號 IN 與電晶體 120 和 140 兩者的控制終端並聯耦接。一輸出信號 OUT1 與電晶體 120 和 140 兩者的汲極終端耦接。一電容器 180 代表此輸出緩衝器 160 的外部負載。

第 1B 圖顯示與第 1A 圖中輸出緩衝器 160 相關的波形圖，係顯示輸入信號 IN 與輸出信號 OUT1 的波形圖。Tdat 是輸入信號 IN 的資料正確窗口。於某些特定製程邊界、溫度、電壓條件下，輸出緩衝器 160 可以對輸出信號 OUT1 提供與輸入信號 IN 相同的資料正確窗口 Tdat。然而，在其他的條件下之製程邊界、溫度、電壓

至少其中一者改變，輸出緩衝器 160 的驅動能力會減少/增加，將輸出信號 OUT1 的脈衝上升及下降邊緣延長/加速，且因此將輸出信號 OUT1 的資料正確窗口自 Tdat 減少為 Tvalid。每一個脈衝之 Tvalid 與 Tdat 之間的差值是 Tinvalid 的兩倍，因為其上升邊緣減少 Tininvalid 而下降邊緣也是減少 Tininvalid。

第 2A 圖顯示一範例積體電路 200 的方塊圖。此範例積體電路 200 包括一輸出緩衝器 260 及一控制電路 300。此輸出緩衝器 260 包括一信號輸入、一信號輸出及一組控制輸入。此輸出緩衝器 260 具有一輸出緩衝器級和一驅動能力致能區塊可調整以響應施加至此組控制輸入的控制信號 CTRL。一輸入信號 IN 與輸出緩衝器 260 的信號輸入耦接。一輸出信號 OUT 與輸出緩衝器 260 的信號輸出耦接。一電容器 280 與此輸出緩衝器 260 的信號輸出耦接，代表此輸出緩衝器 260 的電容性負載。此控制電路 300 與一參考信號 REF 電性耦接。

第一電晶體 240 與第二電晶體 220 中的箭頭指示此輸出緩衝器 260 的驅動能力是可以調整的。兩個電阻的標記與第一電晶體 240 和第二電晶體 220 串聯指示此輸出緩衝器的驅動能力是可以使用輸出電阻的方式調整。

此輸出緩衝器 260 包括複數個輸出驅動器。在此輸出緩衝器 260 中的每一個驅動器包括一第一電晶體 240 及一第二電晶體 220。此輸出緩衝器 260 中的第一電晶體 240 具有一第一導通終端與一第一固定參考電壓 GND 電性耦接、一第二導通終端與此輸出緩衝器 260 的輸出終端電性耦接，及一控制終端與輸出緩衝器 260 的輸入終端電性耦接。此第一電晶體具有第一通道型

態，在一應用中，包括一 N 型金氧半電晶體(NMOS)。

此輸出緩衝器 260 中的第二電晶體 220 具有一第一導通終端與一第二固定參考電壓 VDD 電性耦接、一第二導通終端與此輸出緩衝器 260 的輸出終端電性耦接，及一控制終端與輸出緩衝器 260 的輸入終端電性耦接。此第二電晶體具有一通道型態與第一電晶體的通道型態相反，且在一應用中，包括一 P 型金氧半電晶體(PMOS)。

第 2B 圖顯示包括複數個並聯輸出驅動器的輸出緩衝器 260。控制信號 CTRL 將所選取的輸出驅動器致能與失能以調整此輸出緩衝器 260 的驅動能力。輸入信號 IN 提供至複數個並聯輸出驅動器。關於控制信號 CTRL 如何選取輸出驅動器會搭配第 9 圖描述。

在第 2B 圖中，每一個輸出驅動器是一個 180 歐姆的輸出驅動器，且在每一個輸出緩衝器 260 中有四個如此的輸出驅動器並聯在一起。根據歐姆定律，輸出緩衝器 260 的驅動能力會分別隨著輸出緩衝器 260 的較高/較低整體電阻而降低/增加。輸出緩衝器 260 的整體電阻係由多少個輸出驅動器開啟而決定。一般而言，輸出緩衝器 260 的整體電阻是每一個開啟輸出驅動器的電阻總合。假如輸出驅動器具有相同的電阻，則所有輸出驅動器具有的電阻總合是每一個開啟輸出驅動器的電阻除上開啟輸出驅動器的數目。舉例而言，180 歐姆的輸出驅動器而言，假如是開啟 1、2、3、或 4 個輸出驅動器，則輸出緩衝器 260 的整體電阻分別是 180、90、60、或 45 歐姆。因此，具有 45 歐姆之整體電阻輸出緩衝器 260 有著最強的驅動能力，而具有 180 歐姆之整體電阻

輸出緩衝器 260 則有著最弱的驅動能力。

調整驅動能力的解析度係與每一個輸出緩衝器 260 中的輸出驅動器數目相關。較多數量的輸出驅動器則具有較高的解析度。當具有四個輸出驅動器時，此輸出緩衝器的驅動能力調整可以具有四個階級。假設每一個輸出驅動器具有相同的大小，當具有 16 個輸出驅動器時，則此輸出緩衝器的驅動能力調整可以具有 16 個階級。在其他的實施例中，驅動器的大小是可以變動的，例如包括 1x 驅動器、2x 驅動器、4x 驅動器和 8x 驅動器，且解碼電路可以用來選取具有最佳調整整體驅動能力的驅動器組合。此外，在其他的實施例中，驅動器也可以使用類比控制信號來調整其驅動能力。

第 2C 圖顯示與第 2A 圖中輸出緩衝器 260 相關的波形圖。為了比較的目的，其係顯示與第 1B 圖中相同的輸入信號 IN 與輸出信號 OUT1 的波形圖。圖中所示由輸出緩衝器 260 產生之輸出信號 OUT1 的波形圖具有資料正確窗口 Tvalid2。Tvalid2 由輸出緩衝器 260 根據特定製程邊界、電壓、溫度(PVT)條件加以調整。結果是，Tvalid2 較第 1B 圖中由輸出緩衝器 160 沒有根據特定製程邊界、電壓、溫度(PVT)條件加以調整的輸出信號 OUT1 所產生之較窄資料正確窗口 Tvalid1 更寬。Tvalid2 較 Tvalid1 更接近 Tdat 但仍是與 Tdat 之間相差 Tinvalid2 的兩倍，因為其上升邊緣減少 Tinvalid2 而下降邊緣也是減少 Tinvalid2。

第 3 圖是第 2A 圖中的積體電路 200 所使用之控制電路 300 的方塊圖。此控制電路 300 與輸出緩衝器 260 的該組控制輸入連接。此控制電路 300 使用第一及第二時

序信號 TS1 和 TS2 產生控制信號，且包括產生具有一參考延遲的第一時序信號 TS1 的參考延遲電路 400 及與此輸出緩衝器延遲相關的產生具有模擬延遲的第二時序信號 TS2 的一延遲模擬電路 310。

此參考延遲電路 400 係回應一參考信號以產生具有一參考延遲的第一時序信號 TS1，且其中參考延遲電路 400 基本上對製程邊界、電壓、溫度(PVT)條件不敏感。延遲模擬電路 310 係回應其輸入的參考信號 REF 而在其輸出產生具有模擬延遲的第二時序信號 TS2，且其中延遲模擬是製程邊界、電壓、溫度(PVT)條件或是製程邊界、電壓、溫度(PVT)之一者的改變而產生對應的輸出緩衝延遲。

此控制電路 300 也包括一延遲線 320 及邏輯 330。此邏輯 330 具有一第一輸入終端與第一時序信號 TS1 電性耦接，及具有一第二輸入終端通過此延遲線 320 與第二時序信號 TS2 電性耦接。此邏輯 330 比較自參考延遲電路 400 的第一時序信號 TS1 抵達時間與自延遲模擬電路 310 的第二時序信號 TS2 抵達時間以產生控制信號 CTRL。

此參考信號 REF 必須在輸入信號 IN 和輸出緩衝器 260 具有類似的電氣特性，使得參考信號 REF 搭配延遲模擬電路 310 可以產生與此輸出緩衝器 260 的時序相關的時序。這些電氣特性可以包括有效邊緣的時序及電壓幅度。有效邊緣可以是上升邊緣或是下降邊緣。此參考信號 REF 可以自積體電路內部或外部的來源產生。此參考信號 REF 可以具有一個頻率或頻率範圍適合在一積體電路中對輸出緩緩衝器的輸出驅動能力進行自我

校正。

第 4 圖是第 3 圖中的參考延遲電路 400 的方塊圖。此參考延遲電路 400 包括一第一延遲子電路 410，其具有一輸入終端與參考信號 REF 電性耦接，及具有一輸出終端。此參考延遲電路 400 也包括一第二延遲子電路 460，其具有一輸入終端與第一延遲子電路 410 的輸出終端電性耦接，及具有一輸出終端與第一時序信號 TS1 電性耦接。

此第一延遲子電路 410 可以包含一電阻電容(RC)延遲電路，而此第二延遲子電路 460 可以包含金氧半(MOS)延遲電路。替代地，此第一延遲子電路 410 可以包含一金氧半(MOS)延遲電路，而此第二延遲子電路 460 可以包含電阻電容(RC)延遲電路。

此電阻電容(RC)延遲電路或許包括一 PMOS 電晶體 412 及一 NMOS 電晶體 414 串聯在一起。此 PMOS 412 具有一控制終端、一汲極終端與一源極終端和第二參考電壓 VDD2 連接。此 NMOS 414 具有一控制終端、一汲極終端與一源極終端。此 PMOS 電晶體 412 及 NMOS 電晶體 414 的控制終端並聯地與第一延遲子電路 410 的輸入終端電性耦接。此 PMOS 電晶體 412 及 NMOS 電晶體 414 的汲極終端與第一延遲子電路 410 的輸出終端和一信號 450 電性耦接。一第二 NMOS 電晶體 416 具有一控制終端與一偏壓電壓電性耦接，一汲極終端與 NMOS 電晶體 414 的源極終端耦接，及一源極終端與一地電位耦接。此偏壓電壓可以由一類比電路產生，且提供一定電流。一電容器 418 經由信號 450 與 PMOS 電晶體 412 和 NMOS 電晶體 414 的汲源極終端耦接。

此 MOS 延遲電路可以包括複數個串聯的延遲元件。信號 450 與此複數個串聯的延遲元件中的第一延遲元件 462 的輸入終端耦接。此複數個串聯的延遲元件中的最後一個延遲元件 468 的輸出終端與第二延遲子電路 460 的輸出終端耦接。如同第 5A~5C 圖中所描述的，此電阻電容(RC)延遲電路及金氧半(MOS)延遲電路彼此補償使得通過參考延遲電路 400 的整體延遲在變動的製程邊界、電壓、溫度(PVT)條件下大致仍保持定值。

第 5A~5C 圖包括一組描述第 4 圖中的參考延遲電路如何補償因為變動的製程邊界、電壓、溫度(PVT)條件下所造成的時序變動的圖示。名義上的製程邊界、電壓、溫度(PVT)條件包括名義上的製程邊界、名義上的電壓、及名義上的溫度。一個名義上的電壓係與積體電路相關。舉例而言，在一積體電路中的名義上的電壓或許是 3.3V 而在另一積體電路中的名義上的電壓或許是 1.5V。一個名義上的溫度可以是攝氏 25 度。一個名義上的製程邊界可以是典型-典型(TT)。製程邊界會在第 5C 圖中描述。

此延遲模擬電路 310 的一個名義上的延遲是在名義的製程邊界、電壓、溫度(PVT)條件下通過此延遲模擬電路 310 的延遲。一般而言，通過此延遲模擬電路 310 的延遲會隨著製程邊界、電壓、溫度(PVT)條件而變動，且是大於或小於名義上的延遲。此參考延遲電路 400 的整體延遲在變動的製程邊界、電壓、溫度(PVT)條件下最好是大致仍保持定值，如同以下第 5A~5C 圖中所描述的。用來描述參考延遲電路的名詞，對一個作為輸出緩衝器輸出驅動能力之自我校正的時間延遲參考的參

考延遲電路 400 而言，假如通過此參考延遲電路 400 的延遲在變動的製程邊界、電壓、溫度(PVT)條件下在一段時間中相對於一個例如是此輸出緩衝器的模擬電路之製程邊界、電壓、溫度(PVT)條件敏感元件在相同的製程邊界、電壓、溫度(PVT)條件下是很小的，則可以稱為"大致定值"或是此電路是"大致不敏感的"。在現實中，一參考延遲電路應該提供對製程邊界、電壓、溫度(PVT)其中一者或多者的變動相較於正在校正之輸出緩衝器的模擬電路較不敏感的參考延遲。一個較不敏感的參考延遲可以改善其表現，即使是在此參考延遲電路 400 的延遲並不是保持定值的情況下。

第 5A 圖顯示當溫度增加，通過 RC 延遲電路的 RC 延遲減少，而通過 MOS 延遲電路的 MOS 延遲增加。所以因為溫度的變動產生之 RC 延遲減少和 MOS 延遲增加的淨效果是使得 RC 延遲電路和 MOS 延遲電路的整體延遲大致是定值，導致此電路大致對於溫度的變動不敏感。

第 5B 圖顯示當供應電壓增加，通過 RC 延遲電路的 RC 延遲增加，而通過 MOS 延遲電路的 MOS 延遲減少。所以因為供應電壓的變動產生之 RC 延遲減少和 MOS 延遲增加的淨效果是使得 RC 延遲電路和 MOS 延遲電路的整體延遲大致是定值，導致此電路大致對於供應電壓的變動不敏感。

第 5C 圖顯示製程邊界對於 RC 延遲和 MOS 延遲的影響。製程邊界代表積體電路製程中參數的變動。在不同製程邊界中所製造出的電路可以於較快或較慢的速度下操作。一種對製程邊界的命名方式對 N 通道 MOS

邊界以第一字母表示而對 P 通道 MOS 邊界以第二字母表示。通常而言，S、T 和 F 等字母分別代表緩慢、典型和快速邊界。舉例而言，FF 邊界代表快速 N 通道 MOS 裝置以及快速 P 通道 MOS 裝置。

第 5C 圖顯示在緩慢-緩慢(SS)製程邊界中通過 RC 延遲電路的 RC 延遲小於較在快速-快速(FF)製程邊界中通過 RC 延遲電路的 RC 延遲，而在緩慢-緩慢(SS)製程邊界中通過 MOS 延遲電路的 MOS 延遲則是大於較在快速-快速(FF)製程邊界中通過 MOS 延遲電路的 MOS 延遲。所以因為製程邊界的變動產生之 RC 延遲增加和 MOS 延遲減少的淨效果是使得 RC 延遲電路和 MOS 延遲電路的整體延遲大致是定值，導致此電路大致對於製程邊界的變動不敏感。

假如第一時序信號 TS1 相對於第二時序信號 TS2 是發生在介於第一延遲臨界與第二延遲臨界間的時間區間內，控制信號 CTRL 具有第一值；假如第一時序信號 TS1 相對於第二時序信號 TS2 是發生在早於第一延遲臨界，控制信號 CTRL 具有第二值；假如第一時序信號 TS1 相對於第二時序信號 TS2 是發生在晚於第二延遲臨界，則控制信號 CTRL 具有第三值。

在一實施方式中，第一值可以指示並不需要增加或減少此輸出緩衝器 260 的驅動能力。第二值可以指示需要增加此輸出緩衝器 260 的驅動能力，而第三值可以指示需要減少此輸出緩衝器 260 的驅動能力。此控制電路 300 會持續地觀測製程邊界、電壓、溫度(PVT)條件且產生控制信號 CTRL。輸出緩衝器 260 則會根據控制信號 CTRL 的值來調整其輸出強度。

第 6 圖是第 3 圖中的控制電路 300 更詳細的電路圖。除了此參考延遲電路 400 和延遲模擬電路 310 之外，控制電路 300 還包括一延遲線 320 和邏輯 330。此延遲線 320 具有一輸入與延遲模擬電路 310 耦接。此延遲線 320 具有一第一接頭 TP1 與第一延遲臨界對應及一第二接頭 TP2 與第二延遲臨界對應。此邏輯 330 與延遲線 320 的第一接頭 TP1 及一第二接頭 TP2 耦接，且與參考延遲電路 400 耦接。此邏輯 330 產生控制信號 CTRL。

延遲線 320 包括第一延遲緩衝電路 610 和第二延遲緩衝電路 620。第一延遲緩衝電路 610 具有一輸入終端經由第二時序信號 TS2 而與延遲模擬電路 310 的輸出終端電性耦接。第二延遲緩衝電路 620 具有一輸入終端經由第一接頭 TP1 而與第一緩衝電路 610 的輸出終端電性耦接，及具有一輸入終端與第二接頭 TP2 電性耦接。

第一延遲緩衝電路 610 具有一第一時間延遲通過第一延遲緩衝電路。第二延遲緩衝電路 620 具有一第二時間延遲通過第二延遲緩衝電路。第一延遲緩衝電路 610 是進行信號恢復，將第二時序信號 TS2 的上升或下降邊緣變的更陡峭。如此使得第一延遲時間變的越短越好。第二延遲定義邏輯 330 的時序區間。此時序區間可以由量測自第一接頭 TP1 的上升邊緣至第二接頭 TP2 的下一個上升邊緣間，或是介於其各自的下降邊緣的延遲決定。第二延遲緩衝電路 620 可以包括例如是 8 個或 10 個的串聯反向器。假如這些反向器具有相同的延遲，則若是在第二延遲緩衝電路 620 中的反向器數目加倍的話，整體延遲也會加倍。第 11~13 圖中將會描述時序

區間、第一時序信號 TS1、第二時序信號 TS2 間的時序關係。

在控制電路 300 中的邏輯 330 包括第一儲存電路 615、第二儲存電路 625 及一解碼器 650。此第一儲存電路 615 具有一時鐘輸入終端 C 與參考延遲電路 400 電性耦接以接收第一時序信號 TS1，一資料輸入終端 D 與延遲線 320 的第一接頭 TP1 電性耦接、及具有一輸出終端。此第二儲存電路 625 具有一時鐘輸入終端 C 與參考延遲電路 400 電性耦接以接收第一時序信號 TS1，一資料輸入終端 D 與延遲線 320 的第二接頭 TP2 電性耦接、及具有一輸出終端。此解碼器 650 與第一儲存電路 615 和第二儲存電路 625 的輸出耦接以產生控制信號 CTRL。

例如第一儲存電路 615 或第二儲存電路 625 的儲存電路，在時鐘輸入終端 C 耦接之時鐘信號在上升邊緣或是下降邊緣時，儲存與其資料輸入終端 D 耦接之信號的邏輯準位，且在其輸出終端 Y 持續輸出其邏輯準位直到其時鐘輸入終端 C 耦接之時鐘信號的下一個上升邊緣或是下降邊緣為止。

如第 6 圖所示，此輸出緩衝器 260 的縮小電路 326 係位於延遲模擬電路 310 之內，包括此輸出緩衝器 260 的第一電晶體 240 之第一縮小電路 324 及第二電晶體 220 之第二縮小電路 322。

此第一縮小電路 324 具有第一導通終端與第一固定參考電壓 GND 電性耦接、第二導通終端與延遲模擬電路 310 的輸出終端電性耦接、及控制終端與延遲模擬電

路 310 的輸入終端電性耦接。此第二縮小電路 322 具有第一導通終端與第二固定參考電壓 VDD2 電性耦接、第二導通終端與延遲模擬電路 310 的輸出終端電性耦接、及控制終端與延遲模擬電路 310 的輸入終端電性耦接。為了設計的簡便，對輸出緩衝器 260(第 2A 圖)第二固定參考電壓 VDD2 可以與此固定參考電壓 VDD 相等。另外，若是延遲模擬電路 310(第 6 圖)可以模擬輸出緩衝器 260(第 2A 圖)的行為，第二固定參考電壓 VDD2 也可以與此固定參考電壓 VDD 不相同。

如第 6 圖所示，此延遲模擬電路 310 的第一縮小電路 324 及第二縮小電路 322 包括一縮小 NMOS 電晶體及一縮小 PMOS 電晶體，分別輸出緩衝器 260 中的第一電晶體 240 及第二電晶體 220。參考信號 REF 與延遲模擬電路 310 的輸入終端耦接。第二時序信號 TS2 與延遲模擬電路 310 的輸出終端耦接。

此延遲模擬電路 310 也包含一電容器 328 與延遲模擬電路 310 的輸出終端耦接。此電容器 328 具有將由電容器 280(第 2A 圖)所代表在輸出緩衝器 260 的輸出終端之電容性負載的縮小電容值。舉例而言，第 2A 圖中的在輸出緩衝器 260 的輸出終端之電容器 280 具有 30pF 的電容值及輸出緩衝器 260 具有 30 歐姆的電阻值，產生 900pS 的時間常數。對應的是，在第 6 圖中，在縮小電路 326 的輸出終端之電容器 328 被縮小為 5pF 的電容值且縮小電路 326 的電阻值被放大為 180 歐姆，以模擬 900pS 的時間常數。

第 7 圖是一個與第 6 圖中的控制電路 300 相關的範例真值表，顯示一範例解碼操作。當信號 FY1 和 FY2

分別在邏輯高準位和低準位時，控制信號 CTRL 指示輸出緩衝器 260 的驅動能力(強度)並不需要被增加或減少。當信號 FY1 和 FY2 兩者皆在邏輯高準位時，控制信號 CTRL 指示輸出緩衝器 260 的驅動能力需要被減少。當信號 FY1 和 FY2 兩者皆在邏輯低準位時，控制信號 CTRL 指示輸出緩衝器 260 的驅動能力需要被增加。

第 6 圖中所示的控制電路 300 及第 7 圖中所示的真值表顯示此處所揭露技術的一種實施方式。對於熟知此技藝人士而言，此實施方式可以有許多變化。舉例而言，第一儲存電路 615 和第二儲存電路 625 可以在時鐘輸入終端 C 下降邊緣時而不是上升邊緣時陣存資料。解碼器 650 可以使用不同的解碼機制，例如是在當信號 FY1 和 FY2 分別在邏輯低準位和高準位時而不是分別在邏輯高準位和低準位時不要改變驅動能力的解碼機制。

第 8 圖中的控制電路 800 是第 6 圖中的控制電路 300 的替代實施方式。第 6 圖中對於延遲線 320 和邏輯 330 的描述大致上也適用於第 8 圖的控制電路 800 中。此替代控制電路 800 包括指示複數個時序區間中第一時序信號相對於第二時序信號發生的時序區間，及邏輯 900 產生響應所指示時序區間的控制信號 CTRL。

替代控制電路 800 包括一延遲線 880 和邏輯 890。此延遲線 880 具有一輸入經由第二時序信號 TS2 與延遲模擬電路 310(第 6 圖)耦接。此延遲線 320 具有複數個接頭，例如一接頭 TP1、TP2、TP3、TP4 分別與複數個時序區間對應。此邏輯 890 與延遲線 880 上的複數個接

頭耦接，且經由第一時序信號 TS1 與參考延遲電路 400(第 6 圖)耦接。此邏輯 890 產生控制信號 CTRL。

複數個時序區間及複數個接頭相較於第 6 圖中所式的單一時序區間及兩個接頭的方式提供調整輸出驅動能力更精確的控制。此替代控制電路 800 包括第一延遲緩衝電路 810、第二延遲緩衝電路 820、第一儲存電路 815、第二儲存電路 825 及一解碼器 850 分別與第 6 圖中的第一延遲緩衝電路 610、第二延遲緩衝電路 620、第一儲存電路 615、第二儲存電路 625 及一解碼器 650 對應。第 8 圖中的信號 TP1、TP2、FY1 和 FY2 分別與第 6 圖中的 TP1、TP2、FY1 和 FY2 對應。

此外，此替代控制電路 800 包括第三緩衝電路 830、第四緩衝電路 840、第三儲存電路 835、第四儲存電路 845。第三緩衝電路 830 具有一輸入終端與第二時序信號 TS2 電性耦接，及具有一輸出終端與第三接頭 TP3 電性耦接。第一緩衝電路 810 具有一輸入終端與第三接頭 TP3 電性耦接，及具有一輸出終端與第一接頭 TP1 電性耦接。第二緩衝電路 820 具有一輸入終端與第一接頭 TP1 電性耦接，及具有一輸出終端與第二接頭 TP2 電性耦接。第四緩衝電路 840 具有一輸入終端與第二接頭 TP2 電性耦接，及具有一輸出終端與第四接頭 TP4 電性耦接。

第三緩衝電路 830 是進行信號恢復，將第二時序信號 TS2 的上升或下降邊緣變的更陡峭。如此使得通過第三緩衝電路 830 的延遲時間變得越短越好。

此複數個時序區間的第一時序區間由通過第二緩衝

電路 820 的延遲時間定義。此第一時序區間可以由量測自第一接頭 TP1 的上升邊緣至第二接頭 TP2 的下一個上升邊緣間，或是介於其各自的下降邊緣的延遲決定。

此複數個時序區間的第二時序區間由通過第一緩衝電路 810 的延遲時間定義。此第二時序區間可以由量測自第三接頭 TP3 的上升邊緣至第四接頭 TP4 的下一個上升邊緣間，或是介於其各自的下降邊緣的延遲決定。舉例而言，假如具有 4 個反向器、8 個反向器、4 個反向器的第一緩衝電路 810、第二緩衝電路 820、第四緩衝電路 840 具有相同的延遲，則第二時序區間會是第一時序區間的兩倍寬。

更多的時序區間可由加入更多成對的串聯緩衝電路的延遲時間來定義。具有一個時序區間時，此輸出緩衝器 260 的驅動能力可以響應根據偵測一個時序區間來增加或減少一個步階。具有兩個時序區間時，此輸出緩衝器 260 的驅動能力可以響應根據偵測兩個時序區間來增加或減少兩個步階。一般而言，多重時序區間可以採用多個步階及更正確地調整輸出緩衝器的驅動能力。

類似於控制電路 300，此第一儲存電路 815 具有一時鐘輸入終端 C 與第一時序信號 TS1 電性耦接，一資料輸入終端 D 與第一接頭 TP1 電性耦接、及具有一輸出終端。此第二儲存電路 825 具有一時鐘輸入終端 C 與第一時序信號 TS1 電性耦接，一資料輸入終端 D 與第二接頭 TP2 電性耦接、及具有一輸出終端。

此外，在第 8 圖所示的替代控制電路 800 中，第三儲存電路 835 具有一時鐘輸入終端 C 與第一時序信號

TS1 電性耦接，一資料輸入終端 D 與第三接頭 TP3 電性耦接、及具有一輸出終端與信號 FY3 電性耦接。此第四儲存電路 845 具有一時鐘輸入終端 C 與第一時序信號 TS1 電性耦接，一資料輸入終端 D 與第四接頭 TP4 電性耦接、及具有一輸出終端與信號 FY4 電性耦接。

此邏輯 890 具有解碼器 850。此解碼器 850 與第一儲存電路 815、第二儲存電路 825、第三儲存電路 835 和第四儲存電路 845 的輸出耦接以產生控制信號 CTRL。此解碼器 850 根據解碼此四個儲存電路輸出終端所提供的信號來產生控制信號 CTRL。此控制信號 CTRL 指示以下三種情況之一：一個或多個輸出緩衝器 260 的輸出驅動能力要增加、減少或不改變。

第 9 圖顯示一控制輸出緩衝器的驅動能力調整之範例電路圖。在一實施方式中，輸出緩衝器 260 具有複數個並聯輸出驅動器 960，例如輸出驅動器 961、962、963 和 964 以及控制信號 CTRL 致能與失能選取的複數個並聯輸出驅動器 960 中的輸出驅動器，以調整輸出緩衝器 260 的輸出驅動能力。

控制信號 CTRL 包括向左偏移信號 SL 及向右偏移信號 SR。向左偏移信號 SL 及向右偏移信號 SR 與多階向左-向右偏移暫存器 910 耦接。為了描述簡便起見，在第 9 圖中的範例向左-向右偏移暫存器 910 具有四位元寬度。然而，也可以使用其他的應用如 8、16、32、64 位元等。作為一個範例之用，向左-向右偏移暫存器 910 具有四位元寬度的輸出終端與四位元致能信號 SET<1:4> 耦接。四個三態緩衝器與多階向左-向右偏移暫存器 910 及輸入信號 IN 耦接。此三態緩衝器可以是

反向或非反向的緩衝器。此三態緩衝器中的每一個具有資料輸入與輸入信號 IN 耦接，一控制輸入與對應的致能信號耦接及一輸出終端。當此三態緩衝器由其控制輸入之四位元致能信號 SET<1:4>的一個對應位元開啟時，此三態緩衝器傳輸輸入信號 IN 致其輸出終端。舉例而言，當三態緩衝器 923 由其控制輸入之對應位元 SET<3>開啟時，此三態緩衝器 923 傳輸輸入信號 IN 致其輸出終端。

作為一個範例之用，此四位元寬的信號 SET<1:4>之初始狀態為"1100"，其中"1"代表"開啟"而"0"代表"關閉"，以開啟或關閉輸出緩衝器 260 的對應輸出驅動器。在替代的實施方式中，"1"可以代表"關閉"而"0"代表"開啟"。當具有"1100"的初始狀態，此輸出緩衝器 260 中的兩個輸出驅動器開啟及兩個輸出驅動器關閉。對兩個 180 歐姆的輸出驅動器而言，此輸出緩衝器 260 的整體電阻值因此是 90 歐姆。

當此邏輯 330 偵測到需要增加輸出驅動能力時，此邏輯在信號 SR 產生脈衝。為了響應，此四位元寬的信號 SET<1:4>之狀態自"1100"變為"1110"，並且此輸出緩衝器 260 中的一個輸出驅動器開啟及三個輸出驅動器關閉。對三個 180 歐姆的輸出驅動器而言，此輸出緩衝器 260 的整體電阻值因此是 60 歐姆。其結果是，輸出驅動能力因為整體電阻值的減少而增加。

當此邏輯 330 偵測到需要減少輸出驅動能力時，此邏輯在信號 SR 產生脈衝。為了響應，此四位元寬的信號 SET<1:4>之狀態自"1100"變為"1000"，並且此輸出緩衝器 260 中的三個輸出驅動器開啟及一個輸出驅動器

關閉。對一個 180 歐姆的輸出驅動器而言，此輸出緩衝器 260 的整體電阻值因此是 180 歐姆。其結果是，輸出驅動能力因為整體電阻值的增加而減少。

當此輸出緩衝器 260 不在一操作模式或是並沒有驅動一信號時，可以改變此四位元寬的信號 SET<1:4>以調整輸出緩衝器 260 的輸出驅動能力以避免此輸出緩衝器的切換雜訊。在一實施方式中，當資料線被關閉時，例如一積體電路是在一強度調整模式而不是在一操作模式時，可以改變此四位元寬的信號 SET<1:4>以調整輸出緩衝器 260 的輸出驅動能力。在一操作模式時，此輸出緩衝器僅在需要時被致能，而且信號 SET<1:4>並不允許在信號傳輸時被改變。於此輸出緩衝器被致能之前，此積體電路必須在一命令周期時接收命令。某些命令也許需要指定哪一個輸出緩衝器被致能的位址。在第二種實施方式中，於命令周期時信號 SET<1:4>可以允許被改變以導致輸出緩衝器對於其驅動能力的自我校正。在第三種實施方式中，當此積體電路被解除選取或並未選取時信號 SET<1:4>也可以允許被改變。

第 10 圖顯示此範例積體電路 200 的晶片安排圖示。此積體電路 200 包括寫入終端組態為將電路連接至積體電路 200 之外，且其中輸出緩衝器的輸出與寫入終端連接。寫入終端可以包含一積體電路封裝的打線墊，覆晶封裝的"凸塊"，通過堆疊積體電路中的矽介層孔及其他終端組態為將輸出緩衝器的輸出進行晶片外的通訊。在此範例中的積體電路 200 包括經由打線墊 1040 而與輸出緩衝器 260 耦接的記憶陣列 1020。在其他的範例中，積體電路 200 可以包括處理器、邏輯、類比電

路等等單獨存在或是其他積體電路元件搭配。圓圈 1090 顯示輸出緩衝器 260 的輸出與寫入終端 1080 耦接。

此積體電路 200 具有包括輸出緩衝器 260 的複數個輸出緩衝器。這些輸出緩衝器根據控制信號 CTRL 來調整輸出緩衝器的輸出驅動能力。這些控制信號 CTRL 是由控制電路 300 產生來控制此複數個輸出緩衝器。這些由一個控制電路 300 產生的控制信號 CTRL 可以送至此複數個輸出緩衝器中超過一個以上的輸出緩衝器之一組控制輸入中。如第 2A 圖中所示，一個控制電路 300 與一個輸出緩衝器 260 耦接。一般而言，一個控制電路 300 可以與一個或多個輸出緩衝器 260 耦接。此外，積體電路 200 可以具有多個控制電路，每一個控制電路與一個或多個輸出緩衝器耦接。與一個控制電路耦接的輸出緩衝器數目可以與另一個控制電路耦接的輸出緩衝器數目是不相同的。

第 11~13 圖顯示一種控制輸出緩衝器的方法，在其中輸出緩衝器具有輸出緩衝器延遲。此方法包括產生具有參考延遲 D1 的第一時序信號 TS1，及產生具有與輸出緩衝器延遲相關之模擬延遲 D2 的第二時序信號 TS2。此方法也包括響應該第一時序信號 TS1 及第二時序信號 TS2 而調整輸出緩衝器的輸出驅動能力。

第 11~13 圖所示的波形係與第 6 圖中的控制電路 300 及第 7 圖中的真值表之解碼操作相關。為了描述簡便起見，信號的轉變係發生於第 11~13 圖中的上升邊緣。對於熟知此技術的人士而言，也應知悉本發明之技術也可以應用於下降邊緣。

因此，此處所揭露的方法包括使用一參考延遲電路 400 其係響應產生第一時序信號 TS1 的參考信號 REF，且其中參考延遲電路 400 大致對製程邊界、電壓、溫度(PVT)條件或是至少對製程邊界、電壓、溫度其中一者不敏感。此方法也包括使用一延遲模擬電路 310 其係響應產生第二時序信號 TS2 的參考信號 REF，且其中模擬延遲係與由製程邊界、電壓、溫度(PVT)條件或是至少對製程邊界、電壓、溫度其中一者導致的輸出緩衝器延遲的改變相關。

此方法更包含產生控制信號 CTRL 以響應第一時序信號 TS1 及第二時序信號 TS2，以及使用控制信號 CTRL 來調整輸出緩衝器的輸出驅動能力。假如第一時序信號 TS1 相對於第二時序信號 TS2 是發生在介於第一延遲臨界與第二延遲臨界間的時間區間 W1 內，控制信號 CTRL 具有第一值，假如第一時序信號 TS1 相對於第二時序信號 TS2 是發生在早於第一延遲臨界，控制信號 CTRL 具有第二值，假如第一時序信號 TS1 相對於第二時序信號 TS2 是發生在晚於第二延遲臨界，則控制信號 CTRL 具有第三值。

此方法可以包括使用延遲線 320 與第一時序信號和第二時序信號之一者耦接。此延遲線 320 具有一第一接頭 TP1 與第一延遲臨界對應及一第二接頭 TP2 與第二延遲臨界對應。此方法可以包括使用延遲線 320 的第一接頭 TP1 及一第二接頭 TP2 產生控制信號 CTRL。時間區間 W1 是介於與第一接頭 TP1 對應的第一延遲臨界和與第二接頭 TP2 對應的第二延遲臨界之間。

此方法也包括使用第一時序信號 TS1 提供時脈給第

一儲存電路 615，第一儲存電路 615 的資料輸入接收延遲線的第一接頭 TP1，使用第二時序信號 TS2 提供時脈給第二儲存電路 625，第二儲存電路 625 的資料輸入接收延遲線的第二接頭 TP2，及使用第一儲存電路 615 和第二儲存電路 625 的輸出來產生控制信號 CTRL。

在第 11~13 圖中，在時間  $t_0$ ，第 11 圖中之波形中的所有信號是在邏輯低準位。在時間  $t_1$ ，如同上升邊緣 1110 所指示的參考信號 REF 自邏輯低準位轉變為邏輯高準位。在時間  $t_2$ ，為了響應上升邊緣 1110，於參考延遲 D1 通過參考延遲電路 400 之後，如同上升邊緣 1120 所指示的第一時序信號 TS1 自邏輯低準位轉變為邏輯高準位。也是為了響應上升邊緣 1110，於模擬延遲 D2 通過參考延遲電路 400 之後，如同上升邊緣 1130 所指示的第二時序信號 TS2 自邏輯低準位轉變為邏輯高準位。為了響應第二時序信號 TS2 的上升邊緣 1130，分別如同上升邊緣 1140 和 1150 所指示的，第一接頭 TP1 和第二接頭 TP2 自邏輯低準位轉變為邏輯高準位。

在第一時序信號 TS1 的上升邊緣 1120，第一儲存電路 615 和第二儲存電路 625 分別提供時脈給第一接頭 TP1 和第二接頭 TP2。在第一接頭 TP1 和第二接頭 TP2 的資料輸入終端 D 所接收的邏輯準位分別提供至第一儲存電路 615 和第二儲存電路 625 的輸出 FY1 和 FY2。

如第 11 圖所示，第一時序信號 TS1 的上升邊緣 1120 係發生於介於與第一接頭 TP1 上升邊緣 1140 對應的第一延遲臨界和與第二接頭 TP2 上升邊緣 1150 對應的第二延遲臨界之間的時間區間  $W_1$  之內。因此，在時間  $t_2$ ，第一接頭 TP1 是邏輯高準位而第二接頭 TP2 是邏輯低

準位。其結果是，第一儲存電路 615 的輸出 FY1 於時間  $t_2$  的上升邊緣 1160 之後轉變為邏輯高準位，而第二儲存電路 625 的輸出 FY2 仍保持在邏輯低準位。

在第 7 圖的真值表中所示的一個範例，當 FY1 在邏輯高準位而 FY2 在邏輯低準位時，輸出緩衝器的驅動能力並不需要被增加或減少。因此，此方法可以產生具有第一值的控制信號以指示輸出緩衝器的驅動能力並不需要被增加或減少。舉例而言，此控制信號中可以包含向左偏移信號 SL 及向右偏移信號 SR，如同第 9 圖所描述的。第一值可以向左偏移信號 SL 及向右偏移信號 SR 中並沒有脈衝來代表。

如第 12 圖所示，第一時序信號 TS1 相對於第二時序信號 TS2 是發生在早於與第一接頭 TP1 上升邊緣 1140 對應的第一延遲臨界。因此，在時間  $t_2$ ，第一接頭 TP1 是邏輯低準位而第二接頭 TP2 是邏輯低準位。其結果是，於時間  $t_2$  時第一儲存電路 615 的輸出 FY1 和第二儲存電路 625 的輸出 FY2 皆保持在邏輯低準位。

在第 7 圖的真值表中所示的一個範例，當 FY1 和 FY2 兩者皆在邏輯低準位時，輸出緩衝器的驅動能力需要被增加。因此，此方法可以產生具有第二值的控制信號以指示輸出緩衝器的驅動能力需要被增加。舉例而言，第二值可以向左偏移信號 SL 具有脈衝而向右偏移信號 SR 中並沒有脈衝來代表。

如第 13 圖所示，第一時序信號 TS1 相對於第二時序信號 TS2 是發生在晚於與第二接頭 TP2 上升邊緣 1150 對應的第二延遲臨界。因此，在時間  $t_2$ ，第一接頭 TP1

是邏輯高準位而第二接頭 TP2 是邏輯高準位。其結果是，於時間  $t_2$  時，第一儲存電路 615 的輸出 FY1 和第二儲存電路 625 的輸出 FY2 分別在上升邊緣 1160 和上升邊緣 1170 是在邏輯高準位。

在第 7 圖的真值表中所示的一個範例，當 FY1 和 FY2 兩者皆在邏輯高準位時，輸出緩衝器的驅動能力需要被減少。因此，此方法可以產生具有第三值的控制信號以指示輸出緩衝器的驅動能力需要被減少。舉例而言，第三值可以代表向左偏移信號 SL 和向右偏移信號 SR 中皆具有脈衝來代表。

此方法也包括決定在複數個時間區間中的一時間區間其中第一時序信號相對於第二時序信號是在何時發生，且響應所決定之時間區間產生控制信號。舉例而言，第一時間區間可以藉由通過第 8 圖中第二緩衝電路 820 的延遲定義，而第二時間區間可以藉由通過第 8 圖中第一緩衝電路 810、第二緩衝電路 820 和第三緩衝電路 830 的整體延遲定義。此方法也包括響應第一時間區間、或是第二時間區間或是兩者產生控制信號。

此方法也包括使用與第一時序信號和第二時序信號之一耦接的延遲線，而且具有與複數個時間區間對應的複數個接頭，以及使用複數個接頭產生控制信號。舉例而言，延遲線 880 與第二時序信號 TS2 耦接，且具有複數個接頭 TP1、TP2、TP3 和 TP4，如第 8 圖所示。介於 TP1 和 TP2 之間的延遲與第一時序區間對應，而介於 TP3 和 TP4 之間的延遲與第二時序區間對應。

這些輸出緩出器包括複數個並聯的輸出驅動器的方

法中可以使用控制信號致能與失能所選取輸出驅動器來調整此輸出緩衝器的驅動能力。如第 9 圖中所示，輸出緩出器 260 包括複數個並聯的輸出驅動器 960，例如驅動器 961、962、963 和 964。此方法可以使用包含向左偏移信號 SL 及向右偏移信號 SR 的控制信號 CTRL，致能與失能所選取輸出驅動器來調整此輸出緩衝器的驅動能力。

這些輸出緩衝器於包括寫入終端組態為將電路連接至積體電路 200 之外的積體電路之上的方法，可以提出輸出緩衝器的輸出至此寫入終端。如第 10 圖中所示，此積體電路 200 包括與例如是輸出緩衝器 260 耦接的記憶陣列 1020。輸出緩衝器 260 係位於包括寫入終端 1080 組態為將電路連接至積體電路 200 之外的積體電路 200 之上。此方法可以提出輸出緩衝器 260 的輸出至此寫入終端 1080。

此方法可以包括使用由控制電路 300 所產生的控制信號來調整此複數個輸出緩衝器中一個以上輸出緩衝器的驅動能力，而控制複數個包含此輸出緩衝器的輸出緩衝器。這些控制信號是由控制電路產生以控制複數個輸出緩衝器。其中控制電路和複數個輸出緩衝器之間的對應關係可以是一對一或一對多。如第 2A 圖中所示，一個控制電路 300 是與一個輸出緩衝器 260 耦接。一般而言，一個控制電路 300 可以與一個或多個輸出緩衝器 260 耦接。進一步而言，積體電路中可以包含複數個控制電路，而每一個控制電路與一個或多個輸出緩衝器耦接。一個控制電路與輸出緩衝器耦接的數目可以與另一個控制電路與輸出緩衝器耦接的數目是不同的。

本發明之較佳實施例與範例詳細揭露如上，惟應瞭解為上述範例僅作為範例，非用以限制專利之範圍。就熟知技藝之人而言，自可輕易依據下列申請專利範圍對相關技術進行修改與組合。

## 【圖式簡單說明】

第 1A 圖顯示一傳統輸出緩衝器的設計範例。。

第 1B 圖顯示與第 1A 圖中輸出緩衝器相關的波形圖。

第 2A 圖顯示一範例積體電路的方塊圖。此範例積體電路包括一具有自我校正輸出驅動能力的輸出緩衝器。

第 2B 圖顯示包括複數個並聯輸出驅動器的輸出緩衝器。

第 2C 圖顯示與第 2A 圖中輸出緩衝器相關的波形圖。

第 3 圖是第 2A 圖中的積體電路所使用之控制電路的方塊圖。

第 4 圖是第 3 圖中的參考延遲電路的方塊圖。

第 5A~5C 圖包括一組描述第 4 圖中的參考延遲電路如何補償因為變動的製程邊界、電壓、溫度(PVT)條件下所造成的時序變動的圖示。

第 6 圖是第 3 圖中的控制電路更詳細的電路圖。

第 7 圖是一個與第 6 圖中的控制電路相關的範例真值表。

第 8 圖顯示一替代的控制電路。

第 9 圖顯示一控制輸出緩衝器的驅動能力調整之範例電路圖。

第 10 圖顯示此範例積體電路的晶片安排圖示。

第 11~13 圖顯示與控制一輸出緩衝器方法相關的範例波形圖。

## 【主要元件符號說明】

120、220、412：P 型金氧半電晶體(PMOS)

140、240、414、416：N 型金氧半電晶體(NMOS)

104年8月10日修正替換頁

第 101129237 號修正頁

- 160、260：輸出緩衝器
- 180、280、418、328：電容器
- 200：積體電路
- 300、800：控制電路
- 310：延遲模擬電路
- 320、880：延遲線
- 322、324、326：縮小電路
- 330、890：邏輯
- 400：參考延遲電路
- 410：第一延遲子電路
- 450：信號
- 460：第二延遲子電路
- 462、468：延遲元件
- 610、620：延遲緩衝電路
- 615、625：儲存電路
- 650：解碼器
- 810、820、830、840：延遲緩衝電路
- 815、825、835、845：儲存電路
- 850：解碼器
- 910：向左-向右偏移暫存器
- 921、922、923、924：三態緩衝器
- 960、961、962、963、964：輸出驅動器
- 1020：記憶陣列
- 1040：打線墊
- 1080：輸出與寫入終端

104年8月10日修正本

第 101129237 號修正頁

## 七、申請專利範圍：

### 1. 一種積體電路，包含：

一輸出緩衝器，具有一信號輸入、一信號輸出及一組控制輸入，該輸出緩衝器具有輸出緩衝延遲，且響應施加至該組控制輸入的控制信號而調整其驅動能力；以及

一控制電路與該輸出緩衝器的該組控制輸入連接，該控制電路使用第一及第二時序信號產生該些控制信號，且包括一參考延遲電路，該參考延遲電路產生具有參考延遲的該第一時序信號，且該參考延遲電路大致上對製程邊界、電壓、溫度(PVT)條件之至少一者不敏感，及一延遲模擬電路，該延遲模擬電路產生具有延遲模擬的該第二時序信號，該延遲模擬與根據該製程邊界、電壓、溫度(PVT)條件之至少一者在該輸出緩衝延遲所產生的改變對應而變動。

### 2. 如申請專利範圍第 1 項之積體電路，其中：

該參考延遲電路響應一參考信號以產生該具有參考延遲的該第一時序信號；

該延遲模擬電路響應其輸入的該參考信號以在其輸出產生該具有延遲模擬的該第二時序信號。

### 3. 如申請專利範圍第 1 項之積體電路，其中該控制信號具有第一值假如該第一時序信號相對於該第二時序信號是發生在介於一第一延遲臨界與一第二延遲臨界間的第一時間區間內，假如該第一時序信號相對於該第二時序信號是發生在早於該第一延遲臨界該控制信號具有第二值，假如該第一時序信號相對於該第二時序信號是發生在晚於該第二延遲臨界則該控制信號具有第三值。

4. 如申請專利範圍第 3 項之積體電路，其中該控制電路包括：

一延遲線，具有一輸入與該延遲模擬電路耦接，且具有一第一接頭與該第一延遲臨界對應及一第二接頭與該第二延遲臨界對應；以及

邏輯與該延遲線的該第一接頭及該第二接頭耦接，且與該參考延遲電路耦接，該邏輯產生該控制信號。

5. 如申請專利範圍第 4 項之積體電路，其中該邏輯包括：

一第一儲存電路，具有一時鐘輸入終端與該參考延遲電路電性耦接以接收該第一時序信號，一資料輸入終端與該延遲線的該第一接頭電性耦接、及具有一輸出終端；

一第二儲存電路，具有一時鐘輸入終端與該參考延遲電路電性耦接以接收該第一時序信號，一資料輸入終端與該延遲線的該第二接頭電性耦接、及具有一輸出終端；以及

一解碼器與該第一儲存電路和該第二儲存電路的該輸出耦接以產生該控制信號。

6. 如申請專利範圍第 1 項之積體電路，其中該控制電路指示該複數個時間區間中的一時間區間內之該第一時序信號相對於該第二時序信號發生的時間，且一邏輯響應該所指示的時間區間而產生該控制信號。

7. 如申請專利範圍第 6 項之積體電路，其中該控制電路包括：

一延遲線，具有一輸入與該延遲模擬電路耦接，且具有複數個接頭與該複數個時間區間對應對應；以及

邏輯與該延遲線的該複數個接頭耦接，且與該參考延

遲電路耦接，該邏輯產生該控制信號。

8. 如申請專利範圍第 1 項之積體電路，其中該輸出緩衝器包含複數個並聯的輸出驅動器，且該控制信號致能及失能所選取的輸出驅動器調整該輸出緩出器的驅動能力。

9. 如申請專利範圍第 1 項之積體電路，包括一寫入終端，該寫入終端組態為將電路連接至該積體電路之外，且其中該輸出緩衝器的該輸出與該寫入終端連接。

10. 如申請專利範圍第 1 項之積體電路，包括複數個輸出緩衝器，其包括響應該控制信號而調整該其驅動能力的該輸出緩衝器，其中該控制信號係施加至該複數個輸出緩衝器中超過一個以上的該輸出緩衝器上的該組控制輸入。

11. 一種控制一輸出緩衝器的方法，其中該輸出緩衝器具有輸出緩衝延遲，包括：

產生一第一時序信號，該第一時序信號具有一參考延遲，且該參考延遲大致上對製程邊界、電壓、溫度(PVT)條件之至少一者不敏感；

產生一第二時序信號，該第二時序信號具有與該輸出緩衝延遲相關的延遲模擬，且該延遲模擬與根據該製程邊界、電壓、溫度(PVT)條件之至少一者在該輸出緩衝延遲所產生的改變對應而變動；以及

響應該第一時序信號及該第二時序信號而調整該輸出緩出器的驅動能力。

12. 如申請專利範圍第 11 項之方法，包括：

使用一參考延遲電路響應一參考信號以產生該第一時序信號；以及

使用一延遲模擬電路響應該參考信號以產生該第二時序信號。

13 如申請專利範圍第 11 項之方法，更包括：

產生控制信號以響應該第一時序信號及該第二時序信號，且使用該控制信號來調整該輸出緩出器的驅動能力，其中該控制信號具有

一第一值，假如該第一時序信號相對於該第二時序信號是發生在介於一第一延遲臨界與一第二延遲臨界間的第一時間區間內；

一第二值，假如該第一時序信號相對於該第二時序信號是發生在早於該第一延遲臨界；

一第三值，假如該第一時序信號相對於該第二時序信號是發生在晚於該第二延遲臨界。

14 如申請專利範圍第 13 項之方法，更包括：

使用一延遲線，該延遲線與該第一時序信號和該第二時序信號之一耦接，該延遲線具有一第一接頭與該第一延遲臨界對應及一第二接頭與該第二延遲臨界對應，以及使用該延遲線的該第一接頭及該第二接頭產生該控制信號。

15 如申請專利範圍第 14 項之方法，更包括：

使用該第一時序信號提供時脈至一第一儲存電路，該第一儲存電路具有一資料輸入終端以接收該延遲線的該第一接頭；

使用該第二時序信號提供時脈至一第二儲存電路，該第二儲存電路具有一資料輸入終端以接收該延遲線的該第二接頭；以及

使用該第一儲存電路和該第二儲存電路的該輸出產生該控制信號。

16. 如申請專利範圍第 11 項之方法，更包括：

決定複數個時間區間中的一時間區間內之該第一時序信號相對於該第二時序信號發生的時間，且響應該所指示的時間區間而產生該控制信號。

17. 如申請專利範圍第 16 項之方法，更包括：

使用一延遲線與該第一時序信號和該第二時序信號之一耦接；以及

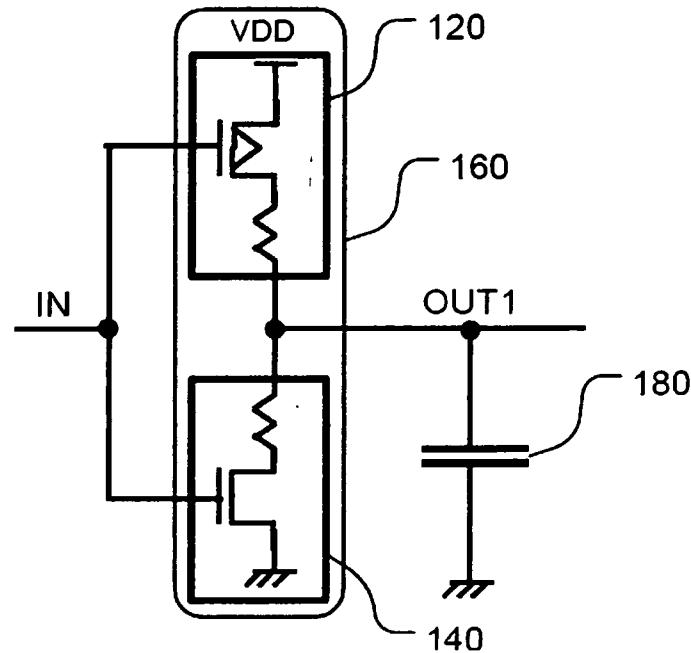
使用該延遲線的該複數個接頭產生該控制信號。

18. 如申請專利範圍第 11 項之方法，其中該輸出緩衝器包含複數個並聯的輸出驅動器，且使用該控制信號致能及失能所選取的輸出驅動器調整該輸出緩出器的驅動能力。

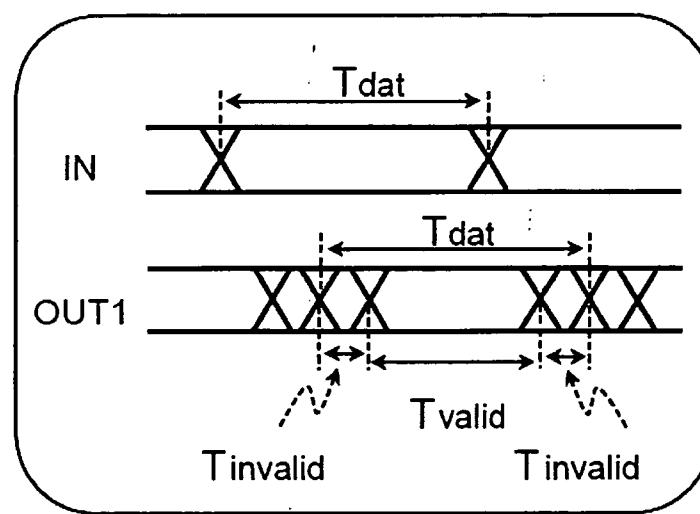
19. 如申請專利範圍第 11 項之方法，其中該輸出緩衝器是於一積體電路中，該積體電路包括一寫入終端組態為將電路連接至該積體電路之外，且提供該輸出緩衝器的該輸出至該寫入終端。

20. 如申請專利範圍第 13 項之方法，包括控制複數個包含該輸出緩衝器的出緩衝器，使用該控制信號而調整該複數個輸出緩衝器中超過一個以上的該輸出緩衝器上的驅動能力。

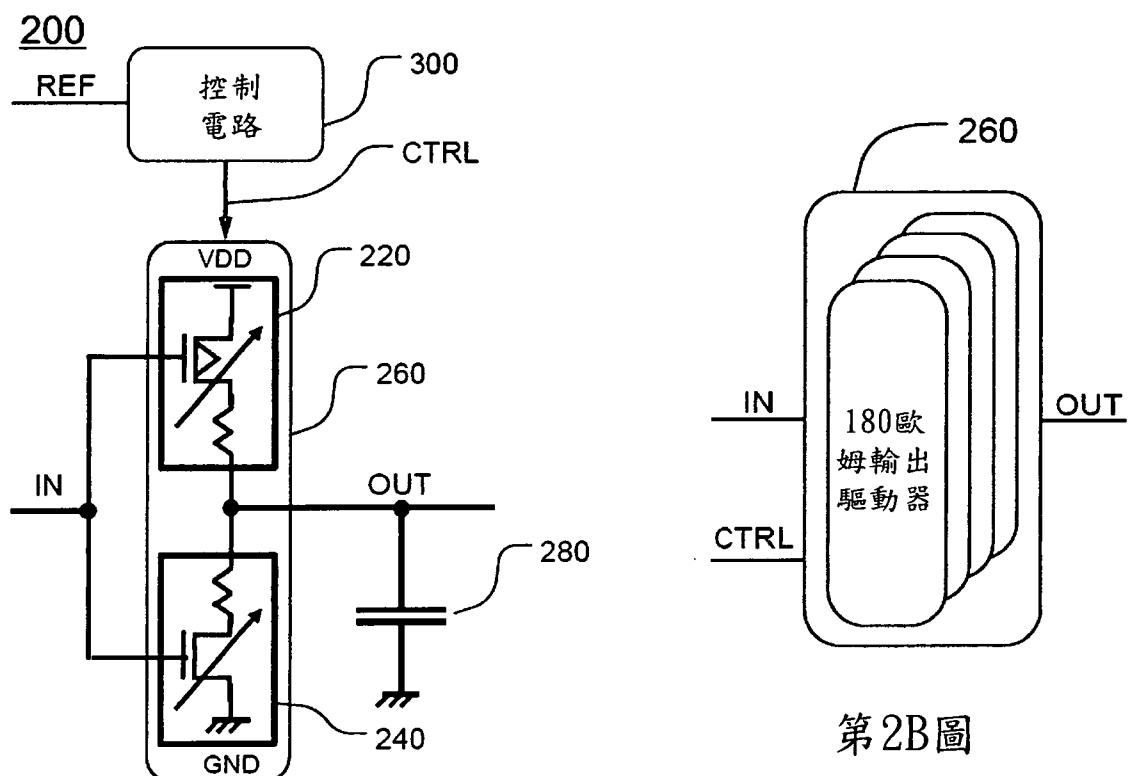
101年8月17日 修正本  
補完



第1A圖

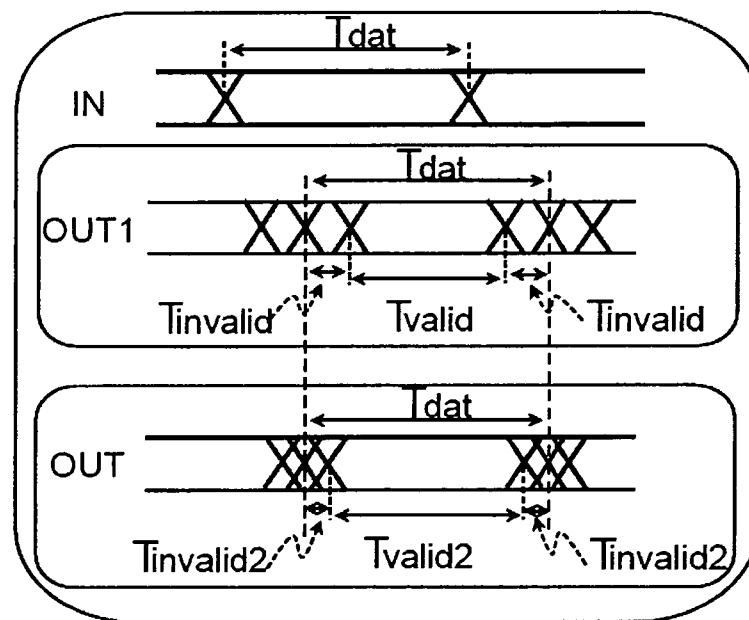


第1B圖

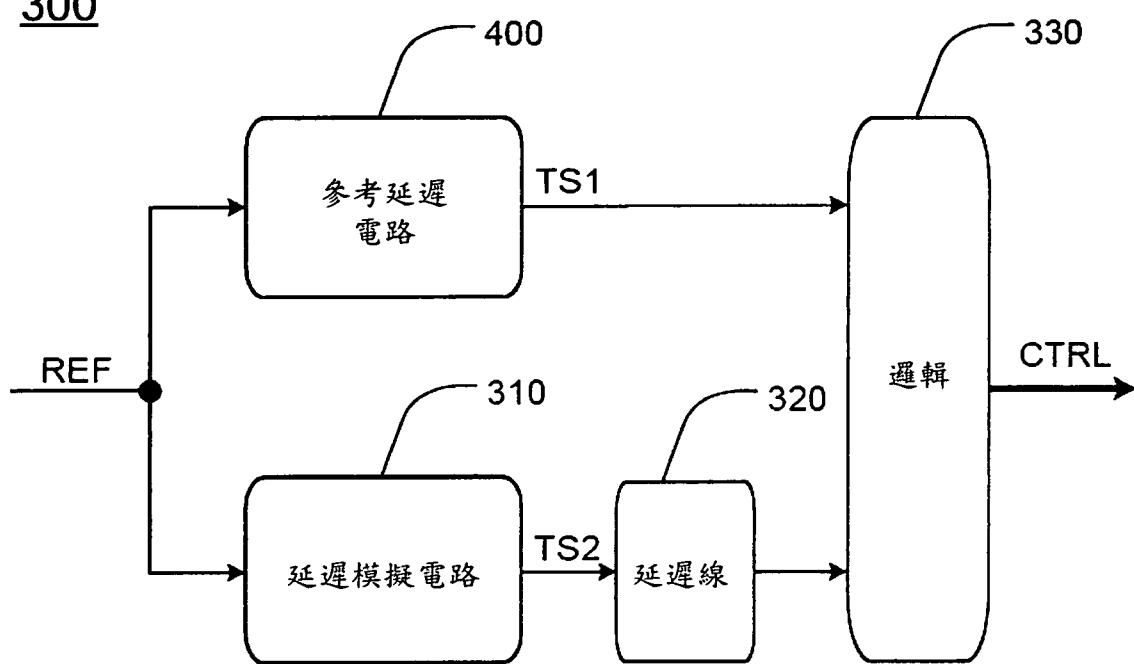


第2A圖

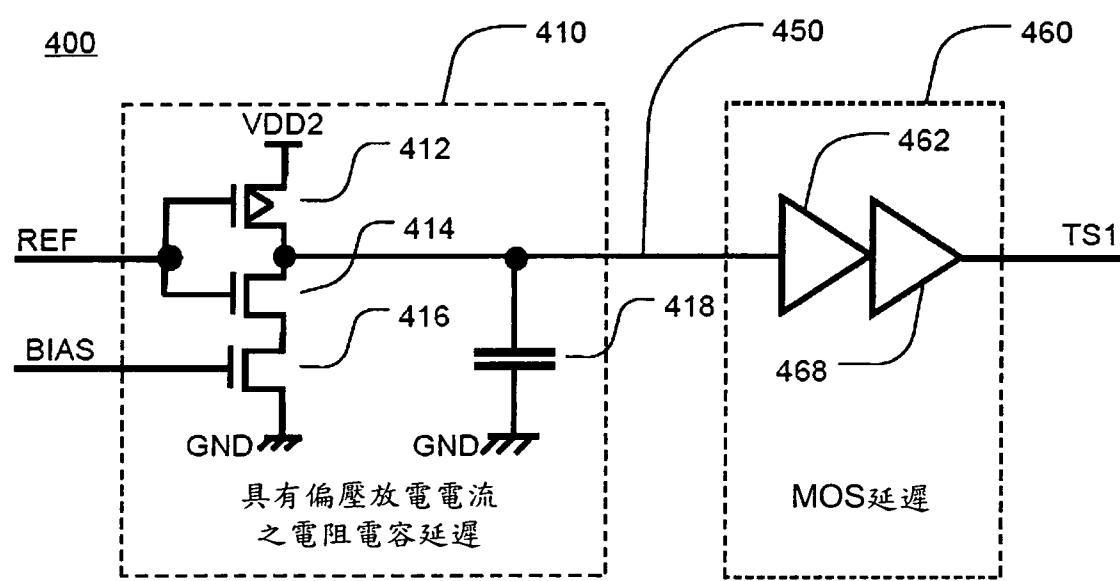
第2B圖



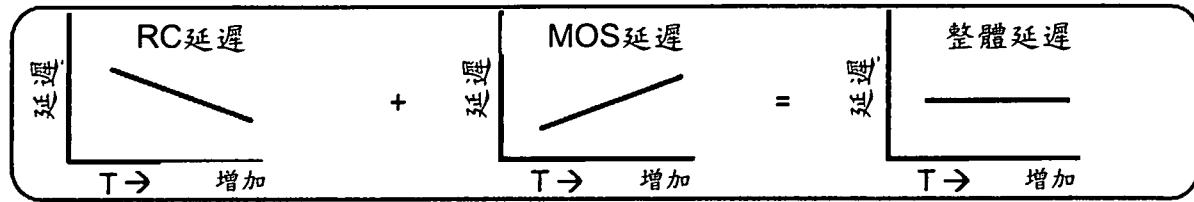
第2C圖

300

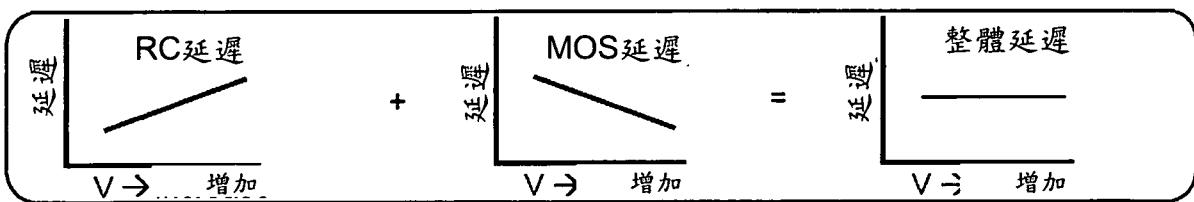
第3圖



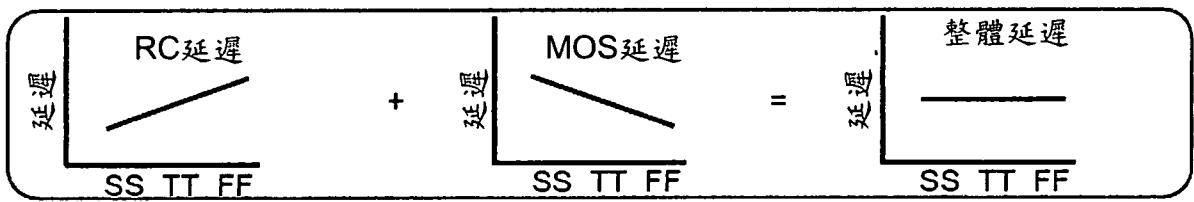
第4圖



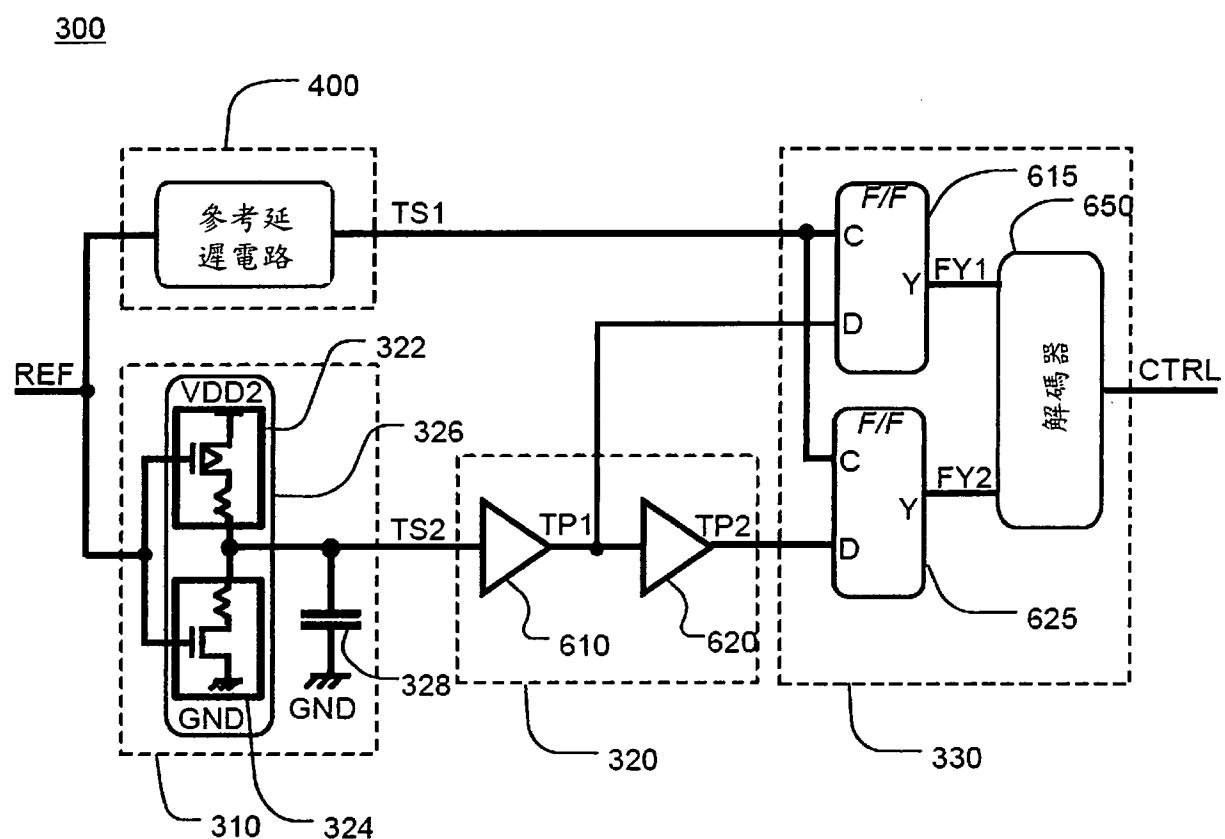
第5A圖



第5B圖



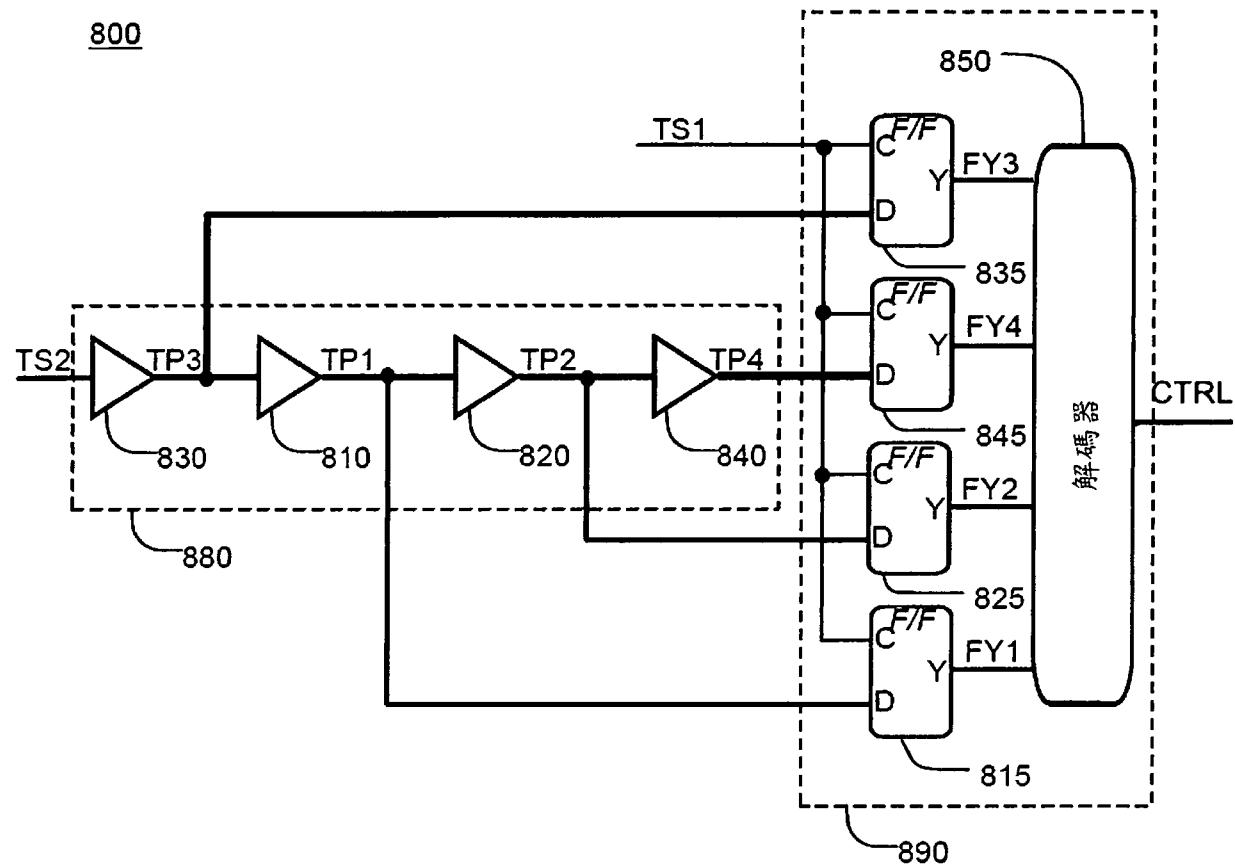
第5C圖



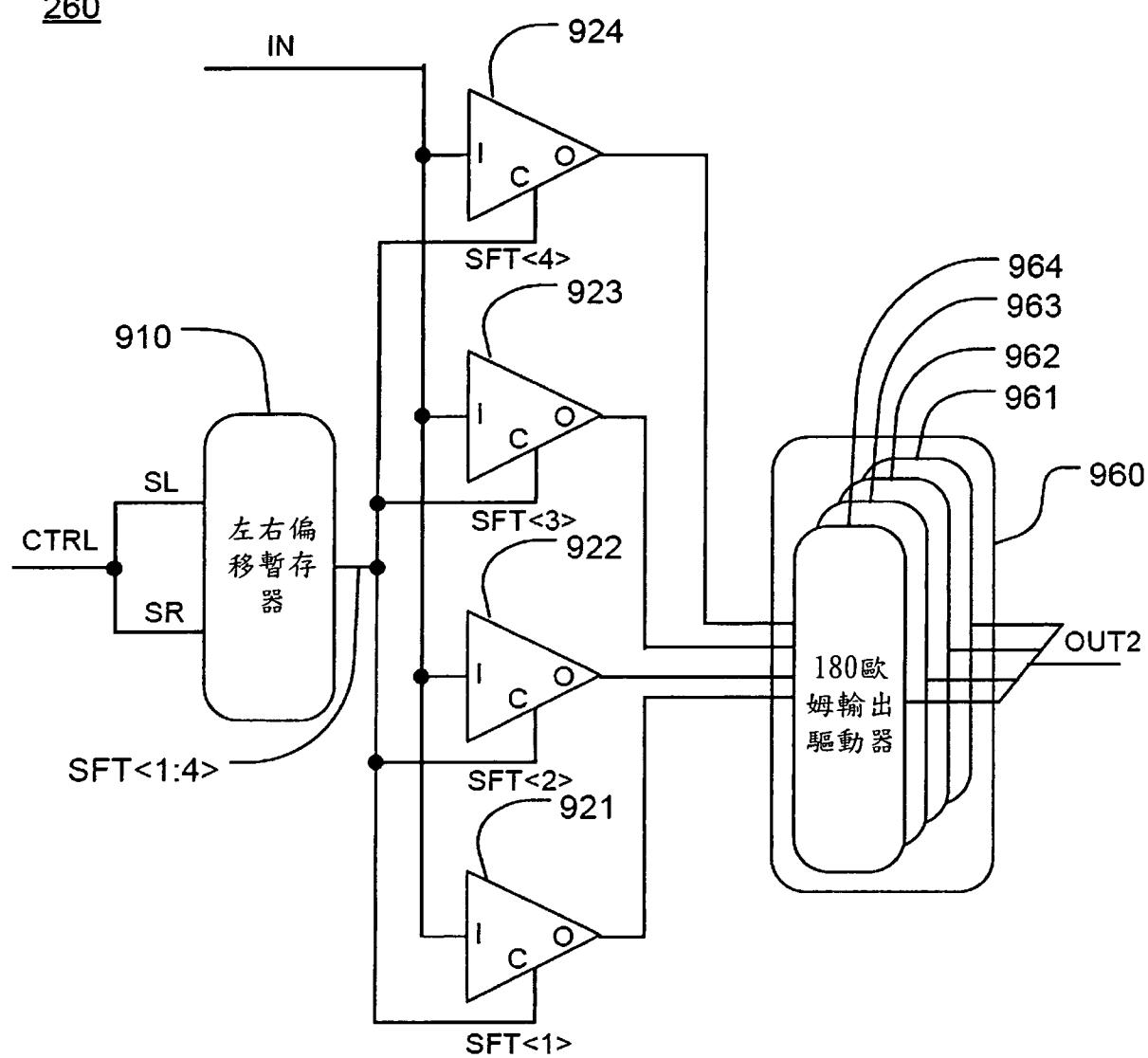
第6圖

解碼操作			
FY1	高	高	低
FY2	低	高	低
CTRL	沒有改變	強度減少	強度增加

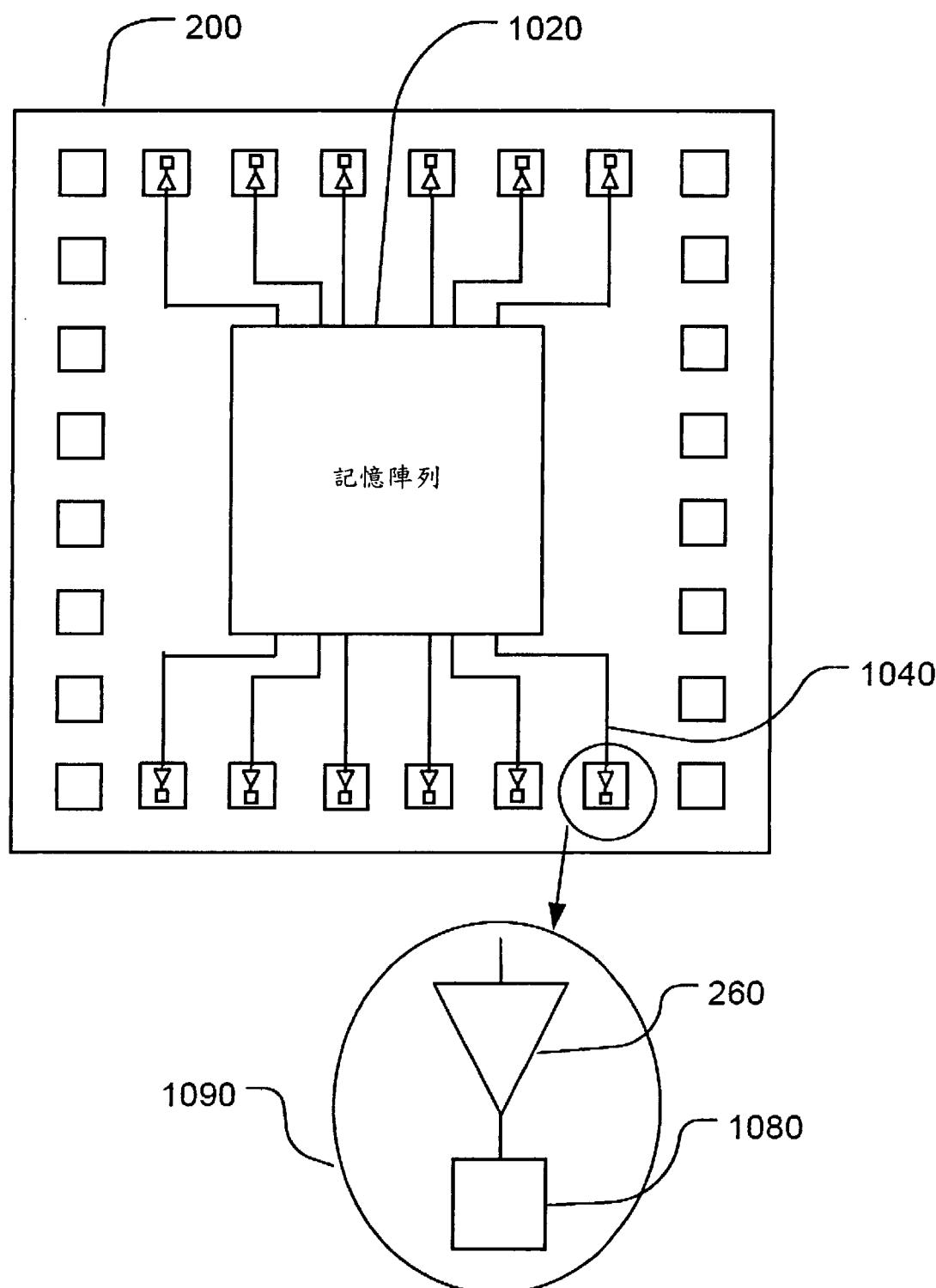
第7圖



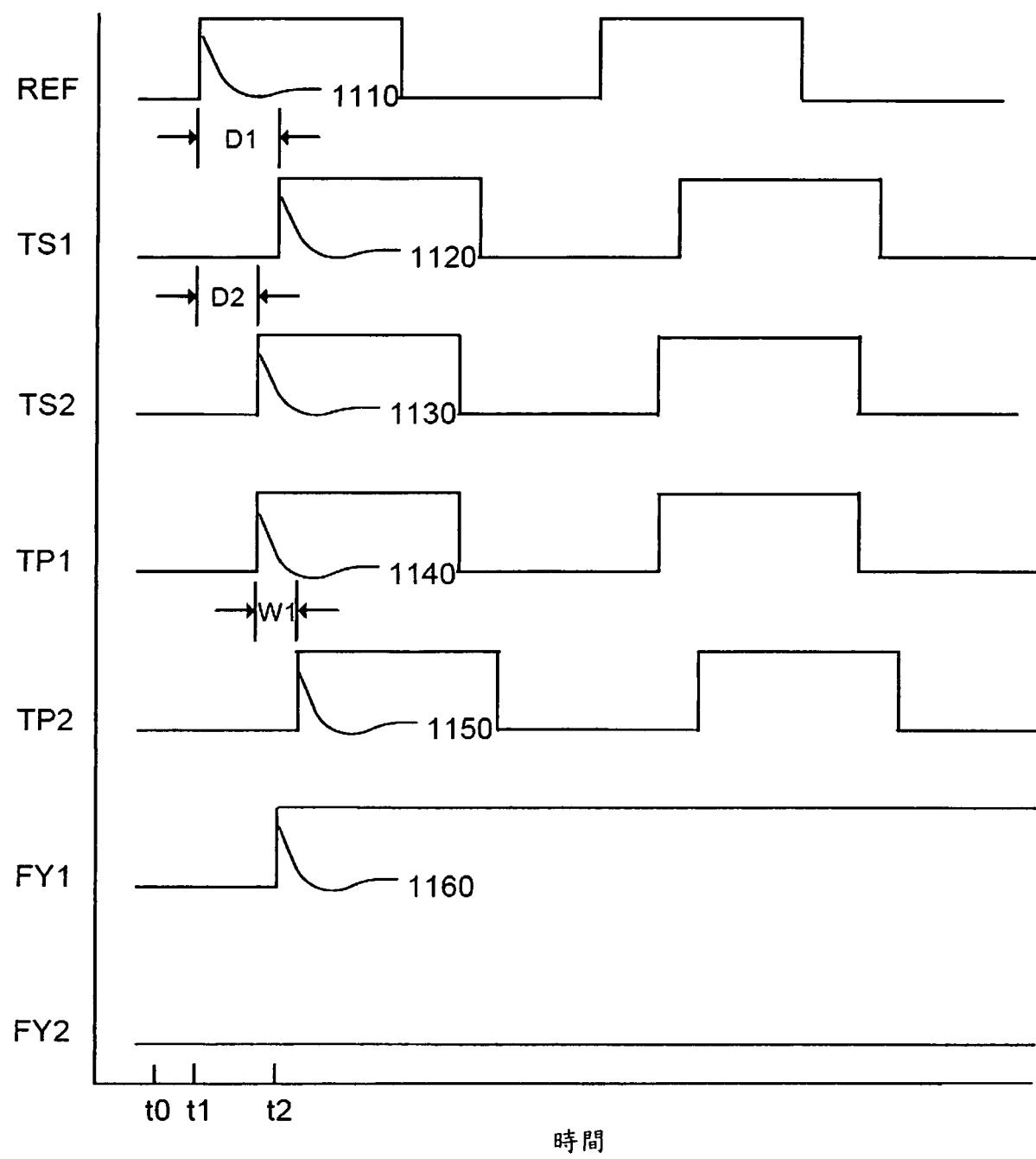
第8圖

260

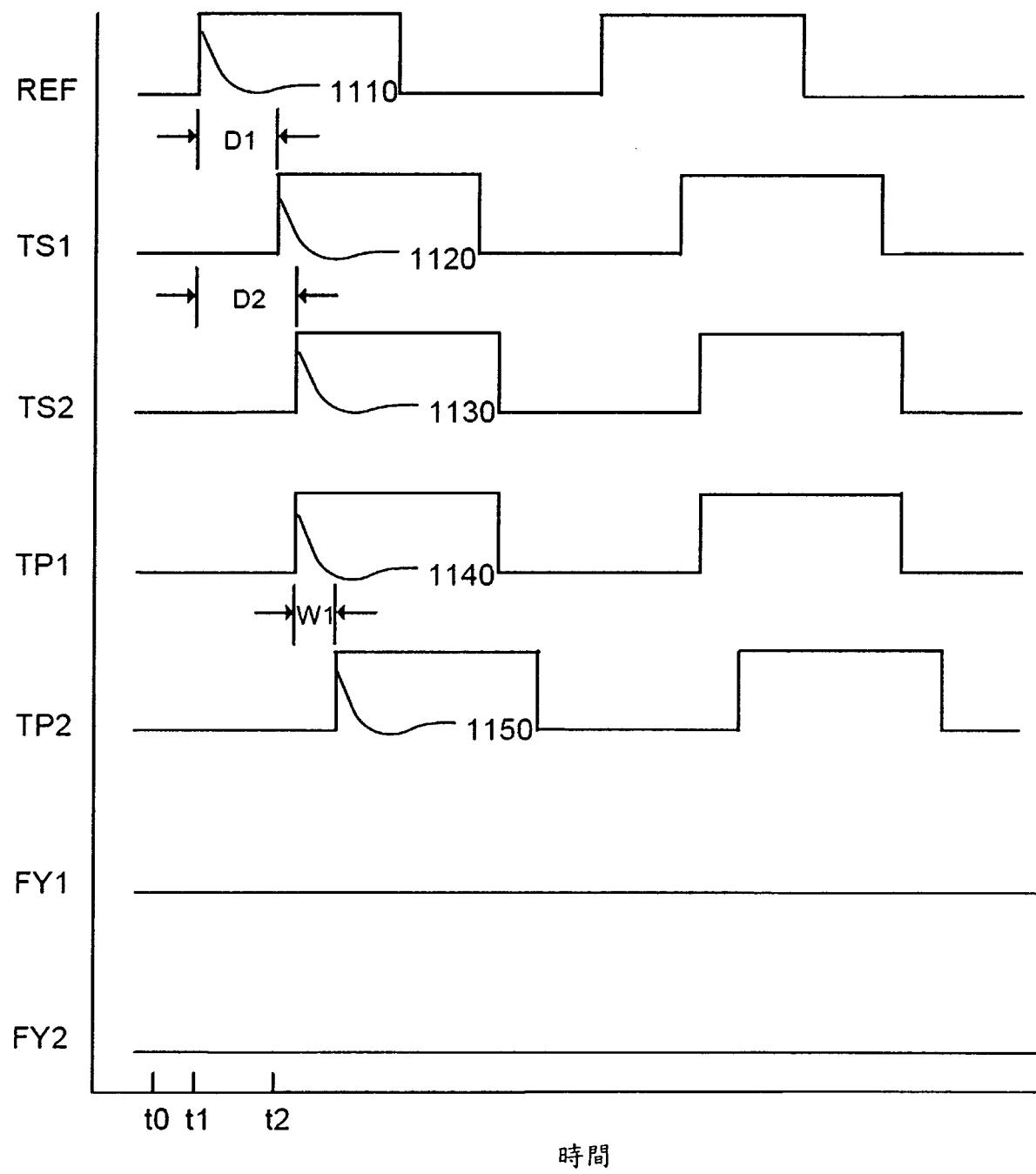
第9圖



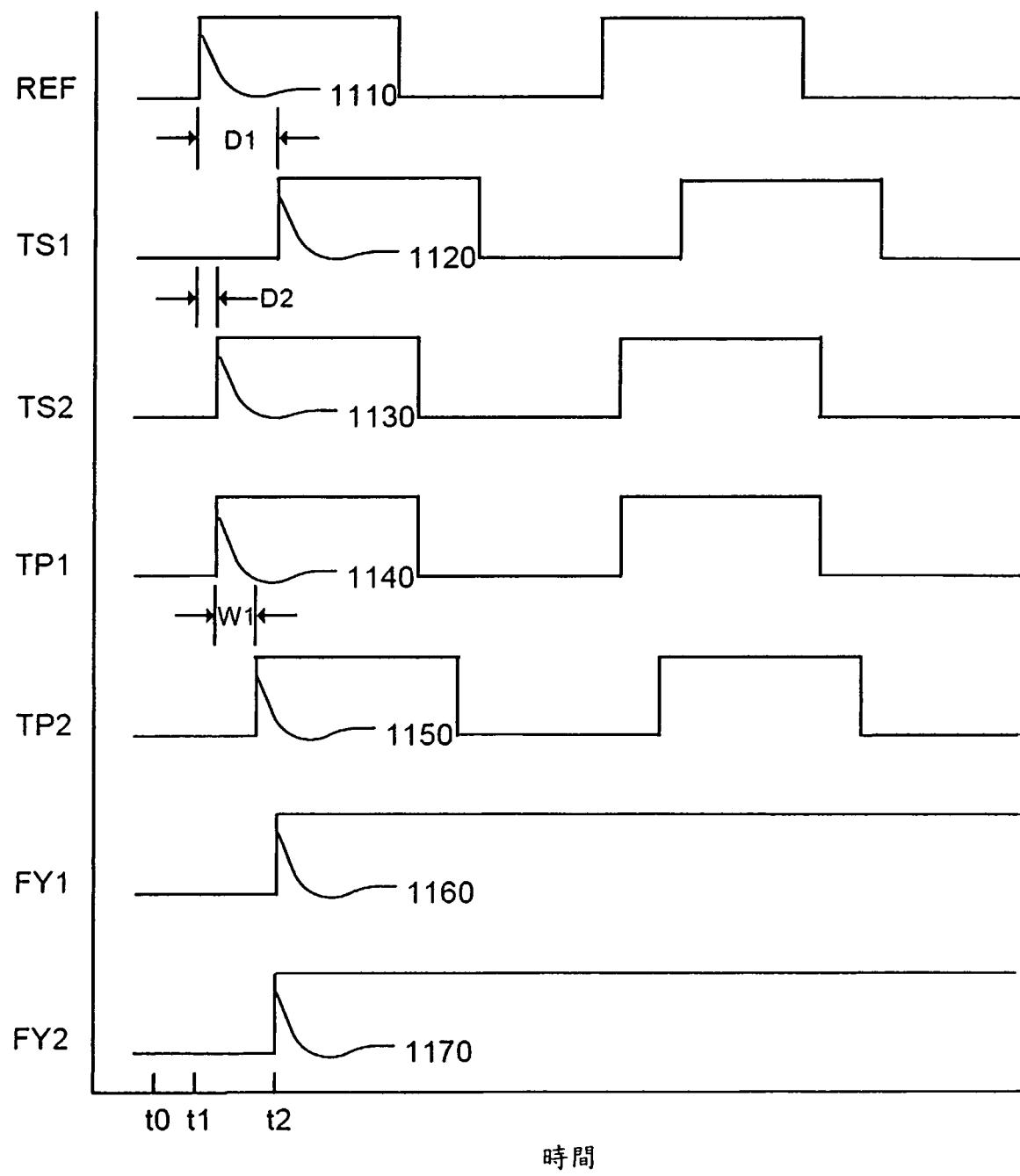
第10圖



第11圖



第12圖



第13圖