



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I743136 B

(45)公告日：中華民國 110 (2021) 年 10 月 21 日

(21)申請案號：106119602

(22)申請日：中華民國 106 (2017) 年 06 月 13 日

(51)Int. Cl. : **H01L33/02 (2010.01)**

(30)優先權：2016/06/14 美國 62/350,077

2016/06/14 美國 62/350,084

(71)申請人：美商克若密斯股份有限公司 (美國) QROMIS, INC. (US)
美國(72)發明人：歐迪諾布魯朵夫 弗拉基米爾 ODNOLYUDOV, VLADIMIR (US)；巴斯賽利
山姆 BASCERI, CEM (US)；法倫斯 薛瑞 FARRENS, SHARI (US)

(74)代理人：李世章；彭國洋

(56)參考文獻：

TW 200520274A

TW 200721452A

審查人員：于若天

申請專利範圍項數：40 項 圖式數：8 共 47 頁

(54)名稱

用於功率及 RF 應用的工程基板結構

(57)摘要

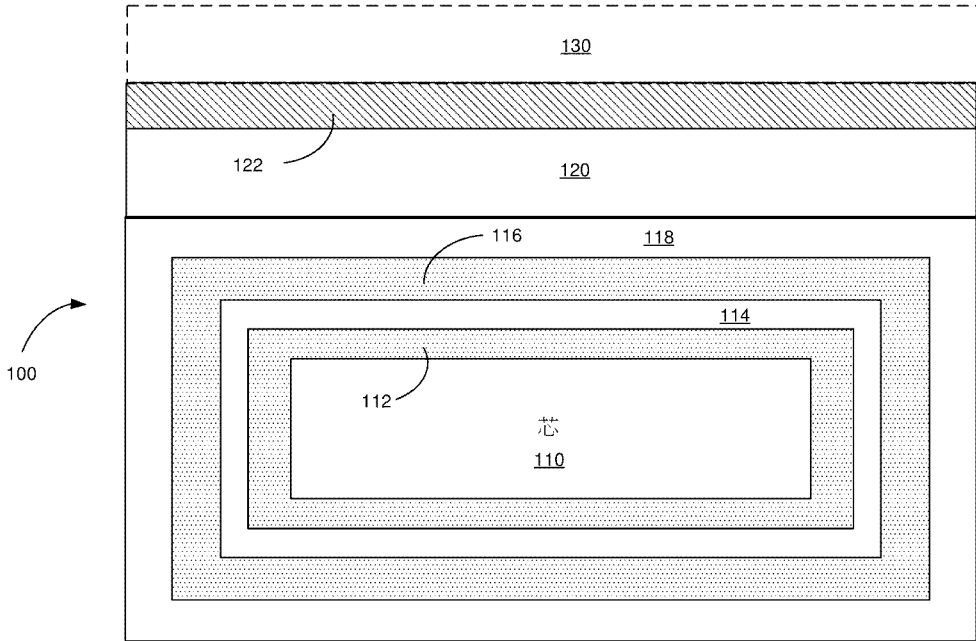
一種基板包括支撐結構，該支撐結構包含：多晶陶瓷芯；耦接到該多晶陶瓷芯的第一黏合層；耦接到該第一黏合層的導電層；耦接到該導電層的第二黏合層；及耦接到該第二黏合層的阻障層。該基板還包括耦接到該支撐結構的氧化矽層、耦接到該氧化矽層的實質單晶矽層、以及耦接到該實質單晶矽層的磊晶 III-V 層。

A substrate includes a support structure comprising: a polycrystalline ceramic core; a first adhesion layer coupled to the polycrystalline ceramic core; a conductive layer coupled to the first adhesion layer; a second adhesion layer coupled to the conductive layer; and a barrier layer coupled to the second adhesion layer. The substrate also includes a silicon oxide layer coupled to the support structure, a substantially single crystalline silicon layer coupled to the silicon oxide layer, and an epitaxial III-V layer coupled to the substantially single crystalline silicon layer.

指定代表圖：

符號簡單說明：

- 100 . . . 工程基板
- 110 . . . 芯
- 112 . . . 第一黏合層
- 114 . . . 導電層
- 116 . . . 第二黏合層
- 118 . . . 阻障層
- 120 . . . 結合層
- 122 . . . 實質單晶矽層
- 130 . . . 磊晶材料



第1圖



I743136

【發明摘要】

IPC分類: H01L 33/02 (2010.01)

【中文發明名稱】用於功率及RF應用的工程基板結構

【英文發明名稱】ENGINEERED SUBSTRATE STRUCTURE FOR POWER AND RF APPLICATIONS

【中文】

一種基板包括支撐結構，該支撐結構包含：多晶陶瓷芯；耦接到該多晶陶瓷芯的第一黏合層；耦接到該第一黏合層的導電層；耦接到該導電層的第二黏合層；及耦接到該第二黏合層的阻障層。該基板還包括耦接到該支撐結構的氧化矽層、耦接到該氧化矽層的實質單晶矽層、以及耦接到該實質單晶矽層的磊晶III-V層。

【英文】

A substrate includes a support structure comprising: a polycrystalline ceramic core; a first adhesion layer coupled to the polycrystalline ceramic core; a conductive layer coupled to the first adhesion layer; a second adhesion layer coupled to the conductive layer; and a barrier layer coupled to the second adhesion layer. The substrate also includes a silicon oxide layer coupled to the support structure, a substantially single crystalline silicon layer coupled to the silicon oxide layer, and an epitaxial III-V layer coupled to the substantially single crystalline silicon layer.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

1 0 0 工程基板

1 1 0 芯

1 1 2 第一黏合層

1 1 4 導 電 層

1 1 6 第 二 黏 合 層

1 1 8 阻 障 層

1 2 0 結 合 層

1 2 2 實 質 單 晶 矽 層

1 3 0 磊 晶 材 料

【特徵化學式】

無

【發明說明書】

【中文發明名稱】用於功率及RF應用的工程基板結構

【英文發明名稱】ENGINEERED SUBSTRATE STRUCTURE FOR POWER AND RF APPLICATIONS

【技術領域】

【0001】 本專利申請案主張於2016年6月14日提出申請、標題為「用於功率及RF應用的工程基板結構（ENGINEERED SUBSTRATE STRUCTURE FOR POWER AND RF APPLICATIONS）」的美國臨時專利申請案第62/350,084號及於2016年6月14日提出申請、標題為「工程基板結構及其製造方法（ENGINEERED SUBSTRATE STRUCTURE AND METHOD OF MANUFACTURE）」的美國臨時專利申請案第62/350,077號的優先權權益，為了所有的目的將該等申請案之揭示內容以引用方式全部併入本文中。

【0002】 本發明大體而言係關於工程基板結構。更具體言之，本發明係關於適用於磊晶生長製程的方法和系統。

【先前技術】

【0003】 發光二極體（LED）的結構通常是磊晶生長在藍寶石基板上。目前有許多產品使用LED元件，包括照明、電腦監視器及其他顯示裝置。

【0004】 在藍寶石基板上生長氮化鎵系列LED結構是一種異質磊晶生長製程，因為基板和磊晶層是由不同的材料所組成。由於異質磊晶生長製程，磊晶生長的材料會表

現出各種不利的效果，包括降低均勻度及與磊晶層的電子/光學特性相關的度量降低。因此，所屬技術領域中需要有與磊晶生長製程和基板結構相關的改良方法和系統。

【發明內容】

【0005】 本發明大體而言係關於工程基板結構。更具體言之，本發明係關於適用於磊晶生長製程的方法和系統。僅為舉例，本發明已被應用於提供適於磊晶生長的基板結構的方法和系統，該基板結構之特徵在於大體上與其上生長的磊晶層匹配的熱膨脹係數（CTE）。該等方法和技術可被應用於各式各樣的半導體處理操作。

【0006】 依據本發明之一實施例提供了一種基板。該基板包括支撐結構，該支撐結構包含：多晶陶瓷芯；耦接到該多晶陶瓷芯的第一黏合層；耦接到該第一黏合層的導電層；耦接到該導電層的第二黏合層；及耦接到該第二黏合層的阻障層。該基板還包括耦接到該支撐結構的氧化矽層、耦接到該氧化矽層的實質單晶矽層、以及耦接到該實質單晶矽層的磊晶III-V層。

【0007】 依據本發明之另一實施例提供了一種製造基板的方法。該方法包括藉由以下步驟形成支撐結構：提供多晶陶瓷芯；將該多晶陶瓷芯包封在第一黏合殼中；將該第一黏合殼包封在導電殼中；將該導電殼包封在第二黏合殼中；及將該第二黏合殼包封在阻障殼中。該方法還包括將結合層結合到該支撐結構、將實質單晶矽層結合到該結合層、藉由在該實質單晶矽層上磊晶生長而形成磊晶矽

層、以及藉由在該磊晶矽層上磊晶生長而形成磊晶III-V層。

【0008】 依據本發明之一具體實施例提供了一種工程基板結構。該工程基板結構包括支撐結構、耦接到該支撐結構的結合層、耦接到該結合層的實質單晶矽層、以及耦接到該實質單晶矽層的磊晶單晶矽層。該支撐結構包括多晶陶瓷芯、耦接到該多晶陶瓷芯的第一黏合層、耦接到該第一黏合層的導電層、耦接到該導電層的第二黏合層、及耦接到該第二黏合層的阻障殼。

【0009】 經由本發明實現了許多優於傳統技術的效益。例如，本發明的實施例提供CTE與適用於光學、電子及光電子應用的氮化鎵系列磊晶層匹配的工程基板結構。充當工程基板結構的組成部分的包封層阻止存在於基板中心部分內的雜質擴散到達使用工程基板的半導體處理環境。與基板材料相關的關鍵特性，包括熱膨脹係數、晶格不匹配、熱穩定性、及形狀控制被獨立設計用於改善（例如最佳化）與氮化鎵系列磊晶和元件層的匹配、以及與不同元件架構和效能目標的匹配。因為基板材料層在傳統的半導體製造製程中被整合在一起，所以簡化了製程整合。結合下文和附圖來更詳細地描述本發明的此等和其他實施例及其許多優點和特徵。

【圖式簡單說明】

【0010】 第1圖為圖示依據本發明之一實施例的工程基板結構之簡化示意圖。

【0011】 第2A圖為圖示依據本發明之一實施例工程結構的物種濃度為深度的函數之SIMS曲線。

【0012】 第2B圖為圖示依據本發明之一實施例工程結構在退火之後的物種濃度為深度的函數之SIMS曲線。

【0013】 第2C圖為圖示依據本發明之一實施例具有氮化矽層的工程結構在退火之後的物種濃度為深度的函數之SIMS曲線。

【0014】 第3圖為圖示依據本發明之另一實施例的工程基板結構之簡化示意圖。

【0015】 第4圖為圖示依據本發明之又另一實施例的工程基板結構之簡化示意圖。

【0016】 第5圖為圖示依據本發明之一實施例製造工程基板的方法之簡化流程圖。

【0017】 第6圖為圖示依據本發明之一實施例用於RF及功率應用的磊晶/工程基板結構之簡化示意圖。

【0018】 第7圖為圖示依據本發明之一實施例在工程基板結構上的III-V磊晶層之簡化示意圖。

【0019】 第8圖為圖示依據本發明之另一實施例製造工程基板的方法之簡化流程圖。

【實施方式】

【0020】 本發明之實施例係關於工程基板結構。更具體言之，本發明係關於適用於磊晶生長製程的方法和系統。僅為舉例，本發明已被應用於提供適於磊晶生長的基板結構的方法和系統，該基板結構之特徵在於大體上與其上生

長的磊晶層匹配的熱膨脹係數（CTE）。該等方法和技術可被應用於各式各樣的半導體處理操作。

【0021】第1圖為圖示依據本發明之一實施例的工程基板結構之簡化示意圖。第1圖圖示的工程基板100適用於各式各樣的電子和光學應用。工程基板包括芯110，芯110可以具有與將被生長在工程基板100上的磊晶材料之熱膨脹係數（CTE）大體上匹配的CTE。將磊晶材料130圖示為可選的，因為不需要磊晶材料130作為工程基板的元件，但磊晶材料130通常將生長在工程基板上。

【0022】對於包括氮化鎵（GaN）系列材料（包括GaN系列層的磊晶層）的生長的應用來說，芯110可以是多晶陶瓷材料，例如多晶氮化鋁（AlN），多晶氮化鋁（AlN）可以包括諸如氧化釔的結合材料。可以將其他材料用於芯110，包括多晶氮化鎵（GaN）、多晶氮化鎵鋁（AlGaIn）、多晶碳化矽（SiC）、多晶氧化鋅（ZnO）、多晶三氧化鎵（Ga₂O₃）及類似物。

【0023】芯的厚度可以在100 μm至1,500 μm的等級，例如725 μm。芯110被包封在第一黏合層112中，可將第一黏合層112稱為殼或包封殼。在一實施例中，第一黏合層112包含厚度在1,000 Å數量級的正矽酸四乙酯（TEOS）層。在其他實施例中，第一黏合層的厚度例如從100 Å至2,000 Å變化。儘管在一些實施例中將TEOS用於黏合層，但依據本發明之一實施例，可以利用其他材料在後續沉積層與下方層或材料（例如陶瓷，特別

是多晶陶瓷)之間提供黏合。例如， SiO_2 或其他矽氧化物(Si_xO_y)良好地黏附於陶瓷材料，並提供用於後續沉積(例如導電材料)的適當表面。在一些實施例中，第一黏合層112完全包圍芯110以形成完全包封的芯，並且可以使用LPCVD製程形成第一黏合層112。第一黏合層112提供一個表面，後續層黏附於該表面上以形成工程基板結構的元件。

【0024】除了使用LPCVD製程、基於爐的製程等來形成包封的第一黏合層之外，依據本發明的實施例可以使用其他的半導體製程，包括CVD製程或類似的沉積製程。作為實例，可以使用塗覆芯的一部分的沉積製程、可以將芯翻轉、而且可以重複沉積製程來塗覆芯的其他部分。因此，儘管在一些實施例中使用LPCVD技術來提供完全包封的結構，但可以視特定應用使用其他的膜形成技術。

【0025】形成包圍黏合層112的導電層114。在一實施例中，導電層114是形成在第一黏合層112周圍的多晶矽(即多結晶矽)殼，因為多晶矽會對陶瓷材料表現出差的黏合。在其中導電層為多晶矽的實施例中，多晶矽層的厚度可以在500-5,000 Å的數量級，例如2,500 Å。在一些實施例中，可以將多晶矽層形成為完全包圍第一黏合層112(例如TEOS層)的殼，從而形成完全包封的第一黏合層，並且可以使用LPCVD製程形成。在其他實施例中，如以下所討論的，可以將導電材料形成在黏合層的一部分上，例如基板結構的下半部上。在一些實施例中，可

以將導電材料形成為完全包封層，並於隨後移除在基板結構的一側上的導電材料。

【0026】 在一實施例中，導電層114可以是被摻雜以提供高導電材料的多晶矽層，例如摻雜硼以提供p型多晶矽層。在一些實施例中，用硼摻雜是在 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的含量以提供高導電性。可以利用不同摻雜劑濃度的其他摻雜劑(例如，摻雜劑濃度範圍從 $1 \times 10^{16} \text{ cm}^{-3}$ 至 $5 \times 10^{18} \text{ cm}^{-3}$ 的磷、砷、銻等)來提供適用於導電層的n型或p型半導體材料。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0027】 在將工程基板靜電夾持於半導體處理工具(例如具有靜電夾盤(ESC)的工具)的過程中，導電層114的存在是有用的。在半導體處理工具中處理之後，導電層114能夠快速解除夾持。因此，本發明的實施例提供可被以傳統矽晶圓使用的方式處理的基板結構。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0028】 形成包圍導電層114的第二黏合層116(例如厚度在1000 Å等級的TEOS層)。在一些實施例中，第二黏合層116完全包圍導電層114以形成完全包封的結構，並且可以使用LPCVD製程、CVD製程或任何其他適當的沉積製程形成，包括旋塗介電質的沉積。

【0029】 形成包圍第二黏合層116的阻障層118，例如氮化矽層。在一實施例中，阻障層118係厚度在2,000 Å至5,000 Å數量級的氮化矽層118。在一些實施例中，阻

障層 118 完全包圍第二黏合層 116 以形成完全包封的結構，並且可以使用 LPCVD 製程形成。除了氮化矽層之外，可以使用非晶形材料（包括 SiCN、SiON、AlN、SiC 等）作為阻障層。在一些實施方案中，阻障層 118 包含被建造以形成阻障層的數個子層。因此，用語阻障層無意表示單層或單一材料，而是涵括以複合方式分層的一種或更多種材料。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0030】 在一些實施例中，阻障層 118（例如氮化矽層）防止存在於芯 110 內的元素（例如鉍氧化物（即氧化鉍）、氧、金屬雜質、其他微量元素等）擴散及/或出氣進入其中可能存在工程基板的半導體處理腔室的環境中，例如在高溫（例如 1,000 °C）磊晶生長製程期間。利用本文所述的包封層，可以在半導體製程流程和潔淨室環境中使用陶瓷材料，包括為非潔淨室環境設計的多晶 AlN。

【0031】 第 2A 圖為圖示依據本發明之一實施例工程結構的物種濃度為深度的函數之二次離子質譜（SIMS）曲線。該工程結構不包括阻障層 118。參照第 2A 圖，存在於陶瓷芯中的幾種物種（例如鉍、鈣及鋁）在工程層 120/122 中降至可忽略的濃度。鈣、鉍及鋁的濃度分別下降了三個、四個及六個數量級。

【0032】 第 2B 圖為圖示依據本發明之一實施例沒有阻障層的工程結構在退火之後的物種濃度為深度的函數之 SIMS 曲線。如以上所討論的，在半導體處理操作期間，

例如在 GaN 系列層的磊晶生長期間，由本發明的實施例提供的工程基板結構可暴露於高溫（ $\sim 1,100\text{ }^{\circ}\text{C}$ ）幾個小時。

【0033】對於第2B圖圖示的曲線來說，工程基板結構在 $1,100\text{ }^{\circ}\text{C}$ 下退火4小時。如第2B圖所示，原始以低濃度存在於剛沉積好未經處理的樣品中的鈣、鉍及鋁已經擴散到工程層中，達到與其它元素相似的濃度。

【0034】第2C圖為圖示依據本發明之一實施例具有阻障層的工程結構在退火之後的物種濃度為深度的函數之 SIMS 曲線。將擴散阻障層 118（例如氮化矽層）整合到工程基板結構中防止了當擴散阻障層不存在時會發生的鈣、鉍及鋁在退火製程期間擴散到工程層中。如第2C圖所圖示，退火之後，存在於陶瓷芯中的鈣、鉍及鋁在工程層中保持低濃度。因此，使用阻障層 118（例如氮化矽層）可防止此等元素擴散通過擴散阻障層，從而防止此等元素釋放到工程基板周圍的環境中。類似地，塊體陶瓷材料中所含的任何其它雜質亦將被阻障層遏制。

【0035】通常，用於形成芯 110 的陶瓷材料係在 $1800\text{ }^{\circ}\text{C}$ 範圍中的溫度下焙燒。可預期此製程將驅除存在於陶瓷材料中的大量雜質。此等雜質可以包括由於使用氧化鉍作為燒結劑所生成的鉍、鈣及其他元素和化合物。隨後，在 $800\text{ }^{\circ}\text{C}$ 至 $1100\text{ }^{\circ}\text{C}$ 範圍內的遠較低溫度下進行的磊晶生長製程期間，可預期此等雜質的後續擴散將是不明顯的。然而，與傳統的預期相反，本發明人確定的是，即使在遠

比陶瓷材料的焙燒溫度更低的溫度下的磊晶生長製程期間也會發生元素大量擴散通過工程基板的層。因此，本發明的實施例整合阻障層118（例如氮化矽層）來防止背景元素從多晶陶瓷材料（例如AlN）向外擴散到工程層120/122和磊晶層（例如可選的Ga₂N層130）中。包封下方的層和材料的氮化矽層118提供期望的阻障層功能。

【0036】如第2B圖所圖示，原始存在於芯110中的元素（包括鉍）擴散進入並通過第一TEOS層112、多晶矽層114、及第二TEOS層116。然而，氮化矽層118的存在可防止此等元素擴散通過氮化矽層，從而防止此等元素釋放到工程基板周圍的環境中，如第2C圖所圖示。

【0037】再次參照第1圖，在阻障層118的一部分（例如阻障層的頂部表面）上沉積結合層120（例如氧化矽層），並且隨後在實質單晶矽層122的結合過程中使用結合層120。在一些實施例中，結合層120的厚度可以為約1.5 μm。

【0038】實質單晶層122適用於在磊晶生長製程期間用作生長層，用於形成磊晶材料130。在一些實施例中，磊晶材料130包括厚度2 μm至10 μm的Ga₂N層，Ga₂N層可被用作光電子元件、RF元件、功率元件等使用的複數個層中的一個層。在一實施例中，實質單晶層122包括使用層轉移製程附接到氧化矽層118的實質單晶矽層。

【0039】第3圖為圖示依據本發明之一實施例的工程基板結構之簡化示意圖。第3圖圖示的工程基板300適用

於各式各樣的電子和光學應用。工程基板包括芯110，芯110可以具有與將被生長在工程基板300上的磊晶材料130之熱膨脹係數（CTE）大體上匹配的CTE。將磊晶材料130圖示為可選的，因為不需要磊晶材料130作為工程基板的元件，但磊晶材料130通常將被生長在工程基板上。

【0040】對於包括氮化鎵（GaN）系列材料（包括GaN系列層的磊晶層）的生長的應用來說，芯110可以是多晶陶瓷材料，例如多晶氮化鋁（AlN）。芯的厚度可以在100 μm 至1,500 μm 的等級，例如725 μm 。芯110被包封在第一黏合層112中，可將第一黏合層112稱為殼或包封殼。在此實施方案中，第一黏合層112將芯完全包封，但此舉並非本發明要求的，如關於第4圖另外詳細討論的。

【0041】在一實施例中，第一黏合層112包含厚度在1,000 Å數量級的正矽酸四乙酯（TEOS）層。在其他實施例中，第一黏合層的厚度例如從100 Å至2,000 Å變化。儘管在一些實施例中將TEOS用於黏合層，但依據本發明之一實施例，可以利用其他材料在後續沉積層與下方層或材料之間提供黏合。例如， SiO_2 、 SiON 及類似物良好地黏附於陶瓷材料，並提供用於後續沉積（例如導電材料）的適當表面。在一些實施例中，第一黏合層112完全包圍芯110以形成完全包封的芯，並且可以使用

LPCVD 製程形成第一黏合層 112。黏合層提供一個表面，後續層黏附於該表面上以形成工程基板結構的元件。

【0042】除了使用 LPCVD 製程、基於爐的製程等來形成包封的黏合層之外，依據本發明的實施例可以使用其他的半導體製程。作為實例，可以使用塗覆芯的一部分的沉積製程（例如 CVD、PECVD、或類似製程）、可以將芯翻轉、而且可以重複沉積製程來塗覆芯的其他部分。

【0043】在第一黏合層 112 的至少一部分上形成導電層 314。在一實施例中，導電層 314 包括藉由沉積製程形成在芯/黏合層結構之下部（例如下半部或背側）上的多晶矽（即多結晶矽）。在其中導電層為多晶矽的實施例中，多晶矽層的厚度可以在幾千埃的數量級，例如 3,000 Å。在一些實施例中，可以使用 LPCVD 製程形成多晶矽層。

【0044】在一實施例中，導電層 314 可以是被摻雜以提供高導電材料的多晶矽層，例如導電層 314 可被摻雜硼以提供 p 型多晶矽層。在一些實施例中，用硼摻雜是在範圍從約 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的含量以提供高導電性。在將工程基板靜電夾持於半導體處理工具（例如具有靜電夾盤（ESC）的工具）的過程中，導電層的存在是有用的。在處理之後導電層 314 能夠快速解除夾持。因此，本發明的實施例提供可被以傳統矽晶圓使用的方式處理的基板結構。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0045】 形成包圍導電層314（例如多晶矽層）的第二黏合層316（例如第二TEOS層）。第二黏合層316的厚度在1,000 Å的數量級。在一些實施例中，第二黏合層316可以完全包圍導電層314以及第一黏合層112以形成完全包封的結構，並且可以使用LPCVD製程形成。在其他實施例中，第二黏合層316僅部分包圍導電層314，例如在平面317圖示的位置終止，平面317可對齊導電層314的頂部表面。在此實例中，導電層314的頂部表面將與阻障層118的一部分接觸。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0046】 形成包圍第二黏合層316的阻障層118（例如氮化矽層）。在一些實施例中，阻障層118的厚度在4,000 Å至5,000 Å的數量級。在一些實施例中，阻障層118完全包圍第二黏合層316以形成完全包封的結構，並且可以使用LPCVD製程形成。

【0047】 在一些實施例中，使用氮化矽阻障層防止存在於芯110內的元素（例如釷氧化物（即氧化釷）、氧、金屬雜質、其他微量元素等）擴散及/或出氣進入其中可能存在工程基板的半導體處理腔室的環境中，例如在高溫（例如1,000 °C）磊晶生長製程期間。利用本文所述的包封層，可以在半導體製程流程和潔淨室環境中使用陶瓷材料，包括為非潔淨室環境設計的多晶AlN。

【0048】 第4圖為圖示依據本發明之另一實施例的工程基板結構之簡化示意圖。在第4圖圖示的實施例中，第

一黏合層412被形成在芯110的至少一部分上、但不包封芯110。在此實施方案中，第一黏合層412被形成在芯110的下表面（芯110的背側）上以增強隨後形成的導電層414的黏合，如以下更充分描述的。儘管第4圖僅將黏合層412圖示在芯110的下表面上，但將理解的是，將黏合層材料沉積在芯的其它部分上將不會不利地影響工程基板結構的效能，而且此類材料可以存在於各種實施例中。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0049】導電層414不包封第一黏合層412和芯110，而是大體上與第一黏合層412對齊。儘管導電層414被圖示為沿著第一黏合層412的底部或背側延伸並沿著第一黏合層412的側面的一部分向上延伸，但沿著垂直側面延伸並非本發明要求的。因此，實施例可以利用基板結構一側上的沉積、基板結構一側的掩蔽等。導電層414可以被形成在第一黏合層412的一側（例如底部/背側）的一部分上。導電層414在工程基板結構的一側上提供電傳導，此舉在RF和高功率的應用中會是有利的。導電層可以包括關於第1圖中的導電層114討論的摻雜多晶矽。

【0050】芯110的一部分、第一黏合層412的多個部分、及導電層414被第二黏合層416覆蓋，以便增強阻障層418與下方材料的黏合。如以上所討論的，阻障層418形成包封結構以防止來自下方層的擴散。

【0051】除了半導體系列導電層之外，在其他實施例中，導電層414為金屬層，例如500 Å的鈦或類似物。

【0052】再次參照第4圖，視實施方案而定，可以移除一個或更多個層。例如，可以移除層412和414，僅留下單黏合殼416和阻障層418。在另一個實施例中，可以僅移除層414。在此實施例中，層412還可以平衡由沉積在層418的頂部上的層120引起的應力和晶圓彎曲。在芯110的頂側上具有絕緣層的基板結構（例如在芯110與層120之間僅有絕緣層）的建造將為功率/RF應用（其中需要高度絕緣的基板）提供益處。

【0053】在另一個實施例中，阻障層418可以直接包封芯110，隨後是導電層414和隨後的黏合層416。在此實施例中，層120可以從頂側直接沉積到黏合層416上。在又另一個實施例中，黏合層416可以沉積在芯110上，隨後是阻障層418，然後是導電層414和另一個黏合層412。

【0054】儘管已經關於層討論了一些實施例，但用語層應被理解為使得層可以包括被建造以形成感興趣層的若干子層。因此，用語層無意表示由單一材料所組成的單層，而是涵括以複合方式分層以形成所需結構的一種或更多種材料。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0055】第5圖為圖示依據本發明之一實施例製造工程基板的方法之簡化流程圖。該方法可用於製造與在基板

上生長的一個或更多個磊晶層CTE匹配的基板。方法500包括藉由提供多晶陶瓷芯(510)、將該多晶陶瓷芯包封在第一黏合層中而形成殼(例如正矽酸四乙酯(TEOS)殼)(512)、以及將該第一黏合層包封在導電殼(例如多晶矽殼)中(514)而形成支撐結構。可將該第一黏合層形成為TEOS的單層。可將該導電殼形成為多晶矽的單層。

【0056】 該方法還包括將該導電殼包封在第二黏合層(例如第二TEOS殼)中(516)，並將第二黏合層包封在阻障層殼中(518)。可以將第二黏合層形成為TEOS的單層。可以將阻障層殼形成為氮化矽的單層。

【0057】 一旦藉由製程510-518形成了支撐結構，該方法還包括將結合層(例如氧化矽層)結合於支撐結構(520)，並將實質單晶層(例如實質單晶矽層)結合於氧化矽層(522)。依據本發明的實施例，可以使用其他的實質單晶層，包括SiC、藍寶石、GaN、AlN、SiGe、Ge、金剛石、Ga₂O₃、ZnO等。結合層的結合可以包括沉積結合材料，隨後執行如本文所述之平坦化製程。在如下所述的實施例中，將實質單晶層(例如實質單晶矽層)連接於結合層係使用層轉移製程，其中該實質單晶層係自矽晶圓轉移的單晶矽層。

【0058】 參照第1圖，結合層120可以藉由沉積厚的(例如4 μm厚)氧化物層隨後進行化學機械拋光(CMP)製程以將氧化物薄化至厚度約1.5 μm來形成。厚的初始氧

化物用以填充存在於支撐結構上的空隙和表面特徵，該等空隙和表面特徵可能在製造多晶芯之後存在，並在形成第1圖圖示的包封層時繼續存在。CMP製程提供沒有空隙、顆粒或其他特徵的大體平坦表面，隨後可以在晶圓轉移製程期間使用該平坦表面來將實質單晶層122（例如實質單晶矽層）結合於結合層120。將理解的是，結合層120之特徵不必在於原子級平坦的表面，而是應提供將以期望的可靠度支撐結合實質單晶層（例如實質單晶矽層）的大體平坦表面。

【0059】 可以使用層轉移製程來將實質單晶矽層122結合於結合層120。在一些實施例中，矽晶圓（例如矽（111）晶圓）被佈植而形成分裂面。在晶圓結合之後，矽基板可與分裂面下方的單晶矽層部分一起被移出，從而產生第1圖圖示的剝離單晶矽層122。可以改變實質單晶層122的厚度來滿足各種應用的規格。此外，可以改變實質單晶層122的晶體方向來滿足應用的規格。另外，可以改變實質單晶層122中的摻雜水平和分佈來滿足特定應用的規格。

【0060】 第5圖圖示的方法還可以包括光滑化實質單晶層（524）。在一些實施例中，可以修改實質單晶層122的厚度和表面粗糙度獲得高品質的磊晶生長。關於實質單晶層122的厚度和表面光滑度，不同的元件應用可以具有略微不同的規格。分裂製程使實質單晶層122在佈植離子分佈的峰值處從塊體單晶矽晶圓分層。在分裂之後，實質

單晶層 122 可以在幾個方面進行調整或修改，然後用作其他材料（例如氮化鎵）的磊晶生長的生長表面。

【0061】 第一，轉移的實質單晶層 122 可能含有少量的殘餘氫濃度，並且可能具有來自佈植物的一些晶體損傷。因此，移除轉移的實質單晶層 122 中晶格受損的薄部分可能是有益的。在一些實施例中，可以將佈植物的深度調整為大於實質單晶層 122 的期望最終厚度。額外的厚度允許移除轉移的實質單晶層被損壞的薄的部分，從而留下所需最終厚度的未損傷部分。

【0062】 第二，可能需要調整實質單晶層 122 的總厚度。一般來說，可能希望使實質單晶層 122 足夠厚以提供高品質的晶格模板用於隨後生長一個或更多個磊晶層、但又足夠薄以具有高度順應性。當實質單晶層 122 相對較薄時，可以將實質單晶層 122 稱為「順應的」，使得實質單晶層 122 的物理性質較不受限並能夠模擬周圍材料的物理性質，且產生結晶缺陷的傾向較低。實質單晶層 122 的順應性可與實質單晶層 122 的厚度成反比。較高的順應性可在模板上生長的磊晶層中產生較低的缺陷密度，並能夠生長較厚的磊晶層。在一些實施例中，可以藉由在剝離的矽層上磊晶生長矽來增加實質單晶層 122 的厚度。

【0063】 第三，提高實質單晶層 122 的光滑度可能是有益的。層的光滑度可能與總氫劑量、任何共佈植物種的存在、以及用以形成氫基分裂面的退火條件相關。從層轉移

(即分裂步驟)產生的初始粗糙度可以藉由熱氧化和氧化物剝除來減小，如以下所討論的。

【0064】 在一些實施例中，移除損傷層並調整實質單晶層122的最終厚度可以透過熱氧化剝離矽層的頂部部分、隨後使用氟化氫(HF)酸進行氧化物層剝除來實現。例如，可以將初始厚度為 $0.5\ \mu\text{m}$ 的剝離矽層熱氧化以產生約 $420\ \text{nm}$ 厚的二氧化矽層。移除生長的熱氧化物之後，轉移層中剩餘的矽厚度可以為約 $53\ \text{nm}$ 。在熱氧化期間，佈植的氫可能往表面遷移。因此，隨後的氧化物層剝除可以移除一些損傷。並且，熱氧化通常在 $1000\ ^\circ\text{C}$ 或更高的溫度下進行。升高的溫度也可以修復晶格損傷。

【0065】 在熱氧化期間形成在實質單晶層的頂部部分上的氧化矽層可以使用HF酸蝕刻剝除。可以藉由調整HF溶液的溫度和濃度以及氧化矽的化學計量和密度來調整HF酸對氧化矽和矽($\text{SiO}_2:\text{Si}$)的蝕刻選擇率。蝕刻選擇率是指一種材料相對於另一種材料的蝕刻速率。HF溶液對於($\text{SiO}_2:\text{Si}$)的選擇率可以在約 $10:1$ 至約 $100:1$ 的範圍內。高的蝕刻選擇率可以藉由與初始表面粗糙度相似的因子來降低表面粗糙度。然而，所得實質單晶層122的表面粗糙度仍可能大於所需的。例如，在附加處理之前藉由 $2\ \mu\text{m} \times 2\ \mu\text{m}$ 原子力顯微鏡(AFM)掃描測定，塊體Si(111)表面可能具有小於 $0.1\ \text{nm}$ 的均方根(RMS)表面粗糙度。在一些實施例中，在Si(111)上磊晶生長氮化鎵材料所需的表面粗糙度可以例如為在

30 μm $\times$ 30 μm 的 A F M 掃描區域上小於 1 nm、小於 0.5 nm、或小於 0.2 nm。

【0066】 假使實質單晶層 122 在熱氧化和氧化物層剝除之後的表面粗糙度超過所需的表面粗糙度，則可以進行另外的表面光滑化。有幾種將矽表面光滑化的方法。此等方法可以包括氫退火、雷射修整、電漿光滑化、及接觸拋光（例如化學機械拋光或 C M P）。此等方法可能涉及優先侵蝕高深寬比的表面峰。因此，表面上的高深寬比特徵可以比低深寬比特徵更快被移除，從而產生更光滑的表面。

【0067】 應當理解的是，第 5 圖圖示的具體步驟提供了依據本發明之一實施例製造工程基板的特定方法。還可以依據替代實施例來執行其他的步驟順序。例如，本發明的替代實施例可以以不同的順序執行上述步驟。此外，第 5 圖圖示的各個步驟可以包括可以單個步驟適合的各種順序執行的多個子步驟。此外，可以視具體應用來添加或移除附加步驟。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0068】 第 6 圖為圖示依據本發明之一實施例用於 R F 及功率應用的磊晶 / 工程基板結構之簡化示意圖。在一些 L E D 應用中，工程基板結構提供能夠生長高品質 G a N 層的生長基板，而且隨後移出工程基板結構。然而，對於 R F 和功率元件的應用來說，工程基板結構形成完成元件

的某些部分，結果，工程基板結構或工程基板結構的元件的電、熱及其它特性對於特定應用是重要的。

【0069】 參照第1圖，單晶矽層122通常是利用佈植和剝離技術從矽施體晶圓分離的剝離層。典型的佈植物是氫和硼。對於功率和RF元件的應用來說，工程基板結構中的層和材料的電性質是重要的。例如，一些元件架構使用電阻大於 10^3 Ohm-cm 的高絕緣矽層來減少或消除透過基板和界面層的洩漏。其他的應用利用包括具有預定厚度（例如 $1 \text{ }\mu\text{m}$ ）的導電矽層的設計，以將元件的源極連接到其它元件。因此，在這些應用中，希望可控制單晶矽層的尺寸和效能。在其中於層轉移期間使用佈植和剝離技術的設計中，殘餘佈植原子（例如氫或硼）存在於矽層中，從而改變電特性。另外，利用例如佈植劑量的調整來控制薄矽層的厚度、導電性及其它特性會是困難的，佈植劑量的調整會影響導電性以及佈植物分佈的半高寬（FWHM）、表面粗糙度、及分裂面位置精度、以及可能影響層厚度的佈植深度。

【0070】 依據本發明的實施例，利用在工程基板結構上的矽磊晶來實現單晶矽層適於特定元件設計的期望特性。

【0071】 參照第6圖，磊晶/工程基板結構600包括工程基板結構610和形成在工程基板結構610上的矽磊晶層620。工程基板結構610可以類似於第1圖、第3圖、及第4圖圖示的工程基板結構。通常，在層轉移之後，實質單晶矽層122在 $0.5 \text{ }\mu\text{m}$ 的等級。在一些製程中，可以使用

表面調理製程來將單晶矽層 122 的厚度減小到約 $0.3\ \mu\text{m}$ 。為了將單晶矽層的厚度增加到約 $1\ \mu\text{m}$ 以用於製造例如可靠的歐姆接觸，使用磊晶製程在由層轉移製程形成的實質單晶矽層 122 上生長磊晶單晶矽層 620。可以使用各種磊晶生長製程來生長磊晶單晶矽層 620，包括 CVD、ALD、MBE 等。磊晶單晶矽層 620 的厚度可以在約 $0.1\ \mu\text{m}$ 至約 $20\ \mu\text{m}$ 的範圍內，例如介於 $0.1\ \mu\text{m}$ 和 $10\ \mu\text{m}$ 之間。

【0072】第 7 圖為圖示依據本發明之一實施例在工程基板結構上的 III-V 磊晶層之簡化示意圖。如下所述，可以將第 7 圖圖示的結構稱為雙磊晶結構。如第 7 圖所圖示，包括磊晶單晶矽層 620 的工程基板結構 710 具有形成在其上的 III-V 磊晶層 720。在一實施例中，III-V 磊晶層包含氮化鎵 (GaN)。

【0073】取決於所需的功能，III-V 磊晶層 720 的期望厚度可以變化很大。在一些實施例中，III-V 磊晶層 720 的厚度可以在 $0.5\ \mu\text{m}$ 與 $100\ \mu\text{m}$ 之間變化，例如厚度大於 $5\ \mu\text{m}$ 。在 III-V 磊晶層 720 上製造的元件的所得崩潰電壓可以視 III-V 磊晶層 720 的厚度而改變。一些實施例提供至少 $100\ \text{V}$ 、 $300\ \text{V}$ 、 $600\ \text{V}$ 、 $1.2\ \text{kV}$ 、 $1.7\ \text{kV}$ 、 $3.3\ \text{kV}$ 、 $5.5\ \text{kV}$ 、 $13\ \text{kV}$ 、或 $20\ \text{kV}$ 的崩潰電壓。

【0074】為了在可以包括多個子層的 III-V 磊晶層 720 的某些部分之間提供導電性，在此實例中形成從 III-V 磊晶層 720 的頂部表面通入磊晶單晶矽層 620 的

一組通孔724。通孔724可以襯有絕緣層（未圖示），使得通孔724與III-V磊晶層720絕緣。作為實例，可以藉由提供穿過通孔的歐姆接觸而使用此等通孔來將二極體或電晶體的電極連接到下方的矽層，從而緩和元件中的電荷積累。

【0075】 假使在單晶矽層122上生長III-V磊晶層，則穿過通孔獲得此類歐姆接觸會是困難的，因為在單晶矽層122中終止通孔蝕刻將是困難的：例如可靠地在整個晶圓上蝕穿5 μm 的GaN，並在0.3 μm 的矽層中終止蝕刻。利用本發明的實施例可以提供厚度幾微米的單晶矽層，此舉在使用佈植和剝離製程之下是困難的，因為實現大的佈植深度需要高的佈植能量。接著，厚的矽層致能諸如能夠實現各式各樣元件設計的所說明通孔的應用。

【0076】 除了藉由在單晶矽層122上磊晶生長單晶矽層620來增加矽「層」的厚度之外，可以對單晶矽層122的原始特性進行其它調整，包括導電性、結晶度等的修改。例如，假使在另外磊晶生長III-V層或其它材料之前需要在10 μm 數量級的矽層，則可以依據本發明的實施例生長此類厚層。

【0077】 因為佈植製程會影響單晶矽層122的性質，例如殘餘的硼/氫原子會影響矽的電性質，故本發明的實施例在磊晶生長單晶矽層620之前移除一部分的單晶矽層122。例如，可以將單晶矽層122薄化以形成厚度0.1 μm 或更薄的層，從而移除大部分或所有的殘餘硼/氫原子。

然後使用隨後生長的單晶矽層 620 來提供電及 / 或其它性質基本上與使用層轉移製程形成的層的相應性質無關的單晶材料。

【0078】除了增加耦接到工程基板結構的單晶矽材料的厚度之外，磊晶單晶矽層 620 的電性質（包括導電性）可以不同於單晶矽層 122 的電性質。在生長期間摻雜磊晶單晶矽層 620 可以藉由使用硼摻雜來產生 p 型矽，並藉由使用磷摻雜來產生 n 型矽。可以生長未摻雜的矽以提供在具有絕緣區域的元件中使用的高電阻率矽。尤其，可將絕緣層用於 RF 元件。

【0079】可以在生長期間調整磊晶單晶矽層 620 的晶格常數以改變單晶矽層 122 的晶格常數而產生應變的磊晶材料。除了矽之外，還可以磊晶生長其它元素來提供層，包括含有矽鍺的應變層或類似物。例如，可以在單晶矽層 122 上、磊晶單晶矽層 620 上、或層之間生長緩衝層，以增強隨後的磊晶生長。此等緩衝層可以包括應變 III-V 層、矽鍺應變層等。另外，緩衝層和其它磊晶層可以以莫耳分率、摻雜劑、極性等分級。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0080】在一些實施例中，存在於單晶矽層 122 或磊晶單晶矽層 620 中的應變可以在後續磊晶層（包括 III-V 磊晶層）的生長期間被鬆弛。

【0081】第 8 圖為圖示依據本發明之另一實施例製造工程基板的方法之簡化流程圖。該方法包括藉由提供多晶

陶瓷芯（810）、形成耦接到該多晶陶瓷芯的至少一部分的第一黏合層（812）來形成支撐結構。該第一黏合層可以包括正矽酸四乙酯（TEOS）層。該方法還包括形成耦接到該第一黏合層的導電層（814）。導電層可以是多晶矽層。該第一黏合層可被形成為TEOS的單層。該導電層可被形成為多晶矽的單層。

【0082】 該方法還包括形成耦接到導電層的至少一部分的第二黏合層（816）、以及形成阻障殼（818）。該第二黏合層可被形成為TEOS的單層。該阻障殼可被形成為氮化矽的單層或一系列形成阻障殼的子層。

【0083】 一旦藉由製程810-818形成了支撐結構，該方法還包括將結合層（例如氧化矽層）結合於支撐結構（820）並將實質單晶矽層或實質單晶層結合於氧化矽層（822）。結合層的結合可以包括如本文所述沉積結合材料，隨後進行平坦化製程。

【0084】 可以使用層轉移製程來將實質單晶矽層122結合於結合層120。在一些實施例中，矽晶圓（例如矽（111）晶圓）被佈植而形成分裂面。在晶圓結合之後，矽基板可與分裂面下方的單晶矽層部分一起被移出，從而產生第1圖圖示的剝離單晶矽層122。可以改變實質單晶矽層122的厚度來滿足各種應用的規格。此外，可以改變實質單晶層122的晶體方向來滿足應用的規格。另外，可以改變實質單晶層122中的摻雜水平和分佈來滿足特定

應用的規格。在一些實施例中，可以將實質單晶矽層122光滑化，如上所述。

【0085】第8圖圖示的方法還可以包括藉由在該實質單晶矽層上磊晶生長而形成磊晶矽層(824)、以及藉由在該磊晶矽層上磊晶生長而形成磊晶III-V層(826)。在一些實施例中，該磊晶III-V層可以包含氮化鎵(GaN)。

【0086】應當理解的是，第8圖圖示的具體步驟提供了依據本發明之另一實施例製造工程基板的特定方法。還可以依據替代實施例來執行其他的步驟順序。例如，本發明的替代實施例可以以不同的順序執行上述步驟。此外，第8圖圖示的各個步驟可以包括可以以單個步驟適合的各種順序執行的多個子步驟。另外，可以視特定應用來添加或移除附加步驟。所屬技術領域中具有通常知識者將認可許多的變化、修改及替代。

【0087】還應當理解的是，本文描述的實例和實施例僅用於說明的目的，而且鑒於該等實例和實施例，各種修改或變化將是所屬技術領域中具有通常知識之人士可聯想到的，而且將被包括在本申請的精神和範圍及所附申請專利範圍的範疇內。

【符號說明】

【0088】

100 工程基板

110 芯

1 1 2 第一黏合層
1 1 4 導電層
1 1 6 第二黏合層
1 1 8 阻障層
1 2 0 結合層
1 2 2 實質單晶矽層
1 3 0 磊晶材料
3 0 0 工程基板
3 1 4 導電層
3 1 6 第二黏合層
3 1 7 平面
4 1 2 第一黏合層
4 1 4 導電層
4 1 6 第二黏合層
4 1 8 阻障層
5 0 0 方法
6 0 0 磊晶 / 工程基板結構
6 1 0 工程基板結構
6 2 0 矽磊晶層
7 1 0 工程基板結構
7 2 0 III-V 磊晶層
7 2 4 通孔

【生物材料寄存】

【 0 0 8 9 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 0 9 0 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【第1項】 一種基板，包含：

一支撐結構，包含：

一多晶陶瓷芯；

一第一黏合層，耦接到該多晶陶瓷芯；

一導電層，耦接到該第一黏合層；

一第二黏合層，耦接到該導電層；及

一阻障層，耦接到該第二黏合層；

一氧化矽層，耦接到該支撐結構；

一實質單晶矽層，耦接到該氧化矽層；

一磊晶 III-V 層，耦接到該實質單晶矽層。

【第2項】 如請求項 1 所述之基板，其中該多晶陶瓷芯包含氮化鋁。

【第3項】 如請求項 2 所述之基板，其中該磊晶 III-V 層包含一磊晶氮化鎵層，該磊晶氮化鎵層具有約 5 μm 或更大的一厚度。

【第4項】 如請求項 2 所述之基板，其中：

該第一黏合層包封該多晶陶瓷芯；

該導電層包封該第一黏合層；

該第二黏合層包封該導電層；及

該阻障層包封該第二黏合層。

【第5項】 如請求項 1 所述之基板，其中該實質單晶矽

層包含厚度約 $0.5\ \mu\text{m}$ 的一剝離矽層。

【第6項】 如請求項 1 所述之基板，其中該實質單晶矽層包含一剝離矽層和生長在該剝離矽層上的一磊晶矽層，並且該實質單晶矽層具有約 $0.5\ \mu\text{m}$ 的一厚度。

【第7項】 如請求項 2 所述之基板，其中：

該第一黏合層包含包封該多晶陶瓷芯的一第一正矽酸四乙酯（TEOS）層；

該導電層包含包封該第一 TEOS 氧化物層的一多晶矽層；

該第二黏合層包含包封該多晶矽層的一第二 TEOS 層；及

該阻障層包含包封該第二 TEOS 層的一氮化矽層。

【第8項】 如請求項 7 所述之基板，其中：

該第一 TEOS 層具有約 $1000\ \text{\AA}$ 的一厚度；

該多晶矽層具有約 $3000\ \text{\AA}$ 的一厚度；

該第二 TEOS 層具有約 $1000\ \text{\AA}$ 的一厚度；及

該氮化矽層具有約 $4000\ \text{\AA}$ 的一厚度。

【第9項】 一種製造一基板的方法，該方法包含以下步驟：

藉由以下步驟形成一支撐結構：

提供一多晶陶瓷芯；

將該多晶陶瓷芯包封在一第一黏合殼中；

將該第一黏合殼包封在一導電殼中；

將該導電殼包封在一第二黏合殼中；及

將該第二黏合殼包封在一阻障殼中；

將一結合層結合到該支撐結構；

將一實質單晶矽層結合到該結合層；

藉由在該實質單晶矽層上磊晶生長而形成一磊晶矽層；以及

藉由在該磊晶矽層上磊晶生長而形成一磊晶 III-V 層。

【第10項】 如請求項 9 所述之方法，進一步包含形成從該磊晶 III-V 層通到該磊晶矽層的複數個通孔。

【第11項】 如請求項 9 所述之方法，其中該磊晶 III-V 層包含氮化鎵。

【第12項】 如請求項 9 所述之方法，其中：

該第一黏合殼包含一正矽酸四乙酯（TEOS）殼；

該導電殼包含一多晶矽殼；

該第二黏合殼包含一第二 TEOS 殼；

阻障材料包含一氮化矽殼；及

該結合層包含氧化矽。

【第13項】 如請求項 12 所述之方法，其中：

該第一 TEOS 殼包含一 TEOS 單層；

該多晶矽層包含一多晶矽單層；

該第二 TEOS 氧化物殼包含一 TEOS 單層；及
該氮化矽殼包含一氮化矽單層。

【第14項】 一種工程基板結構，包含：

一支撐結構，包含：

一多晶陶瓷芯；

一第一黏合層，耦接到該多晶陶瓷芯；

一導電層，耦接到該第一黏合層；

一第二黏合層，耦接到該導電層；及

一阻障殼，耦接到該第二黏合層；

一結合層，耦接到該支撐結構；

一實質單晶矽層，耦接到該結合層；以及

一磊晶單晶矽層，耦接到該實質單晶矽層。

【第15項】 如請求項14所述之工程基板結構，其中：

該多晶陶瓷芯包含多晶氮化鎵；

該第一黏合層包含正矽酸四乙酯（TEOS）；

該導電層包含多晶矽；

該第二黏合層包含 TEOS；

該阻障殼包含氮化矽；及

該結合層包含氧化矽。

【第16項】 如請求項14所述之工程基板結構，進一步
包含耦接到該磊晶單晶矽層的一磊晶 III-V 層。

【第17項】 如請求項16所述之工程基板結構，進一步

包含從該磊晶 III-V 層通到該磊晶單晶矽層的複數個通孔。

【第18項】 如請求項 14 所述之工程基板結構，進一步包含位於該實質單晶矽層與該磊晶單晶矽層之間的一個或更多個緩衝層。

【第19項】 如請求項 14 所述之工程基板結構，其中該磊晶單晶矽層具有應變。

【第20項】 如請求項 14 所述之工程基板結構，其中該磊晶單晶矽層之特徵在於在 $1\ \mu\text{m}$ 至 $20\ \mu\text{m}$ 範圍內的一厚度。

【第21項】 一種基板，包含：

- 一多晶陶瓷芯；
- 一第一黏合層，包封該多晶陶瓷芯；
- 一導電層，包封該第一黏合層；
- 一第二黏合層，包封該導電層；
- 一阻障層，包封該第二黏合層；
- 一結合層，耦接到該阻障層；及
- 一實質單晶矽層，耦接到該結合層。

【第22項】 如請求項 21 所述之基板，其中該多晶陶瓷芯包含多晶氮化鋁。

【第23項】 如請求項 21 所述之基板，其中該第一黏合層包含正矽酸四乙酯（TEOS）。

【第24項】 如請求項21所述之基板，其中該第一黏合層具有約1000 Å的一厚度。

【第25項】 如請求項21所述之基板，其中該導電層包含多晶矽。

【第26項】 如請求項21所述之基板，其中該導電層具有約3000 Å的一厚度。

【第27項】 如請求項21所述之基板，其中該第二黏合層包含正矽酸四乙酯（TEOS）。

【第28項】 如請求項21所述之基板，其中該第二黏合層具有約1000 Å的一厚度。

【第29項】 如請求項21所述之基板，其中該阻障層包含氮化矽。

【第30項】 如請求項21所述之基板，其中該阻障層具有約4000 Å的一厚度。

【第31項】 如請求項21所述之基板，其中該實質單晶矽層包含一剝離矽層。

【第32項】 如請求項21所述之基板，其中該實質單晶矽層具有約0.5 μm的一厚度。

【第33項】 一種製造一基板的方法，該方法包含以下步驟：

提供一多晶陶瓷芯；

將該多晶陶瓷芯包封在一第一黏合殼中；

將該第一黏合殼包封在一導電殼中；

將該導電殼包封在一第二黏合殼中；

將該第二黏合殼包封在一阻障殼中；

將一結合層結合到該阻障殼；及

將一單晶矽層結合到該結合層。

【第34項】 如請求項33所述之方法，其中該多晶陶瓷芯包含多晶氮化鋁。

【第35項】 如請求項33所述之方法，其中該第一黏合殼包含正矽酸四乙酯（TEOS）。

【第36項】 如請求項33所述之方法，其中該導電殼包含多晶矽。

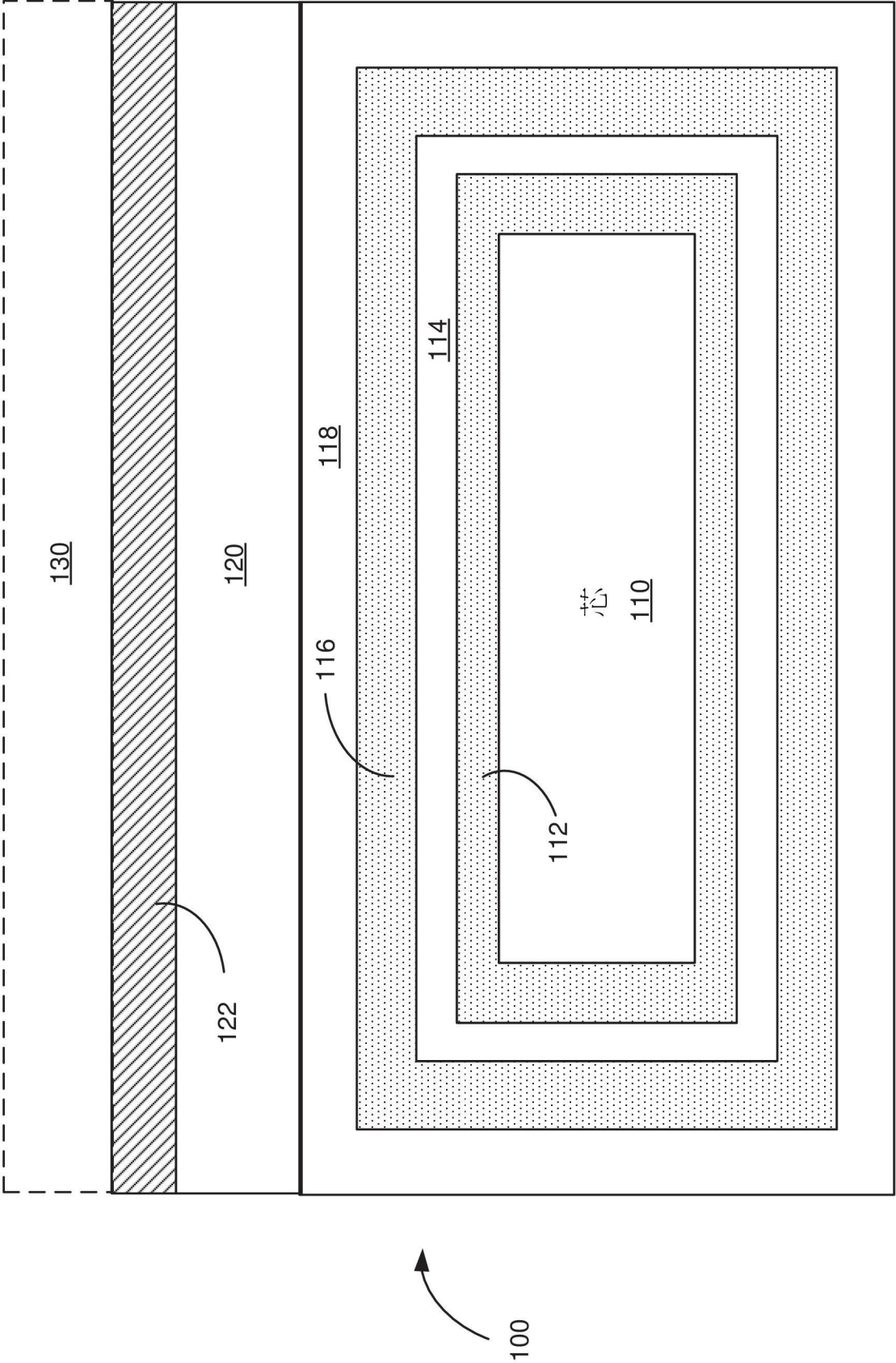
【第37項】 如請求項33所述之方法，其中該第二黏合殼包含正矽酸四乙酯（TEOS）。

【第38項】 如請求項33所述之方法，其中該阻障殼包含氮化矽。

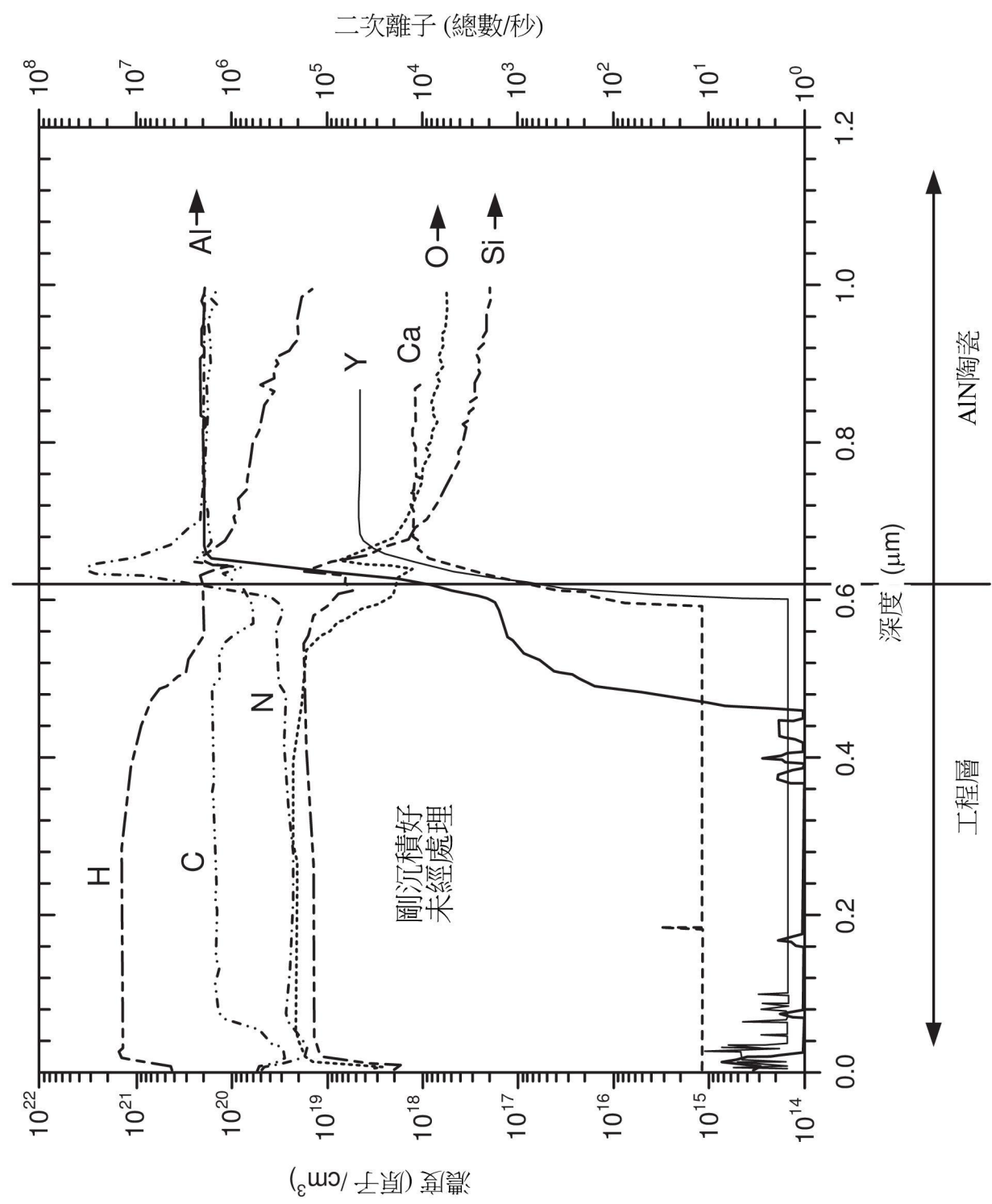
【第39項】 如請求項33所述之方法，其中結合該單晶矽層包含從一絕緣體上矽晶圓進行一層轉移製程。

【第40項】 如請求項39所述之方法，進一步包含將該實質單晶矽層光滑化。

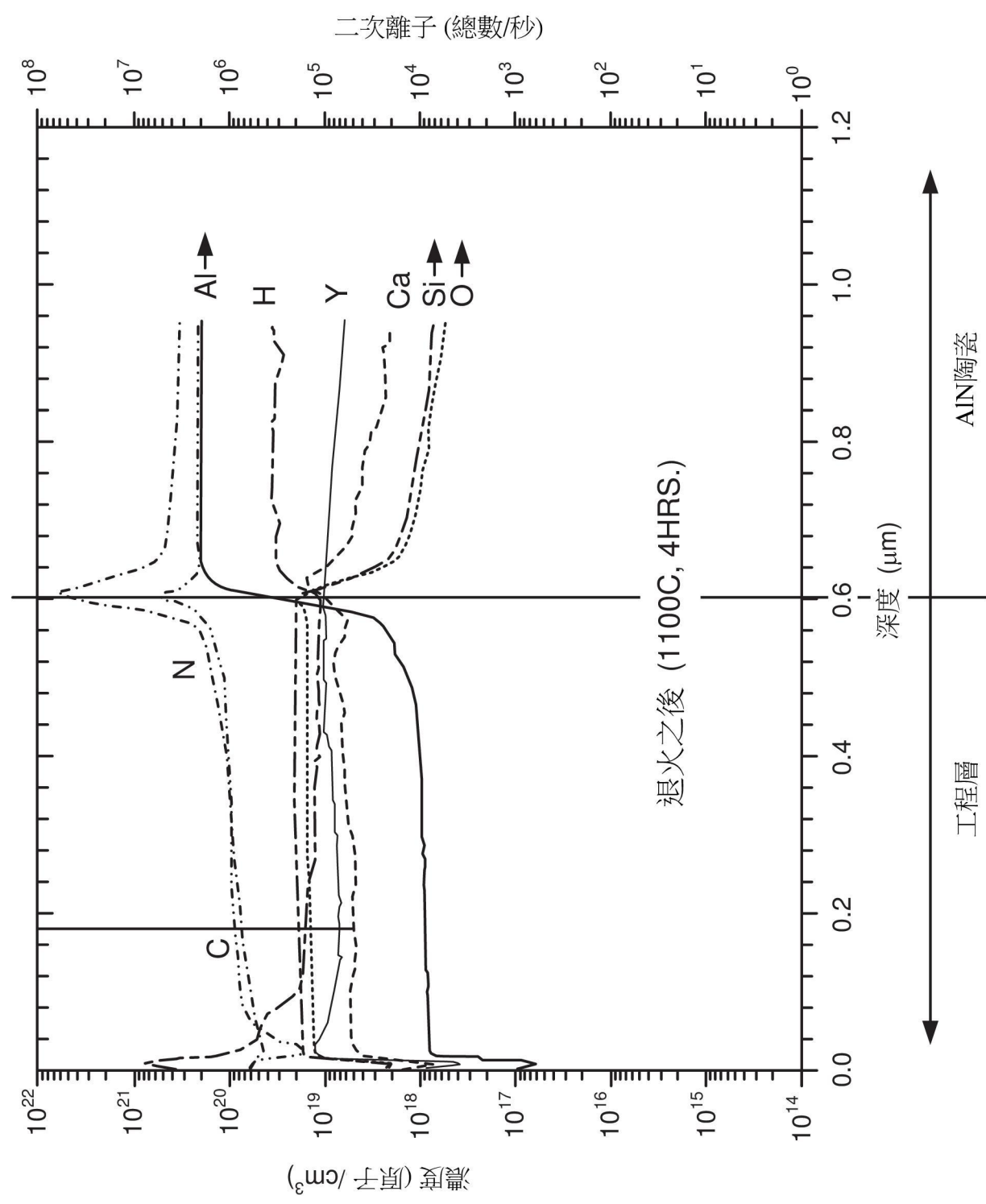
【發明圖式】



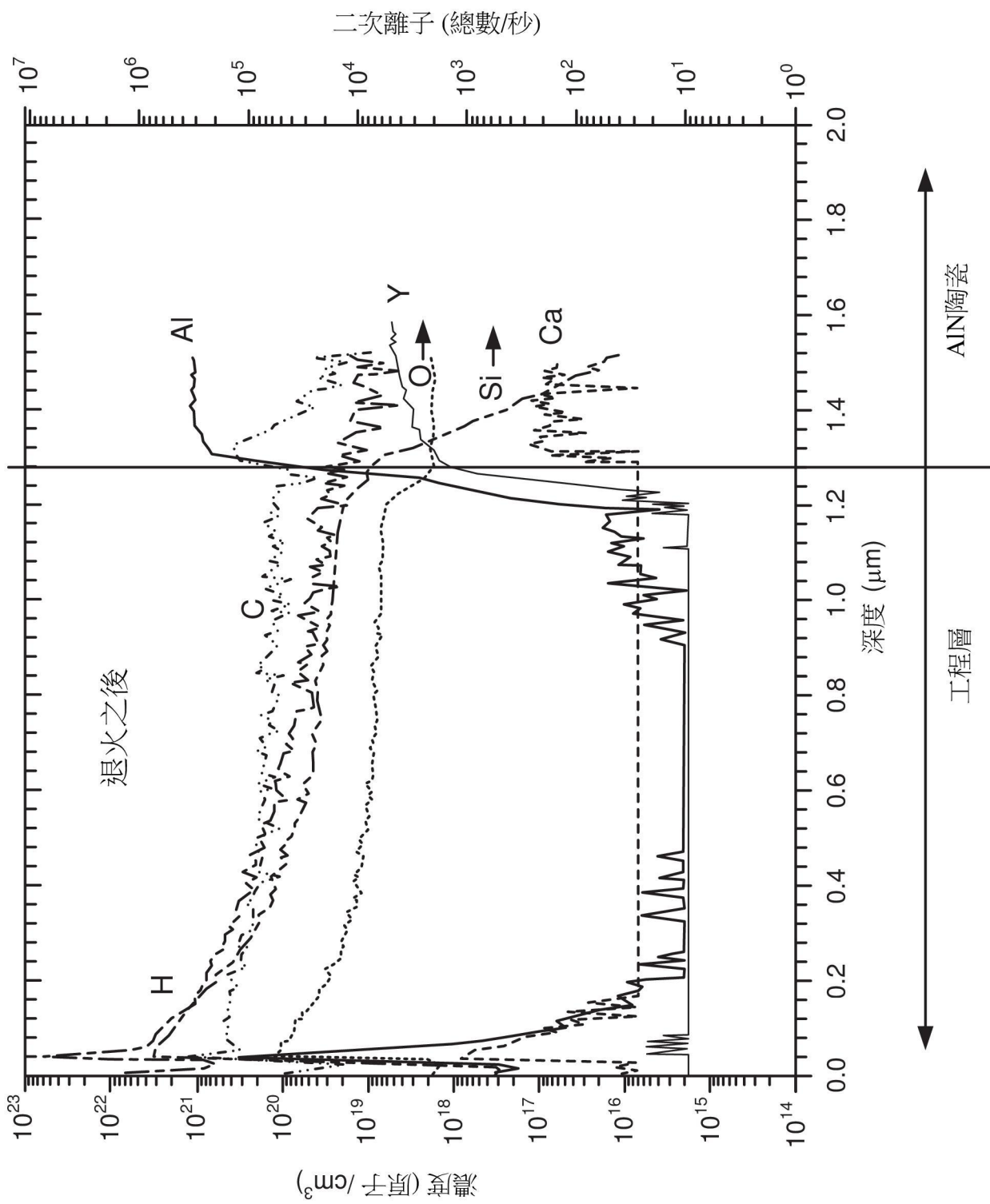
第1圖



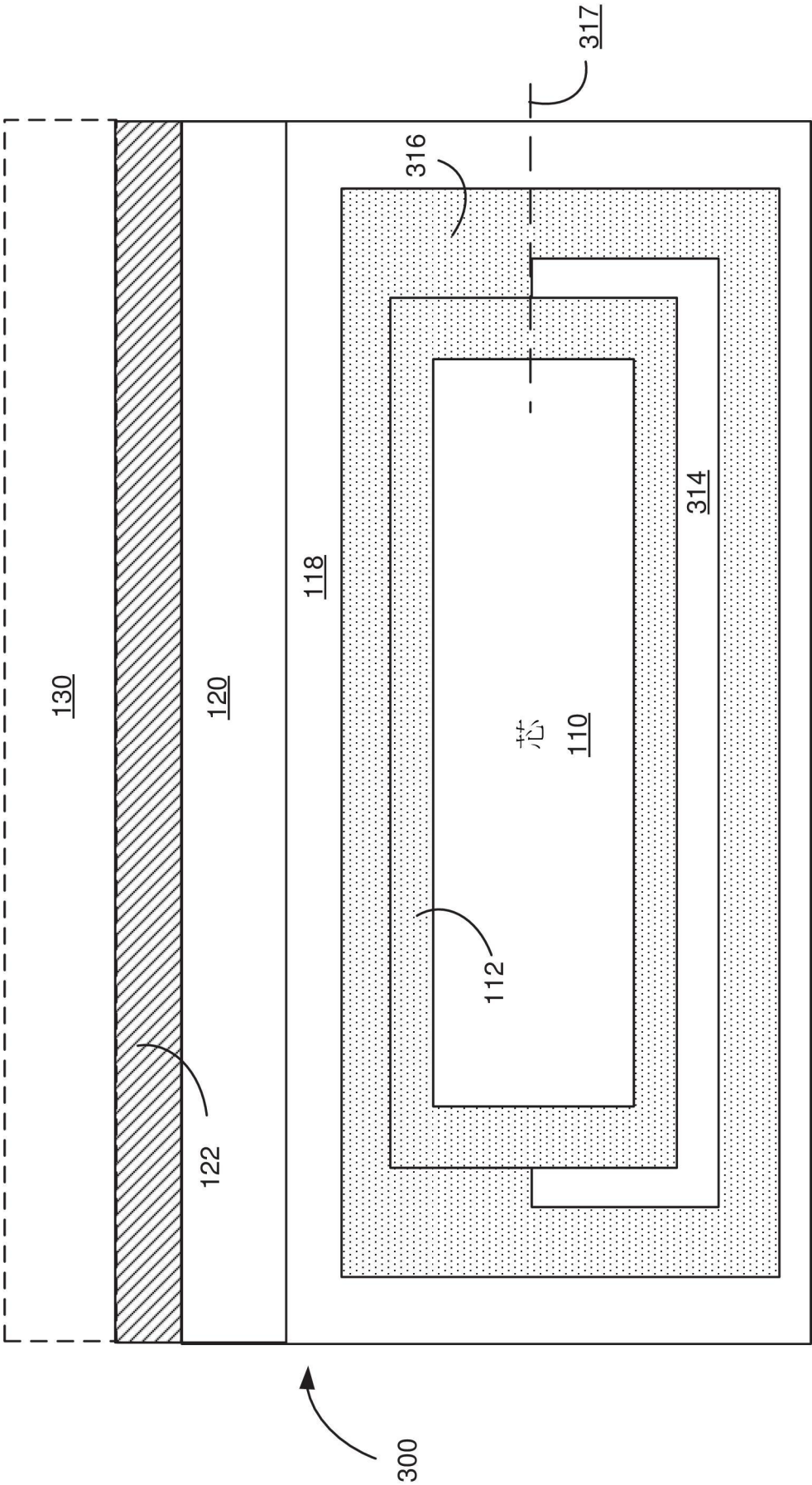
第2A圖



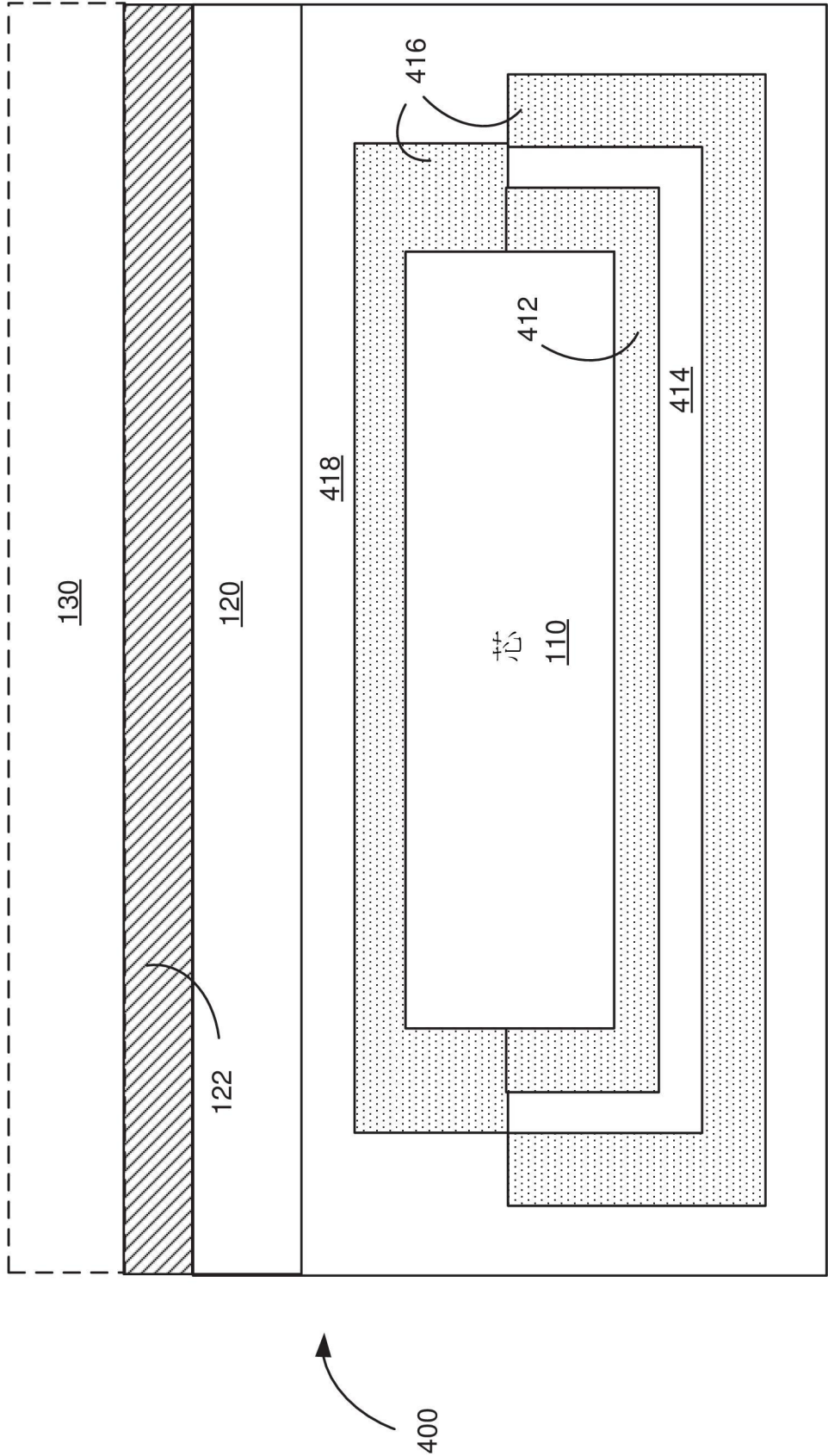
第2B圖



第2C圖

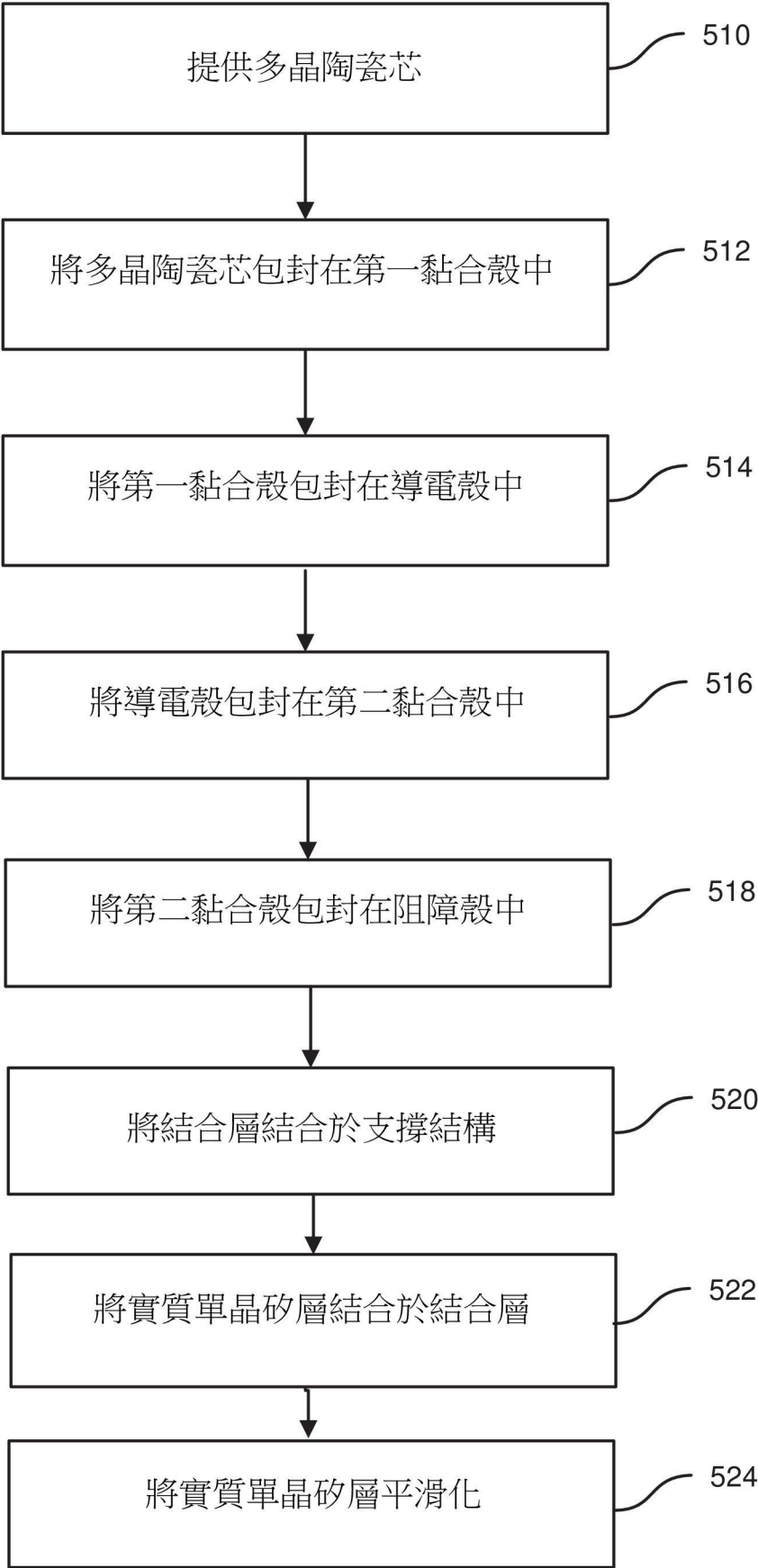


第3圖

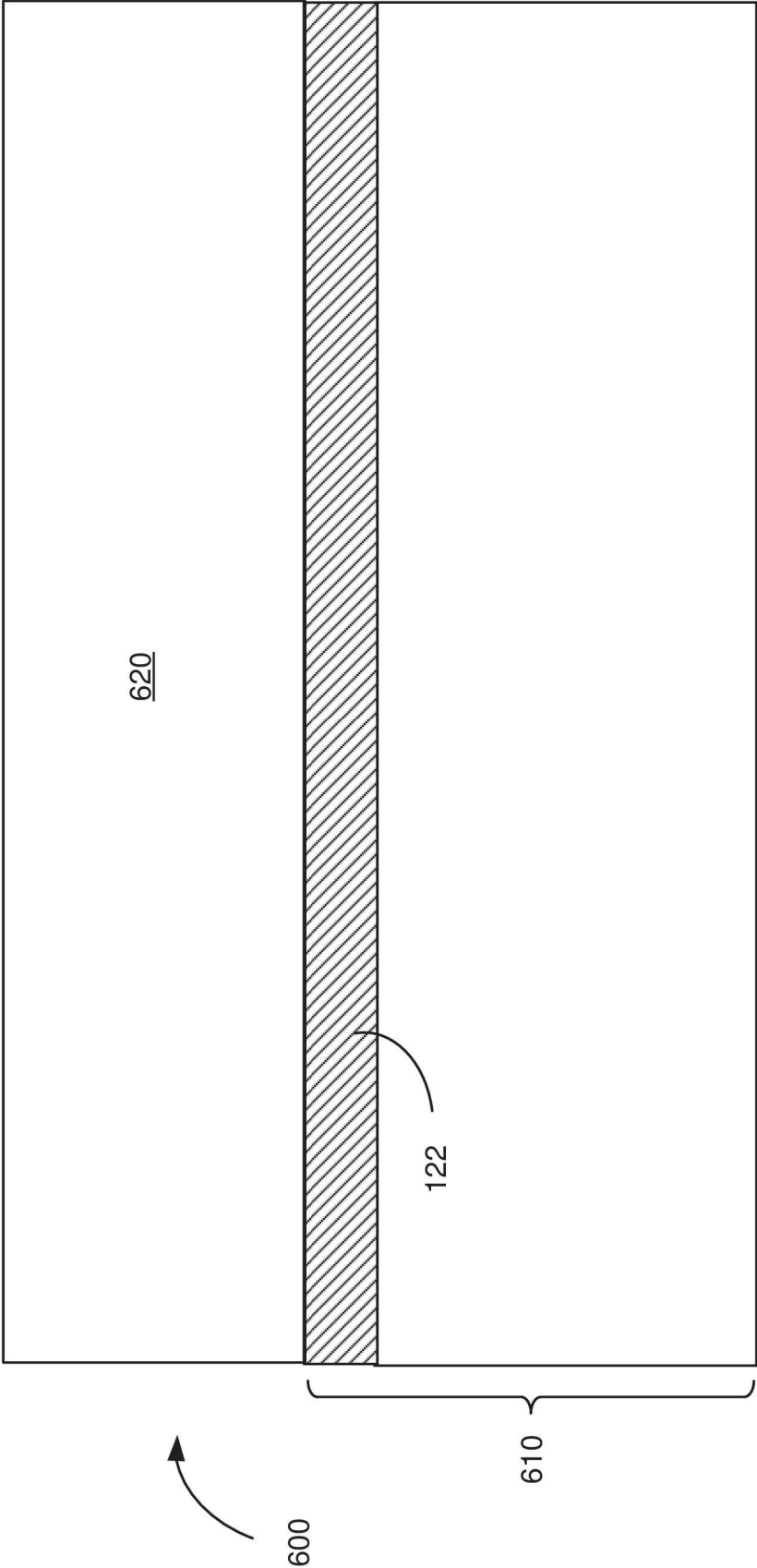


第4圖

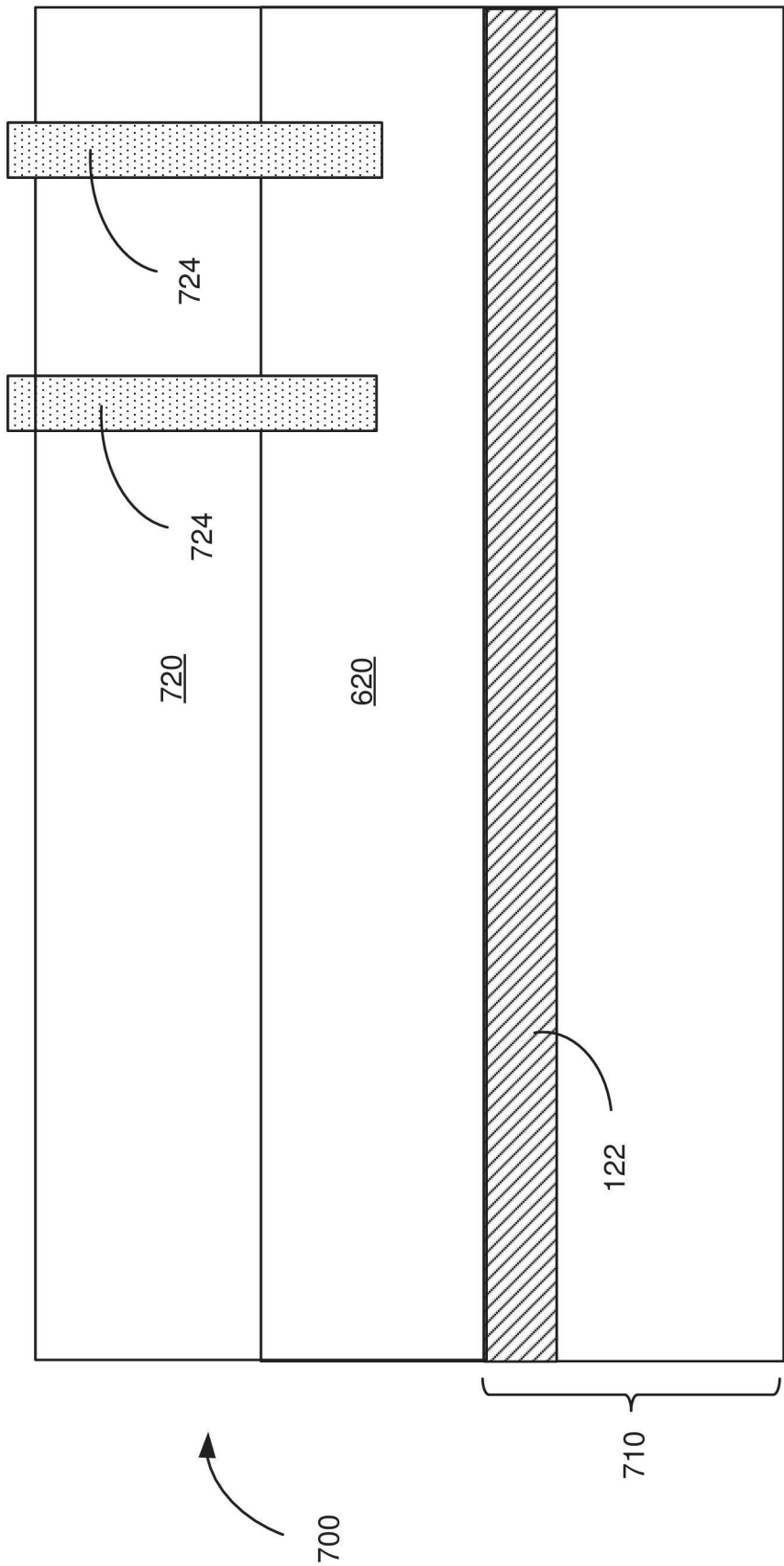
500



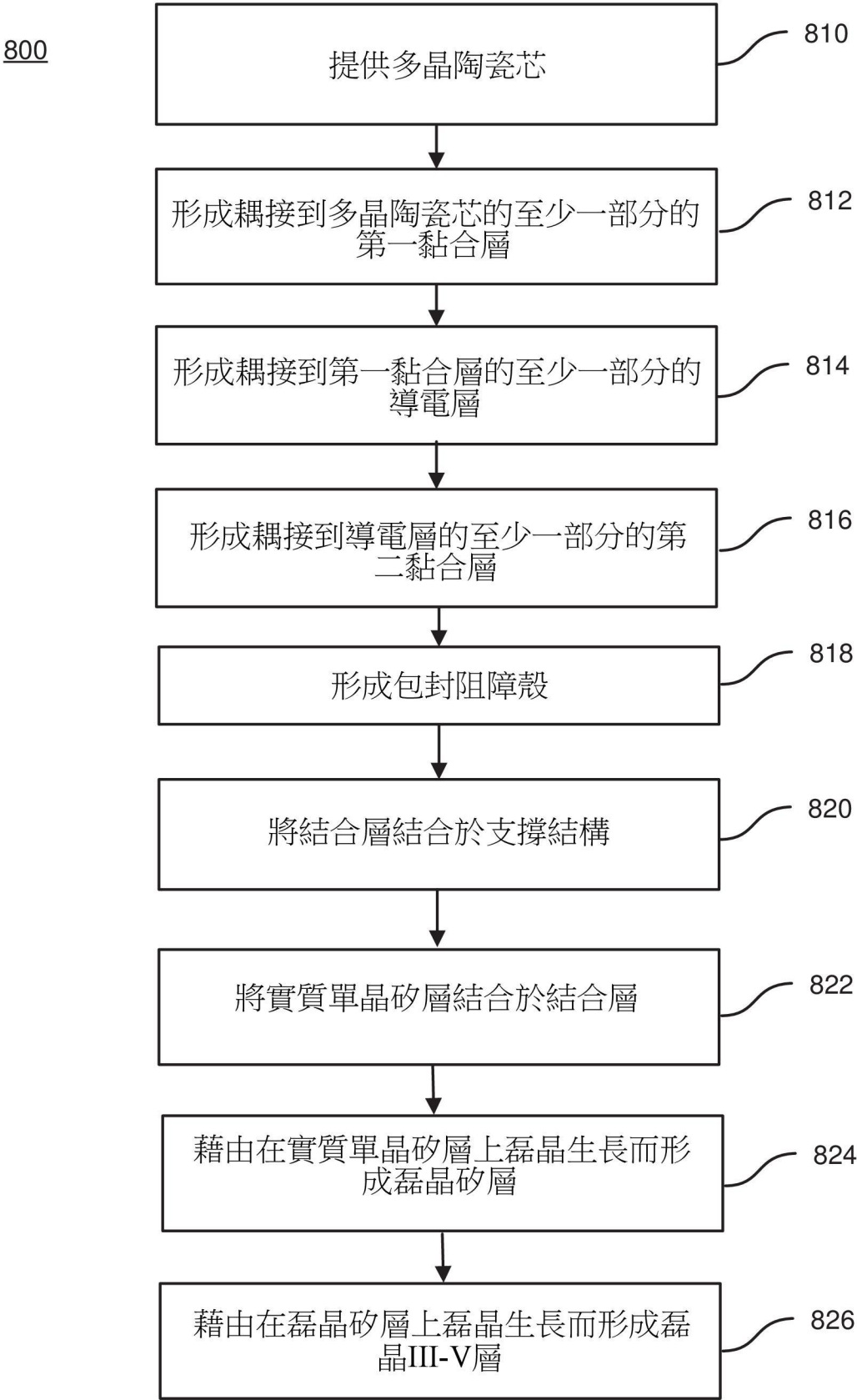
第5圖



第6圖



第7圖



第8圖