



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0056710
(43) 공개일자 2023년04월27일

- (51) 국제특허분류(Int. Cl.)
H01L 27/092 (2006.01) G02F 1/1362 (2006.01)
H01L 29/786 (2006.01) H10K 59/121 (2023.01)
- (52) CPC특허분류
H01L 27/092 (2013.01)
G02F 1/1362 (2013.01)
- (21) 출원번호 10-2023-7009125
- (22) 출원일자(국제) 2021년08월17일
심사청구일자 없음
- (85) 번역문제출일자 2023년03월16일
- (86) 국제출원번호 PCT/IB2021/057541
- (87) 국제공개번호 WO 2022/043826
국제공개일자 2022년03월03일
- (30) 우선권주장
JP-P-2020-143219 2020년08월27일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
요시모토 사토시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
쿠스노키 코지
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
장훈

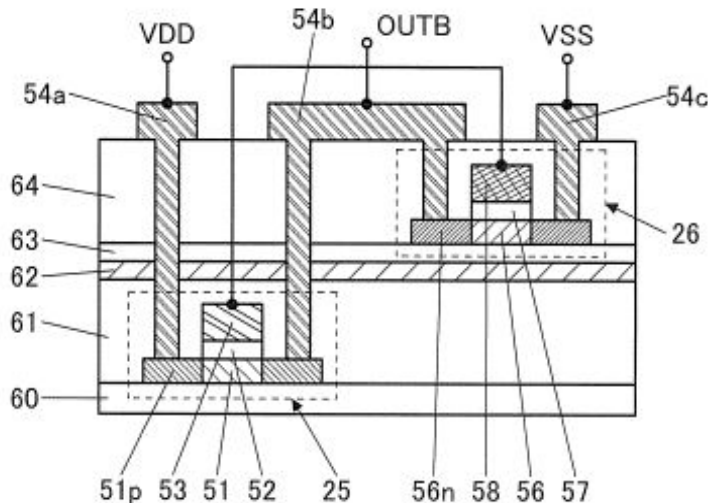
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **반도체 장치, 표시 장치, 및 전자 기기**

(57) 요약

기능성이 높은 반도체 장치를 제공한다. 반도체 장치는 제 1 트랜지스터, 제 2 트랜지스터를 갖는다. 제 1 트랜지스터는 제 1 반도체층, 제 1 게이트 전극, 제 1 전극, 및 제 2 전극을 갖는다. 제 2 트랜지스터는 제 2 반도체층, 제 2 게이트 전극, 제 3 전극, 및 제 4 전극을 갖는다. 제 1 게이트 전극과 제 2 게이트 전극이 접속되고, 제 2 전극과 제 3 전극이 접속된다. 제 1 반도체층 위에 제 1 절연층, 제 2 절연층, 제 2 반도체층이 적층된다. 제 1 절연층은 제 2 절연층보다 수소가 확산되기 어렵다. 제 2 절연층은 산화물을 포함하고, 제 1 반도체층은 다결정 실리콘을 포함하고, 제 2 반도체층은 금속 산화물을 포함한다. 제 1 트랜지스터는 p형 트랜지스터이고, 제 2 트랜지스터는 n형 트랜지스터이다.

대표도



(52) CPC특허분류

H01L 29/78672 (2013.01)

H01L 29/7869 (2013.01)

H10K 59/1213 (2023.02)

(72) 발명자

와타나베 카즈노리

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

가와시마 스스무

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

히야마 마리나

일본 310-0913 이바라키켄 미토시 미가와쵸
2563-452

사이토 모토히루

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치로서,

제 1 트랜지스터와 제 2 트랜지스터를 갖고,

상기 제 1 트랜지스터는 제 1 반도체층, 제 1 게이트 전극, 제 1 전극, 및 제 2 전극을 갖고,

상기 제 2 트랜지스터는 제 2 반도체층, 제 2 게이트 전극, 제 3 전극, 및 제 4 전극을 갖고,

상기 제 1 게이트 전극과 상기 제 2 게이트 전극은 서로 전기적으로 접속되고,

상기 제 2 전극과 상기 제 3 전극은 서로 전기적으로 접속되고,

상기 제 1 반도체층 위의 제 1 절연층과, 상기 제 1 절연층 위의 제 2 절연층을 갖고,

상기 제 2 반도체층은 상기 제 2 절연층 위에 접하여 제공되고,

상기 제 1 절연층은 상기 제 2 절연층보다 수소가 확산되기 어렵고,

상기 제 2 절연층은 산화물을 포함하고,

상기 제 1 반도체층은 다결정 실리콘을 포함하고,

상기 제 2 반도체층은 금속 산화물을 포함하고,

상기 제 1 트랜지스터는 p형 트랜지스터이고,

상기 제 2 트랜지스터는 n형 트랜지스터인, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 전극에는 제 1 전위가 공급되고,

상기 제 4 전극에는 상기 제 1 전위보다 낮은 제 2 전위가 공급되는, 반도체 장치.

청구항 3

반도체 장치로서,

제어 회로와, 제 1 트랜지스터와, 제 2 트랜지스터를 갖고,

상기 제어 회로는 제 1 배선과 제 2 배선을 갖고,

상기 제어 회로에는 복수의 신호가 공급되고,

상기 제어 회로는 상기 복수의 신호에 기초하여 상기 제 1 배선과 상기 제 2 배선에 서로 반전된 전위가 공급되도록 제어하는 기능을 갖고,

상기 제 1 트랜지스터는 제 1 반도체층, 제 1 게이트 전극, 제 1 전극, 및 제 2 전극을 갖고,

상기 제 2 트랜지스터는 제 2 반도체층, 제 2 게이트 전극, 제 3 전극, 및 제 4 전극을 갖고,

상기 제 2 전극과 상기 제 3 전극은 서로 전기적으로 접속되고,

상기 제 1 게이트 전극 및 상기 제 2 게이트 전극은 상기 제 1 배선과 전기적으로 접속되고,

상기 제 1 반도체층 위의 제 1 절연층과, 상기 제 1 절연층 위의 제 2 절연층을 갖고,

상기 제 2 반도체층은 상기 제 2 절연층 위에 접하여 제공되고,

상기 제 1 절연층은 상기 제 2 절연층보다 수소가 확산되기 어렵고,
 상기 제 2 절연층은 산화물을 포함하고,
 상기 제 1 반도체층은 다결정 실리콘을 포함하고,
 상기 제 2 반도체층은 금속 산화물을 포함하고,
 상기 제 1 트랜지스터는 p형 트랜지스터이고,
 상기 제 2 트랜지스터는 n형 트랜지스터인, 반도체 장치.

청구항 4

제 3 항에 있어서,
 상기 제 1 전극에는 제 1 전위가 공급되고,
 상기 제 4 전극에는 상기 제 1 전위보다 낮은 제 2 전위가 공급되고,
 상기 제 2 전극에는 상기 제 1 배선의 전위에 따라 상기 제 1 전위 및 상기 제 2 전위 중 어느 한쪽이 공급되는, 반도체 장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,
 증폭 회로를 갖고,
 상기 증폭 회로는 상기 제 1 배선 및 상기 제 2 배선과 전기적으로 접속되고,
 상기 증폭 회로는 제 1 출력 단자를 갖고,
 상기 증폭 회로는 상기 제 1 배선의 전위와 동기한 전위를 상기 제 1 출력 단자에 출력하는 기능을 갖고,
 상기 제 1 출력 단자의 전위와 상기 제 2 전극의 전위는 서로 반전된 전위인, 반도체 장치.

청구항 6

제 5 항에 있어서,
 상기 증폭 회로는 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터를 갖고,
 상기 제 3 트랜지스터는 p형 트랜지스터이고,
 상기 제 4 트랜지스터 및 상기 제 5 트랜지스터는 n형 트랜지스터이고,
 상기 제 3 트랜지스터의 게이트 및 상기 제 5 트랜지스터의 게이트는 각각 상기 제 2 배선과 전기적으로 접속되고,
 상기 제 4 트랜지스터는 게이트가 상기 제 1 배선과 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽, 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽, 그리고 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 출력 단자와 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽과 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속되는, 반도체 장치.

청구항 7

표시 장치로서,
 제 1 항 내지 제 6 항 중 어느 한 항에 기재된 반도체 장치와, 화소를 갖고,
 상기 화소는 표시 소자 및 제 6 트랜지스터를 갖고,
 상기 제 6 트랜지스터는 상기 제 1 트랜지스터 또는 상기 제 2 트랜지스터와 동일한 면 위에 제공되는, 표시 장

치.

청구항 8

제 7 항에 있어서,

상기 표시 소자는 액정 소자, 유기 EL 소자, 또는 발광 다이오드인, 표시 장치.

청구항 9

전자 기기로서,

제 7 항 또는 제 8 항에 기재된 표시 장치와,

안테나, 배터리, 하우징, 카메라, 스피커, 마이크로폰, 및 조작 버튼 중 적어도 하나를 갖는, 전자 기기.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 반도체 장치에 관한 것이다. 본 발명의 일 형태는 표시 장치에 관한 것이다. 본 발명의 일 형태는 표시 장치의 구동 회로에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다. 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다.

배경 기술

[0003] 표시 장치는 스마트폰 등의 휴대 정보 단말기, 텔레비전 장치 등을 비롯하여 다양한 기기에 적용되어 있다. 근년에는 표시 장치가 적용된 기기의 화면 점유율의 향상이 요구되고, 이를 위하여 표시 장치는 표시부 이외의 영역을 좁게 하는(슬림 베젤화하는) 것이 요구되고 있다. 또한, 구동 회로의 일부 또는 모두를 화소부와 같은 기관 위에 제작하는 시스템 온 패널(system-on-panel)은 상기 요구를 만족시키기 위하여 유효하다. 특허문헌 1 및 특허문헌 2에는 표시 장치의 구동 회로에 사용되는 인버터 회로 또는 시프트 레지스터 회로 등을 단극성 트랜지스터로 구성하는 기술에 대하여 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개특허공보 특개2001-325798호
(특허문헌 0002) 일본 공개특허공보 특개2010-277652호

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 형태는 기능성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 반도체 장치, 표시 장치, 또는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 소비 전력이 저감된 반도체 장치, 표시 장치, 또는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 표시 장치의 슬림 베젤화를 실현할 수 있는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신규 구성을 갖는 반도체 장치, 표시 장치, 또는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 선행기술의 문제점들 중 적어도 하나를 적어도 경감하는 것을 과제 중 하나로 한다.

[0006] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 과제

모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 추출할 수 있다.

과제의 해결 수단

[0007] 본 발명의 일 형태는 제 1 트랜지스터와 제 2 트랜지스터를 갖는 반도체 장치이다. 제 1 트랜지스터는 제 1 반도체층, 제 1 게이트 전극, 제 1 전극, 및 제 2 전극을 갖는다. 제 2 트랜지스터는 제 2 반도체층, 제 2 게이트 전극, 제 3 전극, 및 제 4 전극을 갖는다. 제 1 게이트 전극과 제 2 게이트 전극은 서로 전기적으로 접속된다. 제 2 전극과 제 3 전극은 서로 전기적으로 접속된다. 반도체 장치는 제 1 반도체층 위의 제 1 절연층과, 상기 제 1 절연층 위의 제 2 절연층을 더 갖는다. 제 2 반도체층은 제 2 절연층 위에 접하여 제공된다. 제 1 절연층은 제 2 절연층보다 수소가 확산되기 어렵다. 제 2 절연층은 산화물을 포함하고, 제 1 반도체층은 다결정 실리콘을 포함하고, 제 2 반도체층은 금속 산화물을 포함한다. 제 1 트랜지스터는 p형 트랜지스터이고, 제 2 트랜지스터는 n형 트랜지스터이다.

[0008] 또한, 상기에서, 제 1 전극에는 제 1 전위가 공급되고, 제 4 전극에는 제 1 전위보다 낮은 제 2 전위가 공급되는 것이 바람직하다.

[0009] 또한, 본 발명의 다른 일 형태는 제어 회로와, 제 1 트랜지스터와, 제 2 트랜지스터를 갖는 반도체 장치이다. 제어 회로는 제 1 배선과 제 2 배선을 갖는다. 또한, 제어 회로에는 복수의 신호가 공급되고, 상기 복수의 신호에 기초하여 제 1 배선과 제 2 배선에 서로 반전된 전위가 공급되도록 제어하는 기능을 갖는다. 제 1 트랜지스터는 제 1 반도체층, 제 1 게이트 전극, 제 1 전극, 및 제 2 전극을 갖는다. 제 2 트랜지스터는 제 2 반도체층, 제 2 게이트 전극, 제 3 전극, 및 제 4 전극을 갖는다. 제 2 전극과 제 3 전극은 서로 전기적으로 접속된다. 제 1 게이트 전극 및 제 2 게이트 전극은 제 1 배선과 전기적으로 접속된다. 반도체 장치는 제 1 반도체층 위의 제 1 절연층과, 상기 제 1 절연층 위의 제 2 절연층을 더 갖는다. 제 2 반도체층은 제 2 절연층 위에 접하여 제공된다. 제 1 절연층은 제 2 절연층보다 수소가 확산되기 어렵다. 제 2 절연층은 산화물을 포함하고, 제 1 반도체층은 다결정 실리콘을 포함하고, 제 2 반도체층은 금속 산화물을 포함한다. 제 1 트랜지스터는 p형 트랜지스터이고, 제 2 트랜지스터는 n형 트랜지스터이다.

[0010] 또한, 상기에서, 제 1 전극에는 제 1 전위가 공급되고, 제 4 전극에는 제 1 전위보다 낮은 제 2 전위가 공급되는 것이 바람직하다. 또한, 제 2 전극에는 제 1 배선의 전위에 따라 제 1 전위 및 제 2 전위 중 어느 한쪽이 공급되는 것이 바람직하다.

[0011] 또한, 상기 중 어느 형태에 있어서, 증폭 회로를 더 갖는 것이 바람직하다. 이때 증폭 회로는 제 1 배선 및 제 2 배선과 전기적으로 접속되고, 제 1 출력 단자를 갖는 것이 바람직하다. 또한, 증폭 회로는 제 1 배선의 전위와 동기한 전위를 제 1 출력 단자에 출력하는 기능을 갖는 것이 바람직하다. 이때 제 1 출력 단자의 전위와 제 2 전극의 전위는 서로 반전된 전위인 것이 바람직하다.

[0012] 또한, 상기에서, 증폭 회로는 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터를 갖는 것이 바람직하다. 제 3 트랜지스터는 p형 트랜지스터이고, 제 4 트랜지스터 및 제 5 트랜지스터는 n형 트랜지스터인 것이 바람직하다. 또한, 제 3 트랜지스터의 게이트 및 제 5 트랜지스터의 게이트는 각각 제 2 배선과 전기적으로 접속되고, 제 4 트랜지스터는 게이트가 제 1 배선과 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽, 제 4 트랜지스터의 소스 및 드레인 중 한쪽, 그리고 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 출력 단자와 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽과 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속되는 것이 바람직하다.

[0013] 또한, 본 발명의 다른 일 형태는 상기 어느 반도체 장치와, 화소를 갖는 표시 장치이다. 이때 화소는 표시 소자 및 제 6 트랜지스터를 갖는 것이 바람직하다. 또한, 제 6 트랜지스터는 제 1 트랜지스터 또는 제 2 트랜지스터와 동일한 면 위에 제공되는 것이 바람직하다. 또한, 표시 소자는 액정 소자, 유기 EL 소자, 또는 발광 다이오드인 것이 바람직하다.

[0014] 또한, 본 발명의 다른 일 형태는 상기 어느 표시 장치와, 안테나, 배터리, 하우징, 카메라, 스피커, 마이크로폰, 및 조작 버튼 중 적어도 하나를 갖는 전자 기기이다.

발명의 효과

[0015] 본 발명의 일 형태에 따르면 기능성이 높은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면 신뢰

성이 높은 반도체 장치, 표시 장치, 또는 전자 기기를 제공할 수 있다. 본 발명의 일 형태에 따르면 소비 전력이 저감된 반도체 장치, 표시 장치, 또는 전자 기기를 제공할 수 있다. 본 발명의 일 형태에 따르면 표시 장치의 슬림 베젤화를 실현할 수 있는 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면 신규 구성을 갖는 반도체 장치, 표시 장치, 또는 전자 기기를 제공할 수 있다. 본 발명의 일 형태에 따르면 선행기술의 문제점들 중 적어도 하나를 적어도 경감할 수 있다.

[0016] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 효과 모두를 반드시 가질 필요는 없다. 또한, 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 추출할 수 있다.

도면의 간단한 설명

[0017] 도 1의 (A)는 순서 회로의 구성예를 나타낸 도면이다. 도 1의 (B)는 순서 회로의 타이밍 차트이다. 도 1의 (C)는 순서 회로의 단면 개략도이다.

도 2의 (A) 및 (B)는 순서 회로의 구성예를 나타낸 도면이다.

도 3의 (A) 및 (B)는 순서 회로의 구성예를 나타낸 도면이다.

도 4는 순서 회로의 구성예를 나타낸 도면이다.

도 5의 (A) 및 (B)는 순서 회로의 구성예를 나타낸 도면이다.

도 6의 (A) 및 (B)는 순서 회로의 구성예를 나타낸 도면이다.

도 7의 (A)는 순서 회로의 구성예를 나타낸 도면이다. 도 7의 (B)는 시프트 레지스터의 회로도이다. 도 7의 (C)는 타이밍 차트이다.

도 8의 (A)는 시프트 레지스터의 회로도이다. 도 8의 (B)는 인버터 회로의 회로도이다.

도 9의 (A)는 표시 장치의 블록도이다. 도 9의 (B)는 화소의 회로도이다.

도 10의 (A)는 인버터 회로의 상면 개략도이다. 도 10의 (B)는 인버터 회로의 단면 개략도이다.

도 11의 (A) 내지 (C)는 인버터 회로의 단면 개략도이다.

도 12의 (A)는 표시 장치의 블록도이다. 도 12의 (B) 및 (C)는 화소 회로의 회로도이다.

도 13의 (A) 및 (B)는 표시 모듈의 구성예를 도시한 도면이다.

도 14의 (A) 및 (B)는 전자 기기의 구성예를 도시한 도면이다.

도 15의 (A) 내지 (E)는 전자 기기의 구성예를 도시한 도면이다.

도 16의 (A) 내지 (G)는 전자 기기의 구성예를 도시한 도면이다.

도 17의 (A) 내지 (D)는 전자 기기의 구성예를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서, 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0019] 또한, 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략한다. 또한, 같은 기능을 갖는 부분을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0020] 또한, 본 명세서에서 설명하는 각 도면에서 각 구성 요소의 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다.

[0021] 또한, 본 명세서 등에서의 '제 1', '제 2' 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙이는 것이며, 수적으로 한정하는 것은 아니다.

- [0022] 트랜지스터는 반도체 소자의 일종이며, 전류 또는 전압의 증폭 및 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서 트랜지스터는 IGFET(Insulated Gate Field Effect Transistor) 또는 박막 트랜지스터(TFT: Thin Film Transistor) 등을 포함한다.
- [0023] 또한 '소스' 및 '드레인'의 기능은 상이한 극성의 트랜지스터를 채용하는 경우 또는 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 그러므로, 본 명세서에서는 '소스' 및 '드레인'이라는 용어는 서로 바뀌 사용할 수 있는 것으로 한다.
- [0024] 또한, 본 명세서 등에서 '전기적으로 접속'에는 '어떠한 전기적 작용을 갖는 것'을 통하여 접속되어 있는 경우가 포함된다. 여기서 '어떠한 전기적 작용을 갖는 것'은 접속 대상 간에서의 전기 신호의 주고받음을 가능하게 하는 것이면 특별히 제한을 받지 않는다. 예를 들어 '어떠한 전기적 작용을 갖는 것'에는 전극 및 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 코일, 용량 소자, 이 이외의 각종 기능을 갖는 소자 등이 포함된다.
- [0025] 또한, 본 명세서 등에서 노드란 회로를 구성하는 소자들의 전기적 접속을 가능하게 하는 소자(예를 들어 배선 등)를 말한다. 따라서, "A가 접속된 노드"란 A와 전기적으로 접속되고, 또한 전위가 A와 같다고 간주할 수 있는 배선을 말한다. 또한, 배선의 중간에 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드 등)가 하나 이상 배치되어 있어도, 전위가 A와 같으면 그 배선은 A가 접속된 노드인 것으로 한다.
- [0026] 본 명세서 등에서 표시 장치의 일 형태인 표시 패널은 표시면에 화상 등을 표시(출력)하는 기능을 갖는 것이다. 따라서, 표시 패널은 출력 장치의 일 형태이다.
- [0027] 또한, 본 명세서 등에서는 표시 패널의 기판에 예를 들어 FPC(Flexible Printed Circuit) 또는 TCP(Tape Carrier Package) 등의 커넥터가 장착된 것, 또는 기판에 COG(Chip On Glass) 방식 등에 의하여 IC가 실장된 것을 표시 패널 모듈, 표시 모듈, 또는 단순히 표시 패널 등이라고 부르는 경우가 있다.
- [0028] (실시형태 1)
- [0029] 본 실시형태에서는 본 발명의 일 형태에서의 반도체 장치의 구성예에 대하여 설명한다.
- [0030] [구성예 1]
- [0031] 도 1의 (A)에 본 발명의 일 형태에서의 순서 회로(10)의 구성예를 나타내었다. 순서 회로(10)는 회로(11), 회로(12), 및 회로(13)를 갖는다. 회로(11)는 배선(15a) 및 배선(15b)을 갖는다. 회로(11)와 회로(12)는 배선(15a) 및 배선(15b)을 통하여 전기적으로 접속되어 있다. 회로(11)와 회로(13)는 배선(15a)을 통하여 전기적으로 접속되어 있다.
- [0032] 회로(11)는 신호(LIN)의 전위 및 신호(RIN)의 전위에 따라 배선(15a)에 제 1 신호를 출력하고, 배선(15b)에 제 2 신호를 출력하는 기능을 갖는다. 즉, 회로(11)는 제어 회로라고 부를 수도 있다.
- [0033] 제 2 신호는 제 1 신호를 반전한 신호이다. 즉, 제 1 신호와 제 2 신호가 각각 고전위와 저전위의 2종류의 전위를 갖는 신호인 경우, 회로(11)로부터 배선(15a)에 고전위가 출력되면 배선(15b)에 저전위가 출력되고, 배선(15a)에 저전위가 출력되면 배선(15b)에 고전위가 출력된다.
- [0034] 회로(12)는 배선(15a) 및 배선(15b)에 입력되는 신호에 기초하여 출력 단자(OUTA)에 신호(CLK) 및 전위(VSS) 중 어느 한쪽을 출력하는 기능을 갖는다. 회로(12)는 배선(15a)이 고전위인 경우에는 신호(CLK)를 출력하고, 저전위인 경우에는 전위(VSS)를 출력한다. 회로(12)는 증폭 회로 또는 버퍼 회로 등이라고 부를 수 있다.
- [0035] 신호(CLK)로서 클록 신호를 사용할 수 있다. 상기 클록 신호는 듀티비(신호의 1주기의 기간에서의 하이 레벨 전위인 기간의 비율)가 45% 이상 55% 이하인 신호를 적합하게 사용할 수 있다. 더 바람직하게는 클록 신호로서 듀티비가 50%인 신호를 사용할 수 있다. 또한, 클록 신호의 듀티비는 상기에 한정되지 않고, 구동 방법에 따라 적절히 변경할 수 있다.
- [0036] 또한, 본 명세서 등에서 클록 신호란 고전위와 저전위가 반복되고, 또한 전위의 상승과 전위의 다음 상승의 간격, 또는 전위의 하강과 전위의 다음 하강의 간격이 일정한 신호를 가리킨다. 또한, 본 명세서 등에서 펄스 신호란 시간적으로 전위가 변화되는 신호를 가리킨다. 또한, 펄스 신호에는 주기적으로 전위가 변화되는 신호가 포함된다. 예를 들어 펄스 신호에는 구형파, 삼각파, 톱니파, 정현파 등 주기적으로 전위가 변화되는 신호가

포함된다. 그러므로, 클럭 신호는 펄스 신호의 일 형태라고 할 수도 있다.

- [0037] 여기서 전위(VDD)는 전위(VSS)보다 높은 전위로 할 수 있다. 신호(CLK)는 고전위와 저전위가 번갈아 공급되는 신호이다. 이때 신호(CLK)의 저전위는 전위(VSS)와 같은 전위로 하는 것이 바람직하다. 또한, 신호(CLK) 대신에 고전위(예를 들어 전위(VDD))를 트랜지스터(21)의 소스 및 드레인 중 한쪽에 공급하는 구성으로 하여도 좋다.
- [0038] 회로(13)는 배선(15a)의 전위에 따라 출력 단자(OUTB)에 전위(VDD) 및 전위(VSS) 중 어느 한쪽을 출력하는 기능을 갖는다. 회로(13)는 배선(15a)이 고전위인 경우에는 저전위인 전위(VSS)를 출력하고, 저전위인 경우에는 고전위인 전위(VDD)를 출력한다. 즉, 회로(13)는 제 1 신호를 반전한 신호를 출력 단자(OUTB)에 출력할 수 있다. 바꿔 말하면, 회로(13)는 제 2 신호와 같은 신호를 출력 단자(OUTB)에 출력할 수 있다. 회로(13)는 인버터 회로 등이라고 부를 수 있다.
- [0039] 순서 회로(10)는 플립플롭 회로로서 기능하고, 시프트 레지스터 회로의 일부에 사용될 수 있다. 예를 들어 순서 회로(10)는 표시 장치의 구동 회로의 일부에 사용될 수 있다. 특히 표시 장치의 주사선 구동 회로(게이트 드라이버 회로라고도 함)의 일부에 적합하게 사용될 수 있다.
- [0040] 순서 회로(10)를 주사선 구동 회로에 적용하는 경우, 출력 단자(OUTA) 및 출력 단자(OUTB) 중 적어도 한쪽 또는 양쪽과, 표시 장치의 복수의 화소와 접속되는 주사선(게이트선이라고도 함)을 접속할 수 있다. 출력 단자(OUTA) 및 출력 단자(OUTB)의 양쪽에 각각 주사선을 접속하는 구성으로 함으로써, 화소를 2종류의 주사선 신호로 구동할 수 있게 되기 때문에, 더 많은 기능을 갖는 화소를 실현할 수 있다.
- [0041] 회로(11)는 트랜지스터(31) 내지 트랜지스터(34)를 갖는다. 트랜지스터(31) 내지 트랜지스터(34)에는 n채널형 트랜지스터를 적용하는 것이 바람직하다.
- [0042] 트랜지스터(31)와 트랜지스터(34)는 신호(LIN)의 전위에 따라 도통 또는 비도통이 선택된다. 트랜지스터(32)와 트랜지스터(33)는 신호(RIN)의 전위에 따라 도통 또는 비도통이 선택된다.
- [0043] 신호(LIN)가 고전위이고 신호(RIN)가 저전위인 경우, 트랜지스터(31)가 도통 상태가 되고 트랜지스터(33)가 비도통 상태가 되어, 배선(15a)과 전위(VDD)가 공급되는 배선이 전기적으로 접속된다. 또한, 트랜지스터(34)가 도통 상태가 되고 트랜지스터(32)가 비도통 상태가 되어, 배선(15b)과 전위(VSS)가 공급되는 배선이 전기적으로 접속된다. 한편으로, 신호(LIN)가 저전위이고 신호(RIN)가 고전위인 경우, 각 트랜지스터의 도통 상태, 비도통 상태가 상기와 반대가 되어, 배선(15a)은 전위(VSS)가 공급되는 배선과 전기적으로 접속되고 배선(15b)은 전위(VDD)가 공급되는 배선과 전기적으로 접속된다.
- [0044] 회로(12)는 트랜지스터(21) 및 트랜지스터(22)를 갖는다. 트랜지스터(21) 및 트랜지스터(22)에는 n채널형 트랜지스터를 적용하는 것이 바람직하다.
- [0045] 회로(12)에 있어서, 트랜지스터(21)에서는 게이트가 배선(15a)과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 신호(CLK)가 공급되는 배선과 전기적으로 접속되고, 다른 쪽이 트랜지스터(22)의 소스 및 드레인 중 한쪽 그리고 출력 단자(OUTA)와 전기적으로 접속된다. 트랜지스터(22)에서는 게이트가 배선(15b)과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 전위(VSS)가 공급되는 배선과 전기적으로 접속된다. 또한, 출력 단자(OUTA)는 회로(12)로부터의 출력 전위가 공급되는 부분이고, 배선의 일부 또는 전극의 일부이어도 좋다.
- [0046] 회로(12)에서, 배선(15a)이 고전위이고 배선(15b)이 저전위인 경우, 출력 단자(OUTA)에는 트랜지스터(21)를 통하여 신호(CLK)가 출력된다. 한편으로, 배선(15a)이 저전위이고 배선(15b)이 고전위인 경우, 출력 단자(OUTA)에는 트랜지스터(22)를 통하여 전위(VSS)가 출력된다.
- [0047] 회로(13)는 트랜지스터(25) 및 트랜지스터(26)를 갖는다. 트랜지스터(25)에는 p채널형 트랜지스터(p형 트랜지스터)를 적용하고, 트랜지스터(26)에는 n채널형 트랜지스터(n형 트랜지스터)를 적용하는 것이 바람직하다.
- [0048] 회로(13)에 있어서, 트랜지스터(25)에서는 게이트가 배선(15a)과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 전위(VDD)가 공급되는 배선과 전기적으로 접속되고, 다른 쪽이 트랜지스터(26)의 소스 및 드레인 중 한쪽 그리고 출력 단자(OUTB)와 전기적으로 접속된다. 트랜지스터(26)에서는 게이트가 배선(15a)과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 전위(VSS)가 공급되는 배선과 전기적으로 접속된다. 또한, 출력 단자(OUTB)는 회로(13)로부터의 출력 전위가 공급되는 부분이고, 배선의 일부 또는 전극의 일부이어도 좋다.
- [0049] 회로(13)에서, 배선(15a)이 고전위인 경우, 출력 단자(OUTB)에는 트랜지스터(26)를 통하여 전위(VSS)가 출력된

다. 한편으로, 배선(15a)이 저전위인 경우, 출력 단자(OUTB)에는 트랜지스터(25)를 통하여 전위(VDD)가 출력된다.

- [0050] 도 1의 (B)는 순서 회로(10)의 구동 방법의 일례를 나타낸 타이밍 차트이다. 도 1의 (B)에는 신호(LIN), 신호(RIN), 신호(CLK), 출력 단자(OUTA), 및 출력 단자(OUTB)에서의 전위의 시간 변화를 모식적으로 나타내었다.
- [0051] 시각 T1 전에는 신호(LIN)와 신호(RIN)는 모두 저전위이다. 시각 T1 전에 있어서 신호(CLK)의 전위와 상관없이 출력 단자(OUTA)에는 저전위가 출력되고, 출력 단자(OUTB)에는 고전위가 출력된다.
- [0052] 시각 T1에는 신호(LIN)가 고전위가 된다. 또한, 기간 T1-T2에는 신호(CLK)는 저전위인 것으로 한다. 이로써, 기간 T1-T2에 있어서 출력 단자(OUTA)에는 신호(CLK)(즉, 저전위)가 출력되고, 출력 단자(OUTB)에는 저전위가 출력된다.
- [0053] 이어서, 시각 T2에는 신호(LIN)가 저전위가 된다. 이로써, 회로(11) 내의 4개의 트랜지스터는 모두 오프 상태가 되기 때문에, 배선(15a) 및 배선(15b)의 전위는 유지된다. 또한, 신호(CLK)는 시각 T2에 고전위로 변화된다. 이로써, 기간 T2-T3에 있어서 출력 단자(OUTA)에는 고전위가 출력되고, 출력 단자(OUTB)에는 저전위가 계속 출력된다.
- [0054] 이어서, 시각 T3에는 신호(RIN)가 고전위가 된다. 이로써, 배선(15a)이 저전위가 되고, 배선(15b)이 고전위가 된다. 그러므로, 기간 T3-T4에 있어서 출력 단자(OUTA)에는 저전위가 공급되고, 출력 단자(OUTB)에는 고전위가 공급된다.
- [0055] 시각 T4에는 신호(RIN)가 저전위가 된다. 이로써, 회로(11) 내의 트랜지스터는 모두 오프 상태가 되기 때문에, 배선(15a) 및 배선(15b)의 전위는 유지된다. 그러므로, 시각 T4 이후에 있어서, 출력 단자(OUTA)에는 저전위가 출력되고, 출력 단자(OUTB)에는 고전위가 출력된다.
- [0056] 시각 T1 전 및 시각 T4 이후에는 신호(LIN)와 신호(RIN)는 모두 저전위이기 때문에, 순서 회로(10)가 대기 상태(비동작 상태 또는 비선택 상태라고도 함)인 기간이라고 할 수도 있다. 상기 기간에 있어서, 출력 단자(OUTA)에는 저전위가 출력되고, 출력 단자(OUTB)에는 고전위가 출력된다.
- [0057] 도 1의 (B)에 나타낸 바와 같이, 출력 단자(OUTA)에 출력되는 신호는 기간 T2-T3에만 고전위가 되고, 그 이외의 기간에는 항상 저전위가 되는 신호이다. 즉, 순서 회로(10)의 출력 단자(OUTA)에 출력되는 신호는 노멀리 로(Normally Low)의 신호라고 할 수 있다. 한편으로, 출력 단자(OUTB)에 출력되는 신호는 기간 T1-T3에만 저전위가 되고, 그 이외의 기간에는 항상 고전위가 되는 신호이다. 즉, 출력 단자(OUTB)에 출력되는 신호는 노멀리 하이(Normally High)의 신호라고 할 수 있다. 이와 같이, 순서 회로(10)는 노멀리 로와 노멀리 하이의 2종류의 신호를 출력할 수 있기 때문에, 순서 회로(10)를 예를 들어 표시 장치의 주사선 구동 회로로서 사용한 경우, 표시 장치의 화소를 상기 2종류의 신호로 구동할 수 있다. 그러므로, 다기능의 표시 장치를 실현할 수 있다.
- [0058] 여기까지가 순서 회로(10)의 동작 방법의 일례에 대한 설명이다.
- [0059] 여기서 순서 회로(10)를 구성하는 n채널형 트랜지스터로서, 채널이 형성되는 반도체층에 산화물 반도체가 적용된 트랜지스터를 사용하는 것이 바람직하다. 이러한 트랜지스터는 오프 상태에서의 소스-드레인 간을 흐르는 누설 전류가 실리콘을 적용한 트랜지스터와 비교하여 현저하게 낮다. 이러한 트랜지스터를 회로(11), 회로(12), 및 회로(13)에 적용함으로써, 각각의 소비 전력을 매우 낮게 할 수 있다.
- [0060] 또한, 순서 회로(10)를 구성하는 p채널형 트랜지스터로서, 채널이 형성되는 반도체층에 실리콘을 갖는 트랜지스터를 사용하는 것이 바람직하다. 실리콘으로서는, 단결정 실리콘, 다결정 실리콘, 비정질 실리콘 등을 들 수 있다. 특히 반도체층에 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)을 갖는 트랜지스터(이하, LTPS 트랜지스터라고도 함)를 사용하는 것이 바람직하다. LTPS 트랜지스터는 전계 효과 이동도가 높고, 주파수 특성이 양호하다. 또한, LTPS 트랜지스터는 온 상태에서 흘릴 수 있는 전류가 크기 때문에, 출력 단자(OUTB)와 접속되는 배선의 충방전에 걸리는 시간을 단축할 수 있다. 이로써, 특히 회로(13)에서 n채널형 트랜지스터(26)와 p채널형 트랜지스터(25)로 CMOS(Complementary Metal Oxide Semiconductor) 회로를 구성함으로써, 구동 능력이 높고, 또한 소비 전력이 낮은 회로(13)를 실현할 수 있다.
- [0061] 순서 회로(10)에 적용할 수 있는 p채널형 트랜지스터와 n채널형 트랜지스터는 동일 기판 위에 제작되는 것이 바람직하다. 이하에서는, 순서 회로(10)의 적층 구조에 대하여 설명한다. 도 1의 (C)에는 일례로서 회로(13)가 갖는 트랜지스터(25)와 트랜지스터(26)의 채널 길이 방향의 단면을 포함하는 순서 회로(10)의 단면 개략도를 도

시하였다.

- [0062] 트랜지스터(25)와 트랜지스터(26)는 절연층(60) 위에 제공된다. 도 1의 (C)에는 트랜지스터(25) 및 트랜지스터(26)로서, 게이트 전극이 반도체층의 위쪽에 제공되는, 소위 톱 게이트형 트랜지스터가 적용된 예를 도시하였다. 또한, 트랜지스터의 구성은 이에 한정되지 않는다.
- [0063] 트랜지스터(25)는 반도체층(51), 게이트 절연층(52), 및 게이트 전극(53)을 갖는다. 반도체층(51)은 다결정 실리콘을 포함한다. 반도체층(51)은 채널 형성 영역을 끼우고 p형 도전성을 나타내는 한 쌍의 저저항 영역(51p)을 갖는다. 트랜지스터(26)는 반도체층(56), 게이트 절연층(57), 및 게이트 전극(58)을 갖는다. 반도체층(56)은 금속 산화물을 포함한다. 반도체층(56)은 채널 형성 영역을 끼우고 n형 도전성을 나타내는 한 쌍의 저저항 영역(56n)을 갖는다.
- [0064] 트랜지스터(25)의 반도체층(51)은 절연층(60) 위에 제공된다. 또한, 트랜지스터(25)를 덮어 절연층(61)이 제공되고, 절연층(61) 위에 절연층(62) 및 절연층(63)이 적층하여 제공된다. 트랜지스터(26)의 반도체층(56)은 절연층(63)의 상면과 접촉하여 제공된다. 또한, 트랜지스터(26)를 덮어 절연층(64)이 제공되어 있다.
- [0065] 절연층(64) 위에는 도전층(54a), 도전층(54b), 및 도전층(54c)이 제공되어 있다. 도전층(54a)의 일부는 전위(VDD)가 공급되는 배선에 상당한다. 도전층(54c)의 일부는 전위(VSS)가 공급되는 배선에 상당한다. 도전층(54b)의 일부는 출력 단자(OUTB)에 상당한다. 또한, 게이트 전극(53)과 게이트 전극(58)은 도시하지 않은 영역에서 전기적으로 접속된다.
- [0066] 절연층(64), 절연층(63), 절연층(62), 및 절연층(61)에 제공된 개구부에서, 도전층(54a) 및 도전층(54b)은 각각 저저항 영역(51p)과 전기적으로 접속되어 있다. 절연층(64)에 제공된 개구부에서, 도전층(54b)과 도전층(54c)은 각각 저저항 영역(56n)과 전기적으로 접속되어 있다.
- [0067] 여기서 다결정 실리콘은 실리콘의 덩글링 본드를 수소 원자로 중단함으로써 신뢰성이 향상되기 때문에, 반도체층(51) 및 그 주변(예를 들어 절연층(61) 등)에는 제작 공정 중에 포함되는 수소 원자, 수소 분자, 또는 수소를 포함하는 화합물(물 등)이 포함될 수 있다. 한편으로, 산화물 반도체에서 수소는 캐리어의 공급원이 될 수 있는 원소이기 때문에, 트랜지스터(26)의 반도체층(56) 내 및 그 주변에서의 수소 농도를 가능한 한 저감시키는 것이 바람직하다. 또한, 산화물 반도체에서 산소 결손도 캐리어의 공급원의 요인이 될 수 있기 때문에, 트랜지스터(26)의 반도체층(56)과 수소가 저장된 산화물이 접촉하여 제공되는 것이 바람직하다.
- [0068] 그러므로, 트랜지스터(25)의 반도체층(51)과 트랜지스터(26)의 반도체층(56)은 수소 및 물에 대한 배리어성을 갖는 절연층(62)에 의하여 격리되어 있는 것이 바람직하다. 또한, 트랜지스터(26)의 반도체층(56)은 산화물을 포함하는 절연층(63) 위에 접하여 제공되는 것이 바람직하다. 이때 절연층(62)은 적어도 절연층(61) 및 절연층(63)보다 수소 및 물에 대한 투과성이 낮은(수소 및 물을 투과시키기 어려운) 재료를 갖는다.
- [0069] 더 구체적으로는, 절연층(62)으로서는 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 또는 산화 하프늄을 포함하는 무기 절연막을 사용할 수 있다. 또한, 절연층(63)으로서는 산화 실리콘 또는 산화질화 실리콘 등의 산화물막을 사용할 수 있다. 이때 절연층(63)은 가열에 의하여 산소가 방출되는 막인 것이 바람직하다.
- [0070] 순서 회로(10)를 구성하는 2종류의 트랜지스터의 구성을 여기서 설명한 구성으로 함으로써, 높은 구동 능력과, 낮은 소비 전력과, 높은 신뢰성을 겸비한 순서 회로를 실현할 수 있다.
- [0071] 여기까지가 적층 구조에 대한 설명이다.
- [0072] [구성예 2]
- [0073] 이하에서는 상기 구성예 1과는 상이한 구성을 갖는 순서 회로에 대하여 설명한다.
- [0074] [구성예 2-1]
- [0075] 도 2의 (A)에는 순서 회로(10a)의 구성예를 나타내었다. 순서 회로(10a)와 상기 순서 회로(10)는 회로(11) 및 회로(12)의 구성이 주로 상이하다. 회로(13)의 구성에 대해서는 상기 순서 회로(10)의 구성과 같기 때문에 설명을 생략한다.
- [0076] 회로(11)는 트랜지스터(41) 내지 트랜지스터(46)와 용량 소자(C2)를 갖는다. 또한, 회로(11)에는 신호(LIN), 신호(CLK2), 신호(CLK3), 및 신호(RIN)가 입력된다.
- [0077] 회로(12)는 트랜지스터(21), 트랜지스터(22), 트랜지스터(23), 및 용량 소자(C1)를 갖는다. 또한, 회로(12)에

는 신호(CLK1)가 입력된다.

- [0078] 또한, 회로(11) 및 회로(13)에는 고전위인 전위(VDD)와 저전위인 전위(VSS)가 공급되어 있다.
- [0079] 트랜지스터(41) 내지 트랜지스터(46) 및 트랜지스터(21) 내지 트랜지스터(23)에는 상술한 n채널형 트랜지스터를 적용하는 것이 바람직하다. 특히 채널이 형성되는 반도체에 산화물 반도체를 적용한 트랜지스터를 사용하는 것이 바람직하다.
- [0080] 회로(11)는 입력되는 각종 신호에 따라 배선(15a)에 제 1 신호를 출력하고, 배선(15b)에 제 1 신호를 반전한 제 2 신호를 출력하는 기능을 갖는다.
- [0081] 구체적으로는, 트랜지스터(41)에서는 게이트가 신호(LIN)가 공급되는 배선과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(15a) 그리고 트랜지스터(45)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 전위(VDD)가 공급되는 배선과 전기적으로 접속되어 있다. 트랜지스터(42)에서는 게이트가 신호(CLK3)가 공급되는 배선과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 트랜지스터(43)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 전위(VDD)가 공급되는 배선과 전기적으로 접속되어 있다. 트랜지스터(43)에서는 게이트가 신호(CLK2)가 공급되는 배선과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 배선(15b), 용량 소자(C2)의 한쪽 전극, 및 트랜지스터(45)의 게이트와 전기적으로 접속되어 있다. 트랜지스터(44)에서는 게이트가 신호(RIN)가 공급되는 배선과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(15b)과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 전위(VDD)가 공급되는 배선과 전기적으로 접속되어 있다. 트랜지스터(45)에서는 소스 및 드레인 중 다른 쪽이 전위(VSS)가 공급되는 배선과 전기적으로 접속되어 있다. 트랜지스터(46)에서는 게이트가 신호(LIN)가 공급되는 배선과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(15b)과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 전위(VSS)가 공급되는 배선과 전기적으로 접속되어 있다. 용량 소자(C2)는 다른 쪽 전극이 전위(VSS)가 공급되는 배선과 전기적으로 접속되어 있다.
- [0082] 순서 회로(10a)가 갖는 회로(12)는 도 1의 (A)에 나타난 구성에 트랜지스터(23) 및 용량 소자(C1)를 추가한 구성이다.
- [0083] 트랜지스터(23)에서는 게이트가 전위(VDD)가 공급되는 배선과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(15a)과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스터(21)의 게이트와 전기적으로 접속되어 있다. 용량 소자(C1)에서는 한쪽 전극이 트랜지스터(21)의 게이트와 전기적으로 접속되고, 다른 쪽 전극이 트랜지스터(21)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되어 있다. 트랜지스터(21)의 소스 및 드레인 중 한쪽은 신호(CLK1)가 공급되는 배선과 전기적으로 접속되어 있다.
- [0084] 배선(15a)에 고전위가 공급되면, 트랜지스터(23)를 통하여 트랜지스터(21)의 게이트에 고전위가 공급되어, 트랜지스터(21)가 온 상태가 된다. 이때 배선(15a)에 공급되는 고전위와 전위(VDD)가 동일한 경우에는 트랜지스터(21)의 게이트에는 전위(VDD)로부터 트랜지스터(23)의 문턱 전압만큼 낮은 전위가 공급된다. 출력 단자(OUTA)와 트랜지스터(21)의 게이트는 용량 소자(C1)를 통하여 전기적으로 접속되기 때문에, 부트스트랩 효과에 의하여 출력 단자(OUTA)의 전위가 상승된다. 이에 따라, 트랜지스터(21)의 게이트의 전위(트랜지스터(23)의 소스 및 드레인 중 다른 쪽의 전위)가 상승된다. 트랜지스터(21)의 게이트의 전위는 예를 들어 전위(VDD)의 2배에 가까운 전위까지 상승되기 때문에, 트랜지스터(21)의 문턱 전압의 영향을 받지 않고, 출력 단자(OUTA)에는 전위(VDD)를 출력할 수 있다. 따라서, 전원 전위의 종류를 늘리지 않고, 출력 성능이 높은 순서 회로(10a)를 실현할 수 있다.
- [0085] 그 후, 트랜지스터(23)의 소스 및 드레인 중 다른 쪽 전위가 전위(VDD)를 초과하면 트랜지스터(23)가 오프 상태가 되기 때문에, 트랜지스터(21)의 게이트와 배선(15a)이 전기적으로 분리된 상태가 되어 트랜지스터(22)의 게이트가 플로팅 상태가 된다. 또한, 트랜지스터(23)가 오프 상태가 됨으로써, 배선(15a)의 전위는 회로(12)의 출력 전위로부터 상승되지 않기 때문에, 회로(12) 내의 트랜지스터 등에 배선(15a)을 통하여 출력 전위보다 높은 전위가 인가되는 것을 방지할 수 있다. 이로써, 순서 회로(10a)의 신뢰성을 높일 수 있다.
- [0086] [구성예 2-2]
- [0087] 도 2의 (B)에 순서 회로(10b)의 구성예를 나타내었다. 순서 회로(10b)와 상기 순서 회로(10a)는 트랜지스터의 구성이 상이하다.
- [0088] 순서 회로(10b)에서는 회로(11), 회로(12), 및 회로(13)가 갖는 n채널형 트랜지스터에 백 게이트를 갖는 트랜지

스터가 적용되어 있다.

- [0089] 트랜지스터(45) 및 트랜지스터(22)에서는 백 게이트가 전위(VSS)가 공급되는 배선과 전기적으로 접속되어 있다. 즉, 트랜지스터(45) 및 트랜지스터(22)에서는 백 게이트가 소스와 전기적으로 접속되는 구성을 갖는다.
- [0090] 여기서 순서 회로(10b)를 주사선 구동 회로에 사용하는 경우, 배선(15b)이 저전위인 기간보다 배선(15b)이 고전위인 기간이 현저하게 길어진다. 그러므로, 게이트가 배선(15b)과 접속되는 트랜지스터(45) 및 트랜지스터(22)에서는 오프 상태인 기간보다 온 상태인 기간이 현저하게 길어진다. 그러므로, 트랜지스터(45) 및 트랜지스터(22)는 다른 트랜지스터보다 문턱 전압의 변동이 생기기 쉬워진다. 구체적으로는, 트랜지스터의 문턱 전압이 플러스 방향으로 시프트되기 쉬워진다.
- [0091] 그러므로, 트랜지스터(45) 및 트랜지스터(22)를 반도체층을 사이에 끼워 중첩된 한 쌍의 게이트 중 한쪽의 게이트를 저전위가 공급되는 배선(전위(VSS)가 공급되는 배선)과 전기적으로 접속하는 구성으로 한다. 이러한 구성으로 함으로써, 트랜지스터(45) 및 트랜지스터(22)의 문턱 전압이 플러스 방향으로 시프트되는 것을 적절하게 억제할 수 있다. 따라서, 순서 회로(10b), 나아가서는 순서 회로(10b)를 사용한 반도체 장치, 표시 장치, 및 전자 기기 등의 신뢰성을 높일 수 있다.
- [0092] 또한, 트랜지스터(45) 및 트랜지스터(22)를, 한쪽 게이트와 소스가 전기적으로 접속된 구성으로 함으로써 문턱 전압이 마이너스의 값이 되는 것을 적절하게 방지할 수도 있다. 즉, 트랜지스터(45) 및 트랜지스터(22)를 노멀리 오프의 특성으로 하는 것이 용이해진다. 또한, 트랜지스터(45) 및 트랜지스터(22)를, 한쪽 게이트와 소스가 전기적으로 접속된 구성으로 함으로써 포화성을 높이는 효과도 있다. 따라서, 회로(11) 및 회로(12)의 설계가 용이해지고, 또한 안정적인 동작이 가능한 회로(11) 및 회로(12)를 실현할 수 있다.
- [0093] 한편으로, 트랜지스터(45) 및 트랜지스터(22) 이외의 n채널형 트랜지스터에는 한 쌍의 게이트들이 전기적으로 접속된 트랜지스터가 적용되어 있다. 반도체층을 사이에 끼워 중첩된 한 쌍의 게이트를 전기적으로 접속함으로써, 트랜지스터의 온 전류를 높일 수 있게 된다. 이로써, 순서 회로(10b)의 구동 능력을 향상시킬 수 있게 된다.
- [0094] [구성예 2-3]
- [0095] 상기 순서 회로(10a)에서 배선(15b)에는 배선(15a)의 전위를 반전한 전위가 공급된다. 한편으로, 회로(13)는 배선(15a)의 전위를 반전한 신호를 출력 단자(OUTB)에 출력할 수 있다. 그러므로, 배선(15b)에 출력 단자(OUTB)의 출력 전위를 공급하는(피드백하는) 구성으로 함으로써 회로(11)의 구성을 간략화할 수 있다.
- [0096] 도 3의 (A)에 순서 회로(10c)의 구성예를 나타내었다.
- [0097] 순서 회로(10c)와 상기 순서 회로(10a)는 회로(11)의 구성이 주로 상이하다. 구체적으로는, 순서 회로(10c)에서는 배선(15b)과 회로(13)의 출력 단자(OUTB)가 전기적으로 접속되어 있다. 또한, 순서 회로(10c)는 순서 회로(10a)로부터 배선(15b)과 전위(VSS)의 도통, 비도통을 제어하는 스위치로서 기능하는 트랜지스터(46)가 생략된 것이다.
- [0098] 도 3의 (B)에 순서 회로(10d)의 구성예를 나타내었다.
- [0099] 순서 회로(10d)는 상기 순서 회로(10c)로부터 트랜지스터(42), 트랜지스터(43), 및 용량 소자(C2)가 더 생략된 것이다. 즉, 회로(11)는 트랜지스터(41)와, 트랜지스터(44)와, 트랜지스터(45)로 구성되어 있다.
- [0100] 또한, 상기에 한정되지 않고, 순서 회로(10a)의 구성으로부터 트랜지스터(42), 트랜지스터(43), 트랜지스터(44), 및 트랜지스터(46) 중 하나 이상을 생략한 구성으로 할 수 있다.
- [0101] [구성예 2-4]
- [0102] 도 4에는 상기와는 상이한 구성을 갖는 순서 회로(10e)의 구성예를 나타내었다. 또한, 순서 회로(10e)에서는 보기 쉽도록 회로(12)와 회로(13)의 위치를 상기와 바꿔 명시하였다.
- [0103] 회로(11)는 트랜지스터(41), 트랜지스터(46), 및 트랜지스터(47)를 갖는다. 트랜지스터(47)에서는 게이트가 신호(RES)가 공급되는 배선과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(15a)과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 전위(VSS)가 공급되는 배선과 전기적으로 접속된다.
- [0104] 신호(RES)에는 예를 들어 순서 회로(10e)의 리셋 동작을 제어하는 신호가 공급된다.
- [0105] 회로(13)에서는 트랜지스터(25) 및 트랜지스터(26)의 게이트가 각각 배선(15a)과 전기적으로 접속되어 있다.

또한, 출력 단자(OUTB)와 배선(15b)이 전기적으로 접속되어 있다.

- [0106] 회로(12)는 트랜지스터(21), 트랜지스터(22), 및 용량 소자(C1)를 갖는다.
- [0107] 트랜지스터(21)에서는 게이트가 배선(15a)과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 신호(CLK1)가 공급되는 배선과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 출력 단자(OUTA)와 전기적으로 접속되어 있다. 트랜지스터(22)에서는 게이트가 배선(15b)과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 출력 단자(OUTA)와 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 전위(VSS)가 공급되는 배선과 전기적으로 접속되어 있다. 용량 소자(C1)에서는 한쪽의 전극이 배선(15a) 및 트랜지스터(21)의 게이트와 전기적으로 접속되고, 다른 쪽 전극이 출력 단자(OUTA)와 전기적으로 접속되어 있다.
- [0108] 순서 회로(10e)에서는 신호(LIN)에 고전위가 공급되고, 그 후 저전위로 변화된 후에도 출력 단자(OUTA) 및 출력 단자(OUTB)에 대한 출력 신호가 유지된다. 또한, 신호(RES)에 고전위가 공급되어 트랜지스터(47)가 도통 상태가 됨으로써, 배선(15a)에 저전위인 전위(VSS)를 공급하여, 순서 회로(10e)의 상태를 리셋할 수 있다.
- [0109] [구성예 2-5]
- [0110] 도 5의 (A)에는 상기와는 상이한 구성을 갖는 순서 회로(10f)의 구성예를 나타내었다. 순서 회로(10f)와 상기 순서 회로(10a)는 회로(12)의 구성이 주로 상이하다.
- [0111] 회로(12)는 트랜지스터(22), 트랜지스터(24n), 및 트랜지스터(24p)를 갖는다. 트랜지스터(24n)는 n채널형 트랜지스터이고, 트랜지스터(24p)는 p채널형 트랜지스터이다.
- [0112] 트랜지스터(24n) 및 트랜지스터(24p)는 트랜지스터(24n)의 소스 및 드레인 중 한쪽과 트랜지스터(24p)의 소스 및 드레인 중 한쪽이 전기적으로 접속되고 트랜지스터(24n)의 소스 및 드레인 중 다른 쪽과 트랜지스터(24p)의 소스 및 드레인 중 다른 쪽이 전기적으로 접속되는, 소위 아날로그 스위치를 구성한다. 트랜지스터(24n)의 게이트는 배선(15a)과 전기적으로 접속되고, 트랜지스터(24p)의 게이트는 배선(15b)과 전기적으로 접속되어 있다. 배선(15a)이 고전위이고 배선(15b)이 저전위인 경우, 상기 아날로그 스위치가 도통 상태가 되고 트랜지스터(22)가 비도통 상태가 되기 때문에, 신호(CLK1)가 공급되는 배선과 출력 단자(OUTA)가 도통된다. 한편으로, 배선(15a)이 저전위이고 배선(15b)이 고전위인 경우, 상기 아날로그 스위치가 비도통 상태가 되고 트랜지스터(22)가 도통 상태가 되기 때문에, 전위(VSS)가 공급되는 배선과 출력 단자(OUTA)가 도통된다.
- [0113] 이와 같이, p채널형 트랜지스터를 회로(13)뿐만 아니라 다른 회로에도 적용할 수 있다. 여기서는 회로(12)에 p채널형 트랜지스터를 적용한 예를 나타내었지만, 회로(11)에도 적용할 수 있다.
- [0114] 또한, 여기서는 회로(11) 및 회로(13)의 구성을 상기 순서 회로(10a)의 구성과 같게 하였지만, 이에 한정되지 않고, 상기에서 예시한 다양한 구성을 적용할 수 있다. 예를 들어 회로(13)의 출력 단자(OUTB)와 배선(15b)을 전기적으로 접속함으로써, 회로(11)의 일부의 트랜지스터를 생략하여 회로를 간략화할 수 있다.
- [0115] 도 5의 (B)에 상술한 것과 구성의 일부가 상이한 순서 회로(10g)를 나타내었다. 순서 회로(10g)는 회로(12)에 트랜지스터(23)를 더 갖는다.
- [0116] 트랜지스터(23)는 게이트에 전위(VDD)가 공급되고, 소스 및 드레인 중 한쪽이 배선(15a)과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스터(24n)의 게이트와 전기적으로 접속되어 있다. 트랜지스터(23)를 제공함으로써, 상기와 같은 식으로, 트랜지스터(24n)의 게이트에 전위(VDD)보다 높은 전위를 공급할 수 있게 되어, 트랜지스터(24n)의 문턱 전압의 영향을 억제할 수 있다.
- [0117] 또한, 여기서는 나타내지 않지만, 상기 순서 회로(10a)와 같은 식으로, 트랜지스터(24n)의 게이트와 출력 단자(OUTA) 사이에 용량 소자(C1)를 제공하여도 좋다.
- [0118] [변형예]
- [0119] 도 6의 (A)에 나타난 순서 회로(10h)는 상기 순서 회로(10f)로부터 회로(13)를 생략한 경우의 예이다. 순서 회로(10h)는 출력 단자(OUT)로부터 신호(CLK1) 또는 전위(VSS)를 출력할 수 있다.
- [0120] 또한, 도 6의 (B)에 나타난 순서 회로(10i)는 순서 회로(10h)의 회로(12)에 트랜지스터(23)를 추가한 경우의 예이다.
- [0121] 여기까지가 변형예에 대한 설명이다.
- [0122] 또한, 순서 회로(10c) 내지 순서 회로(10i)에서, n채널형 트랜지스터에 상기 순서 회로(10b)에서 예시한 백 게

이트를 갖는 트랜지스터를 적용하여도 좋다. 이때 한 쌍의 게이트가 전기적으로 접속되는 트랜지스터, 한쪽의 게이트가 소스와 전기적으로 접속되는 트랜지스터, 또는 백 게이트를 갖지 않는 트랜지스터를 선택하여 사용할 수 있다.

- [0123] [구동 회로의 구성예]
- [0124] 이하에서는 순서 회로를 복수단 접속시킴으로써 구성되고, 시프트 레지스터로서 기능하는 구동 회로의 예에 대하여 설명한다.
- [0125] [구동 회로의 구성예 1]
- [0126] 도 7의 (A)는 순서 회로(30)의 입출력 단자를 설명하는 도면이다. 순서 회로(30)는 입력 단자로서 신호(LIN), 신호(RIN), 신호(CLK1), 신호(CLK2), 신호(CLK3)가 각각 입력되는 단자와, 출력 단자로서 출력 단자(OUTA) 및 출력 단자(OUTB)를 갖는다. 순서 회로(30)로서는 예를 들어 상기 순서 회로(10a), 순서 회로(10b), 또는 순서 회로(10c) 등을 사용할 수 있다.
- [0127] 도 7의 (B)에는 구동 회로(40)의 구성예를 나타내었다. 구동 회로(40)는 복수의 순서 회로(30)를 갖는다. 도 7의 (B)에는 순서 회로(30_1) 내지 순서 회로(30_6)까지를 나타내었다. 이하에서는 구동 회로(40)의 입력에 가까운 측에서 n번째에 위치하는 순서 회로를 순서 회로(30_n)(n은 1 이상의 정수임)라고 표기하는 것으로 한다.
- [0128] 순서 회로(30_n)에는 신호(CLK1), 신호(CLK2), 신호(CLK3)로서 신호(CK1) 내지 신호(CK4) 중 어느 3개가 사용된다. 신호(CK1) 내지 신호(CK4)의 조합은 4단마다 같은 조합이 된다. 즉, 순서 회로(30_n)와 순서 회로(30_n+4)에는 신호(CLK1), 신호(CLK2), 및 신호(CLK3)로서 같은 신호가 입력된다.
- [0129] 또한, 순서 회로(30_n)의 출력 단자(OUTA)에는 출력 배선인 배선(OUTAn)이 접속되고, 출력 단자(OUTB)에는 출력 배선인 배선(OUTBn)이 접속되어 있다.
- [0130] 순서 회로(30_1)에는 신호(LIN)로서 신호(SP)가 입력된다. 또한, n이 2 이상인 순서 회로(30_n)에는 신호(LIN)로서 하나 앞의 단의 순서 회로(30_n-1)의 출력 단자(OUTA)의 신호가 입력된다. 또한, 순서 회로(30_n)에는 신호(RIN)로서 순서 회로(30_n+2)의 출력 단자(OUTA)의 신호가 입력된다.
- [0131] 구체적으로는 순서 회로(30_1)에는 신호(CK1), 신호(CK2), 신호(CK3), 신호(SP), 및 순서 회로(30_3)의 출력 단자(OUTA)의 신호가 입력되고, 배선(OUTA1) 및 배선(OUTB1)에 출력 신호를 출력한다. 또한, 순서 회로(30_2)에는 신호(CK2), 신호(CK3), 신호(CK4), 순서 회로(30_1)의 출력 단자(OUTA)의 신호, 및 순서 회로(30_4)의 출력 단자(OUTA)의 신호가 입력되고, 배선(OUTA2) 및 배선(OUTB2)에 출력 신호를 출력한다.
- [0132] 도 7의 (C)에 구동 회로(40)의 구동 방법에 따른 타이밍 차트를 나타내었다. 도 7의 (C)에는 위쪽부터 신호(SP), 신호(CK1) 내지 신호(CK4), 배선(OUTA1) 내지 배선(OUTA6), 배선(OUTB1) 내지 배선(OUTB6) 각각에 대하여 전위 시간의 변화를 나타내었다.
- [0133] 시각 T0에는 신호(SP)가 고전위이고, 신호(CK1)가 저전위이다. 이때 배선(OUTA1) 내지 배선(OUTA6)에는 저전위가 출력되고, 배선(OUTB2) 내지 배선(OUTB6)에는 고전위가 출력된다. 또한, 신호(SP)가 고전위가 됨으로써, 배선(OUTB1)에는 저전위가 출력된다.
- [0134] 시각 T1에는 신호(CK1)가 저전위에서 고전위가 됨으로써, 순서 회로(30_1)로부터 배선(OUTA1)에 고전위가 출력되고, 배선(OUTB1)에서는 저전위가 유지된다. 또한, 시각 T1에 있어서, 배선(OUTB2)에는 저전위가 출력된다. 이후, 신호(CK1) 내지 신호(CK4)에 의하여 배선(OUTA2) 이후의 배선에는 고전위가 순차적으로 출력되고, 배선(OUTB2) 이후의 배선에는 저전위가 순차적으로 출력된다.
- [0135] 신호(CK1) 내지 신호(CK4)는 각각 4분의 1주기씩 시프트된 클록 신호이다. 그러므로, 도 7의 (C)에 나타낸 바와 같이 배선(OUTA1) 내지 배선(OUTA6) 및 배선(OUTB1) 내지 배선(OUTB6)에는 신호(CK1) 등 4분의 1주기씩 시프트된 신호가 출력된다.
- [0136] [구동 회로의 구성예 2]
- [0137] 도 8의 (A)에는 상술한 것과 구성의 일부가 상이한 구동 회로(40a)의 구성예를 나타내었다.
- [0138] 구동 회로(40a)에는 클록 신호로서 신호(CK1)와 신호(CK2)가 공급된다. 또한, 구동 회로(40a)는 복수의 인버터 회로(80)를 갖는다.
- [0139] 인버터 회로(80)의 입력 단자에는 신호(CK1) 및 신호(CK2) 중 어느 한쪽이 입력되고, 출력 단자로부터는 그 반

전 신호가 출력된다. 2개의 반전 신호는 신호(CK1) 및 신호(CK2)와 각각 반주기 시프트된 신호이기 때문에, 상기 구성에 1에서의 신호(CK3) 및 신호(CK4)와 같은 신호이다.

- [0140] 도 8의 (A)에서는 한 쌍의 인버터 회로(80)가 4개의 순서 회로(30_n)마다 제공되어 있다. 더 구체적으로는, 하나의 인버터 회로(80)에 3개의 순서 회로(30)가 접속되어 있다. 이와 같이, 하나의 인버터 회로(80)에 접속되는 순서 회로의 개수를 줄임으로써, 인버터 회로(80)에 요구되는 출력 능력을 작게 할 수 있어, 회로 규모를 작게 할 수 있다.
- [0141] 인버터 회로(80)에는 순서 회로(30)와 동일한 공정을 거쳐 형성되는 트랜지스터를 적용하는 것이 바람직하다. 도 8의 (B)에 인버터 회로(80)에 적용할 수 있는 구성의 일례를 나타내었다. 인버터 회로(80)는 상기 회로(13)와 같은 구성을 갖고, p채널형 트랜지스터(81)와 n채널형 트랜지스터(82)를 갖는다. 도 8의 (B)에 나타낸 바와 같이, 예를 들어 인버터 회로(80)에 클록 신호(CK)를 입력하면, 클록 신호(CK)를 반전한 반전 클록 신호(CKB)를 출력할 수 있다.
- [0142] 또한, 구동 회로의 구성은 이에 한정되지 않고, 사용하는 순서 회로의 구성에 맞추어 신호 및 배선 등을 적절히 변경할 수 있다. 예를 들어 상기 순서 회로(10d) 및 순서 회로(10e)와 같이 입력 신호가 적은 순서 회로를 사용함으로써, 배선 및 신호 중 한쪽 또는 양쪽을 삭감할 수 있어, 구동 회로를 간략화할 수 있다.
- [0143] 여기까지가 구동 회로의 구성예에 대한 설명이다.
- [0144] [표시 장치의 구성예]
- [0145] 이하에서는, 본 발명의 일 형태의 구동 회로를 적용할 수 있는 표시 장치의 구성예에 대하여 설명한다.
- [0146] 도 9의 (A)에 표시 장치(70)의 블록도를 나타내었다. 표시 장치(70)는 표시부(DI), 한 쌍의 구동 회로(GD), 및 구동 회로(SD)를 갖는다.
- [0147] 표시부(DI)에는 복수의 화소(pix)가 매트릭스상으로 배치되어 있다. 화소(pix)는 각각 하나 이상의 표시 소자와 하나 이상의 트랜지스터를 갖는다.
- [0148] 구동 회로(GD)는 게이트선 구동 회로(주사선 구동 회로 또는 게이트 드라이버라고도 함)로서 기능한다. 구동 회로(SD)는 소스선 구동 회로(신호선 구동 회로 또는 소스 드라이버라고도 함)로서 기능한다.
- [0149] 상기에서 예시한 다양한 순서 회로 및 상기 순서 회로를 사용한 구동 회로를 구동 회로(GD)로서 사용할 수 있다.
- [0150] 표시부(DI)에 제공되는 화소(pix) 중, 홀수 행에 위치하는 화소(pix)는 한쪽의 구동 회로(GD)와 전기적으로 접속되고, 짝수 행에 위치하는 화소(pix)는 다른 쪽의 구동 회로와 전기적으로 접속되어 있다. 이러한 구성으로 함으로써, 각각의 구동 회로(GD)의 점유 면적을 축소할 수 있어, 슬림 베젤의 표시 장치를 실현할 수 있다.
- [0151] 여기서 구동 회로(GD)와 화소(pix)는 주사선(GL1) 및 주사선(GL2)을 통하여 전기적으로 접속되어 있다. 또한, 구동 회로(SD)와 화소(pix)는 신호선(SL)을 통하여 전기적으로 접속되어 있다.
- [0152] 여기서 주사선(GL1)에는 상기에서 예시한 순서 회로의 출력 단자(OUTA)의 출력 신호가 공급된다. 또한, 주사선(GL2)에는 출력 단자(OUTB)의 출력 신호가 공급된다. 그러므로, 주사선(GL1)에는 선택 시에 고전위가 항상 공급되고, 비선택 시에는 저전위가 항상 공급된다. 한편으로, 주사선(GL2)에는 선택 시에 저전위가 항상 공급되고, 비선택 시에는 고전위가 항상 공급된다.
- [0153] 도 9의 (B)에 화소(pix)의 일례를 나타내었다. 화소(pix)는 표시 소자로서 발광 소자를 적용한 경우의 예이다. 화소(pix)는 트랜지스터(71), 트랜지스터(72), 트랜지스터(73), 발광 소자(74), 및 용량 소자(CS)를 갖는다. 트랜지스터(71)는 선택 트랜지스터로서 기능한다. 트랜지스터(72)는 발광 소자(74)를 흐르는 전류를 제어하는 구동 트랜지스터로서 기능한다. 트랜지스터(73)는 발광 소자(74)를 흐르는 전류를 차단하는 기능을 갖는다. 트랜지스터(71) 및 트랜지스터(73)는 n채널형 트랜지스터이고, 트랜지스터(72)는 p채널형 트랜지스터이다.
- [0154] 트랜지스터(71)에서는 게이트가 주사선(GL1)과 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 신호선(SL)과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스터(72)의 게이트 및 용량 소자(CS)의 한쪽 전극과 전기적으로 접속되어 있다. 트랜지스터(72)에서는 소스 및 드레인 중 한쪽이 배선(AL) 및 용량 소자(CS)의 다른 쪽 전극과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스터(73)의 소스 및 드레인 중 한쪽과 전기적으로 접속되어 있다. 트랜지스터(73)에서는 게이트가 주사선(GL2)과 전기적으로 접속되고, 소스 및 드레

인 중 다른 쪽이 발광 소자(74)의 한쪽의 전극과 전기적으로 접속되어 있다. 발광 소자(74)는 다른 쪽 전극이 배선(CL)과 전기적으로 접속되어 있다. 배선(AL)에는 애노드 전위가 공급되고, 배선(CL)에는 애노드 전위보다 낮은 캐소드 전위가 공급된다.

- [0155] 화소(pixel)에 신호선(SL)의 전위를 기록할 때, 주사선(GL1)에 고전위가 공급되어, 트랜지스터(71)가 도통 상태가 된다. 이때 주사선(GL2)에는 저전위가 공급되기 때문에, 트랜지스터(73)가 비도통 상태가 되어, 발광 소자(74)를 흐르는 전류가 차단된다. 이와 같이, 화소(pixel)에 데이터를 기록할 때에, 발광 소자(74)가 의도치 않은 휘도로 발광하는 것을 방지할 수 있어, 표시 품질을 높일 수 있다.
- [0156] 또한, 화소(pixel)에 대한 기록 동작이 종료된 후에 주사선(GL1)에는 저전위가 공급되어, 트랜지스터(71)가 비도통 상태가 된다. 또한, 주사선(GL2)에는 고전위가 공급되기 때문에, 트랜지스터(73)가 도통 상태가 되어, 트랜지스터(72)의 게이트 전위에 따른 전류가 트랜지스터(73)를 통하여 발광 소자(74)에 흐른다.
- [0157] 또한, 화소(pixel)의 구성은 이에 한정되지 않고, 다양한 구성으로 할 수 있다. 예를 들어 주사선(GL1) 및 주사선(GL2) 각각과 게이트가 접속되는 트랜지스터를 적어도 갖는 구성으로 하는 것이 바람직하다.
- [0158] 여기까지가 표시 장치의 구성예에 대한 설명이다.
- [0159] [트랜지스터의 구성예]
- [0160] 이하에서는 상기에서 예시한 순서 회로, 구동 회로, 및 표시 장치 등에 적용할 수 있는 트랜지스터의 더 구체적인 구성예에 대하여 설명한다. 여기서는 채널 형성 영역에 다결정 실리콘을 갖는 트랜지스터(LTPS 트랜지스터)와 채널 형성 영역에 산화물 반도체를 갖는 트랜지스터(OS 트랜지스터)로 구성되는 인버터 회로를 예로 들어 설명한다.
- [0161] [구성예 1]
- [0162] 도 10의 (A)에 인버터 회로의 상면 개략도를 도시하였다. 인버터 회로는 트랜지스터(310)와 트랜지스터(350)를 갖는다. 트랜지스터(310)는 LTPS 트랜지스터이고, 트랜지스터(350)는 OS 트랜지스터이다. 트랜지스터(310)는 상기에서 예시한 트랜지스터(25) 등에 적용할 수 있다. 또한, 트랜지스터(350)는 상기에서 예시한 트랜지스터(26) 등에 적용할 수 있다.
- [0163] OS 트랜지스터로서는 채널이 형성되는 반도체층에 산화물 반도체를 사용한 트랜지스터를 사용할 수 있다. 반도체층은 예를 들어 인듐과, M(M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘에서 선택된 1종류 또는 복수 종류)과, 아연을 갖는 것이 바람직하다. 특히 M은 알루미늄, 갈륨, 이트륨, 및 주석에서 선택된 1종류 또는 복수 종류인 것이 바람직하다. 특히 OS 트랜지스터의 반도체층으로서 인듐, 갈륨, 및 아연을 포함하는 산화물(IGZO라고도 기재함)을 사용하는 것이 바람직하다. 또는, 인듐, 주석, 및 아연을 포함하는 산화물을 사용하는 것이 바람직하다. 또는, 인듐, 갈륨, 주석, 및 아연을 포함하는 산화물을 사용하는 것이 바람직하다.
- [0164] 실리콘보다 밴드 갭이 넓고, 또한 캐리어 밀도가 낮은 산화물 반도체를 사용한 트랜지스터는 매우 낮은 오프 전류를 실현할 수 있다. 그러므로, 오프 전류가 낮기 때문에 트랜지스터와 직렬로 접속된 용량 소자에 축적된 전하가 장기간에 걸쳐 유지될 수 있다.
- [0165] 도 10의 (A)에 도시된 도전층(313)의 일부는 입력 단자(IN)로서 기능한다. 도전층(314b)의 일부는 출력 단자(OUT)의 일부로서 기능한다. 도전층(314c)의 일부는 전위(VSS)가 공급되는 배선으로서 기능한다. 도전층(314d)의 일부는 전위(VDD)가 공급되는 배선으로서 기능한다.
- [0166] 도 10의 (A)에는 병렬로 접속된 6개의 트랜지스터(310)와, 병렬로 접속된 4개의 트랜지스터(350)를 갖는 예를 도시하였다. 큰 전류를 흘릴 필요가 있는 경우 등에는, 채널 폭이 큰 트랜지스터를 하나 사용하는 것이 아니라, 채널 길이가 비교적 작은 트랜지스터를 병렬로 사용함으로써, 전류로 인한 발열을 경감할 수 있어, 회로의 신뢰성을 향상시킬 수 있다.
- [0167] 도 10의 (B)는 도 10의 (A) 중의 일점쇄선 A-B를 따르는 단면 개략도이다. 도 10의 (B)에는 트랜지스터(310) 및 트랜지스터(350)의 채널 길이 방향의 단면을 도시하였다.
- [0168] 기관(301) 위에 절연층(321)이 제공되고, 절연층(321) 위에 트랜지스터(310)와 트랜지스터(350)가 제공되어 있다.

- [0169] 트랜지스터(310)는 반도체층(311)과, 반도체층(311)을 덮는 절연층(312)과, 절연층(312) 위에 위치하고 반도체층(311)과 중첩되는 도전층(313)을 갖는다. 또한, 도전층(313) 및 절연층(312)을 덮는 절연층(322)과, 절연층(322) 위의 절연층(352)과, 절연층(352) 위의 절연층(326) 등을 갖는다. 반도체층(311)은 다결정 실리콘을 포함한다. 반도체층(311)은 채널 형성 영역(311i)과, 채널 형성 영역(311i)을 끼우는 한 쌍의 저저항 영역(311p)을 갖는다. 절연층(312)의 일부는 트랜지스터(310)의 게이트 절연층으로서 기능한다. 도전층(313)의 일부는 트랜지스터(310)의 게이트 전극으로서 기능한다.
- [0170] 절연층(322)은 수소 및 물에 대한 배리어성을 갖는 제 1 절연막과, 산화물을 포함하는 제 2 절연막이 적층된 적층 구조를 갖는 것이 바람직하다. 제 1 절연막은 상기 도 1의 (C) 등에서 예시한 절연층(62)에 상당하고, 제 2 절연막은 절연층(63)에 상당한다. 제 1 절연막 및 제 2 절연막에 사용할 수 있는 재료 등에 대해서는 상기 기재를 원용할 수 있다.
- [0171] 저저항 영역(311p)은 불순물 원소를 포함하는 영역이다. 예를 들어 트랜지스터(310)를 n채널형 트랜지스터로 하는 경우에는, 저저항 영역(311p)에 인 또는 비소 등을 첨가하면 좋다. 한편으로, p채널형 트랜지스터로 하는 경우에는, 저저항 영역(311p)에 붕소 또는 알루미늄 등을 첨가하면 좋다. 여기서는 트랜지스터(310)를 p채널형 트랜지스터로 한다. 또한, 트랜지스터(310)의 문턱 전압을 제어하기 위하여, 채널 형성 영역(311i)에 상술한 불순물을 첨가하여도 좋다.
- [0172] 트랜지스터(350)는 절연층(312) 위의 도전층(313)과, 도전층(313)을 덮는 절연층(322)과, 절연층(322) 위의 반도체층(351)과, 반도체층(351)을 덮는 절연층(352)과, 절연층(352) 위에 위치하고 반도체층(351)과 중첩되는 도전층(353a)을 갖는다. 또한, 절연층(352) 및 도전층(353a)을 덮어 절연층(326)이 제공되어 있다. 반도체층(351)은 산화물 반도체를 포함한다.
- [0173] 반도체층(351)의 도전층(353a) 및 도전층(313) 중 어느 한쪽 또는 양쪽과 중첩되는 영역은 채널 형성 영역으로서 기능한다. 절연층(322)의 일부는 트랜지스터(350)의 백 게이트 절연층(제 2 게이트 절연층)으로서 기능한다. 절연층(352)의 일부는 트랜지스터(350)의 게이트 절연층(제 1 게이트 절연층)으로서 기능한다. 도전층(313)의 다른 일부는 트랜지스터(350)의 백 게이트 전극(제 2 게이트 전극)으로서 기능한다. 도전층(353a)의 일부는 트랜지스터(350)의 게이트 전극(제 1 게이트 전극)으로서 기능한다.
- [0174] 절연층(326) 위에 도전층(314a), 도전층(314b), 및 도전층(314c)이 제공되어 있다. 도전층(314a) 및 도전층(314b)은 절연층(326), 절연층(352), 절연층(322), 및 절연층(312)에 제공되고, 저저항 영역(311p)에 도달하는 개구부에서 저저항 영역과 전기적으로 접속되어 있다. 도전층(314b) 및 도전층(314c)은 절연층(326) 및 절연층(352)에 제공되고, 반도체층(351)에 도달하는 개구부에서 반도체층(351)과 전기적으로 접속되어 있다.
- [0175] 도 10의 (A) 및 (B)에 도시된 바와 같이, 도전층(313)은 트랜지스터(310)의 게이트 전극과 트랜지스터(350)의 백 게이트 전극을 겸한다. 도전층(353a)과 도전층(313)은 파선으로 나타낸 개구부에서 서로 전기적으로 접속되어 있고, 이들에는 입력 단자(IN)로부터 입력되는 같은 전위가 공급된다.
- [0176] 이하에서는 상술한 것과 구성의 일부가 상이한 트랜지스터의 구성예에 대하여 설명한다.
- [0177] [구성예 2]
- [0178] 도 11의 (A)에는 트랜지스터(310) 대신에 한 쌍의 게이트 전극을 갖는 트랜지스터(310a)를 적용한 예를 도시하였다. 트랜지스터(310a)는 도전층(315) 및 절연층(316)을 갖는 점에서 트랜지스터(310)와 주로 상이하다.
- [0179] 도전층(315)은 절연층(321) 위에 제공되어 있다. 또한, 도전층(315) 및 절연층(321)을 덮어 절연층(316)이 제공되어 있다. 반도체층(311)은 적어도 채널 형성 영역(311i)이 절연층(316)을 개재(介在)하여 도전층(315)과 중첩되도록 제공되어 있다.
- [0180] 트랜지스터(310a)에서, 도전층(313)의 일부가 제 1 게이트 전극으로서 기능하고, 도전층(315)의 일부가 제 2 게이트 전극으로서 기능한다. 또한, 이때 절연층(312)의 일부가 제 1 게이트 절연층으로서 기능하고, 절연층(316)의 일부가 제 2 게이트 절연층으로서 기능한다.
- [0181] 여기서 제 1 게이트 전극과 제 2 게이트 전극을 전기적으로 접속하는 경우, 도시하지 않은 영역에서, 절연층(312) 및 절연층(316)에 제공된 개구부를 통하여 도전층(313)과 도전층(315)을 전기적으로 접속하면 좋다. 또한, 제 2 게이트 전극과 소스 또는 드레인을 전기적으로 접속하는 경우, 도시하지 않은 영역에서, 절연층(322), 절연층(312) 및 절연층(316)에 제공된 개구부를 통하여 도전층(314a) 또는 도전층(314b)과 도전층(315)을 전기

적으로 접속하면 좋다.

- [0182] [구성예 3]
- [0183] 도 11의 (B)에는 도 10의 (B)에서의 트랜지스터(350) 대신에 트랜지스터(350a)를 적용한 예를 도시하였다. 트랜지스터(350a)와 트랜지스터(350)는 절연층(352)의 형상이 주로 상이하다.
- [0184] 절연층(352)은 도전층(353b)과 같은 레지스트 마스크를 사용하여 가공되어 있다. 반도체층(351)에서 절연층(352)으로 덮이지 않는 영역은 그 표면이 절연층(326)과 접촉한다. 반도체층(351)에서 절연층(326)과 접촉하는 영역에서는, 채널 형성 영역보다 캐리어가 많이 존재할 수 있기 때문에, 전기 저항을 적합하게 낮출 수 있다.
- [0185] 또한, 도 11의 (B)에는 도전층(353b)의 단부가 절연층(352)의 단부보다 내측에 위치하는 예를 도시하였다. 이러한 구성으로 함으로써, 반도체층(351)에는 채널 형성 영역과 저저항 영역 사이에 비교적 저항이 높은 영역을 제공할 수 있다. 즉, LDD(Lightly Doped Drain) 구조가 실현되기 때문에 신뢰성을 높일 수 있다. 또한, 이에 한정되지 않고, 도전층(353b)의 단부와 절연층(352)의 단부가 실질적으로 일치하고 절연층(352)의 상면 형상과 도전층(353b)의 상면 형상이 실질적으로 일치하도록 가공되어 있어도 좋다.
- [0186] 또한, 본 명세서 등에서 '상면 형상이 실질적으로 일치'란, 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일한 마스크 패턴, 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만, 엄밀하게 말하면 윤곽이 중첩되지 않고 위층이 아래층 내측에 위치하거나, 또는 위층이 아래층 외측에 위치하는 경우도 있고, 이 경우도 '상면 형상이 실질적으로 일치'라고 한다.
- [0187] [구성예 4]
- [0188] 도 11의 (C)에는 트랜지스터(310a)와 트랜지스터(350a)를 적용한 경우의 예를 도시하였다. 트랜지스터(310a)와 트랜지스터(350a)의 구성에 대해서는 상기 기재를 인용할 수 있다.
- [0189] 여기까지가 트랜지스터의 구성예에 대한 설명이다.
- [0190] [금속 산화물에 대하여]
- [0191] 이하에서는 OS 트랜지스터의 반도체층에 적용할 수 있는 금속 산화물에 대하여 설명한다.
- [0192] 또한, 본 명세서 등에서 질소를 갖는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한, 질소를 갖는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다. 예를 들어 아연 산질화물(ZnON) 등 질소를 갖는 금속 산화물을 반도체층에 사용하여도 좋다.
- [0193] 또한, 본 명세서 등에서 CAAC(c-axis aligned crystal) 및 CAC(Cloud-Aligned Composite)라고 기재하는 경우가 있다. CAAC는 결정 구조의 일례를 나타내고, CAC는 기능 또는 재료의 구성의 일례를 나타낸다.
- [0194] 예를 들어 반도체층에는 CAC(Cloud-Aligned Composite)-OS(Oxide Semiconductor)를 사용할 수 있다.
- [0195] CAC-OS 또는 CAC-metal oxide는 재료의 일부에서는 도전성의 기능을 갖고, 재료의 일부에서는 절연성의 기능을 갖고, 재료 전체에서는 반도체로서의 기능을 갖는다. 또한, CAC-OS 또는 CAC-metal oxide를 트랜지스터의 반도체층에 사용하는 경우, 도전성의 기능은 캐리어가 되는 전자(또는 홀)를 흘리는 기능이고, 절연성의 기능은 캐리어가 되는 전자를 흘리지 않는 기능이다. 도전성의 기능과 절연성의 기능을 각각 상보적으로 작용시킴으로써, 스위칭 기능(On/Off시키는 기능)을 CAC-OS 또는 CAC-metal oxide에 부여할 수 있다. CAC-OS 또는 CAC-metal oxide에서 각각의 기능을 분리시킴으로써 양쪽의 기능을 최대한으로 높일 수 있다.
- [0196] 또한, CAC-OS 또는 CAC-metal oxide는 도전성 영역 및 절연성 영역을 갖는다. 도전성 영역은 상술한 도전성의 기능을 갖고, 절연성 영역은 상술한 절연성의 기능을 갖는다. 또한, 재료 내에서 도전성 영역과 절연성 영역은 나노 입자 레벨로 분리되어 있는 경우가 있다. 또한, 도전성 영역과 절연성 영역은 각각 재료 내에 편재(偏在)하는 경우가 있다. 또한, 도전성 영역은 그 주변이 흐릿해져 클라우드상(cloud-like)으로 연결되어 관찰되는 경우가 있다.
- [0197] 또한, CAC-OS 또는 CAC-metal oxide에서 도전성 영역과 절연성 영역은 각각 0.5nm 이상 10nm 이하, 바람직하게는 0.5nm 이상 3nm 이하의 크기로 재료 내에 분산되어 있는 경우가 있다.
- [0198] 또한, CAC-OS 또는 CAC-metal oxide는 상이한 밴드 갭을 갖는 성분으로 구성된다. 예를 들어 CAC-OS 또는 CAC-metal oxide는 절연성 영역에 기인하는 와이드 갭을 갖는 성분과 도전성 영역에 기인하는 내로 갭을 갖는

성분으로 구성된다. 이 구성의 경우, 캐리어를 흘릴 때 내로 갭을 갖는 성분에서 주로 캐리어가 흐른다. 또한, 내로 갭을 갖는 성분이 와이드 갭을 갖는 성분에 상보적으로 작용함으로써, 내로 갭을 갖는 성분과 연동하여 와이드 갭을 갖는 성분에도 캐리어가 흐른다. 그러므로, 상기 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 채널 형성 영역에 사용하는 경우, 트랜지스터의 온 상태에서 높은 전류 구동력, 즉 큰 온 전류 및 높은 전계 효과 이동도를 얻을 수 있다.

- [0199] 즉, CAC-OS 또는 CAC-metal oxide를 매트릭스 복합재(matrix composite) 또는 금속 매트릭스 복합재(metal matrix composite)라고 부를 수도 있다.
- [0200] 산화물 반도체(금속 산화물)는 단결정 산화물 반도체와 그 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는 예를 들어 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.
- [0201] CAAC-OS는 c축 배향성을 갖고, 또한 a-b면 방향에서 복수의 나노 결정이 연결되고 변형을 갖는 결정 구조를 갖는다. 또한, 변형이란 복수의 나노 결정이 연결되는 영역에서 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되어 있는 부분을 가리킨다.
- [0202] 나노 결정은 기본적으로 육각형이지만 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한, 변형에서 오각형 및 칠각형 등의 격자 배열을 갖는 경우가 있다. 또한, CAAC-OS에서, 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인하는 것은 어렵다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 또는 금속 원소가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이다.
- [0203] 또한, CAAC-OS는 인듐 및 산소를 갖는 층(이하, In층)과, 원소 M, 아연, 및 산소를 갖는 층(이하, (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 갖는 경향이 있다. 또한, 인듐과 원소 M은 서로 치환할 수 있고, (M, Zn)층의 원소 M이 인듐과 치환된 경우, (In, M, Zn)층이라고 나타낼 수도 있다. 또한, In층의 인듐이 원소 M과 치환된 경우, (In, M)층이라고 나타낼 수도 있다.
- [0204] CAAC-OS는 결정성이 높은 금속 산화물이다. 한편으로, CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한, 금속 산화물의 결정성은 불순물의 혼입 또는 결합의 생성 등으로 인하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결합(산소 결손(V_0 : oxygen vacancy라고도 함) 등)이 적은 금속 산화물이라고 할 수도 있다. 따라서, CAAC-OS를 갖는 금속 산화물은 물리적 성질이 안정된다. 그러므로, CAAC-OS를 갖는 금속 산화물은 열에 강하고 신뢰성이 높다.
- [0205] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 보이지 않는다. 따라서, nc-OS는 분석 방법에 따라서는 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없는 경우가 있다.
- [0206] 또한, 인듐과, 갈륨과, 아연을 갖는 금속 산화물의 일종인 인듐-갈륨-아연 산화물(이하 IGZO)은 상술한 나노 결정으로 함으로써 안정적인 구조를 갖는 경우가 있다. 특히 IGZO는 대기 중에서는 결정이 성장하기 어려운 경향이 있기 때문에, 큰 결정(여기서는 수mm의 결정 또는 수cm의 결정)으로 형성되는 경우보다 작은 결정(예를 들어 상술한 나노 결정)으로 형성되는 경우에 구조적으로 더 안정되는 경우가 있다.
- [0207] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 갖는 금속 산화물이다. a-like OS는 공동(void) 또는 저밀도 영역을 갖는다. 즉, a-like OS는 nc-OS 및 CAAC-OS와 비교하여 결정성이 낮다.
- [0208] 산화물 반도체(금속 산화물)는 다양한 구조를 갖고, 각각이 상이한 특성을 갖는다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.
- [0209] 반도체층으로서 기능하는 금속 산화물막은 불활성 가스 및 산소 가스 중 어느 한쪽 또는 양쪽을 사용하여 성막할 수 있다. 또한, 금속 산화물막의 성막 시에서의 산소의 유량비(산소 분압)에 특별히 한정은 없다. 다만, 전계 효과 이동도가 높은 트랜지스터를 얻는 경우에는 금속 산화물막의 성막 시의 산소의 유량비(산소 분압)는 0% 이상 30% 이하인 것이 바람직하고, 5% 이상 30% 이하인 것이 더 바람직하고, 7% 이상 15% 이하인 것이 더욱 바람직하다.

- [0210] 금속 산화물은 에너지 갭이 2eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하고, 3eV 이상인 것이 더욱 바람직하다. 이와 같이, 에너지 갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0211] 금속 산화물막의 성막 시의 기판 온도는 350℃ 이하인 것이 바람직하고, 실온 이상 200℃ 이하인 것이 더 바람직하고, 실온 이상 130℃ 이하인 것이 더욱 바람직하다. 금속 산화물막의 성막 시의 기판 온도가 실온이면 생산성을 높일 수 있어 바람직하다.
- [0212] 금속 산화물막은 스퍼터링법으로 형성할 수 있다. 그 이외에, 예를 들어 PLD법, PECVD법, 열 CVD법, ALD법, 진공 증착법 등을 사용하여도 좋다.
- [0213] 여기까지가 금속 산화물에 대한 설명이다.
- [0214] 본 실시형태는 적어도 그 일부를 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0215] (실시형태 2)
- [0216] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치를 갖는 표시 장치에 대하여 도 12의 (A) 내지 (C)를 사용하여 설명한다.
- [0217] 도 12의 (A)에 나타낸 표시 장치는 화소부(502)와, 구동 회로부(504)와, 보호 회로(506)와, 단자부(507)를 갖는다. 또한, 보호 회로(506)를 제공하지 않는 구성으로 하여도 좋다.
- [0218] 화소부(502)는 X행 Y열(X, Y는 각각 독립적으로 2 이상의 자연수임)로 배치된 화소 회로(501)를 갖는다. 각 화소 회로(501)는 표시 소자를 구동하는 회로를 갖는다.
- [0219] 구동 회로부(504)는 게이트선(GL₁) 내지 게이트선(GL_X)에 주사 신호를 출력하는 게이트 드라이버(504a), 데이터선(DL₁) 내지 데이터선(DL_Y)에 데이터 신호를 공급하는 소스 드라이버(504b) 등의 구동 회로를 갖는다. 게이트 드라이버(504a)는 적어도 시프트 레지스터를 갖는 구성으로 하면 좋다. 또한, 소스 드라이버(504b)는 예를 들어 복수의 아날로그 스위치 등을 사용하여 구성된다. 또한, 시프트 레지스터 등을 사용하여 소스 드라이버(504b)를 구성하여도 좋다.
- [0220] 게이트 드라이버(504a)에는 본 발명의 일 형태의 순서 회로를 적용할 수 있다. 또한, 소스 드라이버(504b)에도 본 발명의 일 형태의 순서 회로를 적용하여도 좋다.
- [0221] 단자부(507)란 외부의 회로로부터 표시 장치에 전원, 제어 신호, 및 화상 신호 등을 입력하기 위한 단자가 제공된 부분을 가리킨다.
- [0222] 보호 회로(506)는 그 자체가 접속되는 배선에 일정한 범위 외의 전위가 공급되었을 때, 상기 배선과 다른 배선을 도통 상태로 하는 회로이다. 도 12의 (A)에 나타낸 보호 회로(506)는 예를 들어 게이트 드라이버(504a)와 화소 회로(501) 사이의 배선인 게이트선(GL), 또는 소스 드라이버(504b)와 화소 회로(501) 사이의 배선인 데이터선(DL) 등의 각종 배선과 접속된다. 또한, 도 12의 (A)에서는 보호 회로(506)와 화소 회로(501)를 구별하기 위하여 보호 회로(506)에 해칭을 부여하였다.
- [0223] 또한, 게이트 드라이버(504a)와 소스 드라이버(504b)는 각각 화소부(502)와 같은 기판 위에 제공되어 있어도 좋고, 게이트 드라이버 회로 또는 소스 드라이버 회로가 별도로 형성된 기판(예를 들어 단결정 반도체 또는 다결정 반도체로 형성된 구동 회로 기판)을 COG 또는 TAB(Tape Automated Bonding)에 의하여 제공되는 화소부(502) 위의 기판에 실장하는 구성으로 하여도 좋다.
- [0224] 도 12의 (B) 및 (C)에는 화소 회로(501)에 적용할 수 있는 화소 회로의 구성의 일례를 나타내었다. 도 12의 (B) 및 (C)에는 m행 n열째(m은 1 이상 X 이하의 자연수이고, n은 1 이상 Y 이하의 자연수임)의 화소 회로를 나타내었다.
- [0225] 도 12의 (B)에 나타낸 화소 회로(501)는 액정 소자(570)와, 트랜지스터(550)와, 용량 소자(560)를 갖는다. 또한, 화소 회로(501)에는 데이터선(DL_n), 게이트선(GL_m), 전위 공급선(VL) 등이 접속되어 있다.
- [0226] 액정 소자(570)의 한 쌍의 전극 중 한쪽의 전위는, 화소 회로(501)의 사양에 따라 적절히 설정된다. 액정 소자(570)는 기록되는 데이터에 따라 배향 상태가 설정된다. 또한, 복수의 화소 회로(501) 각각이 갖는 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공통 전위(코먼 전위)를 공급하여도 좋다. 또한, 각 행의 화소 회로(501)에서의 액정 소자(570)의 한 쌍의 전극 중 한쪽에 상이한 전위를 공급하여도 좋다.

- [0227] 또한, 도 12의 (C)에 나타난 화소 회로(501)는 트랜지스터(552)와, 트랜지스터(554)와, 용량 소자(562)와, 발광 소자(572)를 갖는다. 또한, 화소 회로(501)에는 데이터선(DL_n), 게이트선(GL_m), 전위 공급선(VL_a), 및 전위 공급선(VL_b) 등이 접속되어 있다.
- [0228] 또한, 전위 공급선(VL_a) 및 전위 공급선(VL_b) 중 한쪽에는 고전원 전위인 전위(VDD)가 공급되고, 다른 쪽에는 저전원 전위인 전위(VSS)가 공급된다. 트랜지스터(554)의 게이트에 공급되는 전위에 따라 발광 소자(572)를 흐르는 전류가 제어됨으로써, 발광 소자(572)로부터의 발광 휘도가 제어된다.
- [0229] 표시 소자로서 발광 소자를 사용하는 경우에는, OLED(Organic Light Emitting Diode) 또는 QLED(Quantum-dot Light Emitting Diode) 등의 EL 소자를 사용하는 것이 바람직하다. EL 소자가 갖는 발광 물질로서는 형광을 발하는 물질(형광 재료), 인광을 발하는 물질(인광 재료), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(Thermally activated delayed fluorescence: TADF) 재료), 무기 화합물(퀀텀닷(quantum dot) 재료 등) 등을 들 수 있다. 또한, 발광 소자로서 마이크로 LED(Light Emitting Diode) 등의 LED를 사용할 수도 있다.
- [0230] LED로서는 크기가 큰 것으로부터 매크로 LED(거대 LED라고도 함), 미니 LED, 마이크로 LED 등이 있다. 여기서 LED 칩의 1변의 치수가 1mm를 넘는 것을 매크로 LED라고 부르고, 100 μm보다 크고 1mm 이하의 것을 미니 LED라고 부르고, 100 μm 이하의 것을 마이크로 LED라고 부른다. 화소에 적용되는 LED 소자로서는 특히 마이크로 LED를 사용하는 것이 바람직하다. 마이크로 LED를 사용함으로써, 정세도가 매우 높은 표시 장치를 실현할 수 있다.
- [0231] 도 12의 (B)에 나타난 트랜지스터(550), 또는 도 12의 (C)에 나타난 트랜지스터(552) 및 트랜지스터(554)는 게이트 드라이버(504a)가 갖는 트랜지스터와 동일 기판 위에 제공되는 것이 바람직하다.
- [0232] 본 실시형태에서 예시한 구성에 및 이들에 대응하는 도면 등은 적어도 그 일부를 다른 구성에 또는 도면 등과 적절히 조합하여 실시할 수 있다.
- [0233] 본 실시형태는 적어도 그 일부를 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0234] (실시형태 3)
- [0235] 본 실시형태에서는 본 발명의 일 형태를 사용하여 제작할 수 있는 표시 모듈에 대하여 설명한다.
- [0236] 도 13의 (A)에 도시된 표시 모듈(6000)은 상부 커버(6001)와 하부 커버(6002) 사이에 FPC(6005)가 접속된 표시 장치(6006), 프레임(6009), 인쇄 기판(6010), 및 배터리(6011)를 갖는다.
- [0237] 예를 들어 본 발명의 일 형태를 사용하여 제작된 표시 장치를 표시 장치(6006)로서 사용할 수 있다. 표시 장치(6006)에 의하여, 소비 전력이 매우 낮은 표시 모듈을 실현할 수 있다.
- [0238] 상부 커버(6001) 및 하부 커버(6002)는 표시 장치(6006)의 크기에 맞추어 형상 및 치수를 적절히 변경할 수 있다.
- [0239] 표시 장치(6006)는 터치 패널로서의 기능을 가져도 좋다.
- [0240] 프레임(6009)은 표시 장치(6006)의 보호 기능, 인쇄 기판(6010)의 동작에 의하여 발생하는 전자기파를 차단하는 기능, 방열판으로서의 기능 등을 가져도 좋다.
- [0241] 인쇄 기판(6010)은 전원 회로, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로, 배터리 제어 회로 등을 갖는다.
- [0242] 도 13의 (B)는 광학식 터치 센서를 갖는 경우의 표시 모듈(6000)의 단면 개략도이다.
- [0243] 표시 모듈(6000)은 인쇄 기판(6010)에 제공된 발광부(6015) 및 수광부(6016)를 갖는다. 또한, 상부 커버(6001)와 하부 커버(6002)로 둘러싸인 영역에 한 쌍의 도광부(도광부(6017a), 도광부(6017b))를 갖는다.
- [0244] 표시 장치(6006)는 프레임(6009)을 개재하여 인쇄 기판(6010) 및 배터리(6011) 등과 중첩되어 제공되어 있다. 표시 장치(6006)와 프레임(6009)은 도광부(6017a), 도광부(6017b)에 고정되어 있다.
- [0245] 발광부(6015)로부터 발해진 광(6018)은 도광부(6017a)를 통하여 표시 장치(6006) 상부를 경유하고 도광부(6017b)를 통하여 수광부(6016)에 도달한다. 예를 들어 손가락 또는 스타일러스 등의 피검지체에 의하여 광(6018)이 차단됨으로써, 터치 조작을 검출할 수 있다.
- [0246] 발광부(6015)는 예를 들어 표시 장치(6006)의 인접한 2변을 따라 복수로 제공된다. 수광부(6016)는 발광부

(6015)와 대향하는 위치에 복수로 제공된다. 이로써, 터치 조작이 수행된 위치의 정보를 취득할 수 있다.

- [0247] 발광부(6015)에는 예를 들어 LED 소자 등의 광원을 사용할 수 있고, 특히 적외선을 발하는 광원을 사용하는 것이 바람직하다. 수광부(6016)에는 발광부(6015)가 발하는 광을 받고 전기 신호로 변환하는 광전 소자를 사용할 수 있다. 바람직하게는 적외선을 수광할 수 있는 포토다이오드를 사용할 수 있다.
- [0248] 광(6018)의 경로를 제어하는 도광부(6017a), 도광부(6017b)를 사용함으로써 발광부(6015)와 수광부(6016)를 표시 장치(6006)의 아래쪽에 배치할 수 있고, 외광이 수광부(6016)에 도달하여 터치 센서가 오동작하는 것을 억제할 수 있다. 특히 가시광을 흡수하고 적외선을 투과시키는 수지를 사용하면 터치 센서의 오동작을 더 효과적으로 억제할 수 있다.
- [0249] 본 실시형태는 적어도 그 일부를 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0250] (실시형태 4)
- [0251] 본 실시형태에서는 본 발명의 일 형태의 표시 장치를 적용할 수 있는 전자 기기의 예에 대하여 설명한다.
- [0252] 도 14의 (A)에 도시된 전자 기기(6500)는 스마트폰으로서 사용할 수 있는 휴대 정보 단말기이다.
- [0253] 전자 기기(6500)는 하우징(6501), 표시부(6502), 전원 버튼(6503), 버튼(6504), 스피커(6505), 마이크로폰(6506), 카메라(6507), 및 광원(6508) 등을 갖는다. 표시부(6502)는 터치 패널 기능을 갖는다.
- [0254] 표시부(6502)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.
- [0255] 도 14의 (B)는 하우징(6501)의 마이크로폰(6506) 측의 단부를 포함하는 단면 개략도이다.
- [0256] 하우징(6501)의 표시면 측에는 투광성을 갖는 보호 부재(6510)가 제공되고, 하우징(6501)과 보호 부재(6510)로 둘러싸인 공간 내에 표시 패널(6511), 광학 부재(6512), 터치 센서 패널(6513), 인쇄 기판(6517), 배터리(6518) 등이 배치되어 있다.
- [0257] 보호 부재(6510)에는 표시 패널(6511), 광학 부재(6512), 및 터치 센서 패널(6513)이 도시하지 않은 접착층에 의하여 고정되어 있다.
- [0258] 또한, 표시부(6502)보다 외측의 영역에서 표시 패널(6511)의 일부가 접혀 있다. 또한, 이 접힌 부분에 FPC(6515)가 접속되어 있다. FPC(6515)에는 IC(6516)가 실장되어 있다. 또한, FPC(6515)는 인쇄 기판(6517)에 제공된 단자와 접속되어 있다.
- [0259] 표시 패널(6511)에는 본 발명의 일 형태의 플렉시블 디스플레이 패널을 적용할 수 있다. 그러므로, 매우 가벼운 전자 기기를 실현할 수 있다. 또한, 표시 패널(6511)이 매우 얇기 때문에, 전자 기기의 두께를 늘리지 않고 대용량 배터리(6518)를 탑재할 수도 있다. 또한, 표시 패널(6511)의 일부를 접어 화소부의 이면에 FPC(6515)와의 접속부를 배치함으로써, 슬림 베젤의 전자 기기를 실현할 수 있다.
- [0260] 본 실시형태는 적어도 그 일부를 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0261] (실시형태 5)
- [0262] 본 실시형태에서는 본 발명의 일 형태를 사용하여 제작된 표시 장치를 갖는 전자 기기에 대하여 설명한다.
- [0263] 이하에서 예시하는 전자 기기는 표시부에 본 발명의 일 형태의 표시 장치를 갖는 것이다. 따라서, 높은 해상도가 실현된 전자 기기이다. 또한, 높은 해상도와 큰 화면이 양립된 전자 기기라고 할 수 있다.
- [0264] 본 발명의 일 형태의 전자 기기의 표시부에는 예를 들어 풀 하이비전, 4K2K, 8K4K, 16K8K, 또는 그 이상의 해상도를 갖는 영상을 표시할 수 있다.
- [0265] 전자 기기로서는 예를 들어 텔레비전 장치, 노트북형 퍼스널 컴퓨터, 모니터 장치, 디지털 사이니지, 파칭코기, 게임기 등 비교적 큰 화면을 갖는 전자 기기 이외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다.
- [0266] 본 발명의 일 형태가 적용된 전자 기기는 가옥 또는 빌딩 등의 내벽 또는 외벽, 자동차 등의 내장 또는 외장 등의 평면 또는 곡면을 따라 제공할 수 있다.
- [0267] 도 15의 (A)는 파인더(8100)가 장착된 상태의 카메라(8000)의 외관을 도시한 도면이다.
- [0268] 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 셔터 버튼(8004) 등을 갖는다. 또한, 카메라

(8000)에는 탈착 가능한 렌즈(8006)가 장착되어 있다.

- [0269] 또한, 카메라(8000)는 렌즈(8006)와 하우징이 일체화되어도 좋다.
- [0270] 카메라(8000)는 셔터 버튼(8004)을 누르거나, 또는 터치 패널로서 기능하는 표시부(8002)를 터치함으로써 촬영할 수 있다.
- [0271] 하우징(8001)은 전극을 갖는 마운트를 갖고, 파인더(8100) 이외에 스트로보 장치 등을 접속할 수 있다.
- [0272] 파인더(8100)는 하우징(8101), 표시부(8102), 버튼(8103) 등을 갖는다.
- [0273] 하우징(8101)은 카메라(8000)의 마운트와 결합하는 마운트에 의하여 카메라(8000)에 장착되어 있다. 파인더(8100)는 카메라(8000)로부터 수신한 영상 등을 표시부(8102)에 표시시킬 수 있다.
- [0274] 버튼(8103)은 전원 버튼 등으로서의 기능을 갖는다.
- [0275] 카메라(8000)의 표시부(8002) 및 파인더(8100)의 표시부(8102)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 또한, 파인더가 내장된 카메라(8000)이어도 좋다.
- [0276] 도 15의 (B)는 헤드 마운트 디스플레이(8200)의 외관을 도시한 도면이다.
- [0277] 헤드 마운트 디스플레이(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 케이블(8205) 등을 갖는다. 또한, 장착부(8201)에는 배터리(8206)가 내장된다.
- [0278] 케이블(8205)은 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기 등을 갖고, 수신한 영상 정보를 표시부(8204)에 표시할 수 있다. 또한, 본체(8203)는 카메라를 갖고, 사용자의 안구 또는 눈꺼풀의 움직임의 정보를 입력 수단으로서 사용할 수 있다.
- [0279] 또한, 장착부(8201)는 사용자와 접촉하는 위치에 사용자의 안구의 움직임에 따라 흐르는 전류를 검지할 수 있는 복수의 전극이 제공되고, 시선을 인식하는 기능을 가져도 좋다. 또한, 상기 전극을 흐르는 전류에 의하여 사용자의 맥박을 모니터링하는 기능을 가져도 좋다. 또한, 장착부(8201)는 온도 센서, 압력 센서, 가속도 센서 등의 각종 센서를 가져도 좋고, 사용자의 생체 정보를 표시부(8204)에 표시하는 기능, 또는 사용자의 머리의 움직임에 맞추어 표시부(8204)에 표시되는 영상을 변화시키는 기능 등을 가져도 좋다.
- [0280] 표시부(8204)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.
- [0281] 도 15의 (C), (D), 및 (E)는 헤드 마운트 디스플레이(8300)의 외관을 도시한 도면이다. 헤드 마운트 디스플레이(8300)는 하우징(8301)과, 표시부(8302)와, 밴드상의 고정구(8304)와, 한 쌍의 렌즈(8305)를 갖는다.
- [0282] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 시인할 수 있다. 또한, 표시부(8302)를 만곡시켜 배치하면, 사용자가 높은 임장감을 느낄 수 있어 바람직하다. 또한, 표시부(8302)의 다른 영역에 표시된 다른 화상을 렌즈(8305)를 통하여 시인함으로써 시차를 사용한 3차원 표시 등을 수행할 수도 있다. 또한, 하나의 표시부(8302)를 제공하는 구성에 한정되지 않고, 2개의 표시부(8302)를 제공하고 사용자의 한쪽 눈마다 하나의 표시부를 배치하여도 좋다.
- [0283] 또한, 표시부(8302)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 본 발명의 일 형태의 반도체 장치를 갖는 표시 장치는 정세도가 매우 높기 때문에, 도 15의 (E)와 같이 렌즈(8305)를 사용하여 확대하여도, 사용자에게 화소가 시인되지 않고 현실감이 더 높은 영상을 표시할 수 있다.
- [0284] 도 16의 (A) 내지 (G)에 도시된 전자 기기는 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9008) 등을 갖는다.
- [0285] 도 16의 (A) 내지 (G)에 도시된 전자 기기는 다양한 기능을 갖는다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 기록 매체에 기록되는 프로그램 또는 데이터를 관독하여 처리하는 기능 등을 가질 수 있다. 또한, 전자 기기의 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다. 전자 기기는 복수의 표시부를 가져도 좋다. 또한, 전자 기기는 카메라 등이 제공되고, 정지 화상 또는 동영상을 촬영하고 기록 매체(외부 기록 매체 또는 카메라에 내장된 기록 매체)에

저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.

- [0286] 도 16의 (A) 내지 (G)에 도시된 전자 기기의 자세한 사항에 대하여 이하에서 설명한다.
- [0287] 도 16의 (A)는 텔레비전 장치(9100)를 도시한 사시도이다. 텔레비전 장치(9100)에는 대화면, 예를 들어 50인치 이상 또는 100인치 이상의 표시부(9001)를 제공할 수 있다.
- [0288] 도 16의 (B)는 휴대 정보 단말기(9101)를 도시한 사시도이다. 휴대 정보 단말기(9101)는 예를 들어 스마트폰으로서 사용할 수 있다. 또한, 휴대 정보 단말기(9101)에는 스피커(9003), 접속 단자(9006), 센서(9007) 등을 제공하여도 좋다. 또한, 휴대 정보 단말기(9101)는 문자 또는 화상 정보를 그 복수의 면에 표시할 수 있다. 도 16의 (B)에는 3개의 아이콘(9050)을 표시한 예를 도시하였다. 또한, 좌선의 직사각형으로 나타낸 정보(9051)를 표시부(9001)의 다른 면에 표시할 수도 있다. 정보(9051)의 일례로서는 전자 메일, SNS, 전화 등의 착신의 알림, 전자 메일 또는 SNS 등의 제목, 송신자명, 일시, 시각, 배터리의 잔량, 안테나 수신기의 강도 등이 있다. 또는, 정보(9051)가 표시되는 위치에는 아이콘(9050) 등을 표시하여도 좋다.
- [0289] 도 16의 (C)는 휴대 정보 단말기(9102)를 도시한 사시도이다. 휴대 정보 단말기(9102)는 표시부(9001)의 3면 이상에 정보를 표시하는 기능을 갖는다. 여기서는 정보(9052), 정보(9053), 정보(9054)가 각각 다른 면에 표시되어 있는 예를 도시하였다. 예를 들어 사용자는 옷의 가슴 주머니에 휴대 정보 단말기(9102)를 수납한 상태에서, 휴대 정보 단말기(9102) 위쪽에서 볼 수 있는 위치에 표시된 정보(9053)를 확인할 수도 있다. 사용자는 휴대 정보 단말기(9102)를 주머니로부터 꺼내지 않고 표시를 확인하고, 예를 들어 전화를 받을지 여부를 판단할 수 있다.
- [0290] 도 16의 (D)는 손목시계형 휴대 정보 단말기(9200)를 도시한 사시도이다. 또한, 표시부(9001)는 그 표시면이 만곡되어 제공되고, 만곡된 표시면을 따라 표시를 수행할 수 있다. 또한, 휴대 정보 단말기(9200)는 예를 들어 무선 통신이 가능한 헤드셋과 상호 통신함으로써 핸즈프리로 통화할 수도 있다. 또한, 휴대 정보 단말기(9200)는 접속 단자(9006)에 의하여 다른 정보 단말기와 상호로 데이터를 주고받고 하거나, 또는 충전할 수도 있다. 또한, 무선 급전에 의하여 충전하여도 좋다.
- [0291] 도 16의 (E), (F), 및 (G)는 접을 수 있는 휴대 정보 단말기(9201)를 도시한 사시도이다. 또한, 도 16의 (E)는 휴대 정보 단말기(9201)를 펼친 상태의 사시도이고, 도 16의 (G)는 접은 상태의 사시도이고, 도 16의 (F)는 도 16의 (E)와 (G) 중 한쪽으로부터 다른 쪽으로 변화되는 도중의 상태의 사시도이다. 휴대 정보 단말기(9201)는 접은 상태에서는 가반성이 우수하고, 펼친 상태에서는 이음매가 없고 넓은 표시 영역에 의하여 표시의 일람성이 우수하다. 휴대 정보 단말기(9201)가 갖는 표시부(9001)는 힌지(9055)에 의하여 연결된 3개의 하우징(9000)으로 지지된다. 예를 들어 표시부(9001)는 곡률 반경 1mm 이상 150mm 이하로 구부릴 수 있다.
- [0292] 도 17의 (A)에 텔레비전 장치의 일례를 도시하였다. 텔레비전 장치(7100)는 하우징(7101)에 표시부(7500)가 제공되어 있다. 여기서는 스탠드(7103)에 의하여 하우징(7101)을 지지한 구성을 도시하였다.
- [0293] 도 17의 (A)에 도시된 텔레비전 장치(7100)는 하우징(7101)이 갖는 조작 스위치뿐만 아니라 별체의 리모트 컨트롤러(7111)에 의하여 조작할 수 있다. 또는, 표시부(7500)에 터치 패널을 적용하고 이를 터치함으로써 텔레비전 장치(7100)를 조작하여도 좋다. 리모트 컨트롤러(7111)는 조작 버튼 이외에 표시부를 가져도 좋다.
- [0294] 또한, 텔레비전 장치(7100)는 텔레비전 방송의 수신기뿐만 아니라 네트워크 접속을 위한 통신 장치를 가져도 좋다.
- [0295] 도 17의 (B)에 노트북형 퍼스널 컴퓨터(7200)를 도시하였다. 노트북형 퍼스널 컴퓨터(7200)는 하우징(7211), 키보드(7212), 포인팅 디바이스(7213), 외부 접속 포트(7214) 등을 갖는다. 하우징(7211)에 표시부(7500)가 제공되어 있다.
- [0296] 도 17의 (C) 및 (D)에 디지털 사이니지(Digital Signage: 전자 간판)의 일례를 도시하였다.
- [0297] 도 17의 (C)에 도시된 디지털 사이니지(7300)는 하우징(7301), 표시부(7500), 및 스피커(7303) 등을 갖는다. 또한, LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 마이크로폰 등을 가질 수 있다.
- [0298] 또한, 도 17의 (D)는 원기둥 형상의 기둥(7401)에 장착된 디지털 사이니지(7400)를 도시한 것이다. 디지털 사이니지(7400)는 기둥(7401)의 곡면을 따라 제공된 표시부(7500)를 갖는다.
- [0299] 표시부(7500)가 넓을수록 한번에 제공할 수 있는 정보량을 늘릴 수 있고, 또한 사람의 눈에 띄기 쉽기 때문에,

예를 들어 광고의 선전 효과를 높이는 효과가 있다.

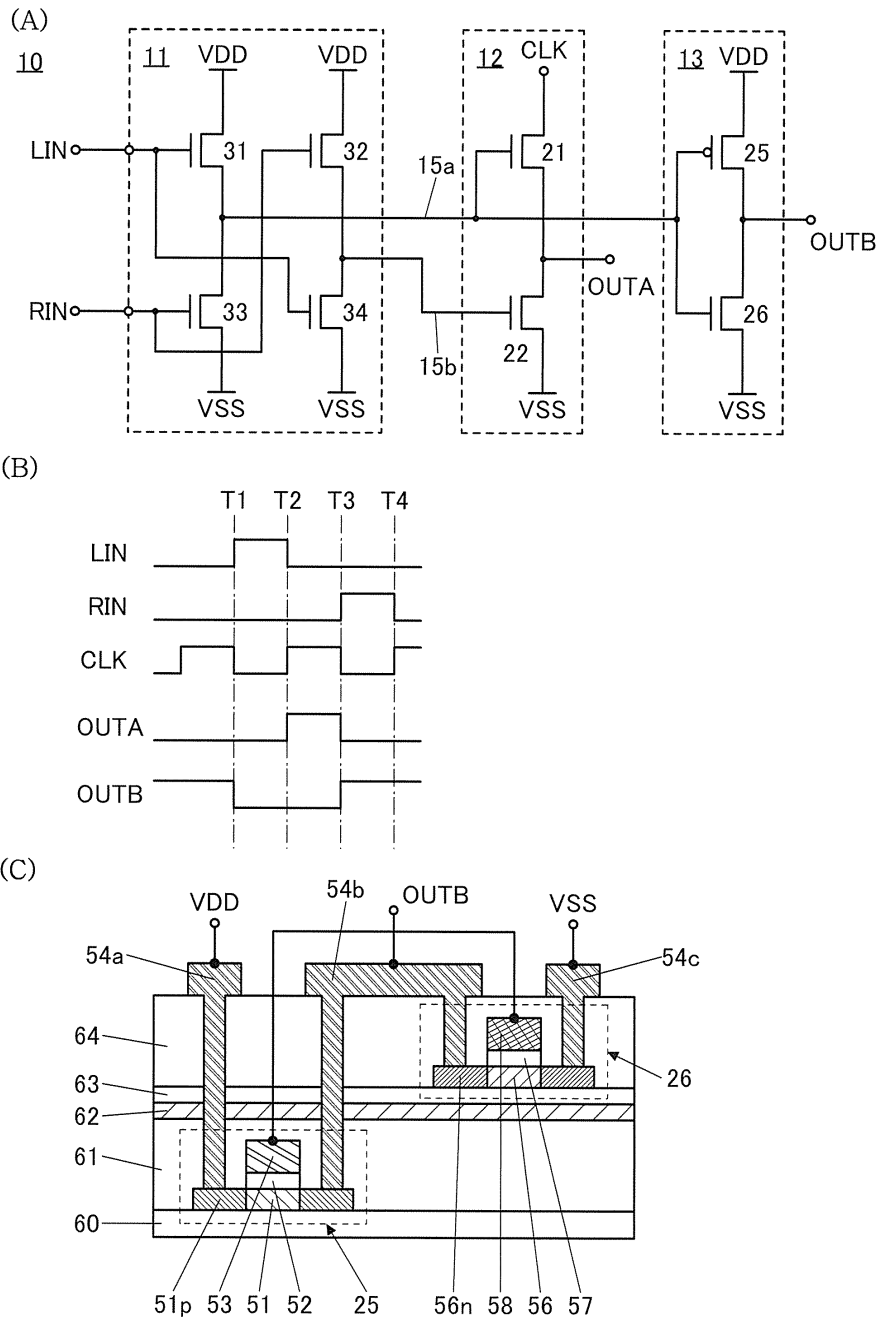
- [0300] 표시부(7500)에 터치 패널을 적용하여, 사용자가 조작할 수 있는 구성으로 하는 것이 바람직하다. 이로써, 광고 용도뿐만 아니라, 노선 정보, 교통 정보, 상업 시설의 안내 정보 등, 사용자가 요구하는 정보를 제공하기 위한 용도로 사용할 수도 있다.
- [0301] 또한, 도 17의 (C) 및 (D)에 도시된 바와 같이, 디지털 사이니지(7300) 또는 디지털 사이니지(7400)는 사용자가 갖는 스마트폰 등의 정보 단말기(7311)와 무선 통신에 의하여 연계할 수 있는 것이 바람직하다. 예를 들어 표시부(7500)에 표시되는 광고의 정보를 정보 단말기(7311)의 화면에 표시하거나, 정보 단말기(7311)를 조작함으로써 표시부(7500)의 표시를 전환할 수 있다.
- [0302] 또한, 디지털 사이니지(7300) 또는 디지털 사이니지(7400)에 정보 단말기(7311)를 조작 수단(컨트롤러)으로 한 게임을 실행시킬 수도 있다. 이로써, 불특정 다수의 사용자가 동시에 게임에 참가하여 즐길 수 있다.
- [0303] 도 17의 (A) 내지 (D)의 표시부(7500)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.
- [0304] 본 실시형태는 적어도 그 일부를 본 명세서에 기재된 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

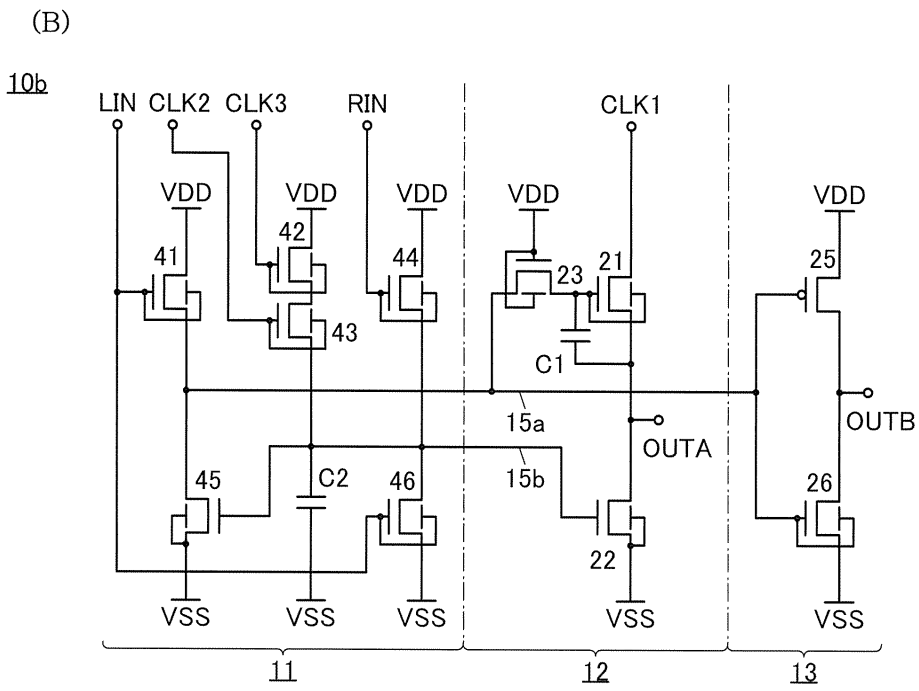
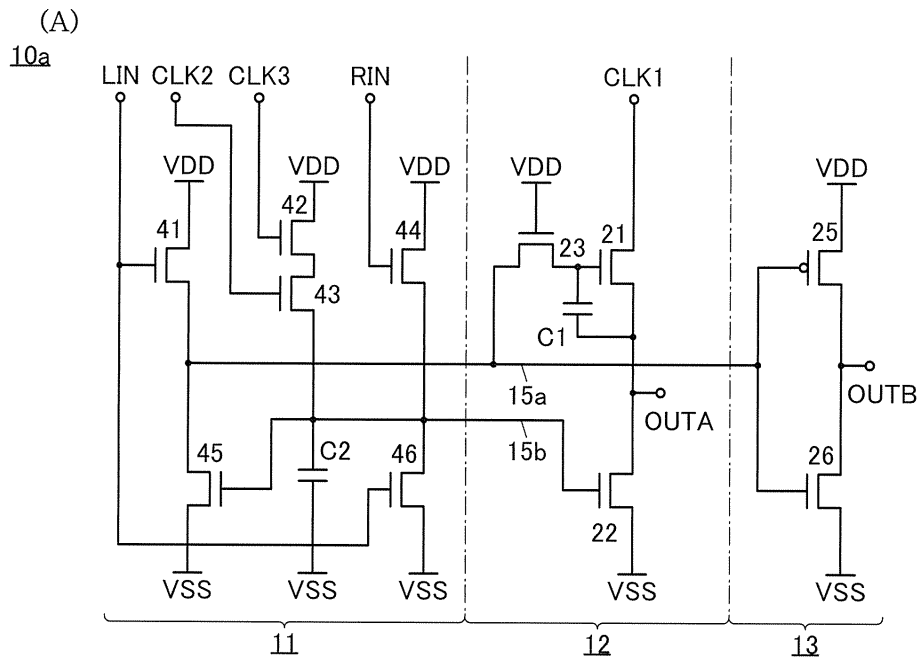
- [0305] LIN, RIN, RES, CLK: 신호, IN: 입력 단자, OUT: 출력 단자: OUTA, OUTB: 출력 단자, SP: 신호, GD, SD: 구동 회로, 10, 10a~10i: 순서 회로, 11~13: 회로, 15a, 15b: 배선, 21, 22, 23: 트랜지스터, 24n, 24p: 트랜지스터, 25, 26: 트랜지스터, 30: 순서 회로, 31~34: 트랜지스터, 40, 40a: 구동 회로, 41~47: 트랜지스터, 51: 반도체층, 51p: 저저항 영역, 52: 게이트 절연층, 53: 게이트 전극, 54a: 도전층, 54b: 도전층, 54c: 도전층, 56n: 저저항 영역, 56: 반도체층, 57: 게이트 절연층, 58: 게이트 전극, 60~64: 절연층, 70: 표시 장치, 71~73: 트랜지스터, 74: 발광 소자, 80: 인버터 회로, 81: 트랜지스터, 82: 트랜지스터, 301: 기관, 310, 310a: 트랜지스터, 311: 반도체층, 311i: 채널 형성 영역, 311n: 저항 영역, 311p: 저항 영역, 312: 절연층, 313: 도전층, 314a~314d: 도전층, 315: 도전층, 316: 절연층, 321, 322: 절연층, 326: 절연층, 350, 350a: 트랜지스터, 351: 반도체층, 352: 절연층, 353a, 353b: 도전층

도면

도면1



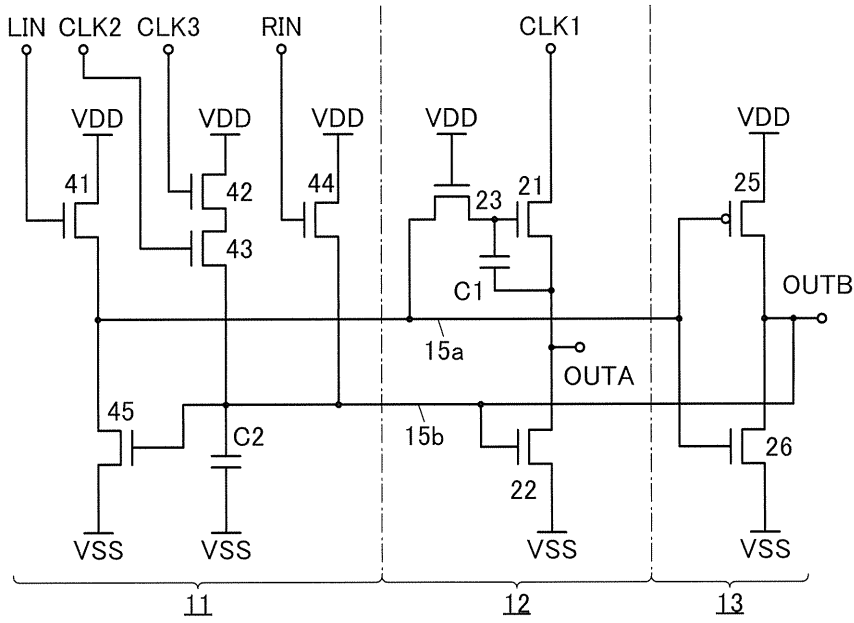
도면2



도면3

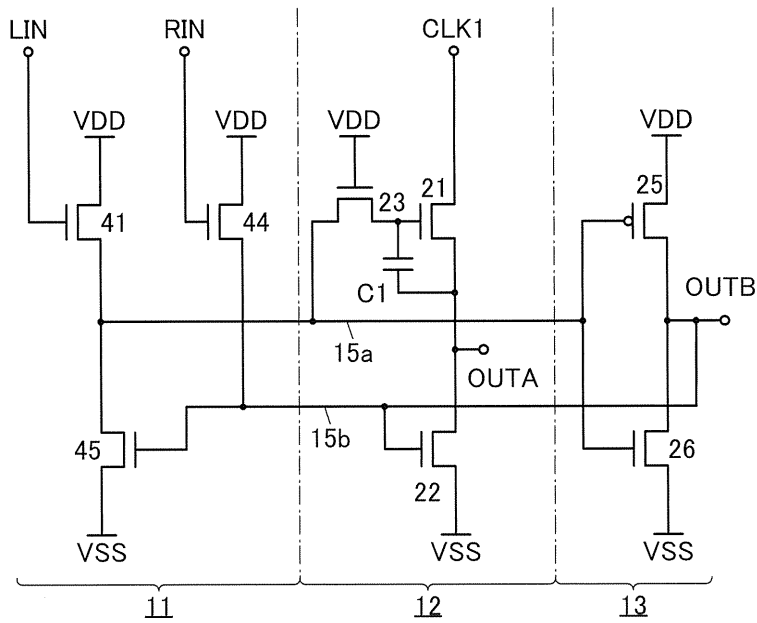
(A)

10c

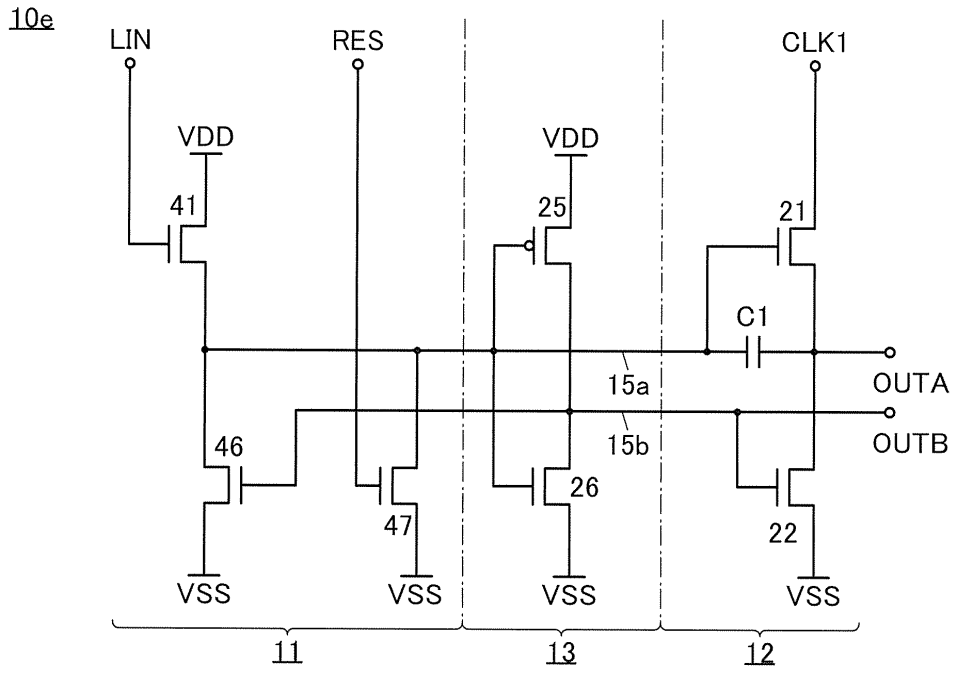


(B)

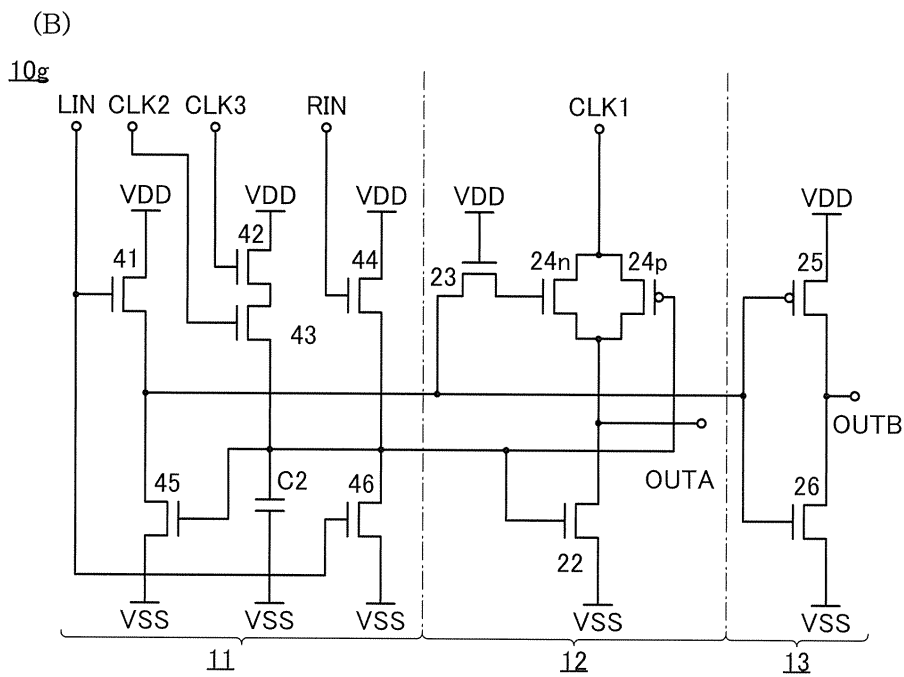
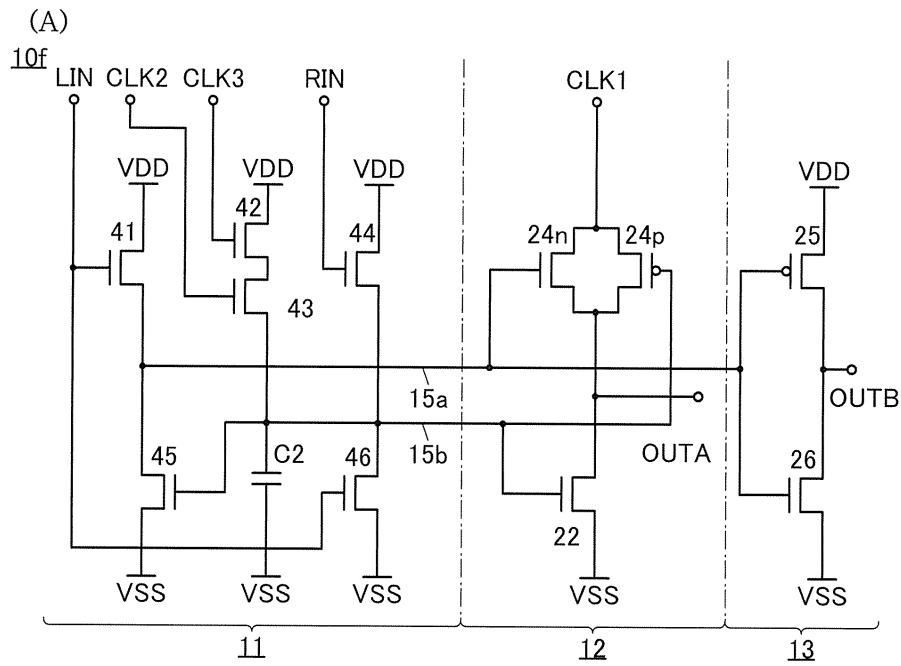
10d



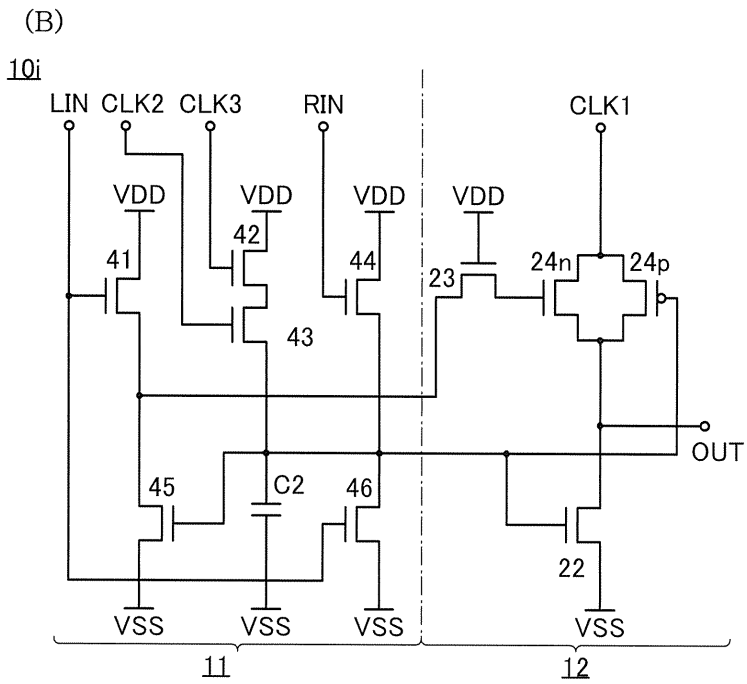
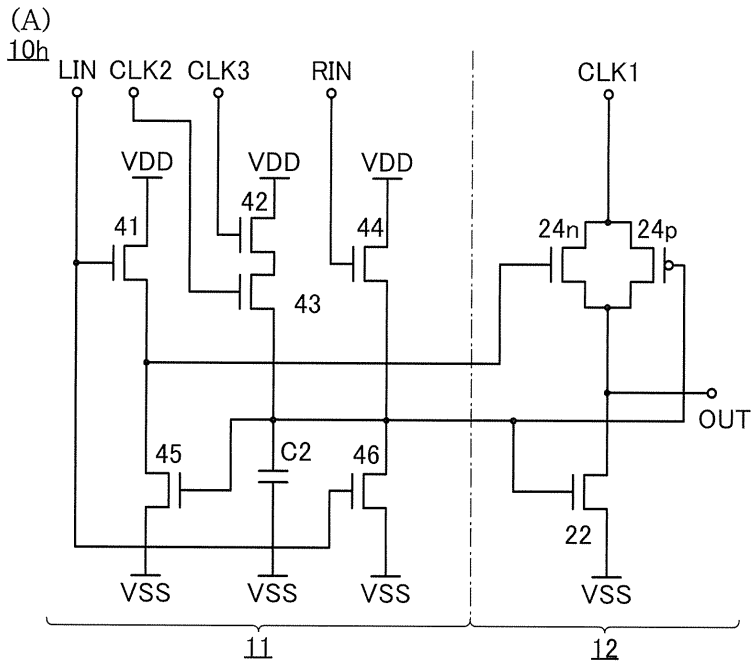
도면4



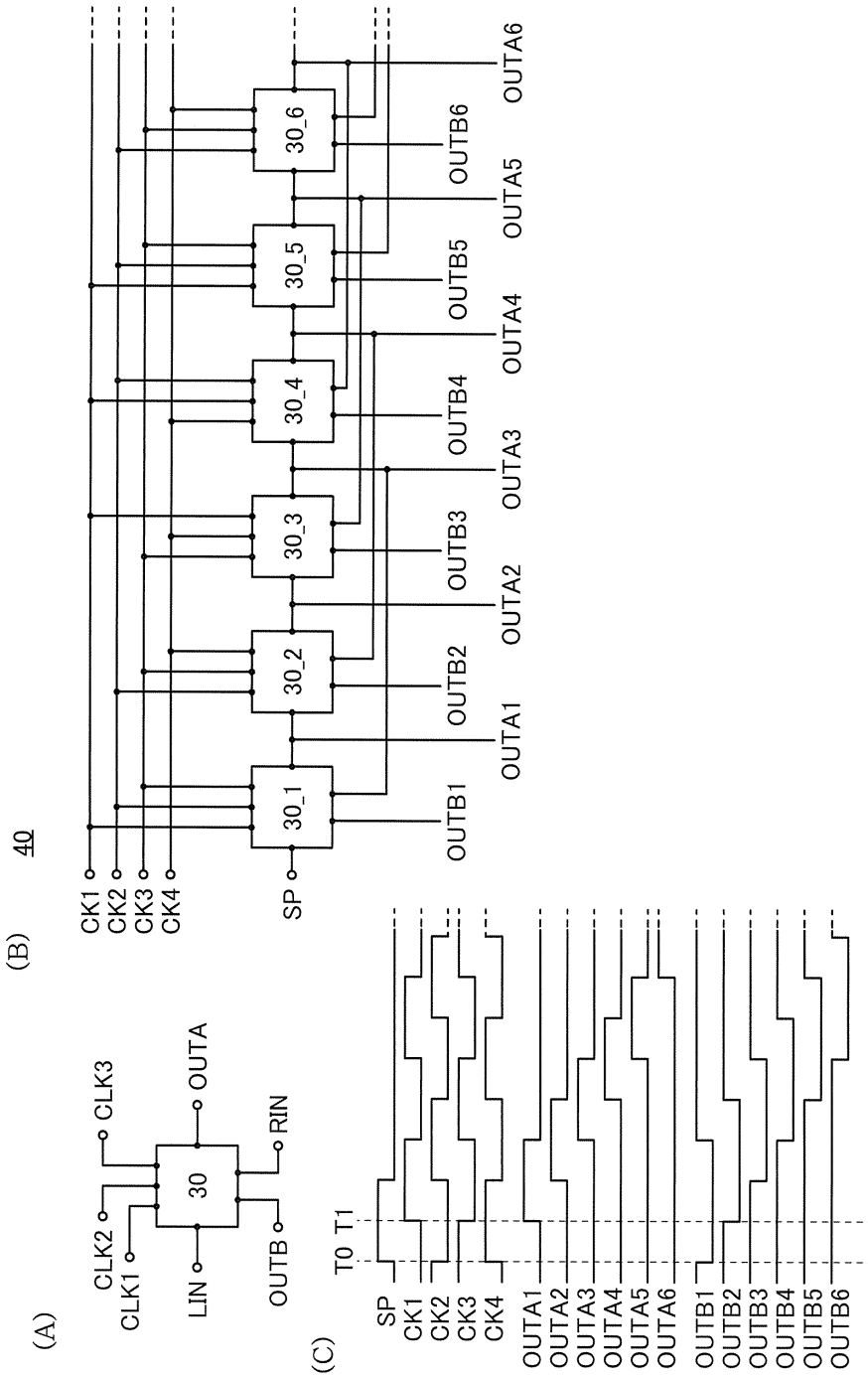
도면5



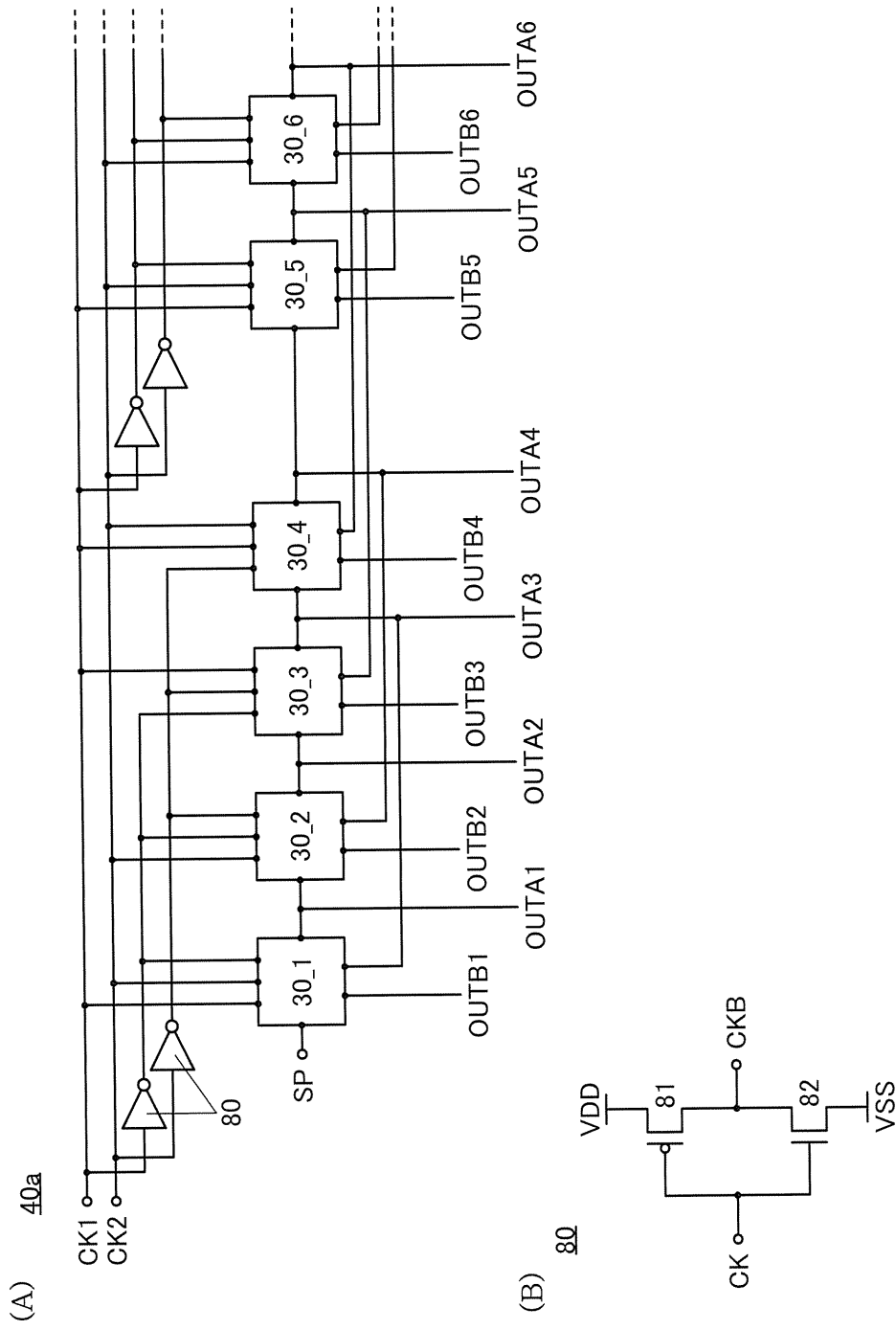
도면6



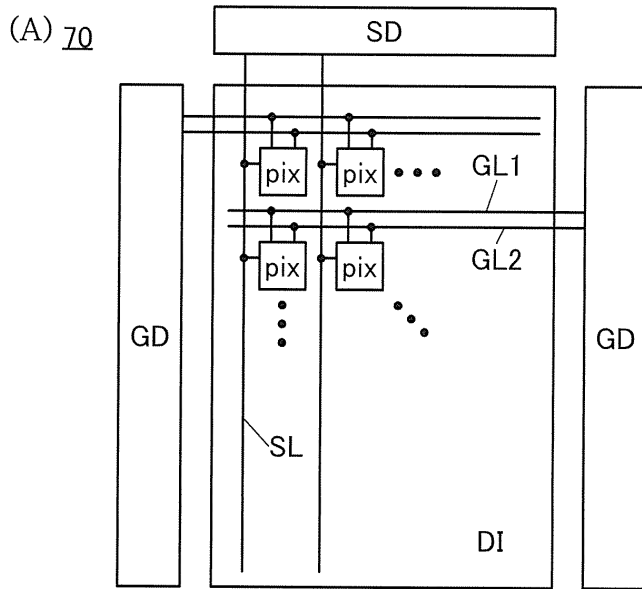
도면7



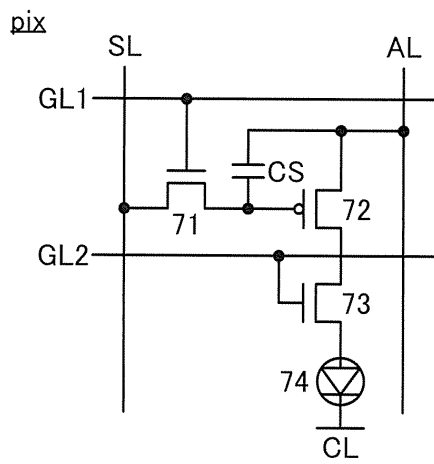
도면8



도면9

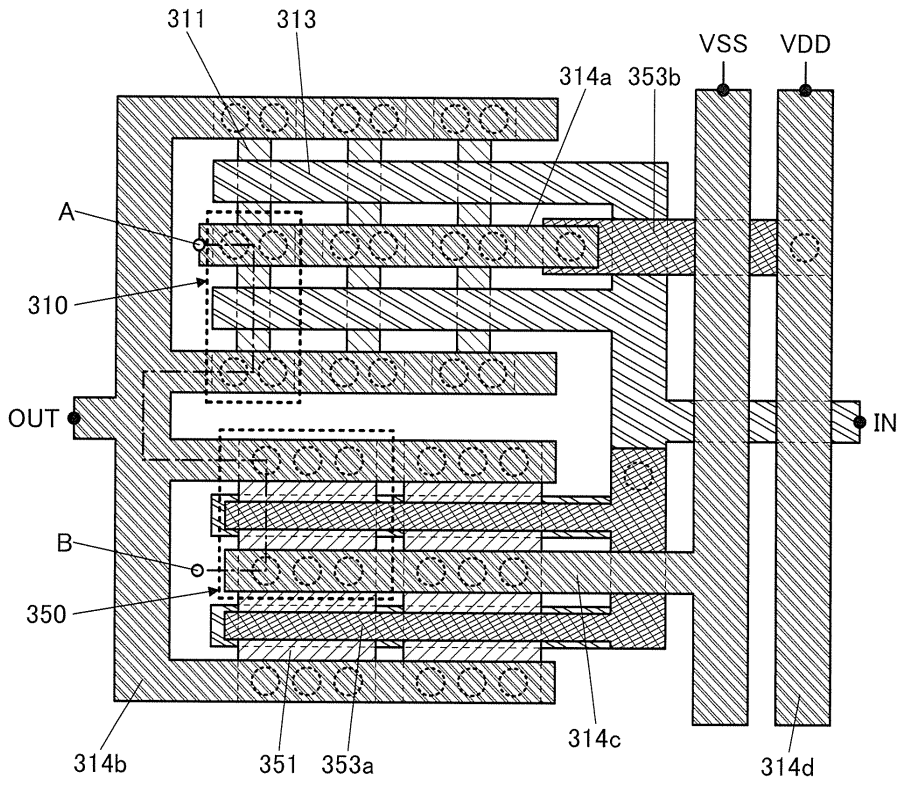


(B)

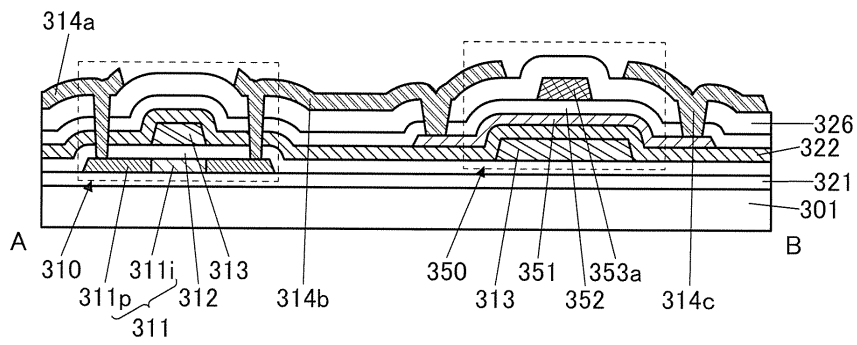


도면10

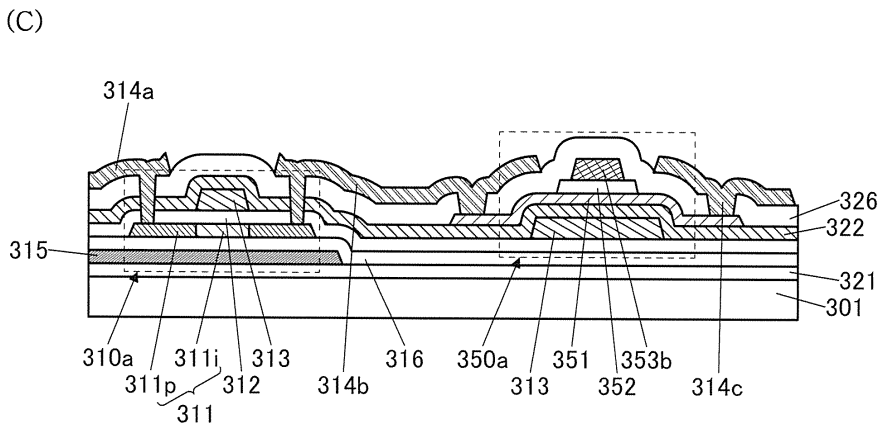
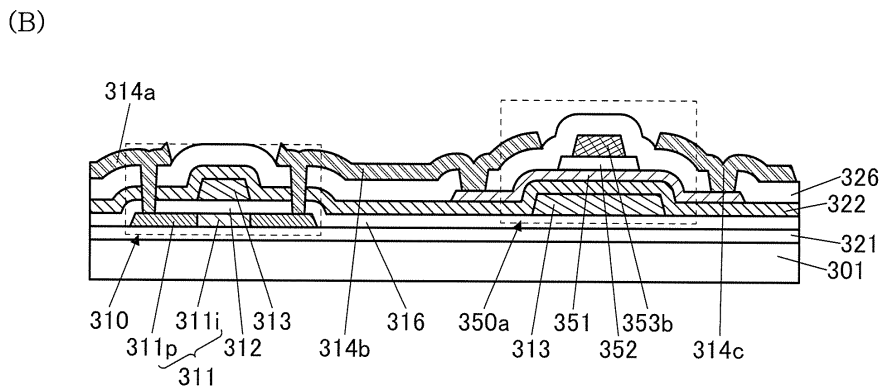
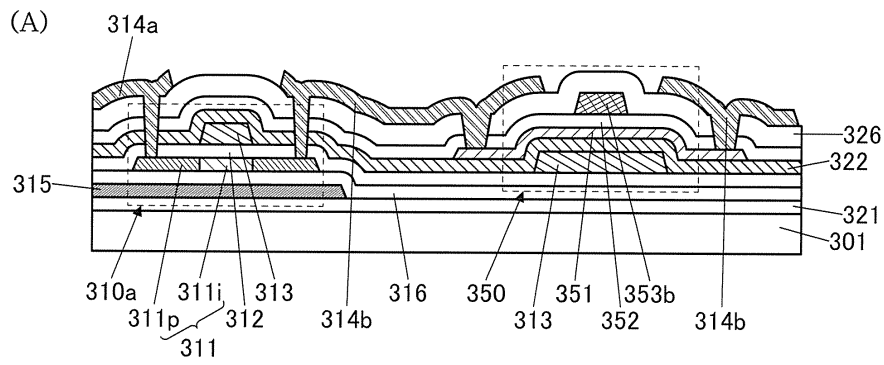
(A)



(B)

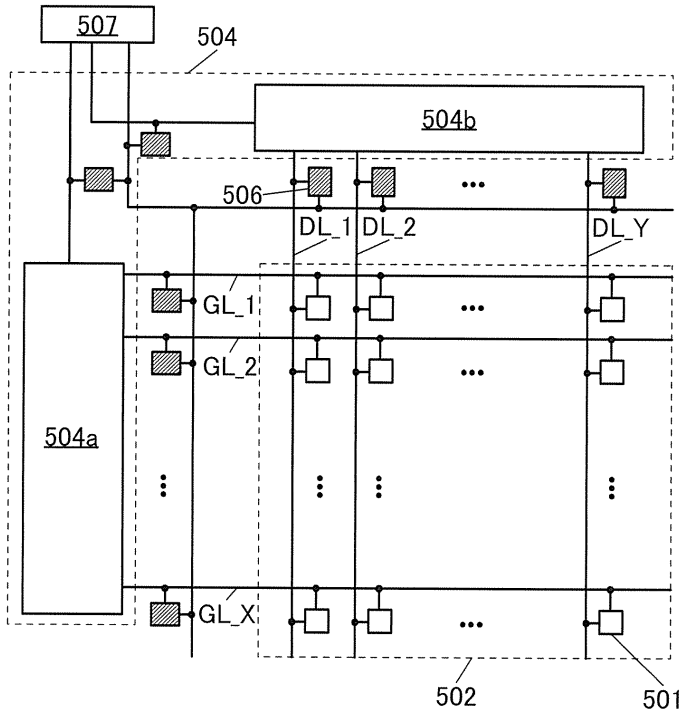


도면11

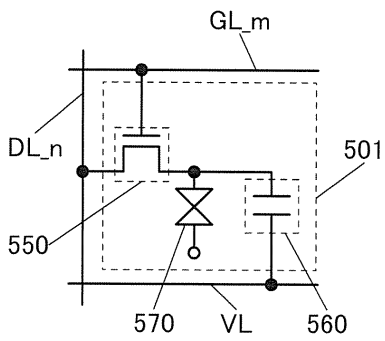


도면12

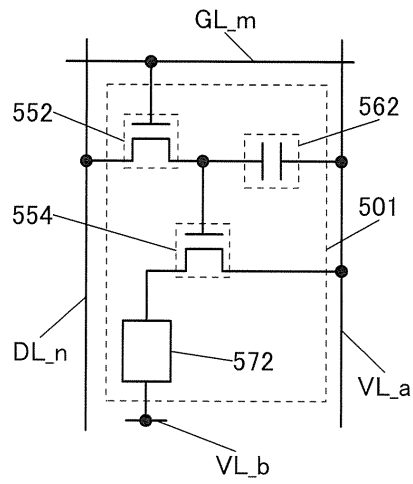
(A)



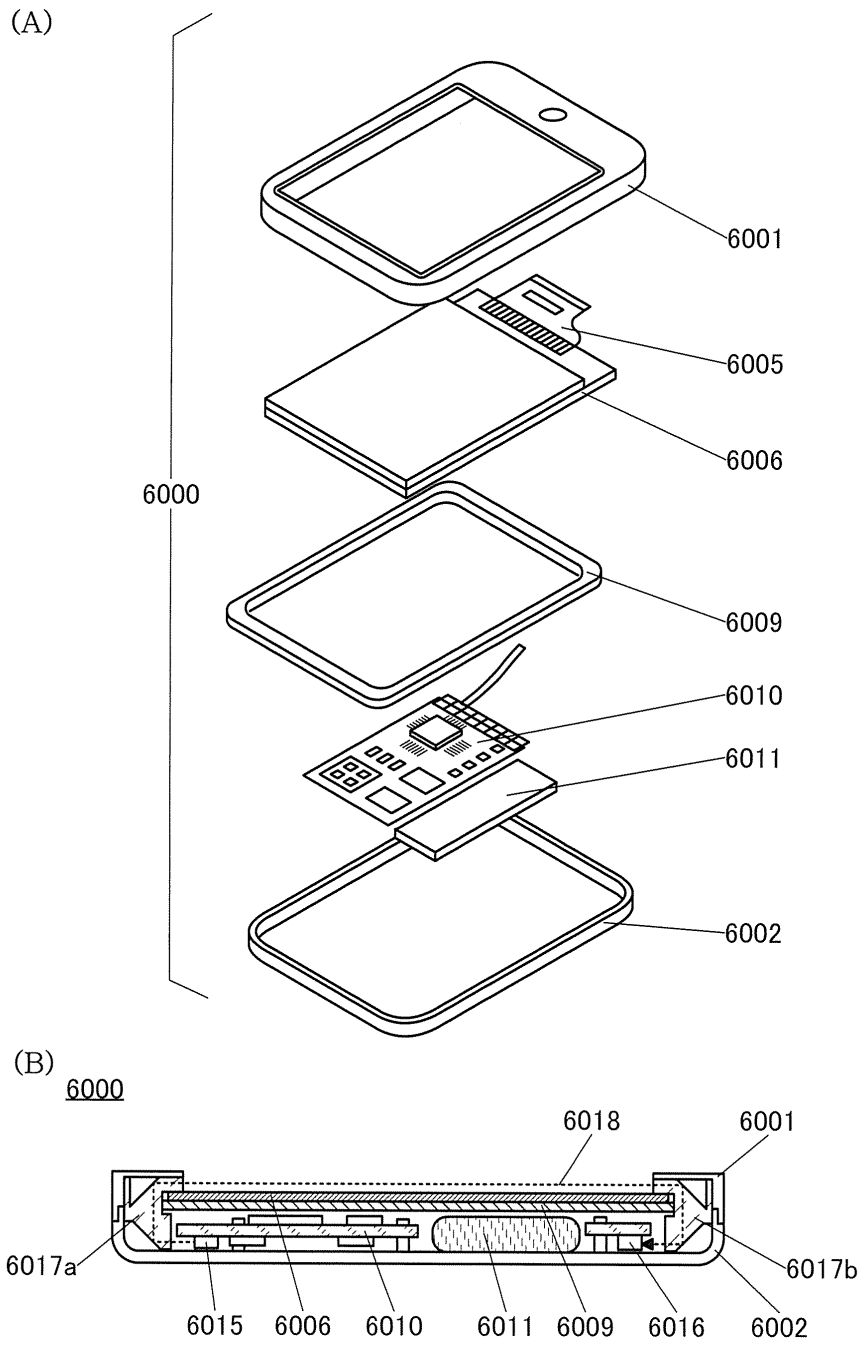
(B)



(C)

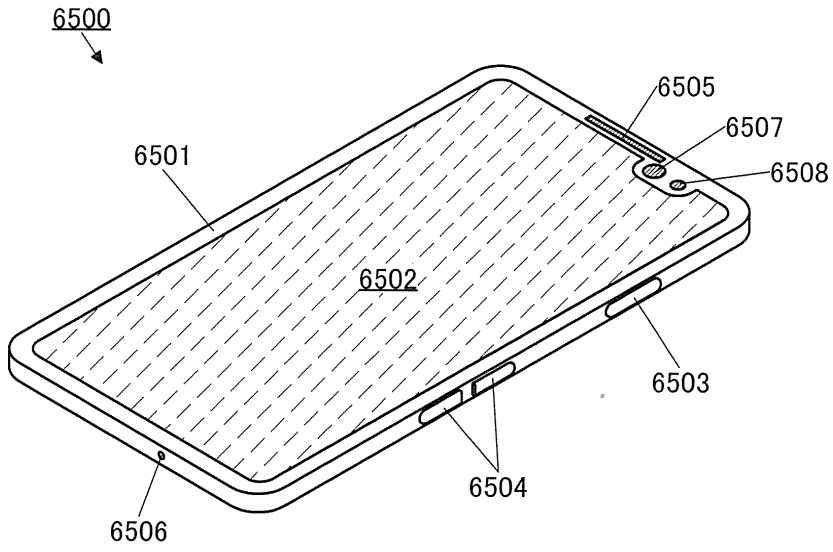


도면13

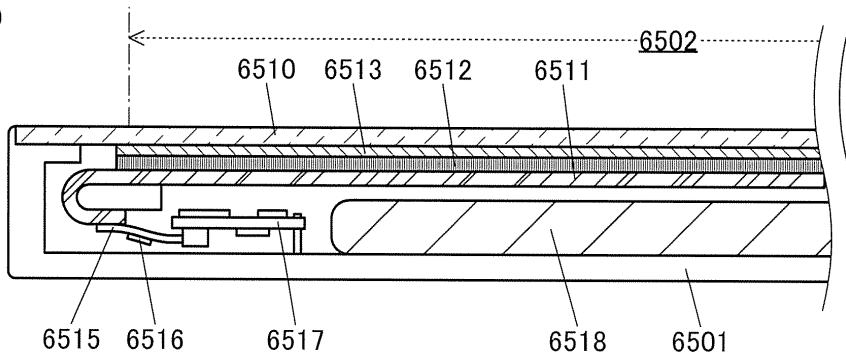


도면14

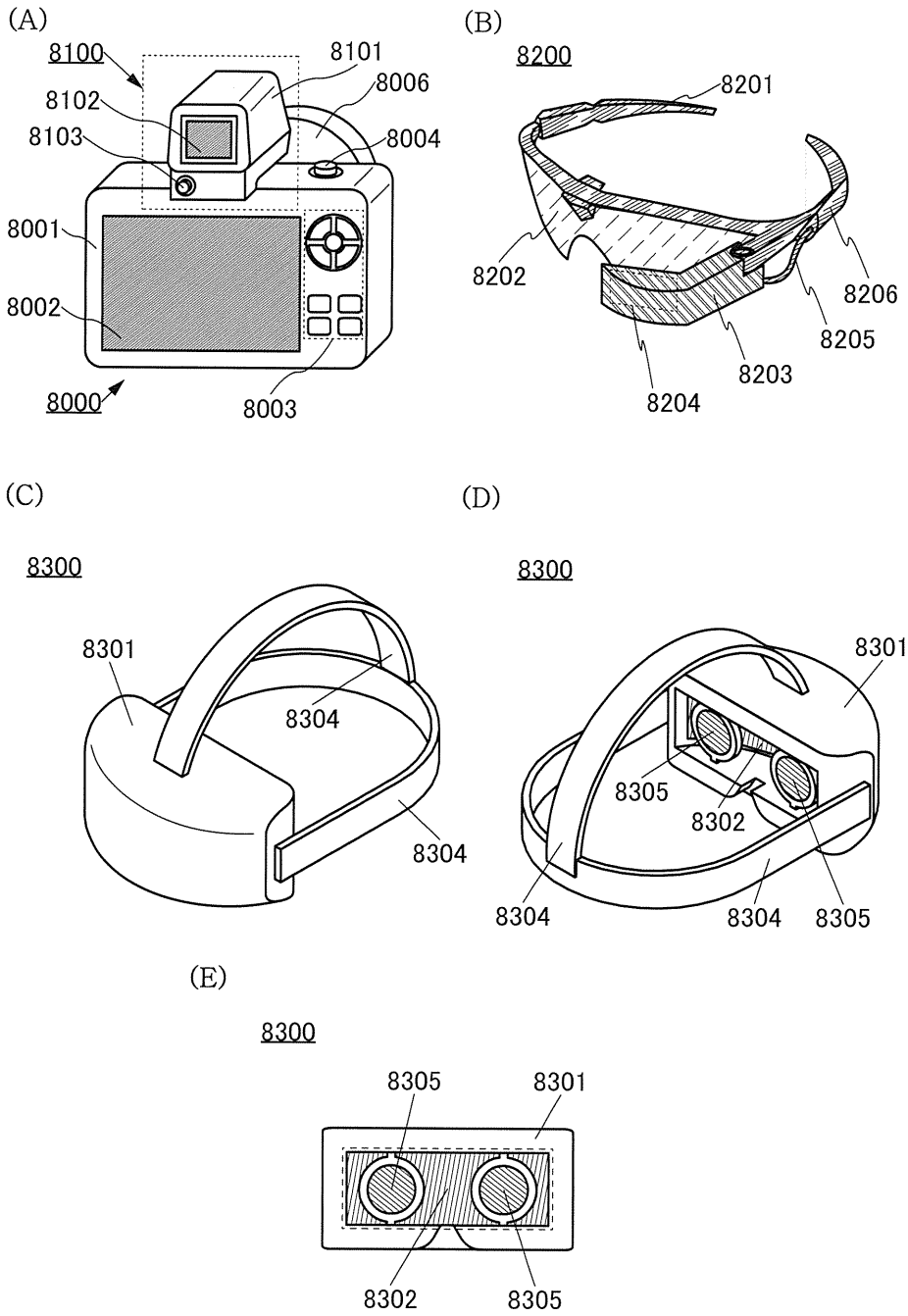
(A)



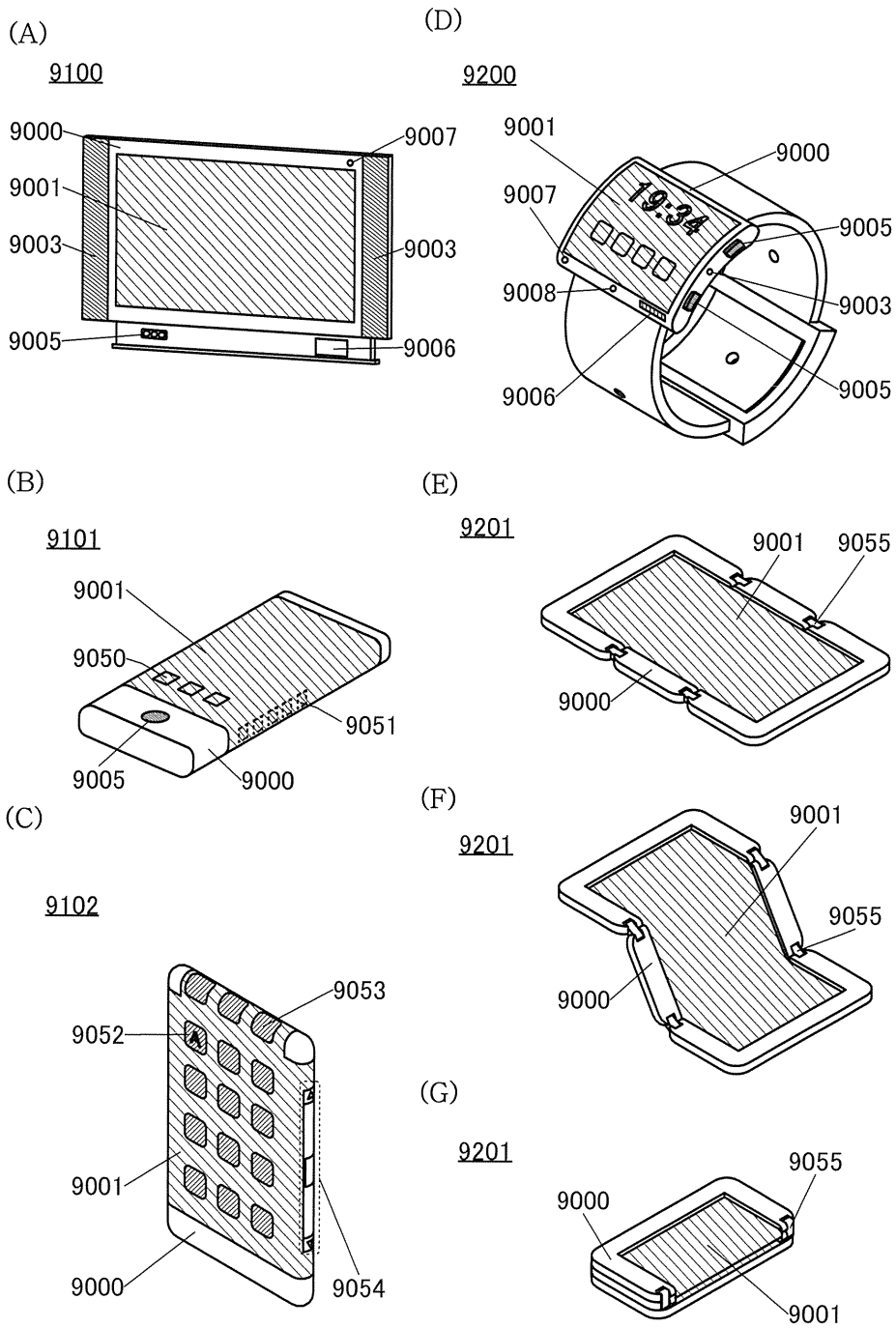
(B)



도면15

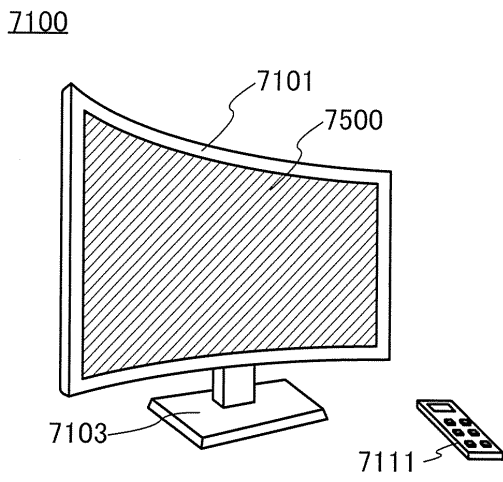


도면16

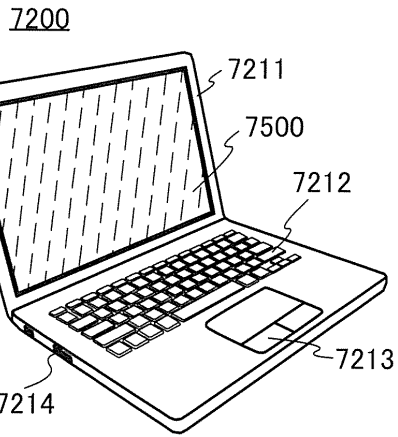


도면17

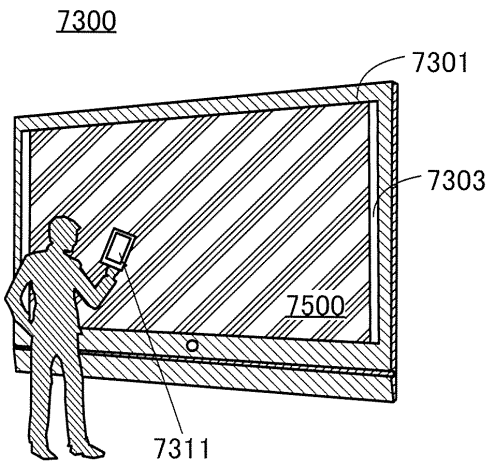
(A)



(B)



(C)



(D)

