



(12)发明专利申请

(10)申请公布号 CN 111344720 A

(43)申请公布日 2020.06.26

(21)申请号 201880072812.3

(74)专利代理机构 北京市金杜律师事务所

(22)申请日 2018.12.13

11256

代理人 鄧迅 彭梦晔

(30)优先权数据

15/841,480 2017.12.14 US

(51)Int.Cl.

G06N 3/08(2006.01)

(85)PCT国际申请进入国家阶段日

2020.05.09

(86)PCT国际申请的申请数据

PCT/IB2018/059993 2018.12.13

(87)PCT国际申请的公布数据

W02019/116291 EN 2019.06.20

(71)申请人 国际商业机器公司

地址 美国纽约阿芒克

(72)发明人 R·陈 范权福 M·皮斯托亚

铃村丰太郎

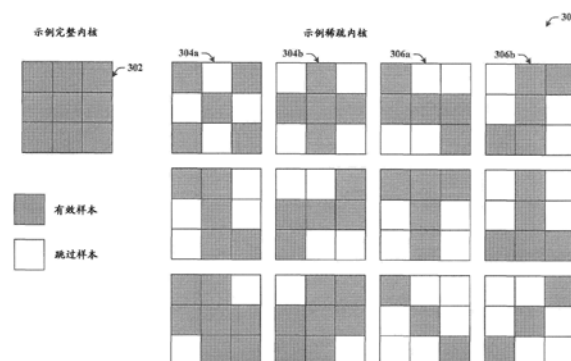
权利要求书3页 说明书13页 附图11页

(54)发明名称

融合稀疏内核以近似卷积神经网络的完整内核

(57)摘要

提供了促进生成融合内核的技术,所述融合内核能够近似卷积神经网络的完整内核。在一个示例中,一种计算机实现的方法包括确定第一样本矩阵的样本的第一模式和第二样本矩阵的样本的第二模式。第一样本矩阵可以代表稀疏内核,并且第二样本矩阵可以代表互补内核。第一模式和第二模式可以彼此互补。该计算机实现的方法还包括基于根据融合方法组合的稀疏内核的特征和互补内核的特征的组合来生成融合内核,并且训练融合内核。



1. 一种用于卷积神经网络的系统,所述系统包括:
存储器,其存储计算机可执行组件;
处理器,其执行存储在所述存储器中的计算机可执行组件,其中所述计算机可执行组件包括:
模式组件,其确定稀疏内核的第一模式和互补内核的第二模式,其中所述第一模式表示有效样本在所述稀疏内核的第一样本矩阵内的位置,并且其中所述第二模式表示有效样本在所述互补内核的第二样本矩阵内的位置,其与所述第一模式互补;
融合组件,其基于根据融合方法组合的所述稀疏内核的特征和所述互补内核的特征的组合,生成表示卷积神经网络的完整内核的近似的融合内核;以及
训练组件,训练所述融合内核。
2. 根据权利要求1所述的系统,其中,所述融合方法利用空间连接操作将所述稀疏内核的所述特征和所述互补内核的所述特征组合,所述空间连接操作利用所述第二模式的有效样本替换所述第一模式的跳过样本。
3. 根据权利要求1所述的系统,其中所述融合方法基于根据算子的所述稀疏内核和所述互补内核的成对级联来组合所述稀疏内核和所述互补内核。
4. 根据权利要求3所述的系统,其中所述算子是加法算子。
5. 根据权利要求3所述的系统,其中所述算子是逆算子。
6. 根据前述权利要求中任一权利要求所述的系统,其中所述融合方法包括逐通道融合程序,所述逐通道融合程序包括基于通道维度中的 1×1 通道矩阵的应用而组合所述稀疏内核、所述互补内核及所述融合内核的特征。
7. 如前述权利要求中任一项所述的系统,其中所述互补内核包括在所述第二样本矩阵内的位置处的至少一个有效样本,所述位置对应于至少一个跳过样本在所述第一样本矩阵内的位置。
8. 如前述权利要求中的任一项所述的系统,其中,所述互补内核包括在所述第二样本矩阵内的所有位置处的有效样本,所述所有位置对应于所述第一样本矩阵内的具有跳过样本的位置。
9. 根据前述权利要求中的任一项所述的系统,其中,所述模式组件基于对分配给先前训练的卷积神经网络的原始学习的完整内核的参数权重的检查来确定所述第一模式。
10. 根据前述权利要求中的任一项所述的系统,其中所述稀疏内核的所述第一样本矩阵是 3×3 矩阵并且所述第一模式具有“+”形状,并且其中所述互补内核的所述第二样本矩阵是 3×3 矩阵并且所述第二模式具有“X”形状。
11. 根据前述权利要求中任一项所述的系统,还包括接收组件,所述接收组件接收包括以下中的至少一个的配置数据:稀疏内核的多种类型;所述互补内核的多种类型;多个稀疏内核;多个互补内核;用于成对核融合的算子;或者指示是否使用逐通道融合的指示符。
12. 一种用于卷积神经网络的计算机实现的方法,所述方法包括:
由操作地耦合到处理器的设备,确定稀疏内核的第一模式和互补内核的第二模式,其中所述第一模式表示有效样本在所述稀疏内核的第一样本矩阵内的位置,并且其中所述第二模式表示有效样本在所述互补内核的第二样本矩阵内的位置,其与所述第一模式互补;
响应于根据融合方法组合的所述稀疏内核的特征与所述互补内核的特征的组合,由所

述装置,生成表示卷积神经网络的完整内核的近似的融合内核;以及

由所述设备,训练所述融合内核。

13. 根据权利要求12所述的方法,其中所述融合方法利用空间连接操作将所述稀疏内核的所述特征和所述互补内核的所述特征组合,所述空间连接操作使用所述第二模式的有效样本替换所述第一模式的跳过样本。

14. 根据权利要求12或13中任一项所述的方法,其特征在于,所述融合方法基于根据算子的所述稀疏内核和所述互补内核的成对级联来组合所述稀疏内核和所述互补内核。

15. 根据权利要求14所述的方法,其中所述算子是加法算子。

16. 根据权利要求14所述的方法,其中所述算子是逆算子。

17. 根据权利要求12到16中任一权利要求所述的方法,其中所述融合方法包括逐通道融合程序,所述逐通道融合程序包括基于通道维度中的 1×1 通道矩阵的应用而组合所述稀疏内核、所述互补内核及所述融合内核的特征。

18. 如权利要求12至17中的任一项所述的方法,其中,所述互补内核包括在所述第二样本矩阵内的与至少一个跳过样本在所述第一样本矩阵内的位置对应的位置处的至少一个有效样本。

19. 如权利要求12至18中的任一项所述的方法,其中,所述互补内核包括所述第二样本矩阵内的所有位置处的有效样本,所述所有位置与所述第一样本矩阵内具有跳过样本的位置相对应。

20. 根据权利要求12至19中的任一项所述的方法,其中,所述模式组件基于对分配给先前训练的卷积神经网络的原始学习的完整内核的参数权重的检查来确定所述第一模式。

21. 根据权利要求12至20中任一项所述的方法,其中所述稀疏内核的所述第一样本矩阵是 3×3 矩阵并且所述第一模式具有“+”形状,并且其中所述互补内核的所述第二样本矩阵是 3×3 矩阵并且所述第二模式具有“X”形状。

22. 根据权利要求12至21中任一项所述的方法,还包括接收配置数据,所述配置数据包括以下中的至少一个:稀疏内核的多种类型;所述互补内核的多种类型;多个稀疏内核;多个互补内核;用于成对核融合的算子;或者指示是否使用逐通道融合的指示符。

23. 根据权利要求12至22中的任一项所述的计算机实现的方法,还包括由所述设备接收配置数据,所述配置数据包括:所述稀疏内核的类型的数量、所述互补内核的类型的数量、稀疏内核的数量、互补内核的数量、用于成对内核融合的算子的标识、或者指示是否要使用逐通道融合的指示符。

24. 根据权利要求12至23中的任一项所述的计算机实现的方法,其中,生成所述融合内核包括基于根据算子的所述稀疏内核和所述互补内核的成对级联来组合所述稀疏内核和所述互补内核。

25. 根据权利要求12到24中任一权利要求所述的计算机实施的方法,其中所述产生所述融合内核包括逐通道融合程序,所述逐通道融合程序包括基于通道维度中的 1×1 通道矩阵的应用而组合所述稀疏内核、所述互补内核及所述融合内核的特征。

26. 一种用于卷积神经网络的计算机程序产品,所述计算机程序产品包括:

一种计算机可读存储介质,其可由处理电路读取并且存储用于由所述处理电路执行以执行根据权利要求12至25中任一项所述的方法的指令。

27.一种存储在计算机可读介质上并且可加载到数字计算机的内部存储器中的计算机程序,包括软件代码部分,当所述程序在计算机上运行时,用于执行根据权利要求12至25中任一项所述的方法。

融合稀疏内核以近似卷积神经网络的完整内核

技术领域

[0001] 本公开涉及融合稀疏内核和卷积神经网络 (CNN)。

背景技术

[0002] CNN可以表示可以利用深度前馈人工神经网络的一种机器学习的类型。CNN在图像和视频识别、推荐系统、自然语言处理和其他领域中已经显示出显著的成功。通常，CNN体系结构由不同层的堆栈形成，这些层通过可微分函数将输入卷变换成输出卷，同时保持类得分。CNN一般包括通常使用的若干不同类型的层。例如，卷积层可以是CNN的内核构建块。卷积层的参数通常包括一组可学习滤波器，其在本文中被称为“内核”。例如，内核可以由矩阵表示。为了简单起见，在本文件中采用 3×3 矩阵来说明某些方面或技术，但应理解，所揭示的标的物可与实质上任何矩阵大小一起使用，例如， 5×5 矩阵、 7×7 矩阵等。

[0003] 给定的内核通常具有小的感受野 (receptive field)，但是可以延伸通过输入卷的整个深度。在CNN的正向传递期间，每个内核可以跨越输入卷的宽度和高度进行卷积，计算内核的条目与输入之间的点积，产生该内核的2维激活映射。作为一个结果，CNN可以学习过滤器，其当检测到输入中的某个空间位置处的某个特定类型的特征时激活。沿着深度维度堆叠所有滤波器的激活图可以形成卷积层的全部输出卷。因此，输出卷中的每个条目也可被解释为查看输入的小区域并与相同激活映射中的神经元共享参数的“神经元”的输出。卷积神经网络通常具有非常重的计算负荷和大的模型大小。为了提高精度，深CNN通常基本上被过度参数化，例如，利用许多不必要的参数来实现。由于与完整内核上的计算相关联的繁重的计算负荷和大的模型大小，已经观察到，当使用近似而不是完整内核时，完整内核的近似可以提供优势。近似完整内核的一种方式被称为低排序近似 (low-rank approximation)，其中低秩矩阵 (例如， $3 \times 1 \times 1$ 和 $1 \times 3 \times 1$) 被组合以表示完整 (例如， $3 \times 3 \times 3$) 内核的近似。这样的技术可以减少计算负荷和模型大小，但是也倾向于减少感受野以及模型的潜在准确性。近似完整内核的另一种方法是使用稀疏内核。稀疏内核基于某种策略省略或跳过一个或多个空间位置处的参数，通常省略具有低参数权重的那些样本位置。这也倾向于提供例如由于减小的感受野而在减小的负载和模型尺寸相对于模型精度之间的折衷。

[0004] 因此，在本领域中需要解决上述问题。

发明内容

[0005] 从第一方面来看，本发明提供了一种用于卷积神经网络的系统，包括：存储器，其存储计算机可执行组件；处理器，其执行存储在所述存储器中的计算机可执行组件，其中所述计算机可执行组件包括：模式组件，其确定稀疏内核的第一模式和互补内核的第二模式，其中所述第一模式表示有效样本在所述稀疏内核的第一样本矩阵内的位置，并且其中所述第二模式表示有效样本在所述互补内核的第二样本矩阵内的位置，其与所述第一模式互补；融合组件，其基于根据融合方法组合的所述稀疏内核的特征和所述互补内核的特征的组合，生成表示卷积神经网络的完整内核的近似的融合内核；以及训练该融合内核的训练

组件。

[0006] 从另一方面来看,本发明提供了一种用于卷积神经网络的计算机实现的方法,该方法包括:由操作地耦合到处理器的设备,确定稀疏内核的第一模式和互补内核的第二模式,其中所述第一模式表示有效样本在所述稀疏内核的第一样本矩阵内的位置,并且其中所述第二模式表示有效样本在所述互补内核的第二样本矩阵内的位置,其与所述第一模式互补;响应于根据融合方法组合的所述稀疏内核的特征与所述互补内核的特征的组合,由所述装置,生成表示卷积神经网络的完整内核的近似的融合内核;以及由所述设备,训练所述融合内核。

[0007] 从另一方面来看,本发明提供了一种计算机实现的方法,包括:由操作地耦合到处理器的设备确定表示稀疏内核的第一样本矩阵的第一样本模式;由所述装置确定表示互补内核的第二样本矩阵的与所述第一样式互补的第二样本模式;由所述装置基于根据融合方法组合的所述稀疏内核的特征与所述互补内核的特征的组合而产生融合内核,其中所述融合内核表示完整内核的近似;以及由所述设备训练包括所述融合内核的卷积神经网络。

[0008] 从另一方面来看,本发明提供了一种用于卷积神经网络的计算机程序产品,该计算机程序产品包括计算机可读存储介质,该计算机可读存储介质可由处理电路读取并且存储用于由处理电路执行以执行用于执行本发明的步骤的方法的指令。

[0009] 从另一方面来看,本发明提供了一种存储在计算机可读介质上并且可加载到数字计算机的内部存储器中的计算机程序,包括软件代码部分,当所述程序在计算机上运行时,用于执行本发明的步骤。

[0010] 以下给出了概述以提供对本发明的一个或多个实施例的基本理解。本概述不旨在标识关键或重要元素,或描绘特定实施例的任何范围或权利要求的任何范围。其唯一目的是以简化形式呈现概念,作为稍后呈现的更详细描述的前言。在本文描述的一个或多个实施例中,描述了促进用于并行深度学习的处理组件的同步的系统、计算机实现的方法、装置和/或计算机程序产品。

[0011] 根据本发明的实施例,一种系统可以包括存储计算机可执行组件的存储器和执行存储在存储器中的计算机可执行组件的处理器。计算机可执行组件可以包括确定稀疏内核的第一模式和互补内核的第二模式的模式组件。稀疏内核可以包括由跳过样本和有效样本组成的第一样本矩阵,并且第一模式可以表示有效样本在第一样本矩阵内的位置。互补内核可以包括由跳过样本和有效样本组成的第二样本矩阵,并且第二模式可以表示有效样本在第二样本矩阵内的位置,其与所述第一模式互补。计算机可执行组件可以包括融合组件,该融合组件可以基于稀疏内核的特征和互补内核的特征的组合来生成融合内核,该稀疏内核的特征和互补内核的特征是根据融合方法来组合的。融合内核可以表示卷积神经网络的完整内核的近似。计算机可执行组件还可以包括可以训练融合内核的训练组件。

[0012] 在一些实施例中,结合系统描述的元件可以以不同的形式体现,诸如计算机实现的方法、计算机程序产品或另一形式。

附图说明

[0013] 现在将仅通过实施例并参考优选实施方案描述本发明实施方案,如以下附图所示

[0014] 图1示出了描绘根据本文描述的一个或多个实施例的典型的预先训练的CNN的权

重可视化的图；

[0015] 图2示出了根据本文描述的一个或多个实施例的示例非限制性系统的框图，该系统融合多个稀疏内核以近似卷积神经网络的完整内核；

[0016] 图3图示了描绘根据本文描述的一个或多个实施例的卷积神经网络的内核的各种示例表示的框图；

[0017] 图4示出了描述根据本文描述的一个或多个实施例的第一示例融合方法的框图；

[0018] 图5示出了描述根据本文描述的一个或多个实施例的第二示例融合方法的框图；

[0019] 图6示出了更详细地描绘根据本文描述的一个或多个实施例的示例融合方法的框图；

[0020] 图7示出了根据本文描述的一个或多个实施例的提供原始学习内核示例与稀疏内核、互补内核和融合内核的各种示例的说明性权重可视化比较的图；

[0021] 图8示出了根据本文描述的一个或多个实施例的示例非限制性系统的框图，该系统融合多个稀疏内核以近似卷积神经网络的完整内核；

[0022] 图9示出了根据本文描述的一个或多个实施例的可以融合多个稀疏内核以近似卷积神经网络的完整内核的示例非限制性计算机实现的方法的流程图；

[0023] 图10示出了根据本文描述的一个或多个实施例的可以提供用于融合多个稀疏内核以近似卷积神经网络的完整内核的附加方面或元素的示例非限制性计算机实现的方法的流程图；以及

[0024] 图11示出了其中可便于此处所描述的一个或多个实施例的示例、非限制性操作环境的框图。

具体实施方式

[0025] 以下详细描述仅是说明性的，并且不旨在限制实施例和/或实施例的应用或使用

[0026] 如本文进一步详述的，近似完整内核的另一种方式是融合多个稀疏内核。此外，这些稀疏基核可以基于确定性空间模式来确定或选择，这可以提供将变得显而易见的优点。为了说明，考虑使用完整内核的完全训练的CNN，其中的许多示例存在于本领域中。图1描绘了图示典型的预先训练的CNN的权重可视化的图100。在这方面，图100示出了若干行和列的内核。如图所示，内核102在列1的行1中。内核102表示 3×3 矩阵，并且 3×3 矩阵的每个元素可以表示不同的空间位置。这些位置（例如，样本）中的每一个基于相关联的参数权重来加阴影，其中较浅的阴影表示较重的参数权重。

[0027] 作为观察，注意到，该示例的完全训练的CNN层的众多内核具有稀疏化内核的特性，例如，对于一些样本的低参数权重，以及对于其他样本的高参数权重。作为另一观察，许多内核的稀疏性质具有类似的模式，诸如加号（例如，“+”）模式和/或“x”模式。例如，参见内核104。

[0028] 在一些实施例中，所公开的主题可以提供近似于完整内核的近似内核，这将在本文进一步详细描述。这可减少参数的数量，这可减少与执行CNN有关的计算资源（例如，操作、运行时存储器、磁盘空间等）。该近似的内核可以是多个（例如，两个或更多个）稀疏内核之间的融合的结果。然而，与其中基于可变约束（例如，参数权重）稀疏化内核的其它方法不同，在一些实施例中，可以基于一个或多个定义的模式（例如，“十”形、“X”形等）确定性地选

择所公开的主题的稀疏内核。融合稀疏内核以近似完整内核可表示优于简单地利用稀疏内核来近似完整内核的显著优点。此外,通过确定性地选择与待融合的稀疏内核相关联的模式或形状,近似(例如,融合)内核的感受野(receptive field)可以近似整个核的感受野。在这方面,可确定性地选择待融合的稀疏内核以具有彼此互补的模式,这在下文进一步详细描述。

[0029] 再次转向附图,图2示出了根据本文描述的一个或多个实施例的示例非限制性系统200的框图,该系统融合多个稀疏内核以近似卷积神经网络的完整内核。系统200和/或系统200的组件可被用来使用硬件和/或软件来解决本质上是高度技术性的、非抽象的、以及不能作为人类的一组智力动作来执行的问题。实际上,所公开的主题的一些实施例涉及使用利用深度学习技术编程的非生物架构(例如,计算机硬件)来模拟生物过程。根据定义,由人执行的智力动作表示例如神经元的生物过程,但不表示通过非生物结构元件对神经元的仿真。神经元的仿真仅在神经元本身未被采用(否则不需要仿真)时有意义,而在使用和/或必需需要其他架构(例如,计算机硬件)时有意义。此外,所执行的一些过程可以由用于执行与卷积神经网络相关的定义任务的专用计算机来执行。在一些实施例中,系统200和/或系统200的组件或本文描述的其它系统可用于解决由于技术、计算机网络、因特网等的进步而引起的新问题。在一些实施例中,系统200可提供对卷积神经网络的技术改进,诸如例如减少计算负荷、减少模型大小、减少所需的操作的数目、增加模型准确度等。

[0030] 系统200可以包括处理器和存储可执行指令的存储器,当由处理器执行时,所述可执行指令促进操作的执行。所述处理器和存储器以及其他合适的计算机或基于计算的元件的示例可以参考图11找到,并且可以结合实现结合图2或本文公开的其他附图示出和描述的系统或组件中的一个或多个来使用。

[0031] 在该示例中,系统200可以包括模式组件202。模式组件202可以确定或选择与卷积神经网络的内核(例如,滤波器)相关联的各种模式和/或形状。这种确定由附图标记204示出。应当理解,模式的确定或选择可以以确定性的方式执行,使得可以预先确定或知道模式和/或可以在训练卷积神经网络之前确定或知道模式。例如,模式组件202可以确定第一模式206和第二模式208。第一模式206可以表示与稀疏内核心210相关联的模式或形状,而第二模式208可以表示与互补内核心212相关联的模式或形状,该互补内核心可以与第一模式206互补。

[0032] 在一些实施例中,模式组件202可以基于输入或存储的数据确定或选择第一模式206和/或第二模式208。在一些实施例中,这些数据可以反映关于确定性模式选择的专业知识、知识或策略。在一些实施例中,这些数据可以基于对分配给先前训练的卷积神经网络的原始学习内核的参数权重的检查。例如,模式组件202可以基于检查先前训练的网络的参数权重,诸如结合图1提供的示例,或者基于其他数据,来确定或选择第一模式206。在一些实施例中,用于确定或选择特定确定性模式的此类数据可作为配置数据的一部分来接收(未示出,但参见图8的配置数据804)。

[0033] 尽管仍参考图2,但现在还转到图3,示出了框图300。框图300描绘了根据本文描述的一个或多个实施例的卷积神经网络的内核的各种示例表示。为了简洁,省略了在这里描述的其它实施例中采用的类似元件的重复描述。

[0034] 例如,示出了示例性的完整内核302。完整内核302可以是其中所有样本都是有效

样本的内核。再次,这里的内核表示 3×3 矩阵,尽管可以理解,也可以考虑其它矩阵大小。如所描绘的, 3×3 矩阵的所有九个空间位置都包含有效样本(例如,具有指定的参数权重等)。因此,有效样本由加阴影的样本区域指示,而跳过样本(例如,不具有参数等)由没有加阴影的样本区域(例如,白色)指示。注意,这与图1不同,其中样本区域的阴影对应于底层参数权重,这里未示出。

[0035] 还描绘了具有与有效样本相关联的某些确定性模式(例如,第一模式206或第二模式208)的稀疏内核(例如,稀疏内核210或互补内核212)的若干示例。换言之,诸如稀疏内核210的给定稀疏内核可以包括第一样本矩阵(例如, 3×3),其包括跳过样本和有效样本。与稀疏内核210相关联的确定性模式,诸如第一模式206,可以表示有效样本的第一样本矩阵内的位置,注意,操作的数量和参数的数量可以基于跳过样本的数量而减少。

[0036] 互补内核212也可以表示一种类型的稀疏内核。也就是说,互补内核212可以包括第二采样矩阵,该第二采样矩阵包括跳过样本和有效采样。第二模式208可以表示有效样本的第二样本矩阵内的位置。在一些实施例中,第二模式208可以表示与由第一模式206指示的有效样本互补的有效样本。例如,稀疏内核心304a形成'X'形状,而稀疏内核心304b形成'+ '形状。由于稀疏内核304a的有效样本与稀疏内核304b的有效样本互补,或者备选地与稀疏内核304b的跳过样本重合,所以稀疏内核304b可以是稀疏内核304a的互补内核212,反之亦然。尽管具有不同的模式,但关于稀疏内核306a和306b描绘了类似的示例。另外,虽然不是穷举的,但是结合 3×3 矩阵提供了许多其他示例,并且其他矩阵大小将证明其他示例。

[0037] 在一些实施例中,如果互补内核212(或多个稀疏内核的组合)在第二矩阵内的所有位置处包括有效样本,该第二矩阵的所有位置对应于具有跳过样本的稀疏内核210的第一矩阵内的位置,则互补内核212可以被称为与稀疏内核210"互补"。在一些实施例中,如果互补内核212(或多个稀疏内核的组合)包括第二矩阵内的至少一个有效样本,其对应于至少一个跳过样本的稀疏内核210的第一矩阵内的位置,则互补内核212可以被认为是与稀疏内核210互补。应当理解,通过确定性地选择彼此互补的第一模式206和第二模式208,第一模式206的至少一些跳过样本可以由第二模式208的有效样本表示,这可以导致对完整内核302的感受野的更鲁棒的近似。

[0038] 为了实现与一些实施例有关的这些和其它优点,稀疏内核210可以与互补内核212组合或"融合",这可以通过转回图2来进一步详述。例如,系统200可包括融合组件214。融合组件214可以被配置为基于稀疏内核210的特征和互补内核212的特征的组合来生成融合内核218。如所示,融合组件214可以基于融合方法216来构造或生成融合内核218,其示例结合图4-6示出。

[0039] 另外,系统200可以包括训练组件220,其可以被配置为执行训练操作222以训练融合内核218。例如,经训练的融合内核224可以基于训练操作222在融合内核218上的应用而被构造或生成。在一些实施例中,经训练的融合内核224可以从头开始训练。

[0040] 现在参考图4,呈现了框图400。框图400示出了根据本文描述的一个或多个实施例的第一示例融合方法。为了简洁,省略了在这里描述的其它实施例中采用的类似元件的重复描述。在该示例中,融合组件214可以接收稀疏内核210和互补内核212作为输入。应当理解,稀疏内核210和互补内核212可以根据一些合适的过程被稀疏化和/或不是在所有位置处具有有效样本的完整内核,而是也包括跳过样本。还应当理解,与有效样本相关联的模式

可以是预定的和/或确定性地选择或识别的,并且这些模式可以是彼此互补的。因此,作为示例,稀疏内核210可以表示为具有“X”形模式的稀疏内核304a,并且互补内核212可以表示为具有与稀疏内核304a的“X”形模式完全互补的“十字”形模式的稀疏内核304b。

[0041] 在一些实施例中,融合组件214可以利用空间连接操作将稀疏内核210的特征和互补内核的特征组合,该空间连接操作使用第二模式208的有效样本替换第一模式206的跳过样本。这由第一示例融合方法402示出,其表示融合方法216的一个示例。在一些实施例中,融合方法216可以根据算子404基于稀疏内核和互补内核的成对级联来组合稀疏内核210和互补内核212。在一些实施例中,算子404可以是附加算子,如图所示。在一些实施例中,算子404可以附加地或替换地是逆算子(例如,乘以-1)。

[0042] 如附图标记406所示,稀疏内核210和互补内核212的组合可以基于适当的级联,并且可以采用修正线性单元(ReLU)过程。因此,可以生成融合内核218,其示例由附图标记408提供。应当理解,融合内核218可以是完整内核的近似。在一些实施例中,融合内核218可以包括比完整内核更少的参数,这可以导致减少的计算资源需求,但是可以具有非常接近地近似完整内核的感受野。

[0043] 现在参考图5,呈现了框图500。框图500示出了根据本文描述的一个或多个实施例的第二示例融合方法。为了简洁,省略了在这里描述的其它实施例中采用的类似元件的重复描述。在该示例中,融合组件214可以接收稀疏内核210和互补内核212作为输入。作为响应,融合组件可执行第二示例融合方法502,其可包括基于根据算子404的稀疏内核和互补内核的成对级联来组合稀疏内核210和互补内核212,如结合图4的第一示例融合方法402基本上详细描述的。另外或替代地,第二示例融合方法502可以包括逐通道融合过程,其包括基于在通道维度中应用 1×1 通道矩阵来组合稀疏内核、互补内核和融合内核的特征,其在附图标记504处示出。这种通道式核融合的结果可以产生融合内核218。

[0044] 现在转到图6,呈现了框图600。框图600更详细地示出了根据本文所述的一个或多个实施例的示例融合方法。为了简洁,省略了在这里描述的其它实施例中采用的类似元件的重复描述。在一些实施例中,融合组件214可以根据一个或多个算子基于稀疏内核和互补内核的成对内核融合过程602来组合稀疏内核210和互补内核212。在一些实施例中,成对内核融合过程602可以利用添加算子,如所图示的。在一些实施例中,成对内核融合过程602可以另外或替代地利用逆算子(例如,乘以-1)。在一些实施例中,稀疏内核210和互补内核212可以在成对内核融合过程602期间由选定的算子或由多个算子组合。在一些实施例中,稀疏内核210和互补内核212的组合可以采用一个或多个ReLU过程。

[0045] 在附图标记406处示出的级联和/或ReLU过程之后,或者在一些实施例中,在附图标记406之前,可以根据逐通道融合过程504来融合合适的数据,如根据图5的第二示例融合方法502所详述的。结果可以是融合内核218。

[0046] 现在参考图7,呈现了图700。图700提供了根据本文描述的一个或多个实施例的原始学习内核示例与稀疏内核、互补内核和融合内核的各种示例的说明性权重可视化比较。为了简洁,省略了在这里描述的其它实施例中采用的类似元件的重复描述。图700呈现权重可视化视图。例如,描绘了各种示例 3×3 内核,并且根据对应位置的参数权重来对各个内核的空间位置加阴影,类似于图1。较亮的阴影梯度反映较高的参数权重。

[0047] 附图标记702表示原始学习内核的权重可视化。附图标记704和706表示彼此互补

的稀疏内核的权重可视化。在该示例中,由附图标记704描绘的内核表示具有X形模式的内核,而由附图标记706描绘的内核表示具有+形模式的内核。参考标号708表示已经根据以上详述的技术融合的对应的融合内核。

[0048] 现在转到图8,呈现了系统800。系统800示出了根据本文描述的一个或多个实施例的示例非限制性系统800的框图,该系统融合多个稀疏内核以近似卷积神经网络的完整内核。为了简洁,省略了在这里描述的其它实施例中采用的类似元件的重复描述。系统800可以基本上类似于系统200。另外,系统800可进一步包括接收组件802。接收组件802可以被配置为接收可以用于配置和/或指定系统200或800的操作参数的配置数据804。如已经详细描述,配置数据804可以包括可以(例如,由模式组件202)用于指定、选择或以其他方式确定第一模式206或第二模式208的数据,其可以是实现特性、专业知识或先前存储的数据的乘积,或者基于与其他经训练的卷积神经网络的某些层相关联的观察。

[0049] 在一些实施例中,配置数据804还可以包括多种类型的稀疏内核和/或多种类型的互补内核,其分别由附图标记806和808指示。参考图3提供了稀疏内核和/或互补内核的类型的非穷举和非限制性示例。在一些实施例中,配置数据804可以包括分别由附图标记810和812指示的多个稀疏内核和/或多个互补内核。

[0050] 在一些实施例中,配置数据804可以包括指示或指定用于成对内核融合的算子的数据,这由附图标记814示出。例如,参考图6的成对内核融合602,可以指示加法算子、逆算子或另一合适的算子,以及可以指定其组合。在一些实施例中,配置数据804可以包括指示是否要使用逐通道融合的数据,这由附图标记816示出。例如,如果不使用逐通道融合,则可以采用图4的第一示例融合方法402。另一方面,如果要使用逐通道融合,则可以采用图5的第二示例融合方法502。

[0051] 图9和10示出了根据所公开的主题的各种方法。尽管为了简化说明,将方法示出并描述为一系列动作,但是应当理解并认识到,所公开的主题不受动作顺序的限制,因为一些动作可以以不同的顺序发生和/或与本文示出并描述的其它动作同时发生。例如,本领域技术人员将理解和明白,方法可以替换地被表示为诸如状态图中的一系列相互关联的状态或事件。此外,并非所有示出的动作都是实现根据所公开的主题的方法所必需的。另外,还应当理解,下文中以及贯穿本说明书所公开的方法能够被存储在制品上,以便于将这些方法传输和传送到计算机。

[0052] 图9示出了根据本文描述的一个或多个实施例的可以融合多个稀疏内核以近似卷积神经网络的完整内核的示例非限制性计算机实现的方法的流程图900。为了简洁,省略了在这里描述的其它实施例中采用的类似元件的重复描述。在附图标记902处,操作性地耦合到处理器的设备(例如,系统200、800)可以确定包括有效样本和跳过样本的第一样本矩阵的第一模式。第一样本矩阵可以代表稀疏内核,并且第一模式可以代表第一样本矩阵的有效样本。

[0053] 在参考标号904处,设备可确定包括有效样本和跳过样本的第二样本矩阵的第二模式。第二样本矩阵可以代表互补内核。第二模式可以代表第二样本矩阵的有效样本。第二样本矩阵的有效样本可以与第一样本矩阵的有效样本互补。

[0054] 在参考标号906处,设备可以基于稀疏内核的特征和互补内核的特征的组合来生成融合内核,所述稀疏内核的特征和互补内核的特征是根据融合方法组合的。融合内核可

以表示完整内核的近似。在一些实施例中,融合内核可以具有比完整内核更少的参数,这可以导致更少的操作和减少的资源消耗以操作卷积神经网络以及更紧凑的CNN模型。在一些实施例中,融合内核可以具有基本上近似于完整内核的感受野。

[0055] 在附图标记908,设备可以训练包括融合内核的卷积神经网络。

[0056] 现在转向图10,示出了根据本文描述的一个或多个实施例的示例、非限制性计算机实现的方法的流程图1000,该方法可以提供用于融合多个稀疏内核以近似卷积神经网络的完整内核的附加方面或元素。为了简洁,省略了在这里描述的其它实施例中采用的类似元件的重复描述。在附图标记1002处,设备(例如,系统200、800)可以接收配置数据。配置数据可以包括稀疏内核的多种类型、互补内核的多种类型、大量稀疏内核、大量互补内核、用于成对内核融合的算子的标识、或者指示是否要使用信道方式融合的指示符。

[0057] 在附图标记1004处,设备可以生成融合内核。融合内核的生成可以包括基于根据算子的稀疏内核和互补内核的成对级联来组合稀疏内核和互补内核。

[0058] 在参考标号1006处,设备可以根据不同的或扩展的方法来生成融合内核。例如,融合内核的生成可以包括逐通道融合过程。逐通道融合过程可以包括基于通道维度中的 1×1 通道矩阵的应用来组合稀疏内核、互补内核和融合内核的特征。

[0059] 本发明可以是任何可能的技术细节集成水平的系统、方法和/或计算机程序产品。计算机程序产品可以包括其上具有计算机可读程序指令的计算机可读存储介质(或多个介质),所述计算机可读程序指令用于使处理器执行本发明的各方面。

[0060] 计算机可读存储介质可以是能够保留和存储由指令执行设备使用的指令的有形设备。计算机可读存储介质可以是例如但不限于电子存储设备、磁存储设备、光存储设备、电磁存储设备、半导体存储设备或前述的任何合适的组合。计算机可读存储介质的更具体示例的非穷举列表包括以下:便携式计算机磁盘、硬盘、随机存取存储器(RAM)、只读存储器(ROM)、可擦除可编程只读存储器(EPROM或闪存)、静态随机存取存储器(SRAM)、便携式光盘只读存储器(CD-ROM)、数字多功能盘(DVD)、记忆棒、软盘、诸如上面记录有指令的打孔卡或凹槽中的凸起结构的机械编码装置,以及上述的任何适当组合。如本文所使用的计算机可读存储介质不应被解释为暂时性信号本身,诸如无线电波或其他自由传播的电磁波、通过波导或其他传输介质传播的电磁波(例如,通过光纤线缆的光脉冲)、或通过导线传输的信号。

[0061] 这里所描述的计算机可读程序指令可以从计算机可读存储介质下载到各个计算/处理设备,或者通过网络、例如因特网、局域网、广域网和/或无线网下载到外部计算机或外部存储设备。网络可以包括铜传输电缆、光纤传输、无线传输、路由器、防火墙、交换机、网关计算机和/或边缘服务器。每个计算/处理设备中的网络适配卡或者网络接口从网络接收计算机可读程序指令,并转发该计算机可读程序指令,以供存储在各个计算/处理设备中的计算机可读存储介质中。

[0062] 用于执行本发明操作的计算机程序指令可以是汇编指令、指令集架构(ISA)指令、机器指令、机器相关指令、微代码、固件指令、状态设置数据、集成电路配置数据或者以一种或多种编程语言的任意组合编写的源代码或目标代码,所述编程语言包括面向对象的编程语言—诸如Smalltalk、C++等,以及过程式编程语言—诸如“C”语言或类似的编程语言。计算机可读程序指令可以完全地在用户计算机上执行、部分地在用户计算机上执行、作为一

个独立的软件包执行、部分在用户计算机上部分在远程计算机上执行、或者完全在远程计算机或服务器上执行。在涉及远程计算机的情形中，远程计算机可以通过任意种类的网络—包括局域网 (LAN) 或广域网 (WAN) —连接到用户计算机，或者，可以连接到外部计算机（例如利用因特网服务提供商来通过因特网连接）。在一些实施例中，通过利用计算机可读程序指令的状态信息来个性化定制电子电路，例如可编程逻辑电路、现场可编程门阵列 (FPGA) 或可编程逻辑阵列 (PLA)，该电子电路可以执行计算机可读程序指令，从而实现本发明的各个方面。

[0063] 这里参照根据本发明实施例的方法、装置 (系统) 和计算机程序产品的流程图和/或框图描述了本发明的各个方面。应当理解，流程图和/或框图的每个方框以及流程图和/或框图中各方框的组合，都可以由计算机可读程序指令实现。

[0064] 这些计算机可读程序指令可以提供给通用计算机、专用计算机或其它可编程数据处理装置的处理器，从而生产出一种机器，使得这些指令在通过计算机或其它可编程数据处理装置的处理器执行时，产生了实现流程图和/或框图中的一个或多个方框中规定的功能/动作的装置。也可以把这些计算机可读程序指令存储在计算机可读存储介质中，这些指令使得计算机、可编程数据处理装置和/或其他设备以特定方式工作，从而，存储有指令的计算机可读介质则包括一个制造品，其包括实现流程图和/或框图中的一个或多个方框中规定的功能/动作的各个方面的指令。

[0065] 也可以把计算机可读程序指令加载到计算机、其它可编程数据处理装置、或其它设备上，使得在计算机、其它可编程数据处理装置或其它设备上执行一系列操作步骤，以产生计算机实现的过程，从而使得在计算机、其它可编程数据处理装置、或其它设备上执行的指令实现流程图和/或框图中的一个或多个方框中规定的功能/动作。

[0066] 附图中的流程图和框图显示了根据本发明的多个实施例的系统、方法和计算机程序产品的可能实现的体系架构、功能和操作。在这点上，流程图或框图中的每个方框可以代表一个模块、程序段或指令的一部分，所述模块、程序段或指令的一部分包含一个或多个用于实现规定的逻辑功能的可执行指令。在有些作为替换的实现中，方框中所标注的功能也可以以不同于附图中所标注的顺序发生。例如，两个连续的方框实际上可以基本并行地执行，它们有时也可以按相反的顺序执行，这依所涉及的功能而定。也要注意的，框图和/或流程图中的每个方框、以及框图和/或流程图中的方框的组合，可以用执行规定的功能或动作的专用的基于硬件的系统来实现，或者可以用专用硬件与计算机指令的组合来实现。

[0067] 结合图10，下面描述的系统 and 过程可以在诸如单个集成电路 (IC) 芯片，多个 IC，专用集成电路 (ASIC) 等的硬件中实现。此外，一些或所有过程块在每个过程中出现的顺序不应视为限制性的。而是，应该理解，一些处理框可以以各种顺序执行，在本文中未明确示出所有这些处理框。

[0068] 参考图10，用于实现所要求保护的主题的各方面的示例环境1000包括计算机1002。计算机1002包括处理单元1004、系统存储器1006、编解码器1035和系统总线1008。系统总线1008将包括但不限于系统存储器1006的系统组件耦合到处理单元1004。处理单元1004可以是各种可用处理器中的任一种。双微处理器和其它多处理器体系结构也可用作处理单元1004。

[0069] 系统总线1008可以是若干类型的总线结构中的任何一种，包括存储器总线或存储

器控制器、外围总线或外部总线、或使用任何各种可用总线体系结构的局部总线,这些总线体系结构包括但不限于工业标准体系结构 (ISA)、微通道体系结构 (MSA)、扩展ISA (EISA)、智能驱动电子设备 (IDE)、VESA局部总线 (VLB)、外围组件互连 (PCI)、卡总线、通用串行总线 (USB)、高级图形端口 (AGP)、个人计算机存储卡国际协会总线 (PCMCIA)、火线 (IEEE1394)、以及小型计算机系统接口 (SCSI)。

[0070] 系统存储器1006包括易失性存储器1010和非易失性存储器1012,在各种实施例中,其可以采用所公开的存储器架构中的一个或多个。基本输入/输出系统 (BIOS) 包含诸如在启动期间在计算机1002内的元件之间传输信息的基本例程,它被存储在非易失性存储器1012中。此外,根据本发明,编解码器1035可以包括编码器或解码器中的至少一个,其中,编码器或解码器中的至少一个可以由硬件、软件或硬件和软件的组合构成。尽管编解码器1035被描绘为单独的组件,但是编解码器1035可以包含在非易失性存储器1012内。作为说明而非限制,非易失性存储器1012可包括只读存储器 (ROM)、可编程ROM (PROM)、电可编程ROM (EPROM)、电可擦除可编程ROM (EEPROM)、闪存、3D闪存或诸如电阻随机存取存储器 (RRAM) 的电阻存储器。在至少一些实施例中,非易失性存储器1012可以采用所公开的存储器设备中的一个或多个。此外,非易失性存储器1012可以是计算机存储器 (例如,与计算机1002或其主板物理集成) 或可移除存储器。可以实现所公开的实施例的合适的可移除存储器的示例可以包括安全数字 (SD) 卡、紧凑型闪存 (CF) 卡、通用串行总线 (USB) 存储棒等。易失性存储器1010包括随机存取存储器 (RAM),其充当外部高速缓冲存储器,且在各种实施例中还可采用一个或一个以上所揭示的存储器装置。作为说明而非限制,RAM可以以许多形式获得,诸如静态RAM (SRAM)、动态RAM (DRAM)、同步DRAM (SDRAM)、双数据速率SDRAM (DDR SDRAM) 和增强SDRAM (ESDRAM) 等。

[0071] 计算机1002还可以包括可移动/不可移动、易失性/非易失性计算机存储介质。例如,图10示出了盘存储1014。磁盘存储器1014包括,但不限于,诸如磁盘驱动器、固态盘 (SSD)、闪存卡或记忆棒的设备。另外,盘存储1014可包括单独的存储介质或与其它存储介质组合的存储介质,其它存储介质包括但不限于,诸如光盘ROM设备 (CD-ROM)、CD可记录驱动器 (CD-R驱动器)、CD可重写驱动器 (CD-RW驱动器) 或数字多功能盘ROM驱动器 (DVD-ROM) 等光盘驱动器。为了便于将盘存储设备1014连接到系统总线1008,通常使用诸如接口1016等可移动或不可移动接口。可以理解,存储设备1014可以存储与用户相关的信息。这样的信息可以存储在服务器或运行在用户设备上的应用处或提供给服务器或运行在用户设备上的应用。在一个实施例中,可以通知 (例如,通过输出设备1036) 用户存储到盘存储1014或发送到服务器或应用的信息类型。可以向用户提供选择加入或选择退出 (例如,通过来自输入设备1028的输入) 使这样的信息被收集或与服务器或应用共享的机会。

[0072] 可以理解,图10描述了担当用户和在合适的操作环境1000中描述的基本计算机资源之间的中介的软件。这样的软件包括操作系统1018。操作系统1018可以存储在磁盘存储器1014上,用于控制和分配计算机系统1002的资源。应用1020利用操作系统1018通过程序模块1024和存储在系统存储器1006或磁盘存储器1014中的程序数据1026 (例如引导/关闭事务表等) 对资源的管理。可以理解,所要求保护的主题可以用各种操作系统或操作系统的组合来实现。

[0073] 用户通过输入设备1028将命令或信息输入到计算机1002中。输入设备1028包括但

不限于诸如鼠标、跟踪球、指示笔、触摸垫等定点设备、键盘、话筒、操纵杆、游戏垫、圆盘式卫星天线、扫描仪、TV调谐卡、数码相机、数码摄像机、web相机等等。这些和其它输入设备经由接口端口1030通过系统总线1008连接到处理单元1004。接口端口1030包括,例如,串行端口、并行端口、游戏端口和通用串行总线(USB)。(一个或多个)输出设备1036使用与(一个或多个)输入设备1028相同类型的端口中的一些。因此,例如,USB端口可用于向计算机1002提供输入,并从计算机1002向输出设备1036输出信息。提供输出适配器1034来说明存在一些输出设备1036,如监视器、扬声器和打印机,以及其它输出设备1036,它们需要特殊的适配器。输出适配器1034包括,作为示例而非限制,提供输出设备1036和系统总线1008之间的连接装置的显卡和声卡。应当注意,其它设备或设备系统提供输入和输出能力,诸如远程计算机1038。

[0074] 计算机1002可以使用到一个或多个远程计算机,如远程计算机1038的逻辑连接在网络化环境中操作。远程计算机1038可以是个人计算机、服务器、路由器、网络PC、工作站、基于微处理器的电器、对等设备、智能电话、平板计算机或其它网络节点,并且通常包括相对于计算机1002所描述的许多元件。为了简洁起见,仅存储器存储设备1040与(诸)远程计算机1038一起示出。远程计算机1038通过网络接口1042逻辑地连接到计算机1002,然后经由通信连接1044连接。网络接口1042包括有线或无线通信网络,例如局域网(LAN)和广域网(WAN)以及蜂窝网络。LAN技术包括光纤分布式数据接口(FDDI)、铜线分布式数据接口(CDDI)、以太网、令牌环等。WAN技术包括,但不限于,点对点链路、像综合业务数字网(ISDN)及其变体那样的电路交换网络、分组交换网络、以及数字用户线(DSL)。

[0075] 通信连接1044指的是用于将网络接口1042连接到总线1008的硬件/软件。虽然为了清楚地说明,通信连接1044被示为在计算机1002内部,但是它也可以在计算机1002外部。仅为示例目的,连接到网络接口1042所需的硬件/软件包括内部和外部技术,诸如包括常规电话级调制解调器、电缆调制解调器和DSL调制解调器的调制解调器、ISDN适配器、以及有线和无线以太网卡、集线器和路由器。

[0076] 尽管以上在运行在一个和/或多个计算机上的计算机程序产品的计算机可执行指令的一般上下文中描述了本主题,但是本领域的技术人员将认识到,本公开也可以结合其它程序模块来实现或可以结合其它程序模块来实现。通常,程序模块包括执行特定任务和/或实现特定抽象数据类型的例程、程序、组件、数据结构等。此外,本领域的技术人员可以理解,本发明的计算机实现的方法可以用其它计算机系统配置来实施,包括单处理器或多处理器计算机系统、小型计算设备、大型计算机、以及计算机、手持式计算设备(例如,PDA、电话)、基于微处理器的或可编程的消费或工业电子产品等。所示的各方面也可以在其中任务由通过通信网络链接的远程处理设备执行的分布式计算环境中实践。然而,本公开的一些方面,如果不是所有方面,可以在独立计算机上实践。在分布式计算环境中,程序模块可以位于本地和远程存储器存储设备中。

[0077] 如本申请中所使用的,术语“组件”、“系统”、“平台”、“接口”等可以指代和/或可以包括计算机相关的实体或与具有一个或多个特定功能的操作机器相关的实体。这里公开的实体可以是硬件、硬件和软件的组合、软件、或执行中的软件。例如,组件可以是,但不限于,在处理器上运行的进程、处理器、对象、可执行文件、执行线程、程序和/或计算机。作为说明,在服务器上运行的应用程序和服务器都可以是组件。一个或多个组件可以驻留在进程

和/或执行的线程内,并且组件可以位于一个计算机上和/或分布在两个或更多计算机之间。在另一示例中,相应组件可从其上存储有各种数据结构的各种计算机可读介质执行。这些组件可以经由本地和/或远程进程进行通信,例如根据具有一个或多个数据分组的信号(例如,来自一个组件的数据,该组件经由该信号与本地系统、分布式系统中的另一个组件进行交互和/或通过诸如因特网之类的网络与其它系统进行交互)。作为另一个示例,组件可以是具有由电气或电子电路操作的机械组件提供的特定功能的装置,该电气或电子电路由处理器执行的软件或固件应用程序操作。在这种情况下,处理器可以在装置的内部或外部,并且可以执行软件或固件应用的至少一部分。作为又一示例,组件可以通过电子组件而不是机械组件来提供特定功能的装置,其中电子组件可以包括处理器或其他装置以执行至少部分地赋予电子组件的功能的软件或固件。在一方面,组件可经由虚拟机来仿真电子组件,例如在云计算系统内。

[0078] 此外,术语“或”旨在表示包含性的“或”而不是排他性的“或”。也就是说,除非另外指定,或者从上下文中清楚,否则“X采用A或B”旨在表示任何自然的包含性排列。也就是说,如果X使用A;X采用B;或者X采用A和B两者,则在任何前述实例下都满足“X采用A或B”。此外,除非另外指定或从上下文中清楚是指单数形式,否则如在本说明书和附图中使用的冠词“一”和“一个”一般应被解释为表示“一个或多个”。如本文所使用的,术语“示例”和/或“示例性的”用于表示用作示例、实例或说明,并且旨在是非限制性的。为了避免疑惑,本文公开的主题不受这些示例限制。此外,本文中描述为“示例”和/或“示例性”的任何方面或设计不一定被解释为比其它方面或设计优选或有利,也不意味着排除本领域普通技术人员已知的等效示例性结构和技术。

[0079] 如在本说明书中所采用的,术语“处理器”可以指基本上任何计算处理单元或设备,包括但不限于单核处理器;具有软件多线程执行能力的单处理器;多核处理器;具有软件多线程执行能力的多核处理器;具有硬件多线程技术的多核处理器;平行平台;以及具有分布式共享存储器的并行平台。另外,处理器可以指被设计为执行本文描述的功能的集成电路、专用集成电路(ASIC)、数字信号处理器(DSP)、现场可编程门阵列(FPGA)、可编程逻辑控制器(PLC)、复杂可编程逻辑器件(CPLD)、分立门或晶体管逻辑、分立硬件组件或其任意组合。此外,处理器可以采用纳米级架构,例如但不限于基于分子和量子点的晶体管、开关和门,以便优化空间使用或增强用户设备的性能。处理器也可以实现为计算处理单元的组合。在本公开中,诸如“存储”、“数据库”以及与组件的操作和功能相关的基本上任何其他信息存储组件之类的术语被用来指代“存储器组件”、“在“存储器”中体现的实体”或包括存储器的组件。应了解,本文所描述的存储器和/或存储器组件可为易失性存储器或非易失性存储器,或可包括易失性和非易失性存储器两者。作为说明而非限制,非易失性存储器可包括只读存储器(ROM)、可编程ROM(PROM)、电可编程ROM(EPROM)、电可擦除ROM(EEPROM)、闪存或非易失性随机存取存储器(RAM)(例如,铁电RAM(FeRAM),易失性存储器可包括RAM,RAM可用作外部高速缓存存储器,例如作为说明而非限制,RAM可以许多形式获得,诸如同步RAM(SRAM)、动态RAM(DRAM)、同步DRAM(SDRAM)、双倍数据率(DDR SDRAM)、增强型SDRAM(ESDRAM)、同步链路DRAM(SLDRAM)、直接Rambus RAM(DRRAM)、直接Rambus动态RAM(DRDRAM)和Rambus动态RAM(RDRAM)。

[0080] 以上描述的内容仅包括系统和计算机实现的方法的示例。当然,不可能为了描述

本公开而描述组件或计算机实现的方法的每个可想到的组合,但是本领域的普通技术人员可以认识到,本公开的许多进一步的组合和置换是可能的。此外,就在详细描述、权利要求书、附录和附图中使用术语“包括”、“具有”、“拥有”等来说,这些术语旨在以与术语“包含”在权利要求书中用作过渡词时所解释的类似的方式为包含性的。已经出于说明的目的呈现了对各种实施例的描述,但是不旨在是穷举的或限于所公开的实施例。在不背离所描述的实施例的范围的情况下,许多修改和变化对于本领域的普通技术人员将是显而易见的。选择本文所使用的术语以最好地解释实施例的原理、实际应用或对市场上存在的技术改进,或使本领域的其他普通技术人员能够理解本文所公开的实施例。

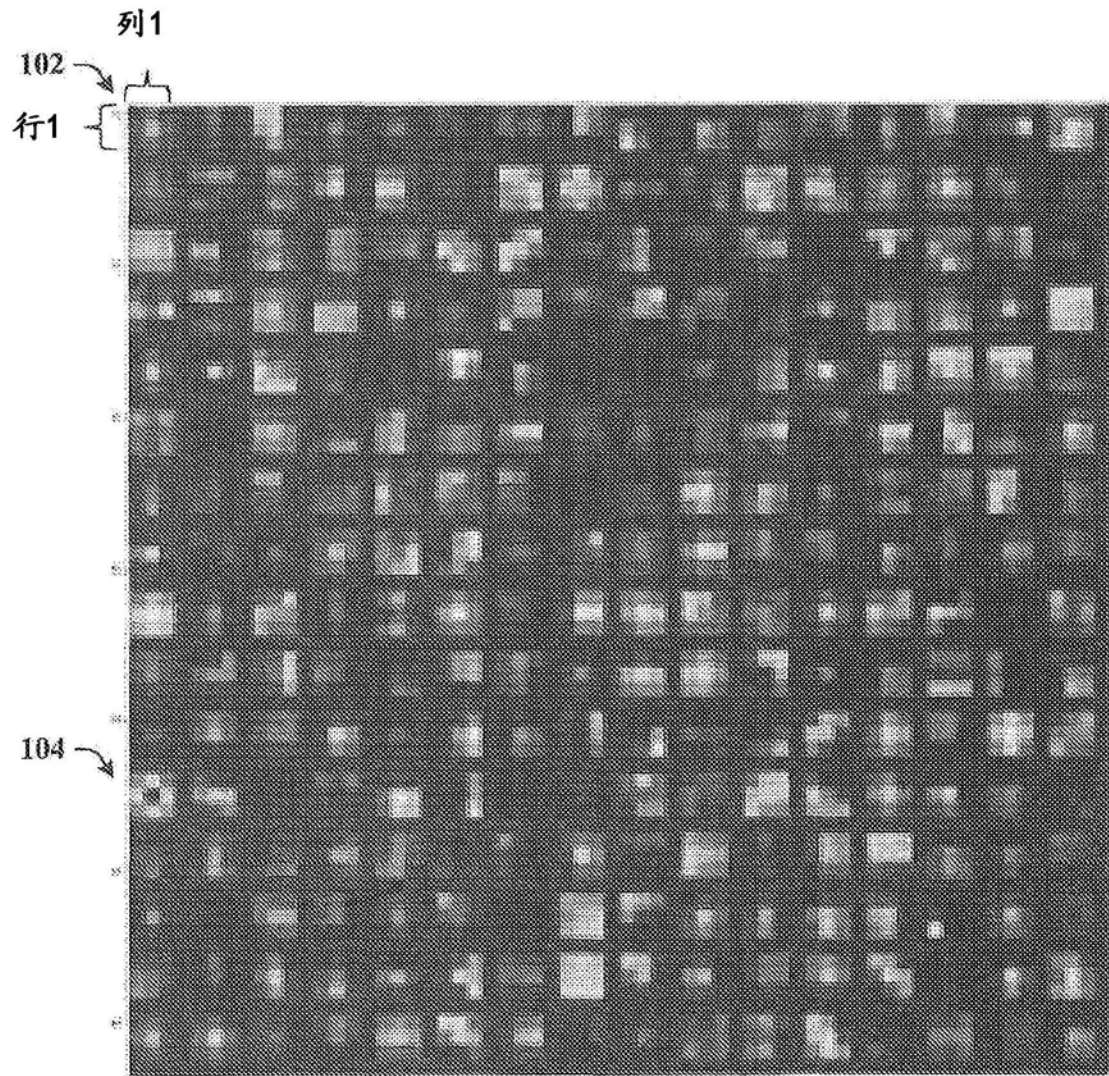


图1

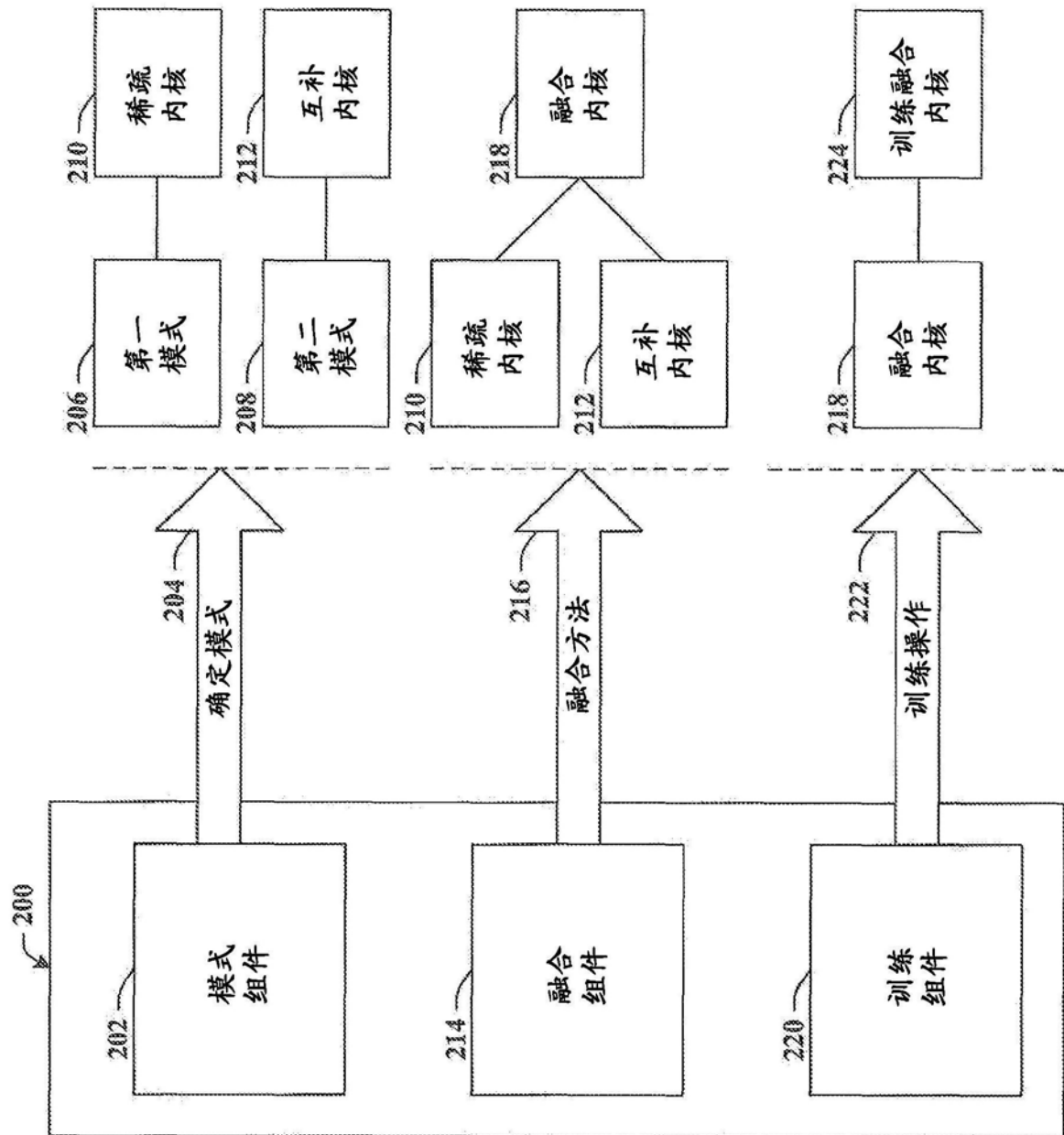


图2

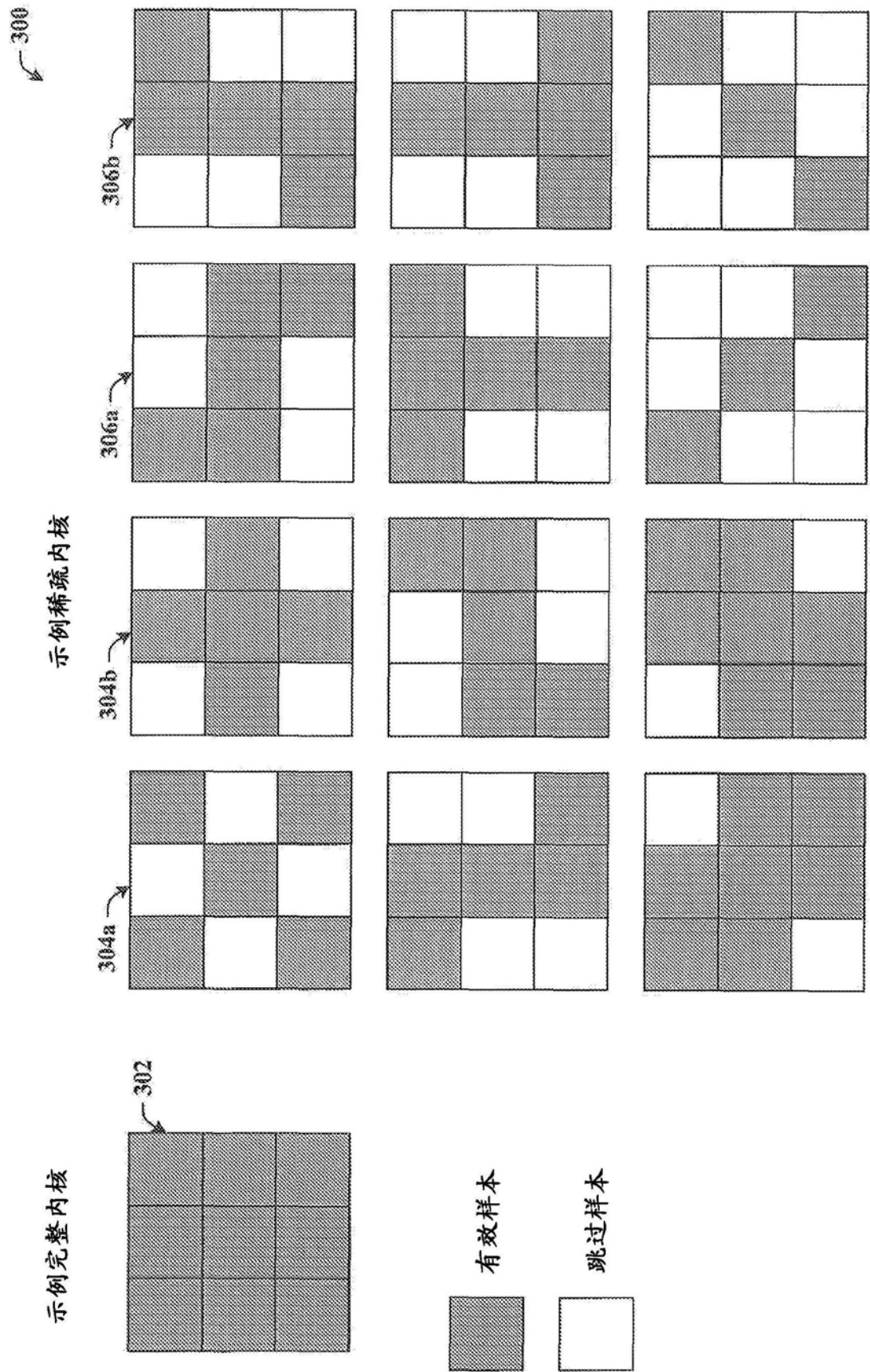


图3

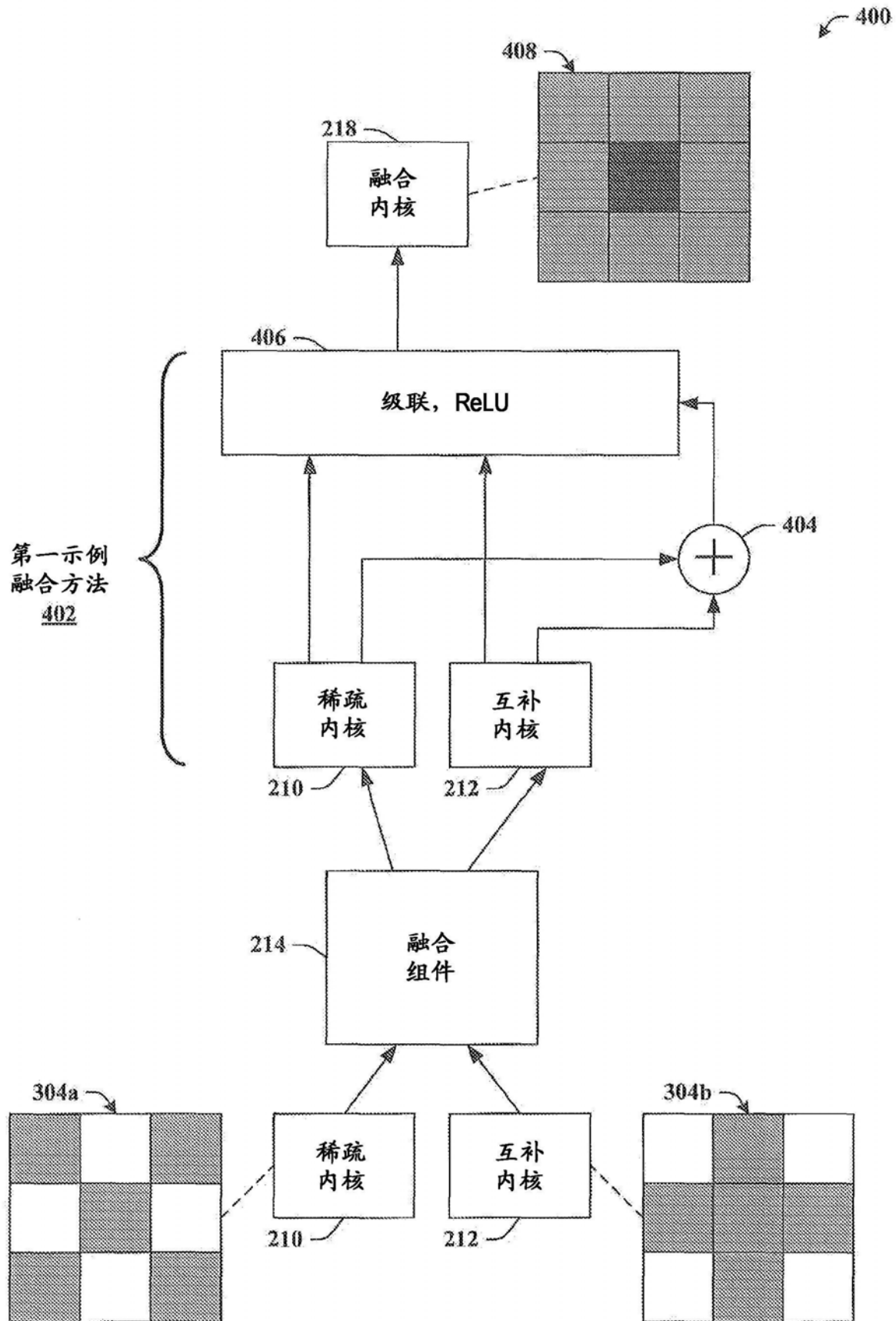


图4

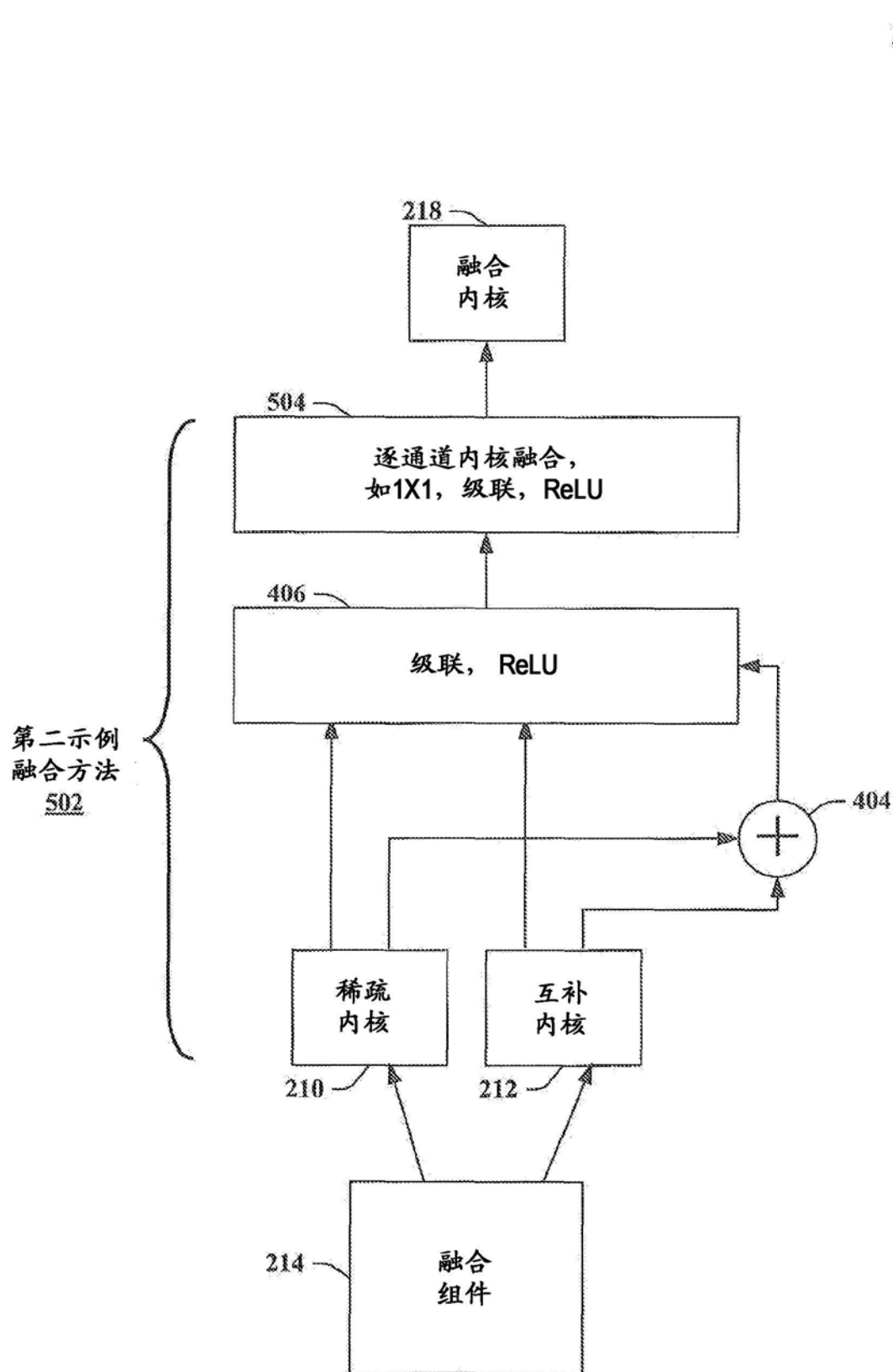


图5

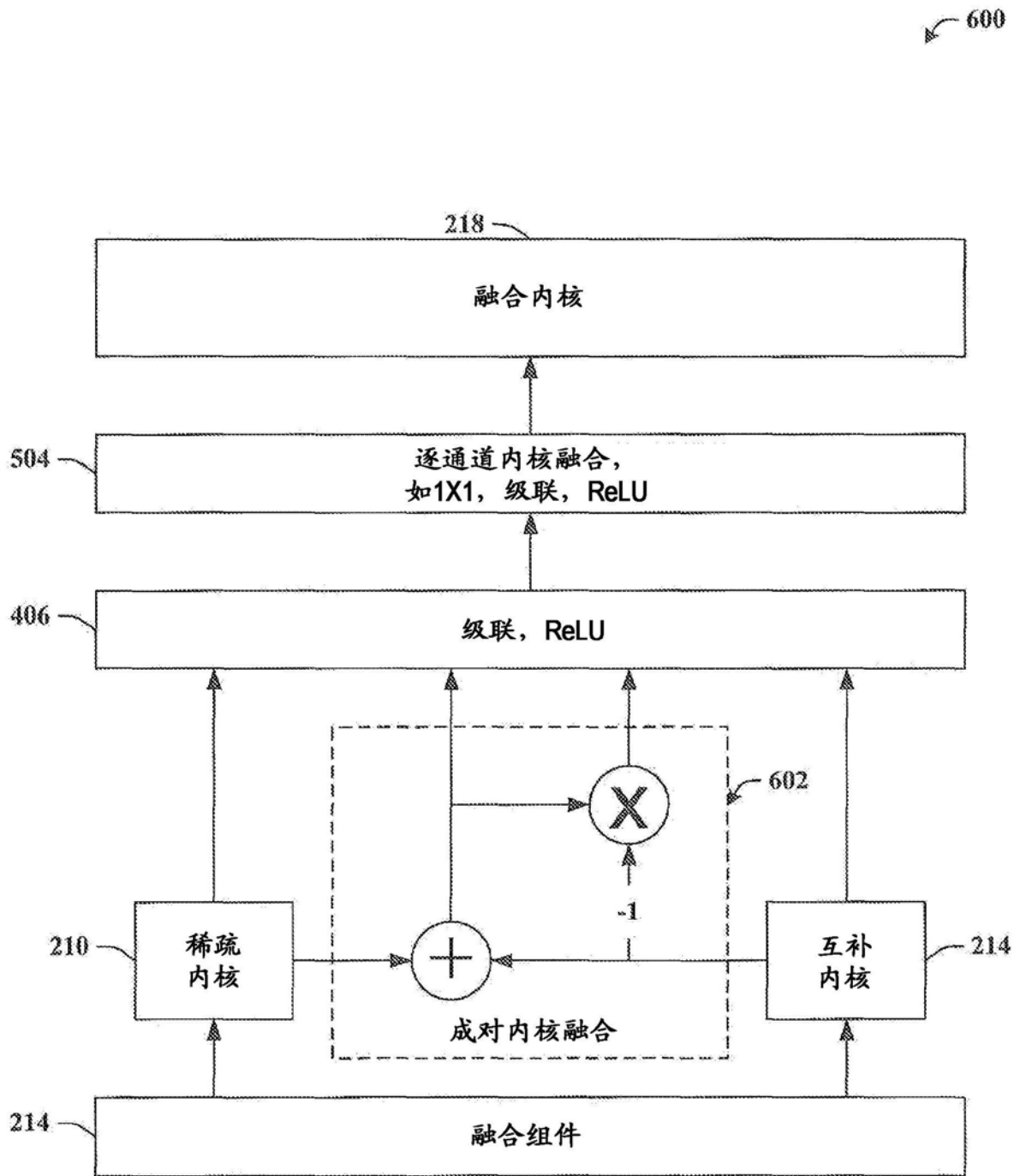


图6

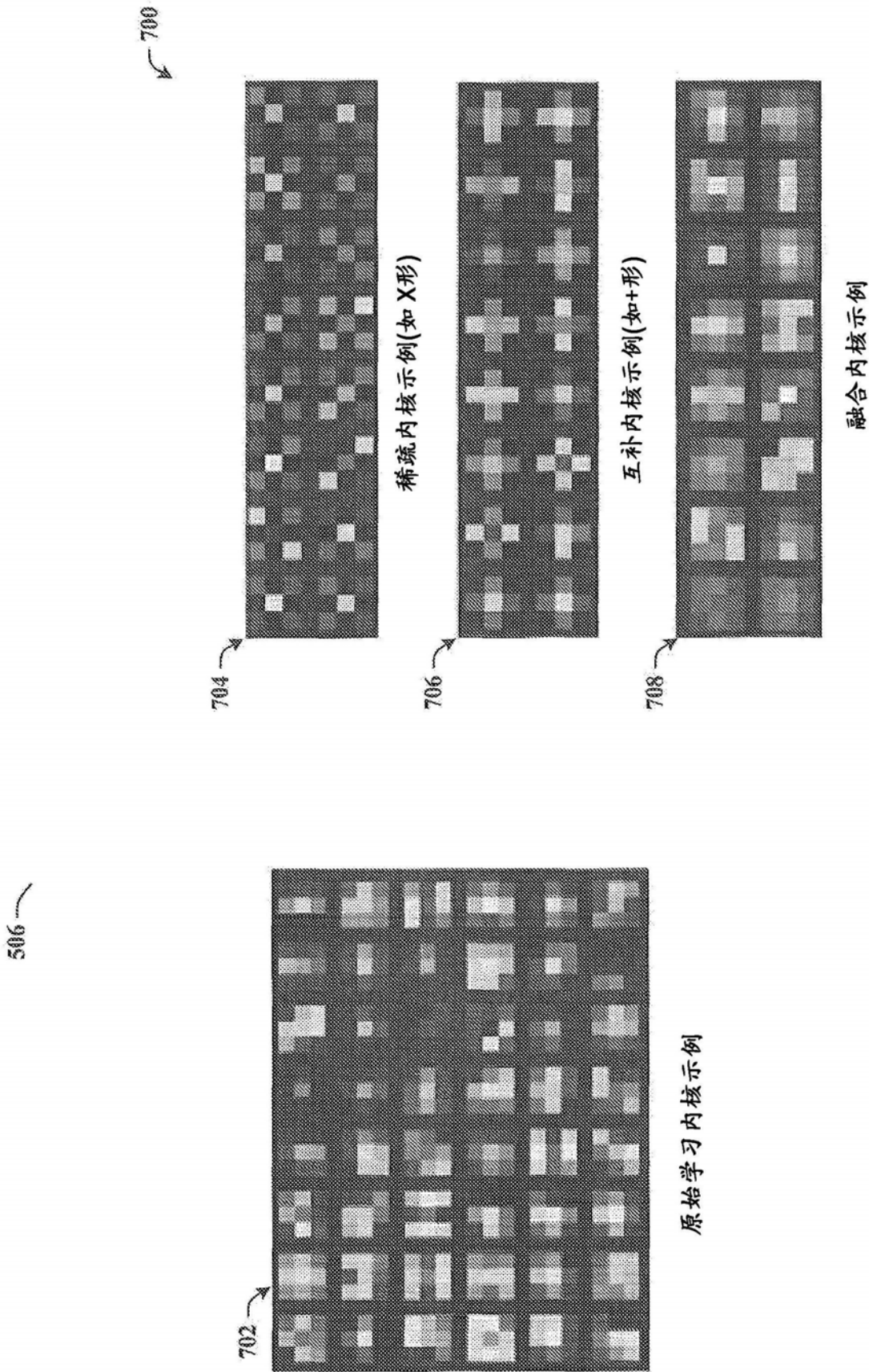


图7

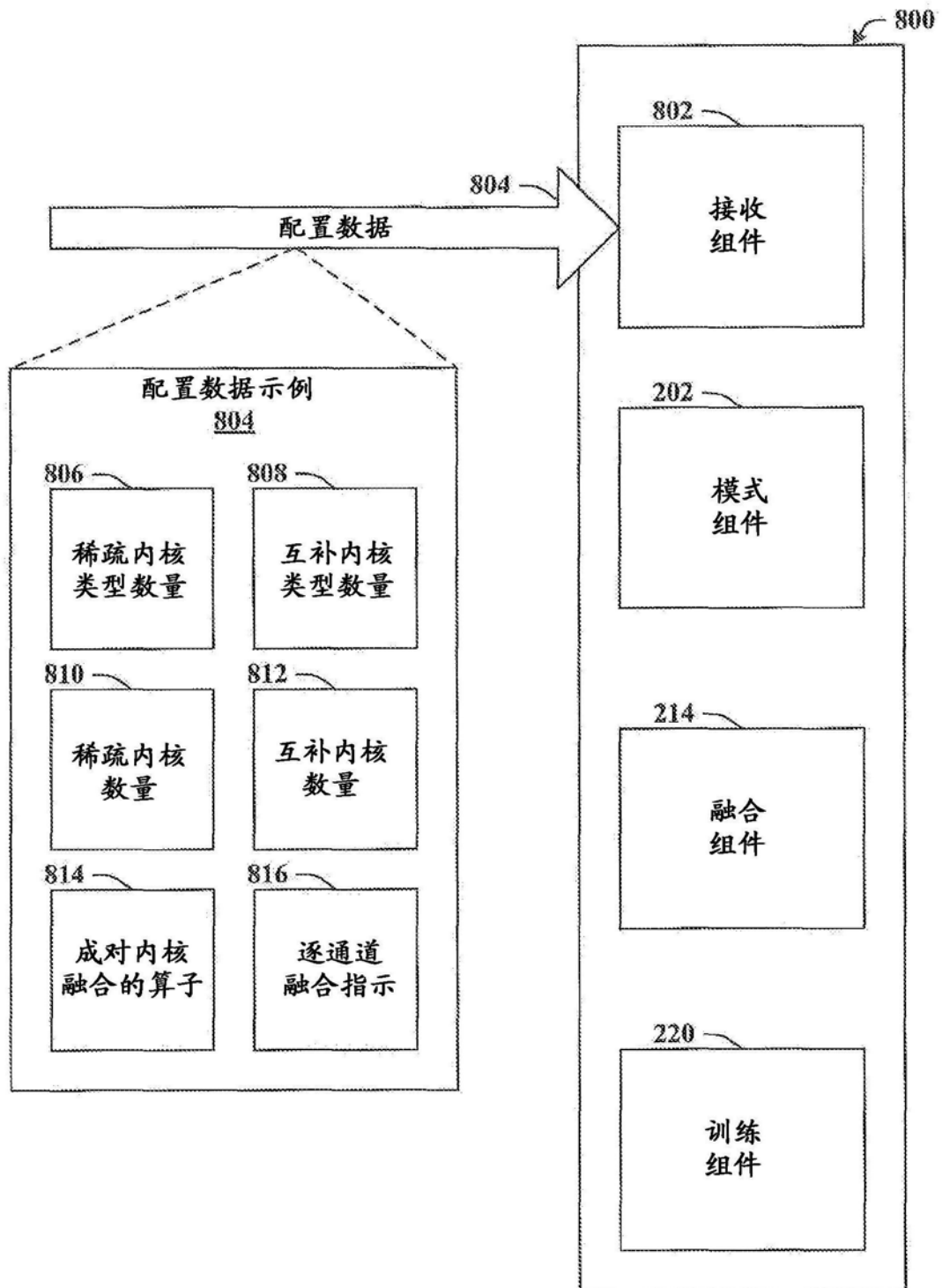


图8

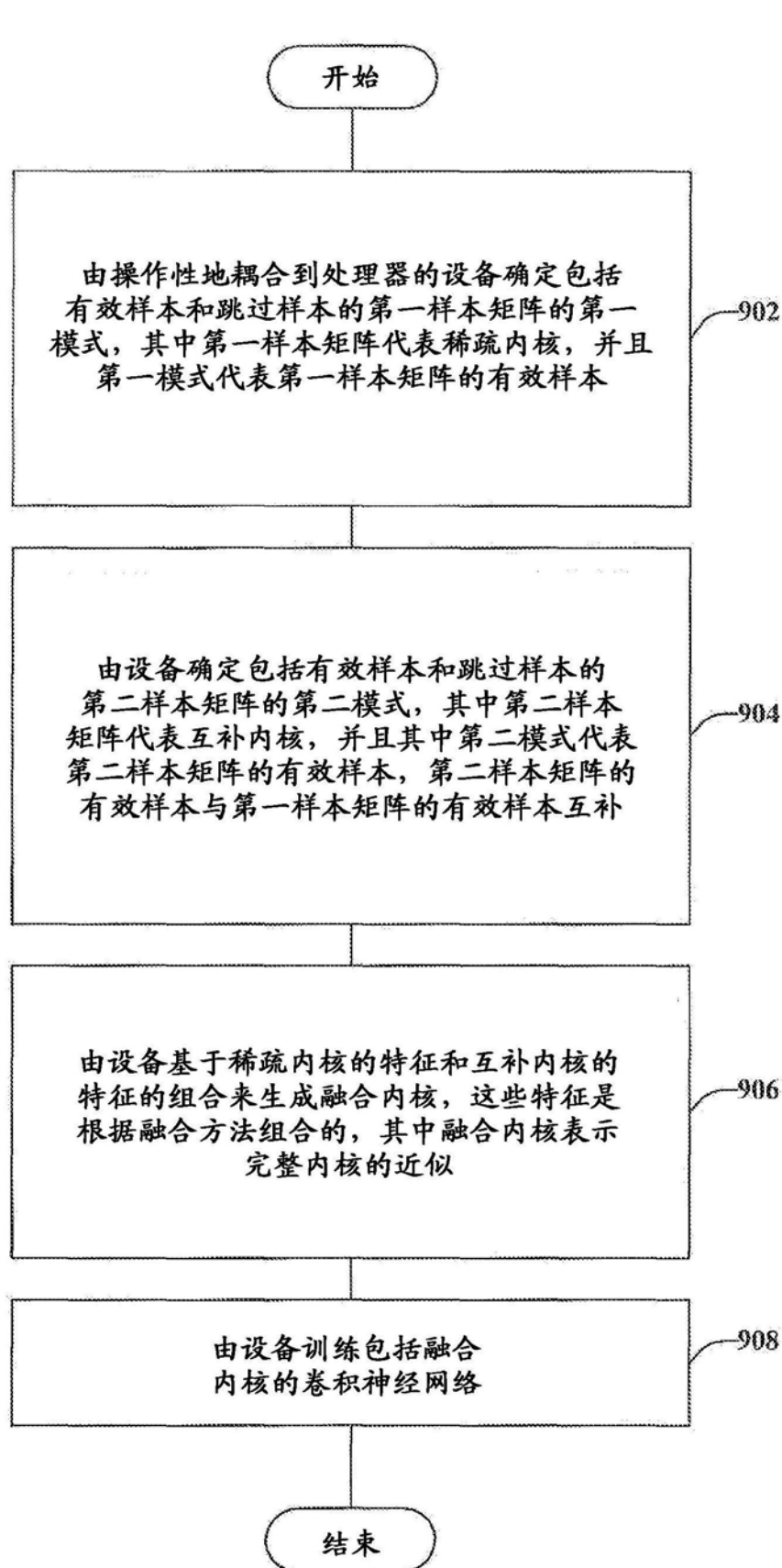


图9

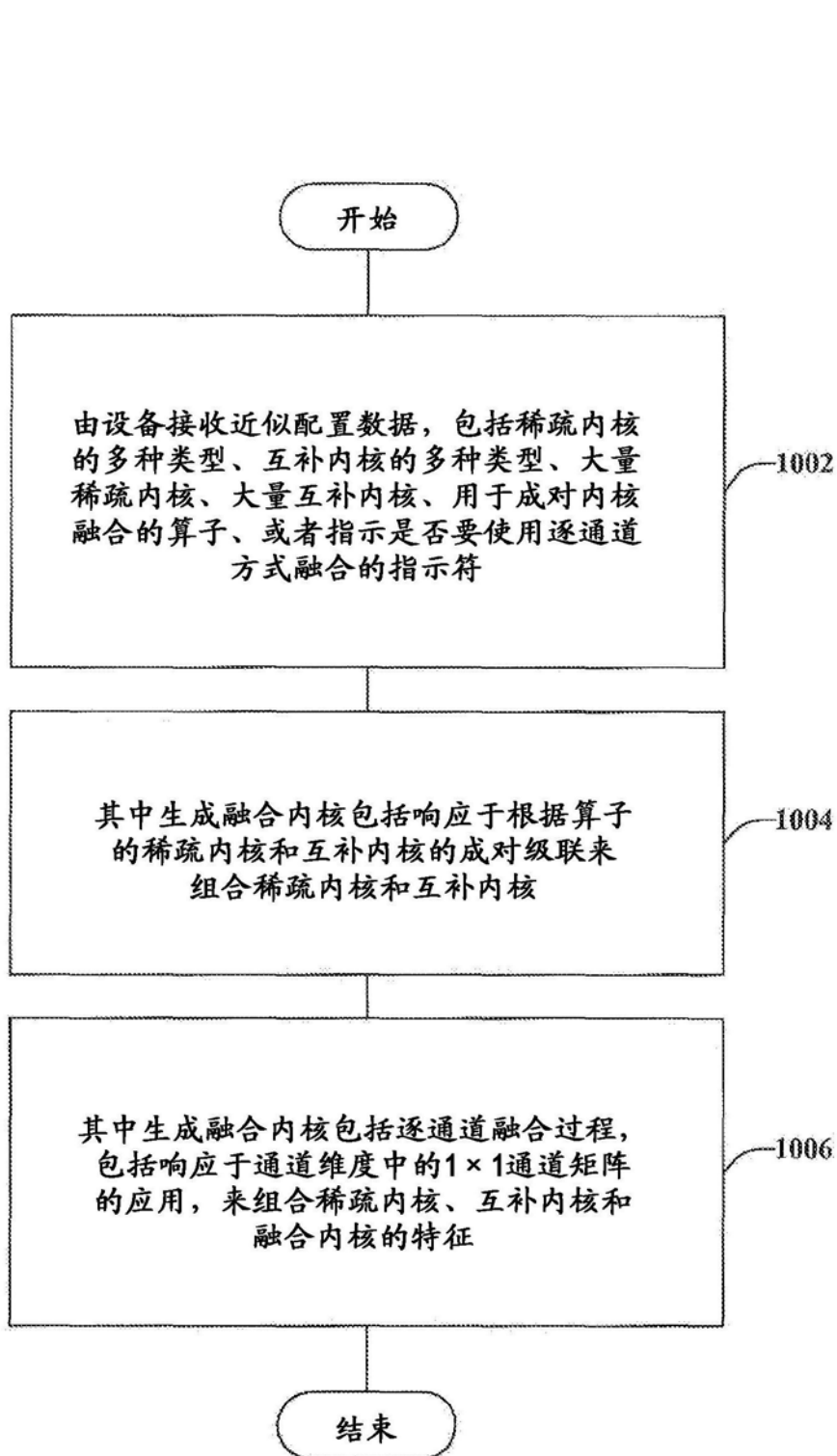


图10

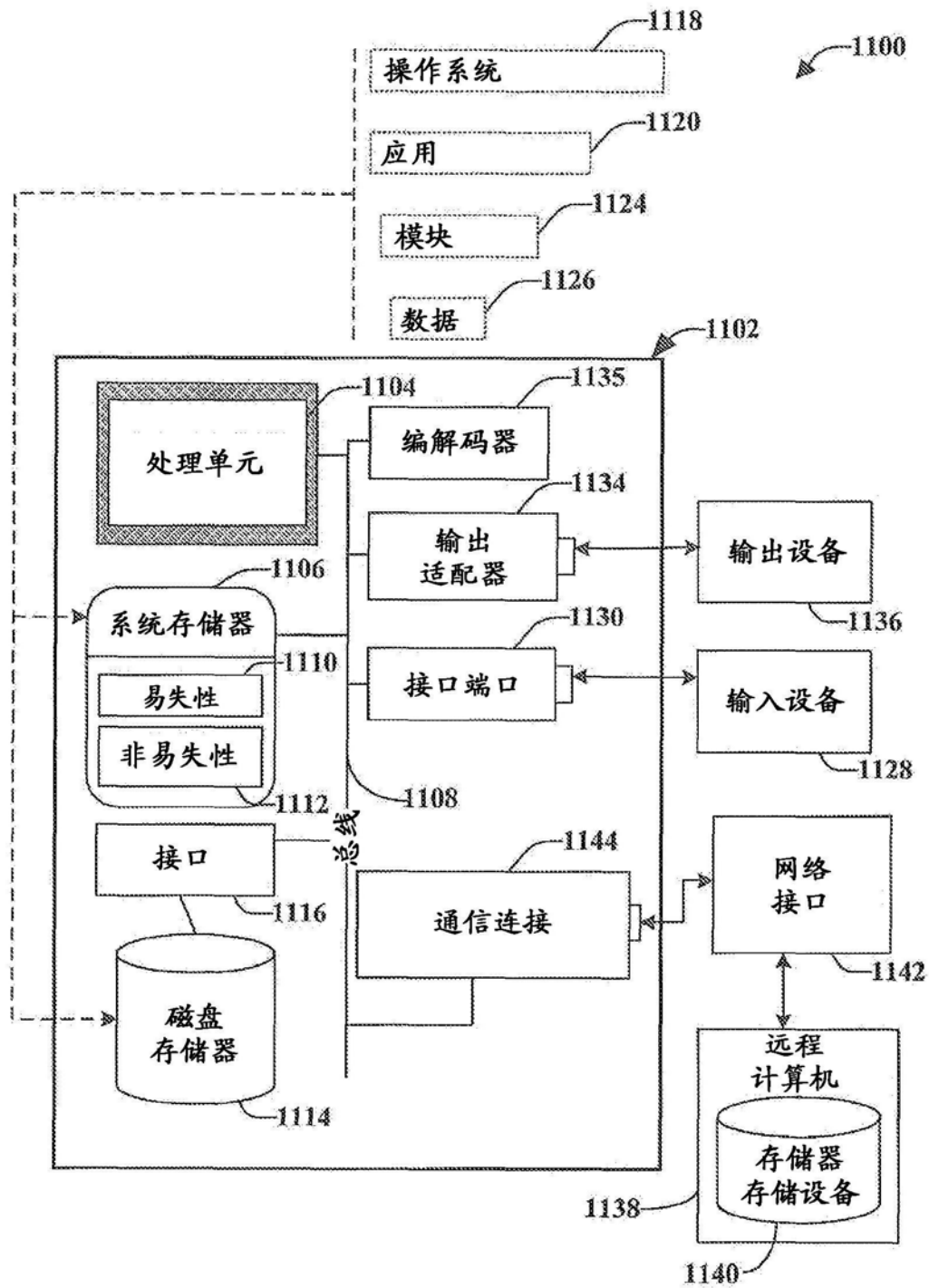


图11