

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5753648号
(P5753648)

(45) 発行日 平成27年7月22日 (2015. 7. 22)

(24) 登録日 平成27年5月29日 (2015. 5. 29)

(51) Int. Cl.

F I

G09F 9/30 (2006.01)

G09F 9/30 338

G02F 1/133 (2006.01)

G02F 1/133 510

G09F 9/302 (2006.01)

G02F 1/133 550

G09G 3/20 (2006.01)

G09F 9/302 C

G09G 3/36 (2006.01)

G09G 3/20 611A

請求項の数 4 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2008-264979 (P2008-264979)
 (22) 出願日 平成20年10月14日 (2008.10.14)
 (65) 公開番号 特開2009-116324 (P2009-116324A)
 (43) 公開日 平成21年5月28日 (2009.5.28)
 審査請求日 平成23年9月15日 (2011.9.15)
 審判番号 不服2014-3468 (P2014-3468/J1)
 審判請求日 平成26年2月25日 (2014.2.25)
 (31) 優先権主張番号 特願2007-271896 (P2007-271896)
 (32) 優先日 平成19年10月19日 (2007.10.19)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 福留 貴浩
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 合議体
 審判長 森 竜介
 審判官 樋口 信宏
 審判官 関根 洋之

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の画素と、第2の画素と、第3の画素と、を有し、

前記第1の画素と、前記第2の画素と、前記第3の画素とは、それぞれ異なる色で表示を行い、

前記第1の画素が有する第1のトランジスタの第1の端子、前記第2の画素が有する第1のトランジスタの第1の端子、及び前記第3の画素が有する第1のトランジスタの第1の端子はそれぞれ、第4の配線を介して第1の配線に電氣的に接続され、

前記第1の画素が有する第1のトランジスタの第2の端子は、前記第1の画素が有する第2のトランジスタの第1の端子に電氣的に接続され、

前記第2の画素が有する第1のトランジスタの第2の端子は、前記第2の画素が有する第2のトランジスタの第1の端子に電氣的に接続され、

前記第3の画素が有する第1のトランジスタの第2の端子は、前記第3の画素が有する第2のトランジスタの第1の端子に電氣的に接続され、

前記第1の画素が有する第2のトランジスタの第2の端子は、前記第1の画素が有する表示素子に電氣的に接続され、

前記第2の画素が有する第2のトランジスタの第2の端子は、前記第2の画素が有する表示素子に電氣的に接続され、

前記第3の画素が有する第2のトランジスタの第2の端子は、前記第3の画素が有する表示素子に電氣的に接続され、

10

20

前記第 1 の画素が有する第 2 のトランジスタのゲート、前記第 3 の画素が有する第 1 のトランジスタのゲート、及び前記第 3 の画素が有する第 2 のトランジスタのゲートはそれぞれ、第 2 の配線に電氣的に接続され、

前記第 1 の画素が有する第 1 のトランジスタのゲート、前記第 2 の画素が有する第 1 のトランジスタのゲート、及び前記第 2 の画素が有する第 2 のトランジスタのゲートはそれぞれ、第 3 の配線に電氣的に接続され、

前記第 2 の配線と、前記第 3 の配線と、前記第 4 の配線とは、同じ層に設けられている表示装置であって、

前記第 1 の画素と、前記第 2 の画素と、前記第 3 の画素とは、デルタ状に配列しており、前記第 1 の配線は、前記第 1 の画素と前記第 2 の画素との間、及び、前記第 2 の画素と前記第 3 の画素との間に設けられており、

前記第 2 の配線及び前記第 3 の配線は、前記第 1 の画素と前記第 3 の画素との間、及び前記第 2 の画素と前記第 3 の画素との間に設けられていることを特徴とする表示装置。

【請求項 2】

請求項 1 において、

前記第 1 の画素が有する表示素子、前記第 2 の画素が有する表示素子、及び前記第 3 の画素が有する表示素子はそれぞれ、液晶素子であることを特徴とする表示装置。

【請求項 3】

第 1 の画素と、第 2 の画素と、第 3 の画素と、を有し、

前記第 1 の画素と、前記第 2 の画素と、前記第 3 の画素とは、それぞれ異なる色で発光を行い、

前記第 1 の画素が有する第 1 のトランジスタの第 1 の端子、前記第 2 の画素が有する第 1 のトランジスタの第 1 の端子、及び前記第 3 の画素が有する第 1 のトランジスタの第 1 の端子はそれぞれ、第 4 の配線を介して第 1 の配線に電氣的に接続され、

前記第 1 の画素が有する第 1 のトランジスタの第 2 の端子は、前記第 1 の画素が有する第 2 のトランジスタの第 1 の端子に電氣的に接続され、

前記第 2 の画素が有する第 1 のトランジスタの第 2 の端子は、前記第 2 の画素が有する第 2 のトランジスタの第 1 の端子に電氣的に接続され、

前記第 3 の画素が有する第 1 のトランジスタの第 2 の端子は、前記第 3 の画素が有する第 2 のトランジスタの第 1 の端子に電氣的に接続され、

前記第 1 の画素が有する第 2 のトランジスタの第 2 の端子は、前記第 1 の画素が有する第 3 のトランジスタのゲートに電氣的に接続され、

前記第 2 の画素が有する第 2 のトランジスタの第 2 の端子は、前記第 2 の画素が有する第 3 のトランジスタのゲートに電氣的に接続され、

前記第 3 の画素が有する第 2 のトランジスタの第 2 の端子は、前記第 3 の画素が有する第 3 のトランジスタのゲートに電氣的に接続され、

前記第 1 の画素が有する第 3 のトランジスタの第 1 の端子は、前記第 1 の画素が有する表示素子に電氣的に接続され、

前記第 2 の画素が有する第 3 のトランジスタの第 1 の端子は、前記第 2 の画素が有する表示素子に電氣的に接続され、

前記第 3 の画素が有する第 3 のトランジスタの第 1 の端子は、前記第 3 の画素が有する表示素子に電氣的に接続され、

前記第 1 の画素が有する第 2 のトランジスタのゲート、前記第 3 の画素が有する第 1 のトランジスタのゲート、及び前記第 3 の画素が有する第 2 のトランジスタのゲートはそれぞれ、第 2 の配線に電氣的に接続され、

前記第 1 の画素が有する第 1 のトランジスタのゲート、前記第 2 の画素が有する第 1 のトランジスタのゲート、及び前記第 2 の画素が有する第 2 のトランジスタのゲートはそれぞれ、第 3 の配線に電氣的に接続され、

前記第 1 の画素が有する第 3 のトランジスタの第 2 の端子、前記第 2 の画素が有する第 3 のトランジスタの第 2 の端子、及び前記第 3 の画素が有する第 3 のトランジスタの第 2

10

20

30

40

50

の端子はそれぞれ、第 5 の配線に電氣的に接続され、

前記第 2 の配線と、前記第 3 の配線と、前記第 4 の配線とは、同じ層に設けられている表示装置であって、

前記第 1 の画素と、前記第 2 の画素と、前記第 3 の画素とは、デルタ状に配列しており、前記第 1 の配線は、前記第 1 の画素と前記第 2 の画素との間、及び、前記第 2 の画素と前記第 3 の画素との間に設けられており、

前記第 2 の配線及び前記第 3 の配線は、前記第 1 の画素と前記第 3 の画素との間、及び前記第 2 の画素と前記第 3 の画素との間に設けられていることを特徴とする表示装置。

【請求項 4】

請求項 3 において、

前記第 1 の画素が有する表示素子、前記第 2 の画素が有する表示素子、及び前記第 3 の画素が有する表示素子はそれぞれ、発光素子であることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動方法並びに当該表示装置を用いた電子機器に関する。

【背景技術】

【0002】

携帯電話機、テレビ受像器などさまざまな電気製品に表示装置が用いられている。表示装置は、大画面化及び高精細化を図るべく、製造プロセス、駆動方法等の研究開発が行われている。

【0003】

表示装置の画素数を増やして解像度を高める製品の開発は、非常に活発である。表示装置は、画素数を増やすことにより解像度を高めることができるものの、画素数の増加と共に信号線の本数が増加することとなる。そのため、信号線の増加に対する対策として特許文献 1 においては、画素部にデコーダを設け、当該デコーダ回路により信号線のデータの振り分けを行い、複数の画素において信号線を共用することにより信号線の数削減の構成について開示している。

【特許文献 1】特開 2003 - 255903 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載の表示装置においては、画素部に設けられたデコーダ部において 2 本の走査線より入力される信号の論理に基づいて信号線のデータの振り分けを行い、複数の画素において信号線を共用する構成について開示がなされている。しかしながら特許文献 1 に記載の表示装置では、デコーダ部における回路によっては画素を構成する回路が複雑になるといった問題がある。また当該デコーダ部は、画素を選択するためのトランジスタに別途接続されており、画素を選択するトランジスタの他にデコーダ部を設ける必要があるため、画素を構成する素子数が増加するといった問題を招いてしまう。

【0005】

そこで本発明では、画素を選択するトランジスタ以外の回路を増やすことなく、信号線のデータを振り分けることができ、複数の画素において信号線を共用することが可能な表示装置及び当該表示装置の駆動方法を提供することを課題とする。

【課題を解決するための手段】

【0006】

上述の課題を解決するため、本発明者は、表示装置において、画素部に設けられた画素を選択するための第 1 のトランジスタ及び第 2 のトランジスタを電氣的に直列に設け、それぞれのトランジスタを別の走査線で制御するという着想に至った。具体的には本発明の表示装置は、第 1 の端子が信号線に接続された第 1 のトランジスタと、第 1 の端子が前記第 1 のトランジスタの第 2 の端子に接続され、第 2 の端子が表示素子に接続された第 2 のト

10

20

30

40

50

ランジスタと、を有する画素が、色要素に対応して複数設けられており、前記色要素に対応した複数の画素は、前記第1のランジスタのゲートに第1の走査線が接続され、前記第2のランジスタのゲートに第2の走査線が接続された第1の画素と、第1のランジスタのゲートに前記第1の走査線が接続され、第2のランジスタのゲートに前記第1の走査線が接続された第2の画素と、第1のランジスタのゲートに前記第2の走査線が接続され、第2のランジスタのゲートに前記第2の走査線が接続された第3の画素と、で構成されていることを特徴とする。その結果、画素を選択するランジスタ以外の回路を増やすことなく、信号線のデータを振り分けることができ、複数の画素において信号線を共用することができる。

【0007】

10

なお、画素にランジスタを用いる場合、そのランジスタは、単なるスイッチとして動作するため、ランジスタの極性（導電型）は特に限定されない。なおランジスタとして、低濃度不純物領域（Lightly Doped Drain：LDD領域）を有するランジスタやマルチゲート構造を有するランジスタを用いることで、ランジスタがオフの際に流れる電流を低減することができる。

【0008】

なお、AとBとが接続されているとは、AとBとが電氣的に接続されている状態であるとする。

【0009】

なお、表示素子を有する装置である表示装置は、表示素子として、液晶素子または発光素子を有することができるがこれに限定されない。例えば、表示素子としては、EL素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、電子放出素子、電子インクディスプレイ、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイなどを用いることができる。

20

【0010】

なお、ランジスタとして、様々な形態のランジスタを用いることができる。よって、用いるランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコン、単結晶シリコンを有する薄膜ランジスタ（TFT）などを用いることができる。または、ZnO、a-InGaZnO、SiGe、GaAsなどの化合物半導体または酸化物半導体を有するランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜ランジスタなどを用いることができる。これらにより、製造温度を低くでき、例えば、室温でランジスタを製造することが可能となる。

30

【0011】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、RGB以外の色を用いても良い。例えば、イエロー、シアン、マゼンタの三画素から構成されるものであってもよい。

40

【0012】

なお、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合や、ギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配列されている場合や、三つの色要素のドットがデルタ配列されている場合も含む。

【0013】

なお、ランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレ

50

イン領域とチャネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第１端子、第２端子と表記する場合がある。あるいは、それぞれを第１の電極、第２の電極と表記する場合がある。あるいは、ソース領域、ドレイン領域と表記する場合がある。

【００１４】

なお、表示素子とは、光学変調素子、液晶素子、発光素子、ＥＬ素子（有機ＥＬ素子、無機ＥＬ素子又は有機物及び無機物を含むＥＬ素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、デジタルマイクロミラーデバイス（ＤＭＤ）、などのことを言う。ただし、これに限定されない。

10

【００１５】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでいても良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやパンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（ＣＯＧ）で接続されたＩＣチップ、または、ＴＡＢなどで接続されたＩＣチップを含んでいても良い。なお、表示装置は、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（ＦＰＣ）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（ＦＰＣ）などを介して接続され、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基盤（ＰＷＢ）を含んでいても良い。

20

【発明の効果】

【００１６】

本発明により、画素を選択するトランジスタ以外の回路を増やすことなく、信号線のデータを振り分けることができ、複数の画素において信号線を共用することができる。そのため、表示の品質を維持しつつ、信号線の本数を削減することができ、信号線駆動回路の構成を簡略化することができるため部品コストの削減を容易におこなうことができ、また信号線駆動回路の小型化及び低消費電力化を図ることができる。

30

【発明を実施するための最良の形態】

【００１７】

以下、本発明の実施の形態について図面を参照しながら説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本実施の形態の記載内容に限定して解釈されるものではない。なお、本明細書中の図面において、同一部分または同様な機能を有する部分には同一の符号を付し、その説明は省略する。

【００１８】

40

（実施の形態１）

図１は、表示装置のブロック図の構成を示している。図１は、本発明に用いられる表示装置が有する表示部１０１、及び駆動部１０２の構成を示している。駆動部１０２は、信号線駆動回路１０３、第１の走査線駆動回路１０４Ａ、第２の走査線駆動回路１０４Ｂから構成されている。表示部１０１には、複数の画素１０５がマトリクス状に配置されている。

【００１９】

なお、画素がマトリクスに配置されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合や、ギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばＲＧＢ）を表現する画素でフルカラー表示を行う場合

50

に、画素がストライプ配列されている場合や、三つの色要素を表現する画素がデルタ配列されている場合も含む。

【 0 0 2 0 】

図 1 において、第 1 の走査線駆動回路 1 0 4 A は、第 1 の走査線 1 0 6 (第 1 の配線ともいう) に第 1 の走査信号を供給する。また第 2 の走査線駆動回路 1 0 4 B は、第 2 の走査線 1 0 7 (第 2 の配線ともいう) に第 2 の走査信号を供給する。また信号線駆動回路 1 0 3 は、信号線 1 0 8 に画像データ (以下、単にデータという) を供給する。この第 1 の走査線 1 0 6 及び第 2 の走査線 1 0 7 からの走査信号によって、画素 1 0 5 が第 1 の第 1 の走査線 1 0 6 及び第 2 の走査線 1 0 7 の一行目から順に選択状態となるように走査信号を供給する。また、第 1 の走査線 1 0 6 及び第 2 の走査線 1 0 7 より供給される走査信号は、画素 1 0 5 を各行ごとに選択状態か、非選択状態かの決定を行うとともに、同じ信号線 1 0 8 に接続された画素 1 0 5 (図 1 中の画素群 1 0 9) の中での選択を行う。

10

【 0 0 2 1 】

なお図 1 において、第 1 の走査線駆動回路 1 0 4 A には、 $G_1 A$ 乃至 $G_n A$ の n 本の第 1 の走査線 1 0 6 が接続され、第 2 の走査線駆動回路 1 0 4 B には、 $G_1 B$ 乃至 $G_n B$ の n 本の第 2 の走査線 1 0 7 が接続される。また信号線駆動回路 1 0 3 には、 S_1 乃至 S_m の m 本の信号線 1 0 8 が接続される。表示部 1 0 1 には、複数の画素 1 0 5 がマトリクス状に配置されている。

【 0 0 2 2 】

なお信号線 1 0 8 には、画素群 1 0 9 内の第 1 の画素、第 2 の画素、及び第 3 の画素が接続される。第 1 の画素、第 2 の画素、及び第 3 の画素は、R (赤) G (緑) B (青) の色要素に対応して構成され、組み合わせて明るさを制御することにより所望の色を表現することができるようになる。なお、一組の色要素としては、R G B に限らず、Y (イエロー)、C (シアン)、M (マゼンタ) の色要素で組み合わせられたものであってもよい。

20

【 0 0 2 3 】

なお、本明細書において一画素とは、色要素の一つを示すものであり、一つの色要素の明るさを表現するものとする。例えば、R G B の色要素からなるカラー表示装置の場合には、画像の最小単位は、R の画素と G の画素と B の画素との三画素から構成されるものとなる。

【 0 0 2 4 】

ここで、図 1 との比較のために従来の表示装置のブロック図の構成について、図 1 3 に示す。図 1 3 (A) には、図 1 と同様に表示部 1 3 0 1、及び駆動部 1 3 0 2 の構成について示している。駆動部 1 3 0 2 は、信号線駆動回路 1 3 0 3、走査線駆動回路 1 3 0 4 などから構成されている。表示部 1 3 0 1 には、複数の画素 1 3 0 5 がマトリクス状に配置されている。

30

【 0 0 2 5 】

図 1 3 (A) において、走査線駆動回路 1 3 0 4 は、走査線 1 3 0 6 に走査信号を供給する。また信号線駆動回路 1 3 0 3 は、信号線 1 3 0 8 にデータを供給する。この走査線 1 3 0 6 からの走査信号によって、画素 1 3 0 5 が走査線 1 3 0 6 の一行目から順に選択状態となるように走査信号を供給する。

40

【 0 0 2 6 】

なお図 1 3 (A) において、走査線駆動回路 1 3 0 4 には、 G_1 乃至 G_n の n 本の走査線 1 3 0 6 が接続される。また信号線駆動回路 1 3 0 3 には、画像の最小単位を R G B の 3 つの画素で構成する場合を考えたとき、R に対応する信号線 S_{R1} 乃至 S_{Rm} の m 本と、G に対応する信号線 S_{G1} 乃至信号線 S_{Gm} の m 本と、B に対応する S_{B1} 乃至 S_{Bm} の m 本の、計 3 m 本の信号線が接続される。すなわち、図 1 3 (B) に示すように画素 1 3 0 5 は、色要素毎に信号線を配設し、各色要素に対応した画素に信号線よりデータを供給することで所望の色を再現することが可能になる。

【 0 0 2 7 】

図 1 3 (A)、(B) に示すように、表示装置の解像度が増加するにつれて、信号線の数

50

は増加するものの、信号線の数削減をすることであれば、さらなる表示装置の解像度の増加、及び信号線駆動回路の低消費電力化を図ることが可能になる。以下、本発明における色要素毎に信号線を配設して表示を行うための動作について詳細に説明していく。

【 0 0 2 8 】

図 2 には、表示装置における画素群 1 0 9 の構成について示している。画素群 1 0 9 内には、R G B の色要素に対応して設けられた第 1 の画素 2 0 1、第 2 の画素 2 0 2、及び第 3 の画素 2 0 3 が設けられる。また第 1 の画素 2 0 1 には、第 1 のトランジスタ 2 0 4、第 2 のトランジスタ 2 0 5、表示素子 2 0 6 が設けられ、第 2 の画素 2 0 2 には、第 1 のトランジスタ 2 0 7、第 2 のトランジスタ 2 0 8、表示素子 2 0 9 が設けられ、第 3 の画素 2 0 3 には、第 1 のトランジスタ 2 1 0、第 2 のトランジスタ 2 1 1、表示素子 2 1 2 が設けられている。

10

【 0 0 2 9 】

また第 1 の画素 2 0 1 において、第 1 のトランジスタ 2 0 4 の第 1 端子には信号線 1 0 8 が接続され、ゲートには第 1 の走査線 1 0 6 が接続され、第 2 のトランジスタ 2 0 5 の第 1 端子には第 1 のトランジスタ 2 0 4 の第 2 端子が接続され、ゲートには第 2 の走査線 1 0 7 が接続され、第 2 のトランジスタ 2 0 5 の第 2 端子には表示素子 2 0 6 が接続される。

【 0 0 3 0 】

また第 2 の画素 2 0 2 において、第 1 のトランジスタ 2 0 7 の第 1 端子には信号線 1 0 8 が接続され、ゲートには第 2 の走査線 1 0 7 が接続され、第 2 のトランジスタ 2 0 8 の第 1 端子には第 1 のトランジスタ 2 0 7 の第 2 端子が接続され、ゲートには第 2 の走査線 1 0 7 が接続され、第 2 のトランジスタ 2 0 8 の第 2 端子には表示素子 2 0 9 が接続される。

20

【 0 0 3 1 】

また第 3 の画素 2 0 3 において、第 1 のトランジスタ 2 1 0 の第 1 端子には信号線 1 0 8 が接続され、ゲートには第 1 の走査線 1 0 6 が接続され、第 2 のトランジスタ 2 1 1 の第 1 端子には第 1 のトランジスタ 2 1 0 の第 2 端子が接続され、ゲートには第 1 の走査線 1 0 6 が接続され、第 2 のトランジスタ 2 1 1 の第 2 端子には表示素子 2 1 2 が接続される。

【 0 0 3 2 】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本明細書においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。

30

【 0 0 3 3 】

なお本明細書にて用いる第 1、第 2、第 3、乃至第 N (N は自然数) という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

40

【 0 0 3 4 】

図 2 に示す回路において表示素子 2 0 6、表示素子 2 0 9、及び表示素子 2 1 2 は、液晶素子または発光素子を有することができる。表示素子として、液晶素子または発光素子を用いた際の回路図について図 3 (A)、図 3 (B) に示す。図 3 (A) に示す回路図は、表示素子 2 0 6、表示素子 2 0 9、及び表示素子 2 1 2 として液晶素子 3 0 1 A 乃至液晶素子 3 0 1 C を用いた場合の例について示している。なお液晶素子 3 0 1 A 乃至液晶素子 3 0 1 C には、電氣的に並列に保持容量 3 0 2 A 乃至保持容量 3 0 2 C が設けられる構成とすることが好ましい。また図 3 (B) に示す回路図は、表示素子として発光素子 3 0 3 A 乃至発光素子 3 0 3 C を用いた場合の例について示している。なお発光素子には、電気

50

的に直列に発光素子の発光を制御するためのトランジスタ 304A 乃至トランジスタ 304C を介して電源線 305 を設ける構成とすることが好ましい。なお、図 3 (B) において、トランジスタ 304A 乃至トランジスタ 304C のトランジスタの極性は、発光素子 303A 乃至発光素子 303C の電流の流れる方向を考慮して設けることが好ましい。例えば、図 3 (B) のように発光素子の陽極とトランジスタが接続される構成においては、p チャネル型トランジスタとすることが好ましい。なお発光素子としては、有機物及び無機物を含む EL 素子、有機 EL 素子、無機 EL 素子が挙げられる。本明細書においては、以下表示素子として液晶素子を用いるものとして説明していくものとする。

【0035】

なお、他にも表示素子 206、表示素子 209、及び表示素子 212 としては、電子放出素子、電子インクディスプレイ、電気泳動素子、グレーティングライトバルブ (GLV)、プラズマディスプレイ (PDP)、デジタルマイクロミラーデバイス (DMD)、圧電セラミックディスプレイなどを用いることができる。

【0036】

なお、第 1 のトランジスタ 210 及び第 2 のトランジスタ 211 として、様々な形態のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶 (マイクロクリスタル、セミアモルファスとも言う) シリコン、単結晶シリコンを有する薄膜トランジスタ (TFT) などを用いることができる。または、ZnO、a-InGaZnO、SiGe、GaAs などの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。

【0037】

なお、図 2 における画素群 109 内において、信号線 108 がマトリクス状に配設された RGB の画素の間を通るように配設する構成について示したが本発明はこれに限定されない。図 4 に 1 つの画素群における RGB の色要素に対応して設けられた画素と信号線との配置の例について示す。図 4 (A) 乃至 (C) には、画素群 401A 乃至画素群 401C 内に、R の画素 402A 乃至画素 402C、G の画素 403A 乃至画素 403C、及び B の画素 404A 乃至画素 404C を有し、画素群 401A 乃至 401C が信号線 S_1 、並びに第 1 の走査線 G_1 及び第 2 の走査線 G_2 によって制御される模式図について示している。図 4 (A) に示すように、信号線 S_1 は画素群 401A 内にストライプ状に配列するように設けられた画素 402A と、画素 403A との間に配設される構成としてもよい。図 4 (A) に示す構成とすることにより、信号線のデータを引き回した配線を経由することなく、画素内の表示素子に入力することができる。また、図 4 (B) に示すように、信号線 S_1 は、画素群 401B 外側に配設される構成としてもよい。図 4 (B) の構成とすることにより、回路を設計するためのレイアウトを容易に行うことができ好適である。また、図 4 (C) に示すように、画素をデルタ配列となるように配設し、信号線 S_1 をメアンダ状に、画素 402C、画素 403C、及び画素 404C の間を縫うように配設する構成としてもよい。図 4 (C) の構成とすることにより、特に曲線の多い自然画等の映像を人間の目に滑らかな映像として印象づけることができる。

【0038】

次に画像の最小単位を構成する図 2 における画素群 109 内の RGB に対応する画素の駆動方法について説明する。

【0039】

図 5 に示すタイミングチャートは、図 2 における行選択期間 (表示装置の画素 1 行のスキャン時間) 第 1 の走査線 106 (G_iA) の走査信号、第 2 の走査線 107 (G_iB) の走査信号、信号線のデータ、及び走査信号によって選択される画素のタイミングについて示している。

【0040】

なお、図 2 に示す回路図において、第 1 のトランジスタ及び第 2 のトランジスタとして、

10

20

30

40

50

nチャネル型トランジスタである場合について示している。そして、図5における説明においてもnチャネル型トランジスタのオンまたはオフを制御する場合の画素の駆動について説明するものである。なお、図2における回路図においてpチャネル型トランジスタを用いて作製した場合には、トランジスタのオンまたはオフが同じ動作となるように走査信号の電位を適宜変更すればよい。

【0041】

図5のタイミングチャートにおいて、1画面分の画像を表示する期間に相当する1フレーム期間を、画像を見る人がちらつき（フリッカ）を感じないように少なくとも1/60秒とし、走査線の本数をMと考えると、1/60M秒が行選択期間に相当するものとなる。例えば、VGA（Video Graphics Array：640×480）の解像度を有する表示装置であれば、配線に起因する信号の遅延等を考慮しない場合には、1/28800秒（34.72μs）が行選択期間に相当する。

10

【0042】

図5のタイミングチャートに示す本実施の形態の画素の駆動方法は、行選択期間において、第1の走査線の走査信号及び第2の走査信号をそれぞれ、RGBの画素数に応じた期間数に分割し、制御するものである。次に第1の走査線及び第2の走査線の信号に制御される各画素での書き込み順序について説明する。なお、i行目の画素に接続される第1の走査線G_iA、i行目の画素に接続される第2の走査線G_iBがそれぞれ選択されるタイミングを示している。

【0043】

20

まず、図5に示す第1の期間501において、第1の走査線G_iAの走査信号及び第2の走査線G_iBの走査信号を高電位の信号とすることにより、第1の画素における第1のトランジスタ及び第2のトランジスタ、第2の画素における第1のトランジスタ及び第2のトランジスタ、並びに第3の画素における第1のトランジスタ及び第2のトランジスタがオン状態となる。そしてこのとき、第1の画素乃至第3の画素が選択され、それぞれの表示素子に信号線のデータが供給される。このとき、第2の画素及び第3の画素の表示素子には、第1の画素の表示素子に供給されるべき信号線のデータが供給されることとなる。

【0044】

なお、本明細書におけるトランジスタのオン状態とは、トランジスタにおける第1端子と第2端子とが導通する状態のことをいう。また本明細書におけるトランジスタのオフ状態とは、トランジスタにおける第1端子と第2端子とが非導通の状態のことをいう。

30

【0045】

次に図5に示す第2の期間502において、第1の走査線の走査信号を低電位の信号、第2の走査線の走査信号を高電位の信号とすることにより、第1の画素における第1のトランジスタがオン状態、第2のトランジスタがオフ状態となり、第2の画素における第1のトランジスタ及び第2のトランジスタがオン状態となり、第3の画素における第1のトランジスタ及び第2のトランジスタがオフ状態となる。そしてこのとき、第1の画素及び第3の画素の表示素子には、信号線のデータが供給されず、第2の画素の表示素子にのみ、信号線のデータが供給されることとなる。

【0046】

40

次に図5に示す第3の期間503において、第1の走査線の走査信号を高電位の信号、第2の走査線の走査信号を低電位の信号とすることにより、第1の画素における第1のトランジスタがオフ状態、第2のトランジスタがオン状態となり、第2の画素における第1のトランジスタ及び第2のトランジスタがオフ状態となり、第3の画素における第1のトランジスタ及び第2のトランジスタがオン状態となる。そしてこのとき、第1の画素及び第2の画素の表示素子には、信号線のデータは供給されず、第3の画素の表示素子にのみ、信号線のデータが供給されることとなる。

【0047】

本実施の形態で説明する表示装置の画素の駆動方法においては、上記説明したように第1の期間に、色要素の一つであるRのデータが第1の画素乃至第3の画素の表示素子に入力

50

されることとなる。ただし、本発明においては、行選択期間をRGBの色要素毎に分割して走査するため、Rのデータが第2の画素及び第3の画素に入力される期間は $1/180$ M秒以下となるため、RのデータがB及びGの色要素に対応した画素に入力されても画像表示には影響なく動作させることが可能である。例えば、VGA(Video Graphics Array: 640×480)の解像度を有する表示装置であれば、配線に起因する信号の遅延等を考慮しない場合には、 $1/86400$ 秒($11.57\mu s$)にRのデータがB及びGの色要素に対応した画素に入力される期間に相当する。例えば表示素子が液晶素子にある場合においては、液晶素子の光学応答は早くても数msの時間が必要となるため、RのデータがB及びGの色要素に対応した画素に入力されても画像表示には影響なく動作できるものである。

10

【0048】

なお特に表示素子が液晶素子の場合においては、予めRのデータをB及びGの色要素に対応した画素の表示素子に入力しておくことで、電圧が印加されて液晶分子の傾きを得ることができる。そのため、Rの次に入力されるGのデータが、Gに対応する画素の液晶分子を具備する表示素子に入力された際に、短時間に所望の液晶の配向状態を得ることができるため好適である。

【0049】

次に本発明の画素構成を具備する表示装置の利点について、信号線駆動回路(ソースドライバともいう)の構成を示し説明する。図6には信号線駆動回路のブロック図である。なお図6に示す信号線駆動回路は、一例として、表示装置の画素を線順次駆動するための構成であり、表示素子として液晶表示素子を用いる構成での例について示している。

20

【0050】

図6の信号線駆動回路601は、シフトレジスタ602、第1のラッチ回路603、第2のラッチ回路604、及びD/A変換回路605から構成されている。

【0051】

シフトレジスタ602には、ソースドライバスタートパルス(SSP)、ソースドライバクロック信号(SCK)、反転ソースドライバクロック信号(SCKB)等が供給されている。そして、シフトレジスタ602は、第1のラッチ回路603を1つずつ選択する。なおシフトレジスタ602と第1のラッチ回路603との間にレベルシフト回路を設ける構成としてもよい。

30

【0052】

第1のラッチ回路603の入力端子には、シフトレジスタ602の出力端子、画像データが入力される配線が接続されている。第1のラッチ回路603の出力端子は、第2のラッチ回路604にそれぞれ接続されている。

【0053】

第2のラッチ回路604は、第1のラッチ回路603で取り込まれた画像データを保持するものであり、第2のラッチ回路604を制御するための信号が入力される配線に接続されている。第2のラッチ回路604の出力端子は、D/A変換回路605にそれぞれ接続される。

【0054】

D/A変換回路605は、第2のラッチ回路604を制御するための信号に基づいて一斉に出力された画像データについて、デジタルデータからアナログデータへの変換を行う回路である。D/A変換回路605の出力端子は、信号線 S_1 乃至 S_m にそれぞれ接続されている。

40

【0055】

本発明においては、画素に接続される信号線の数を削減することができる。そのため、図6に示す信号線駆動回路の構成では、シフトレジスタ602からの出力配線の削減、第1のラッチ回路603、第2のラッチ回路604、D/A変換回路605の数を削減することができる。すなわち、本発明の表示装置においては、信号線の数を $1/3$ に圧縮することが可能であるため、シフトレジスタ602、第1のラッチ回路603、第2のラッチ回

50

路 604、D/A変換回路 605にかかるコストの削減をおこなうことができる。特にD/A変換回路 605は、液晶表示素子を駆動するために画素に出力する電圧を高くする必要があり、D/A変換回路が発熱してしまうといった問題があったが、D/A変換回路の数の削減により、低消費電力化を図ることができ、また発熱問題を問題ならない程度に小さくすることができる。

【0056】

また、図7に、図6に示す信号線駆動回路のブロック図とは異なる構成について説明する。なお図7に示す信号線駆動回路は、図6に示すように、表示装置の画素を線順次駆動するための構成であり、表示素子として液晶表示素子を用いる構成での例について示している。

10

【0057】

図7の信号線駆動回路701は、シフトレジスタ702、第1のラッチ回路703、第2のラッチ回路704、D/A変換回路705から構成されており、信号選択回路706は配線707を有している。

【0058】

シフトレジスタ702には、ソースドライバスタートパルス(SSP)、ソースドライバクロック信号(SCK)、反転ソースドライバクロック信号(SCKB)等が供給されている。そして、シフトレジスタ702は、第1のラッチ回路703を1つずつ選択する。なおシフトレジスタ702と第1のラッチ回路703との間にレベルシフト回路を設ける構成としてもよい。

20

【0059】

第1のラッチ回路703の入力端子には、シフトレジスタ702の出力端子、画像データが入力される配線が接続されている。第1のラッチ回路703の出力端子は、第2のラッチ回路704にそれぞれ接続されている。

【0060】

第2のラッチ回路704は、第1のラッチ回路703で取り込まれた画像データを保持するものであり、第2のラッチ回路704を制御するための信号が入力される配線に接続されている。第2のラッチ回路704の出力端子は、D/A変換回路705にそれぞれ接続される。

【0061】

D/A変換回路705は、第2のラッチ回路704を制御するための信号に基づいて一斉に出力された画像データについて、デジタルデータからアナログデータへの変換を行う回路である。D/A変換回路705の出力端子は、信号線 S_1 乃至 S_m の本数に対応した信号選択回路706を構成するトランジスタの第1端子にそれぞれ接続されている。

30

【0062】

信号選択回路706は、D/A変換回路から出力される画像データを、選択して各信号線に振り分けて出力する回路である。具体的な一例として信号選択回路706は、信号線 S_1 乃至 S_m の本数に対応して複数のトランジスタをスイッチとして設け、トランジスタのゲートに接続された配線707によって順次トランジスタのオンまたはオフを制御する構成とすればよい。そして信号選択回路706は、トランジスタの第2端子に接続された信号線を選択していき、D/A変換回路から出力される画像データを出力する。

40

【0063】

配線707は、信号選択回路706を構成するトランジスタを順次選択してオンまたはオフを制御するための信号を出力する配線である。トランジスタを順次選択していく信号は、配線707を通して走査線駆動回路から供給すればよい。

【0064】

本発明においては、画素に接続される信号線の数を削減することができる。加えて図7に示す信号線駆動回路の構成においては、信号線の前段に設けられた信号選択回路706により、信号線に画像データを振り分ける構成とすることができる。そのため、図7に示す信号線駆動回路の構成では、図6に示した信号線駆動回路の構成よりもさらに、シフトレ

50

ジスタ702からの出力配線の削減、第1のラッチ回路703、第2のラッチ回路704、D/A変換回路705の数を削減することができる。すなわち、本発明の表示装置においては、信号線の数 $1/3$ に圧縮し、信号選択回路により3つの信号線に画像データを振り分けることが可能であるため、シフトレジスタ702、第1のラッチ回路703、第2のラッチ回路704、D/A変換回路705にかかるコストの削減をおこなうことができる。特にD/A変換回路705は、液晶表示素子を駆動するために画素に出力する電圧を高くする必要があり、D/A変換回路が発熱してしまうといった問題があったが、D/A変換回路の数の削減により、低消費電力化を図ることができ、また発熱問題を問題ならない程度に小さくすることができる。

【0065】

10

本実施の形態は他の実施の形態と適宜組み合わせる実施することが可能である。

【0066】

(実施の形態2)

本実施の形態では、上記実施の形態で説明した本発明の表示装置の画素の上面図及びその断面図の構成について説明する。

【0067】

図8は、上記実施の形態で説明した第1のトランジスタ及び第2のトランジスタとして薄膜トランジスタ(TFT)を用いた場合の画素の断面図と上面図である。図8(A)は、画素の断面図であり、図8(B)は、画素の上面図である。また、図8(A)に示す画素の断面図は、図8(B)に示す画素の上面図における線分A-A'に対応している。

20

【0068】

なお、図8(A)に示すTFTは、非晶質半導体または多結晶半導体を用いたトップゲート型のTFTである。しかし、本発明はこれに限定されるものではない。使用できるTFTの構造は、ボトムゲート型のTFTでも良い。ボトムゲート型のTFTを作製する際には、非晶質半導体を用いたTFTとする。非晶質半導体を用いることで、大面積の基板を用いて、安価に作製できるという利点がある。

【0069】

次に図8(A)に示す断面図の構成について説明する。本実施の形態においては特にTFTが形成される側の基板上への素子の形成方法について説明して行くこととする。

【0070】

30

まず、基板801に第1の絶縁膜802を成膜する。第1の絶縁膜802は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜(SiO_xN_y)等の絶縁膜であってもよい。または、これらの膜の少なくとも2つの膜を組み合わせた積層構造の絶縁膜を用いてもよい。第1の絶縁膜802を成膜して本発明を実施する場合は、基板からの不純物が半導体層に影響を及ぼし、TFTの性質が変化してしまうのを防ぐことができるので、信頼性の高い表示装置を得ることができる。なお、第1の絶縁膜802を成膜せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。

【0071】

なお基板801は透光性を有する基板が好適であり、例えば石英基板、ガラス基板またはプラスチック基板でもよい。なお、基板801は遮光性の基板でもよく、半導体基板、SOI(Silicon on Insulator)基板でもよい。

40

【0072】

次に、第1の絶縁膜802上に半導体膜803を形成し、フォトリソグラフィ法等の方法により形状を加工する。なお、半導体膜803に使用する材料は、シリコンまたはシリコンゲルマニウム(SiGe)などが好適である。

【0073】

次に、第2の絶縁膜804を形成する。このとき、スパッタ装置、またはCVD装置などの成膜装置を用いてもよい。なお、第2の絶縁膜804に使用する材料は、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などが好適である。または、こ

50

これらの積層構造であってもよい。

【0074】

次に、第2の絶縁膜804を介した半導体膜803上及び第1の絶縁膜802上に、第1の導電膜805を形成する。なお、第1の導電膜805は、フォトリソグラフィ法等の方法により形状を加工して形成してもよい。なお、第1の導電膜805に使用する材料は、Mo、Ti、Al、Nd、Crなどが好適である。または、これらの積層構造であってもよい。さらに、これらの合金を単層または積層構造として、第1の導電膜805として形成してもよい。なお、第1の導電膜805をマスクとして、半導体膜803に導電性を付与するための不純物元素を導入する。

【0075】

次に、第3の絶縁膜806を形成する。なお、第3の絶縁膜806に用いる材料は、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）などが好適である。なお、第3の絶縁膜806は、形状を加工して形成してもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。このとき、同時に第2の絶縁膜804もエッチングすることで、第1の導電膜805を露出するためのコンタクトホールを形成することができる。

【0076】

次に、第2の導電膜807を形成する。このとき、スパッタ法または印刷法を用いるのが好適である。なお、第2の導電膜807に使用する材料は、透明性を有していても、反射性を有していてもよい。なお、第2の導電膜807として使用できる材料は、第1の導電膜805と同様でもよい。また、第2の導電膜807は、形状を加工して形成してもよい。

【0077】

次に、第4の絶縁膜808を形成する。なお、第4の絶縁膜808に用いる材料は、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）または有機材料などが好適である。なお、第4の絶縁膜808は、形状を加工して形成してもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。このとき、第2の導電膜807を露出させるためのコンタクトホールを形成することができる。なお、第4の絶縁膜808の表面は、できるだけ平坦であることが好適である。

【0078】

次に、第3の導電膜809を形成する。このとき、スパッタ法または印刷法を用いるのが好適である。なお、第3の導電膜809に使用する材料は、第2の導電膜807と同じく、透明性を有していても、反射性を有していてもよい。なお、第3の導電膜809として使用できる材料は、第2の導電膜807と同様でもよい。また、第3の導電膜809は、形状を加工して形成してもよい。形状を加工する方法は、第2の導電膜807と同様でもよい。なお、第3の導電膜809は、表示素子と電氣的に接続するための画素電極としての機能を有していてもよい。

【0079】

なお、上述の工程を経ることにより、基板801上には、トランジスタ810及び容量素子811が形成され、同時にトランジスタを駆動するための配線が形成される。

【0080】

次に、図8(B)を参照して、表示装置の画素のレイアウトの一例について説明する。なお、図8(B)には、上記実施の形態1で説明した第1の画素乃至第3の画素が並んで配設された構成について示している。なお、第1の画素乃至第3の画素の違いは、上記実施の形態1で説明したように第1の走査線及び第2の走査線と、第1のトランジスタ及び第2のトランジスタとの接続が違う点にある。そのため、ここでは、第1の画素乃至第3の画素のいずれか一つについて説明するものとする。

【0081】

図8(B)に示す本発明の表示装置に適用しうる画素は、一例として、第1の走査線851と、第2の走査線852と、信号線853と、容量線854と、第1のトランジスタ8

10

20

30

40

50

５５と、第２のトランジスタ８５６と、画素電極８５７と、容量素子８５８と、を備える。図８（Ｂ）に示す配線８５９は、信号線８５３から第１の画素乃至第３の画素の第１のトランジスタ８５５の第１端子に、画像データを供給するために配設された配線である。

【００８２】

第１の走査線８５１及び第２の走査線８５２は、第１のトランジスタ８５５及び第２のトランジスタ８５６のゲートと電氣的に接続される。このとき第１の走査線８５１及び第２の走査線８５２から第１のトランジスタ８５５及び第２のトランジスタ８５６への電氣的な接続は、コンタクトホールを介して接続された別の配線により行われることが好適である。すなわち、上記図８（Ａ）で述べた第２の導電膜８０７の層が第１の走査線８５１及び第２の走査線８５２と同じ層に相当し、第１の導電膜８０５の層がコンタクトホールを介して接続された別の配線の層に相当する。

10

【００８３】

信号線８５３は、第１のトランジスタ８５５の第１端子と電氣的に接続されるため、配線８５９とコンタクトホールを介して接続されていることが好適である。なお、信号線８５３は、第１の走査線８５１及び第２の走査線８５２とは別の層に形成するために、上記図８（Ａ）で述べた第１の導電膜８０５と同じ層に設ける構成とすることが好適である。

【００８４】

容量線８５４は、上記図８（Ａ）で述べた第２の導電膜８０７と同じ層に形成されており、コンタクトホールを介して第１の導電膜８０５と電氣的に接続されている。また、容量線８５４と電氣的に接続された第１の導電膜８０５は、第１のトランジスタ８５５及び第２のトランジスタ８５６を構成する導電性が付与された半導体膜８０３から延設して設けられた領域と重畳して設けられる。すなわち、第１の導電膜８０５は、第２の絶縁膜８０４を挟んで導電性が付与された半導体膜８０３と重畳する領域で容量素子を形成することができる。

20

【００８５】

本発明においては、画素に接続される信号線の数を削減することができる。そのため、画素におけるトランジスタに接続された表示領域の面積を大きくすることができる。一方、信号線が配設されていない箇所での隣り合う画素の間では、表示素子同士が直接近接して設けられた状態も考えられる。本実施の形態に示すように、信号線の配設がなく、画素同士が隣り合う箇所に、配線を延設して容量素子を設けることにより、近接して設けられた画素の表示素子間のクロストークを緩和することができるため好適である。

30

【００８６】

本実施の形態は他の実施の形態と適宜組み合わせて実施することが可能である。

【００８７】

（実施の形態３）

本実施の形態では、本発明の表示装置における表示部の構成について、図９を参照して説明する。具体的には表示素子として液晶表示素子を用い、ＴＦＴ基板と、対向基板と、対向基板とＴＦＴ基板との間に挟持された液晶層とを有する表示装置の構成について説明する。また、図９（Ａ）は、表示装置の上面図である。図９（Ｂ）は、図９（Ａ）の線Ｃ－Ｄにおける断面図である。なお、図９（Ｂ）は、基板５０１００上に、半導体膜として結晶性半導体膜（ポリシリコン膜）を用いた場合のトップゲート型のトランジスタを形成した場合で、表示方式がＭＶＡ（Multi-domain Vertical Alignment）方式での断面図である。

40

【００８８】

図９（Ａ）に示す液晶パネルは、基板５０１００上に、画素部５０１０１、第１の走査線駆動回路５０１０５ａ、第２の走査線駆動回路５０１０５ｂ、及び信号線駆動回路５０１０６が形成されている。画素部５０１０１、第１の走査線駆動回路５０１０５ａ、第２の走査線駆動回路５０１０５ｂ、及び信号線駆動回路５０１０６は、シール材５０５１６によって、基板５０１００と基板５０５１５との間に封止されている。また、ＴＡＢ方式によって、ＦＰＣ５０２００、及びＩＣチップ５０５３０が基板５０１００上に配置されて

50

いる。

【0089】

なお、第1の走査線駆動回路50105a、第2の走査線駆動回路50105b、及び信号線駆動回路50106としては、実施の形態1で説明したものと同様なものを用いることができる。

【0090】

図9(A)の線C-Dにおける断面構造について、図9(B)を参照して説明する。基板50100上に、画素部50101と、その周辺駆動回路部(第1の走査線駆動回路50105a及び第2の走査線駆動回路50105b、並びに信号線駆動回路50106)が形成されているが、ここでは、駆動回路領域50525(第2の走査線駆動回路50105b)と、画素領域50526(画素部50101)とが示されている。

10

【0091】

まず、基板50100上に、下地膜として、絶縁膜50501が成膜されている。絶縁膜50501としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜(SiO_xN_y)等の絶縁膜の単層、或いはこれらの膜の少なくとも2つの膜でなる積層を用いる。なお、半導体と接する部分では、酸化シリコン膜を用いる方がよい。その結果、下地膜における電子のトラップやトランジスタ特性のヒステリシスを抑えることができる。また、下地膜として、窒素を多く含む膜を少なくとも1つ配置することが望ましい。それにより、ガラスからの不純物による汚染を抑制することができる。

20

【0092】

次に、絶縁膜50501上に、フォトリソグラフィ法、インクジェット法、又は印刷法などにより、半導体膜50502が形成されている。

【0093】

次に、半導体膜50502上に、ゲート絶縁膜として、絶縁膜50503が形成されている。なお、絶縁膜50503としては、半導体膜50502を熱酸化して形成される膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの単層または積層構造を用いることができる。半導体膜50502と接する絶縁膜50503は酸化珪素膜が好ましい。それは、酸化珪素膜にすると半導体膜50502と絶縁膜50503との界面におけるトラップ準位の密度を下げるからである。また、ゲート電極をMoで形成するときは、ゲート電極と接するゲート絶縁膜は窒化シリコン膜が好ましい。それは、窒化シリコン膜はMoを酸化させないからである。ここでは絶縁膜50503として、プラズマCVD法により厚さ115nmの酸化窒化シリコン膜(組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$)を形成する。

30

【0094】

次に、絶縁膜50503上に、ゲート電極として、フォトリソグラフィ法、インクジェット法、又は印刷法などにより、導電膜50504が形成されている。なお、導電膜50504としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層により構成してもよい。ここではMoによりゲート電極を形成する。Moは、エッチングしやすく、熱に強いので好適である。なお、半導体膜50502には、導電膜50504、又はレジストをマスクとして半導体膜50502に不純物元素がドーピングされており、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されている。なお、不純物領域は、不純物濃度を制御して高濃度領域と低濃度領域とを形成されていてもよい。なお、トランジスタ50521の導電膜50504は、デュアルゲート構造としている。トランジスタ50521は、デュアルゲート構造にすることで、トランジスタ50521のオフ電流を小さくすることができる。なお、デュアルゲート構造とは、2つのゲート電極を有している構造である。ただし、トランジスタのチャネル領域上に、複数のゲート電極を有していてもよい。また、トランジスタ50521の導電膜50504は、シングルゲート構造としてもよい。また、トランジスタ50521と同一工程にてトランジスタ50519及びトランジスタ50520

40

50

を作製することができる。

【0095】

次に、絶縁膜50503上、及び絶縁膜50503上に形成された導電膜50504上に、層間膜として、絶縁膜50505が形成されている。なお、絶縁膜50505としては、有機材料、又は無機材料、若しくはそれらの積層構造を用いることができる。例えば酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化窒化アルミニウム、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウムまたは酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、ポリシラザン、窒素含有炭素(CN)、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ、その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。また、有機絶縁性材料を用いてもよく、有機材料としては、感光性、非感光性どちらでも良く、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン系ポリマー、シロキサン樹脂などを用いることができる。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、例えばアルキル基、芳香族炭化水素などの有機基が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、有機基と、フルオロ基とを用いてもよい。なお、絶縁膜50503、及び絶縁膜50505には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、各トランジスタの不純物領域の上面に形成されている。

10

【0096】

次に、絶縁膜50505上に、ドレイン電極、ソース電極、及び配線として、フォトリソグラフィ法、インクジェット法、又は印刷法などにより、導電膜50506が形成されている。なお、導電膜50506としては、材料としてはTi、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層構造を用いることができる。なお、絶縁膜50503、及び絶縁膜50505のコンタクトホールが形成されている部分では、導電膜50506とトランジスタの半導体膜50502の不純物領域とが接続されている。

20

【0097】

次に、絶縁膜50505、及び絶縁膜50505上に形成された導電膜50506上に、平坦化膜として、絶縁膜50507が形成されている。なお、絶縁膜50507としては、平坦性が高く、下層に起因する凹凸を平坦化できることが望ましいため、有機材料を用いて形成されることが多い。なお、無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコン)の上に、有機材料が形成され、多層構造になっていてもよい。なお、絶縁膜50507には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ50521のドレイン電極の上面に形成されている。

30

【0098】

次に、絶縁膜50507上に、画素電極として、フォトリソグラフィ法、インクジェット法、又は印刷法などにより、導電膜50508が形成されている。導電膜50508には、開口部を形設しておく。導電膜50508に形設される開口部は、液晶分子に傾斜を持たせることができるため、MVA方式での突起物と同じ役割をさせることができる。なお、導電膜50508としては、光を透過する透明電極、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物(ITO)膜、インジウムスズ酸化物(ITO)に酸化珪素を混ぜたインジウムスズ珪素酸化物(ITSO)膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物(IZO)膜、酸化亜鉛膜、または酸化スズ膜などを用いることができる。なお、IZOとは、ITOに2~20wt%の酸化亜鉛(ZnO)を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料であるが、これに限定されない。反射電極の場合は、例えば、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどやそれらの合金などを用いることができる。また、Ti、Mo、Ta、Cr、WとAlを積層させた2層構造

40

50

、AlをTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としてもよい。

【0099】

次に、絶縁膜50507上、及び絶縁膜50507上に形成された導電膜50508上に、配向膜として、絶縁膜50509が形成されている。

【0100】

次に、画素部50101の周辺部、若しくは画素部50101の周辺部とその周辺駆動回路部の周辺部に、インクジェット法などにより、シール材50516が形成される。

【0101】

次に、導電膜50512、絶縁膜50511、及び突起部50551などが形成された基板50515と、基板50100とがスペーサ50531を介して貼り合わされており、その隙間に、液晶層50510が配置されている。なお、基板50515は、対向基板として機能する。また、スペーサ50531は、数 μ mの粒子を散布して設ける方法でもよいし、基板全面に樹脂膜を形成した後に、樹脂膜をエッチング加工して形成する方法でもよい。また、導電膜50512は、対向電極として機能する。導電膜50512としては、導電膜50508と同様なものを用いることができる。また、絶縁膜50511は、配向膜として機能する。

【0102】

次に、画素部50101と、その周辺駆動回路部と電氣的に接続されている導電膜50518上に、異方性導電体層50517を介して、FPC50200が配置されている。また、FPC50200上に、異方性導電体層50517を介して、ICチップ50530が配置されている。つまり、FPC50200、異方性導電体層50517、及びICチップ50530は、電氣的に接続されている。

【0103】

なお、異方性導電体層50517は、FPC50200から入力される信号、及び電位を、画素や周辺回路に伝達する機能を有している。異方性導電体層50517としては、導電膜50506と同様なものを用いてもよいし、導電膜50504と同様なものを用いてもよいし、半導体膜50502の不純物領域と同様なものを用いてもよいし、これらを少なくとも2層以上組み合わせたものを用いてもよい。

【0104】

なお、ICチップ50530は、機能回路（メモリやバッファ）を形成することで、基板面積を有効利用することができる。

【0105】

なお、図9（B）は、表示方式がMVA方式での断面図について説明したが、表示方式がPVA（Patterned Vertical Alignment）方式でもよい。PVA方式の場合は、基板50515上の導電膜50512に対し、スリットを設ける構成とすることで液晶分子を傾斜配向させればよい。またスリットが設けられた導電膜上に突起部50551（配向制御用突起ともいう）を設けて、液晶分子の傾斜配向をさせてもよい。また、液晶の駆動方式は、MVA方式、PVA方式に限定されるものではなく、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）等を用いることができる。

【0106】

図9（A）、図9（B）の液晶パネルは、第1の走査線駆動回路50105a、第2の走査線駆動回路50105b、及び信号線駆動回路50106を基板50100上に形成した場合の構成について説明したが、図10（A）の液晶パネルに示すように、信号線駆動回路50106に相当する駆動回路をドライバIC50601に形成して、COG方式な

10

20

30

40

50

どで液晶パネルに実装した構成としてもよい。信号線駆動回路50106をドライバIC50601に形成することで、省電力化を図ることができる。また、ドライバIC50601はシリコンウエハ等の半導体チップとすることで、図10(A)の液晶パネルはより高速、且つ低消費電力化を図ることができる。

【0107】

同様に、図10(B)の液晶パネルに示すように、第1の走査線駆動回路50105a、第2の走査線駆動回路50105b、及び信号線駆動回路50106に相当する駆動回路を、それぞれドライバIC50602a、ドライバIC50602b、及びドライバIC50601に形成して、COG方式などで液晶パネルに実装した構成としてもよい。これにより、低コスト化が図れる。

10

【0108】

本発明においては、上述の図4(A)乃至図4(C)の表示部を構成する画素に接続される信号線の数を削減することができる。そのため、画素におけるトランジスタに接続された表示領域の面積を大きくすることができる。そして信号線に接続された信号線駆動回路において、素子数を削減することができ、低コスト化及び低消費電力化を図ることができる。

【0109】

本実施の形態は他の実施の形態と適宜組み合わせて実施することが可能である。

【0110】

(実施の形態4)

本実施形態においては、電子機器の例について説明する。

20

【0111】

図11は表示パネル1101と、回路基板1111を組み合わせた表示パネルモジュールを示している。表示パネル1101は画素部1102、走査線駆動回路1103及び信号線駆動回路1104を有している。回路基板1111には、例えば、コントロール回路1112及び信号分割回路1113などが形成されている。表示パネル1101と回路基板1111とは接続配線1114によって接続されている。接続配線にはFPC等を用いることができる。

【0112】

表示パネル1101は、画素部1102と一部の周辺駆動回路(複数の駆動回路のうち動作周波数の低い駆動回路)を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路(複数の駆動回路のうち動作周波数の高い駆動回路)をICチップ上に形成し、そのICチップをCOG(Chip On Glass)などで表示パネル1101に実装してもよい。こうすることで、回路基板1111の面積を削減でき、小型の表示装置を得ることができる。あるいは、そのICチップをTAB(Tape Auto Bonding)又はプリント基板を用いて表示パネル1101に実装してもよい。こうすることで、表示パネル1101の面積を小さくできるので、額縁サイズの小さい表示装置を得ることができる。

30

【0113】

例えば、消費電力の低減を図るため、ガラス基板上にトランジスタを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG又はTABで表示パネルに実装してもよい。

40

【0114】

図11に示した表示パネルモジュールによって、テレビ受像機を完成させることができる。

【0115】

本実施の形態の各々の図で述べた内容(一部でもよい)を様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機

50

器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

【0116】

図12（A）はディスプレイであり、筐体1211、支持台1212、表示部1213を含む。図12（A）に示すディスプレイは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図12（A）に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【0117】

図12（B）はカメラであり、本体1231、表示部1232、受像部1233、操作キー1234、外部接続ポート1235、シャッターボタン1236を含む。図12（B）に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。なお、図12（B）に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0118】

図12（C）はコンピュータであり、本体1251、筐体1252、表示部1253、キーボード1254、外部接続ポート1255、ポインティングデバイス1256を含む。図12（C）に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図12（C）に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0119】

本発明においては、上述の図12（A）乃至図12（C）の表示部を構成する画素に接続される信号線の本数を削減することができる。そのため、画素におけるトランジスタに接続された表示領域の面積を大きくすることができる。そして信号線に接続された信号線駆動回路において、素子数を削減することができ、低コスト化及び低消費電力化を図ることができる。

【0120】

本実施の形態は他の実施の形態と適宜組み合わせて実施することが可能である。

【図面の簡単な説明】

【0121】

【図1】本発明の表示装置を示す図。

【図2】本発明の表示装置を構成する画素を示す図。

【図3】本発明の表示装置を構成する画素を示す図。

【図4】本発明の表示装置を構成する画素を示す図。

【図5】本発明を説明するためのタイミングチャートを示す図。

【図6】信号線駆動回路の構成について説明するための図。

【図7】信号線駆動回路の構成について説明するための図。

【図8】本発明の表示装置を構成する画素を示す図。

【図9】本発明の表示装置を説明するための図。

【図10】本発明の表示装置を説明するための図。

【図11】本発明の表示装置を具備する電子機器を説明するための図。

【図12】本発明の表示装置を具備する電子機器を説明するための図。

【図13】従来の表示装置を説明するための図。

【符号の説明】

【0122】

101 表示部

102 駆動部

103 信号線駆動回路

104 A 第1の走査線駆動回路

10

20

30

40

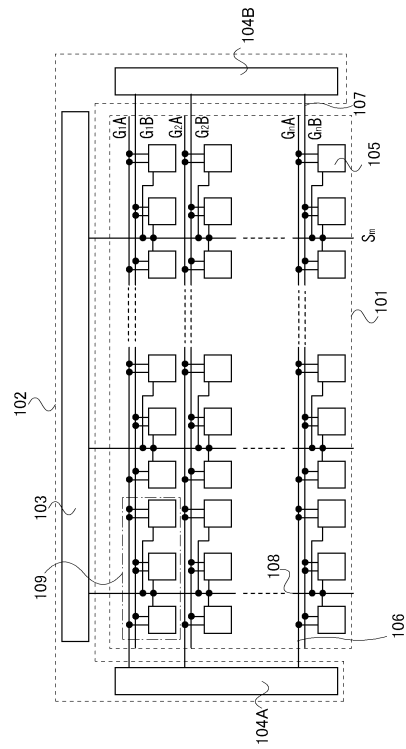
50

1 0 4 B	第 2 の走査線駆動回路	
1 0 5	画素	
1 0 6	第 1 の走査線	
1 0 7	第 2 の走査線	
1 0 8	信号線	
1 0 9	画素群	
2 0 1	第 1 の画素	
2 0 2	第 2 の画素	
2 0 3	第 3 の画素	
2 0 4	第 1 のトランジスタ	10
2 0 5	第 2 のトランジスタ	
2 0 6	表示素子	
2 0 7	第 1 のトランジスタ	
2 0 8	第 2 のトランジスタ	
2 0 9	表示素子	
2 1 0	第 1 のトランジスタ	
2 1 1	第 2 のトランジスタ	
2 1 2	表示素子	
3 0 1 A	液晶素子	
3 0 1 B	液晶素子	20
3 0 1 C	液晶素子	
3 0 2 A	保持容量	
3 0 2 B	保持容量	
3 0 2 C	保持容量	
3 0 3 A	発光素子	
3 0 3 B	発光素子	
3 0 3 C	発光素子	
3 0 4 A	トランジスタ	
3 0 4 B	トランジスタ	
3 0 4 C	トランジスタ	30
3 0 5	電源線	
4 0 1 A	画素群	
4 0 1 B	画素群	
4 0 1 C	画素群	
4 0 2 A	画素	
4 0 2 B	画素	
4 0 2 C	画素	
4 0 3 A	画素	
4 0 3 B	画素	
4 0 3 C	画素	40
4 0 4 A	画素	
4 0 4 B	画素	
4 0 4 C	画素	
5 0 1	第 1 の期間	
5 0 2	第 2 の期間	
5 0 3	第 3 の期間	
6 0 1	信号線駆動回路	
6 0 2	シフトレジスタ	
6 0 3	第 1 のラッチ回路	
6 0 4	第 2 のラッチ回路	50

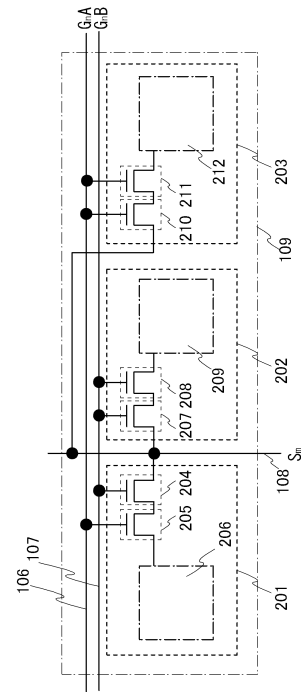
6 0 5	D / A 変換回路	
7 0 1	信号線駆動回路	
7 0 2	シフトレジスタ	
7 0 3	第 1 のラッチ回路	
7 0 4	第 2 のラッチ回路	
7 0 5	D / A 変換回路	
7 0 6	信号選択回路	
7 0 7	配線	
8 0 1	基板	
8 0 2	第 1 の絶縁膜	10
8 0 3	半導体膜	
8 0 4	第 2 の絶縁膜	
8 0 5	第 1 の導電膜	
8 0 6	第 3 の絶縁膜	
8 0 7	第 2 の導電膜	
8 0 8	第 4 の絶縁膜	
8 0 9	第 3 の導電膜	
8 1 0	トランジスタ	
8 1 1	容量素子	
8 5 1	第 1 の走査線	20
8 5 2	第 2 の走査線	
8 5 3	信号線	
8 5 4	容量線	
8 5 5	第 1 のトランジスタ	
8 5 6	第 2 のトランジスタ	
8 5 7	画素電極	
8 5 8	容量素子	
8 5 9	配線	
1 1 0 1	表示パネル	
1 1 0 2	画素部	30
1 1 0 3	走査線駆動回路	
1 1 0 4	信号線駆動回路	
1 1 1 1	回路基板	
1 1 1 2	コントロール回路	
1 1 1 3	信号分割回路	
1 1 1 4	接続配線	
1 2 1 1	筐体	
1 2 1 2	支持台	
1 2 1 3	表示部	
1 2 3 1	本体	40
1 2 3 2	表示部	
1 2 3 3	受像部	
1 2 3 4	操作キー	
1 2 3 5	外部接続ポート	
1 2 3 6	シャッターボタン	
1 2 5 1	本体	
1 2 5 2	筐体	
1 2 5 3	表示部	
1 2 5 4	キーボード	
1 2 5 5	外部接続ポート	50

1 2 5 6	ポインティングデバイス	
1 3 0 1	表示部	
1 3 0 2	駆動部	
1 3 0 3	信号線駆動回路	
1 3 0 4	走査線駆動回路	
1 3 0 5	画素	
1 3 0 6	走査線	
1 3 0 8	信号線	
5 0 1 0 0	基板	
5 0 1 0 1	画素部	10
5 0 1 0 5 a	第 1 の走査線駆動回路	
5 0 1 0 5 b	第 2 の走査線駆動回路	
5 0 1 0 6	信号線駆動回路	
5 0 2 0 0	F P C	
5 0 5 0 1	絶縁膜	
5 0 5 0 2	半導体膜	
5 0 5 0 3	絶縁膜	
5 0 5 0 4	導電膜	
5 0 5 0 5	絶縁膜	
5 0 5 0 6	導電膜	20
5 0 5 0 7	絶縁膜	
5 0 5 0 8	導電膜	
5 0 5 0 9	絶縁膜	
5 0 5 1 0	液晶層	
5 0 5 1 1	絶縁膜	
5 0 5 1 2	導電膜	
5 0 5 1 5	基板	
5 0 5 1 6	シール材	
5 0 5 1 7	異方性導電体層	
5 0 5 1 8	導電膜	30
5 0 5 1 9	トランジスタ	
5 0 5 2 0	トランジスタ	
5 0 5 2 1	トランジスタ	
5 0 5 2 5	駆動回路領域	
5 0 5 2 6	画素領域	
5 0 5 3 0	I C チップ	
5 0 5 3 1	スペーサ	
5 0 5 5 1	突起部	
5 0 6 0 1	ドライバ I C	
5 0 6 0 2 a	ドライバ I C	40
5 0 6 0 2 b	ドライバ I C	

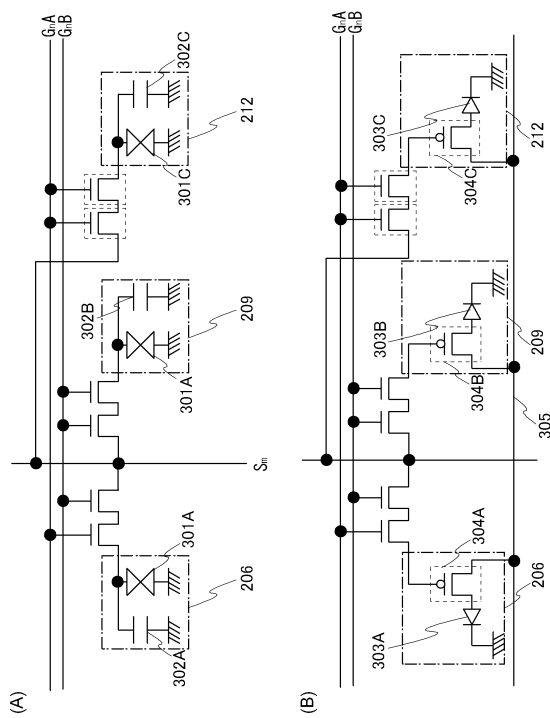
【図 1】



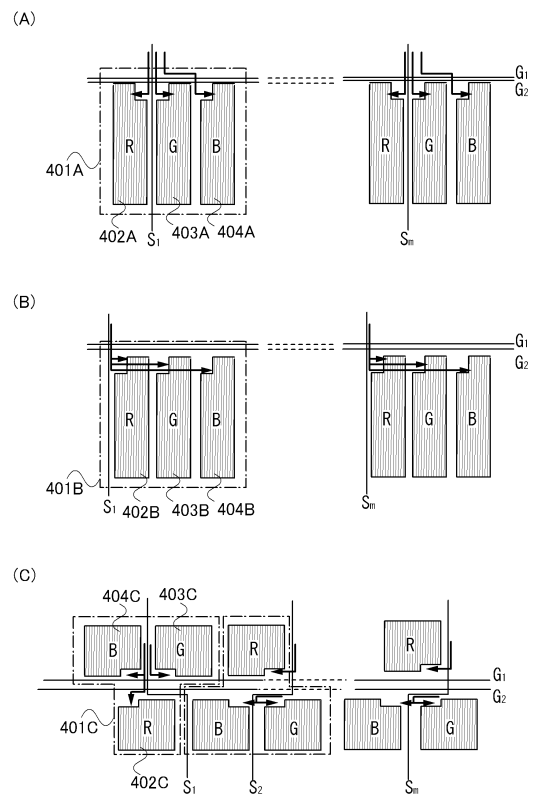
【図 2】



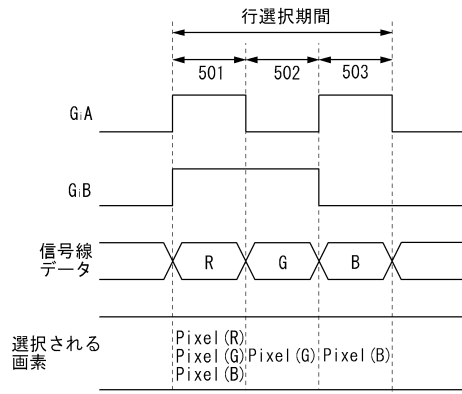
【図 3】



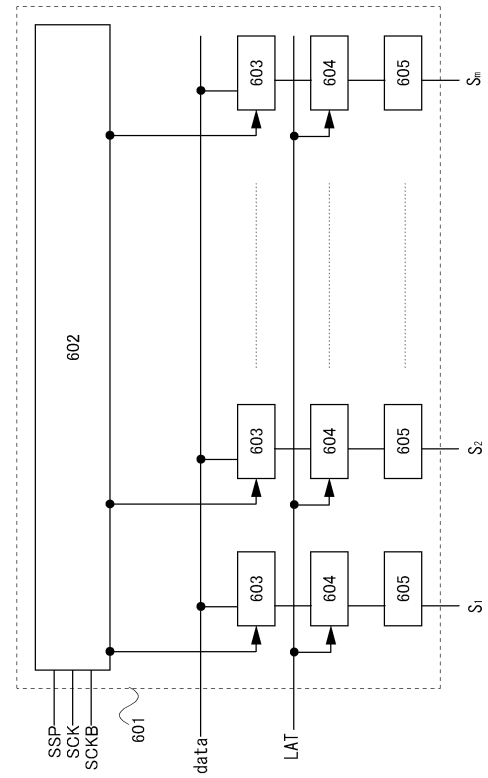
【図 4】



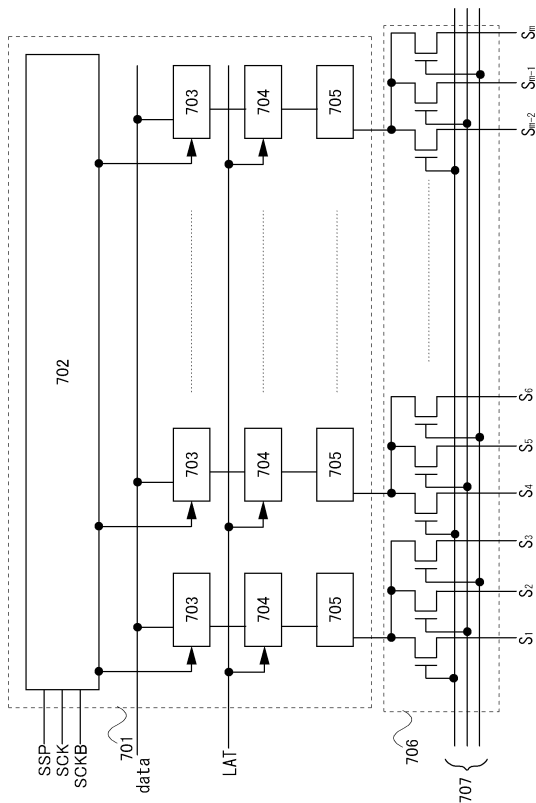
【図 5】



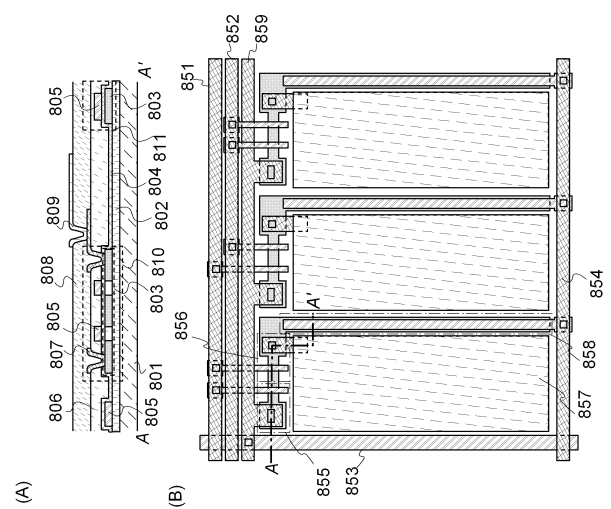
【図 6】



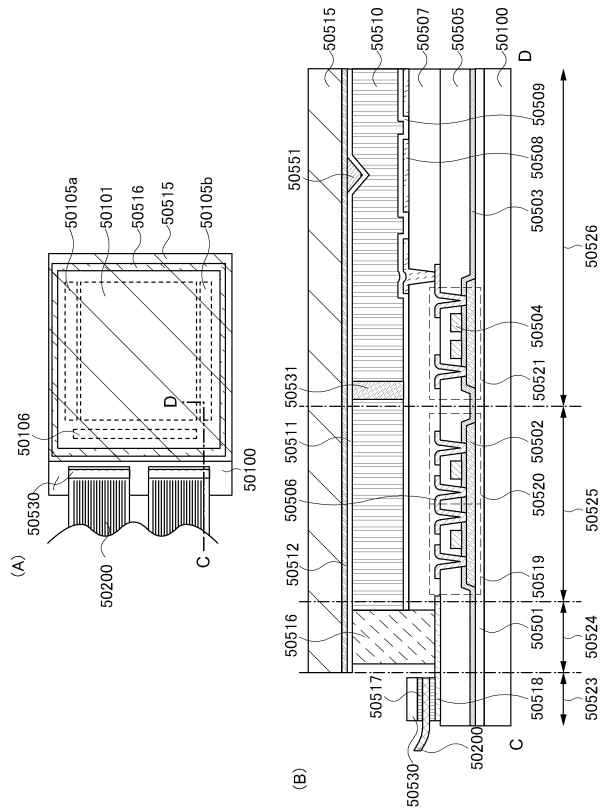
【図 7】



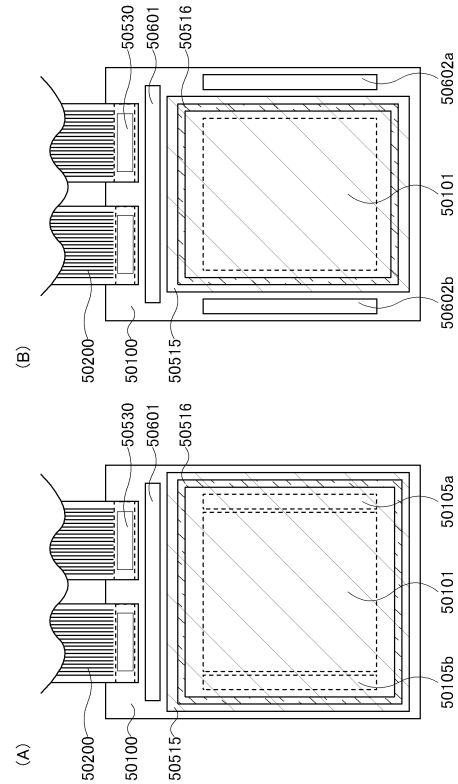
【図 8】



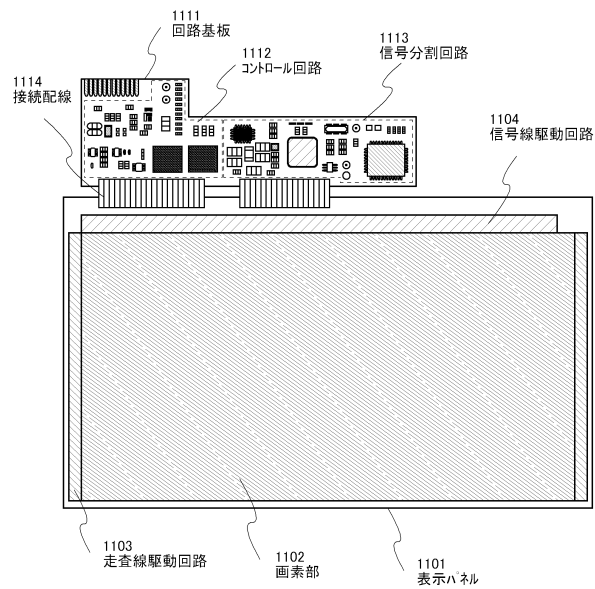
【図 9】



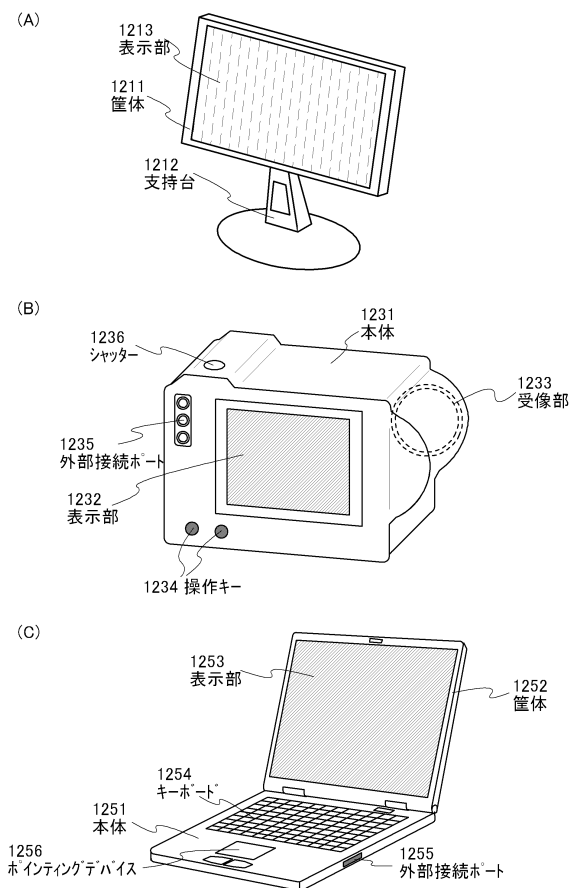
【図 10】



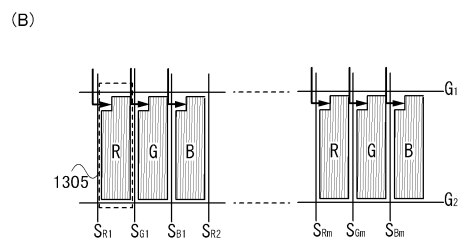
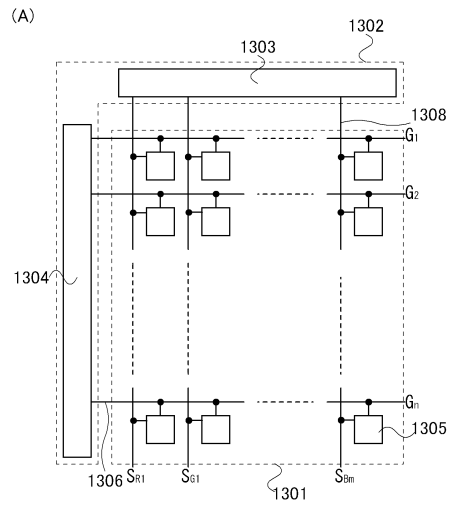
【図 11】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 2 D
	G 0 9 G	3/20	6 2 3 D
	G 0 9 G	3/20	6 8 0 G
	G 0 9 G	3/36	

(56)参考文献 特開2006-251322(JP,A)
特開2001-27751(JP,A)
特開2002-40990(JP,A)
特開2002-116451(JP,A)
特開2007-184445(JP,A)
特開平8-171373(JP,A)
特開平9-16131(JP,A)
特開平11-316568(JP,A)
特開2003-255903(JP,A)
特開2002-196357(JP,A)
特開昭57-169795(JP,A)
特開2005-196112(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30
G09F 9/302
G02F 1/133
G09G 3/20
G09G 3/36