



(12) 发明专利申请

(10) 申请公布号 CN 103678031 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201210333132. 7

(22) 申请日 2012. 09. 10

(71) 申请人 西门子信号有限公司

地址 710016 陕西省西安市经济技术开发区
凤城二路 30 号

(72) 发明人 霍旭东 朱卫华 张建平 赵银峰

(74) 专利代理机构 北京康信知识产权代理有限
责任公司 11240

代理人 李慧

(51) Int. Cl.

G06F 11/14 (2006. 01)

G06F 13/40 (2006. 01)

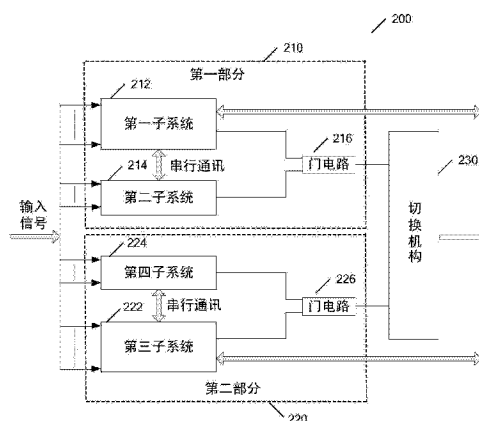
权利要求书4页 说明书11页 附图3页

(54) 发明名称

二乘二取二冗余系统和方法

(57) 摘要

本发明提供了二乘二取二冗余系统及方法。该系统包括：第一部分，包括分别经由第一主和辅串行通信电路连接的第一、第二子系统，和第一门电路；第二部分，包括分别经由第二主和辅串行通信电路连接的第三、第四子系统，和第二门电路；以及切换机构。所有子系统分别同时接收相同输入信号并分别执行相同处理。每个子系统分别经由主和辅串行通信电路从对端子系统接收对端数据信息并同时向对端子系统发送本端数据信息，以及将对端数据信息与本端数据信息进行比较并生成比较结果信号。每个门电路根据子系统生成的比较结果信号生成处理结果信号。切换机构根据门电路生成的处理结果信号生成切换控制信号。本发明实现了更为先进的二乘二取二冗余系统设计。



1. 一种二乘二取二冗余系统,包括:

第一部分,其包括第一子系统、第二子系统和第一门电路,所述第一、第二子系统分别经由第一主串行通信电路和第一辅串行通信电路连接,所述第一门电路分别连接到所述第一、第二子系统的输出端;

第二部分,其包括第三子系统、第四子系统和第二门电路,所述第三、第四子系统分别经由第二主串行通信电路和第二辅串行通信电路连接,所述第二门电路分别连接到所述第三、第四子系统的输出端;以及

切换机构,其分别连接到所述第一、第二门电路的输出端,

其中,所述第一、第二、第三和第四子系统分别同时接收相同的输入信号并且分别对所述输入信号执行相同的处理过程,

所述第一、第二、第三和第四子系统中的每一个被配置为:分别经由与该子系统连接的主串行通信电路和辅串行通信电路,从对端子系统接收对端数据信息并且同时向所述对端子系统发送本端数据信息;以及将所述对端数据信息与所述本端数据信息进行比较并生成用于指示比较结果的比较结果信号,

所述第一和第二门电路中的每一个被配置为:根据由与该门电路连接的两个子系统所生成的比较结果信号,生成处理结果信号以表明该门电路所在的系是否工作正常,以及

所述切换机构被配置为:根据所述第一和第二门电路所生成的处理结果信号,生成切换控制信号以对控制权的归属进行控制。

2. 如权利要求1所述的系统,还包括:

具有相同的固定定时周期的第一和第二定时器电路,所述第一定时器电路被配置为同时向所述第一和第二子系统提供定时触发,所述第二定时器电路被配置为同时向所述第三和第四子系统提供定时触发,

其中,所述第一、第二、第三和第四子系统中的每一个被配置为:响应于该子系统所连接的定时器电路的定时触发,从所述对端子系统接收所述对端数据信息并且同时向所述对端子系统发送所述本端数据信息。

3. 如权利要求1所述的系统,其中,所述第一、第二、第三和第四子系统中的每一个被配置为通过以下操作来将所述对端数据信息与所述本端数据信息进行比较并生成用于指示比较结果的比较结果信号:

执行首次判断过程,包括:将经由所述主串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较;如果确定比较结果为一致,则生成指示比较结果为一致的比较结果信号,如果确定比较结果为不一致,则将经由所述辅串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较;在对经由所述辅串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较的过程中,如果确定比较结果为一致,则生成指示比较结果为一致的比较结果信号,如果确定比较结果为不一致,则尝试执行再次判断过程;以及

执行所述再次判断过程,包括:经由所述主串行通信电路和/或辅串行通信电路命令所述对端子系统重新发送所述对端数据信息或者在对所述输入信号执行重新计算后再次发送对端数据信息;以及重复执行所述首次判断过程中包括的各个操作,

其中,如果在所述再次判断过程被执行了预定次数后仍然确定比较结果为不一致,则不再尝试执行所述再次判断过程并且生成指示比较结果为不一致的比较结果信号。

4. 如权利要求 3 所述的系统,其中,所述第一、第二、第三和第四子系统中的一个子系统还被配置为:

如果经由所述主串行通信电路和 / 或辅串行通信电路接收到对端子系统要求该子系统重新发送本端数据信息或者在对所述输入信号执行重新计算后再次发送本端数据信息的命令,则重新发送所述本端数据信息或者在对所述输入信号执行重新计算后再次发送本端数据信息。

5. 如权利要求 1 或 3 所述的系统,其中,所述对端数据信息和所述本端数据信息中的每一个都包括位于各自子系统的数据总线、地址总线和控制总线中至少一个上的多个信号,并且

其中,所述第一、第二、第三和第四子系统中的一个子系统被配置为通过以下操作来将所述对端数据信息与所述本端数据信息进行比较:

将所述对端数据信息中包括的位于数据总线、地址总线和控制总线中至少一个上的多个信号与所述本端数据信息中包括的位于对应的数据总线、地址总线和控制总线中至少一个上的多个对应信号逐一进行比较;以及

如果所有对应信号均为一致,则确定所述比较结果为一一致,

如果存在至少一对不一致的对应信号,则确定所述比较结果为不一致。

6. 如权利要求 1 所述的系统,其中,所述第一、第二、第三和第四子系统中的一个子系统被配置为:如果确定比较结果为不一致,则存储当前进行比较的所述对端数据信息和所述本端数据信息。

7. 如权利要求 1 所述的系统,其中,所述第一、第二、第三和第四子系统中的一个子系统包括:

两个串行通信电路接口,其分别连接所述主串行通信电路和所述辅串行通信电路;以及

处理单元,其被配置为执行所述接收对端数据信息、所述发送本端数据信息以及所述将所述对端数据信息与所述本端数据信息进行比较并生成比较结果信号的操作。

8. 如权利要求 1 所述的系统,还包括:

具有固定定时周期的第一和第二单脉冲定时器电路,所述第一单脉冲定时器电路被配置用于使得所述第一和第二子系统实现同步,所述第二单脉冲定时器电路被配置用于使得所述第三和第四子系统实现同步。

9. 一种用于二乘二取二冗余系统的方法,其中,

所述系统包括:第一部分,其包括第一子系统、第二子系统和第一门电路,所述第一、第二子系统分别经由第一主串行通信电路和第一辅串行通信电路连接,所述第一门电路分别连接到所述第一、第二子系统的输出端;第二部分,其包括第三子系统、第四子系统和第二门电路,所述第三、第四子系统分别经由第二主串行通信电路和第二辅串行通信电路连接,所述第二门电路分别连接到所述第三、第四子系统的输出端;以及切换机构,其分别连接到所述第一、第二门电路的输出端,并且

其中,所述方法包括:

由所述第一、第二、第三和第四子系统分别同时接收相同的输入信号并且分别对所述输入信号执行相同的处理过程;

由所述第一、第二、第三和第四子系统中的一个子系统执行以下操作：分别经由与该子系统连接的主串行通信电路和辅串行通信电路，从对端子系统接收对端数据信息并且同时向所述对端子系统发送本端数据信息；以及将所述对端数据信息与所述本端数据信息进行比较并生成用于指示比较结果的比较结果信号；

由所述第一和第二门电路中的每一个门电路根据由与该门电路连接的两个子系统所生成的比较结果信号，生成处理结果信号以表明该门电路所在的系是否工作正常；以及

由所述切换机构根据所述第一和第二门电路所生成的处理结果信号，生成切换控制信号以对控制权的归属进行控制。

10. 如权利要求 9 所述的方法，其中，

所述系统还包括具有相同的固定定时周期的第一和第二定时器电路，所述第一定时器电路被配置为同时向所述第一和第二子系统提供定时触发，所述第二定时器电路被配置为同时向所述第三和第四子系统提供定时触发，并且

其中，所述由所述第一、第二、第三和第四子系统中的一个子系统从对端子系统接收对端数据信息并且同时向所述对端子系统发送本端数据信息包括：响应于该子系统所连接的定时器电路的定时触发，从所述对端子系统接收所述对端数据信息并且同时向所述对端子系统发送所述本端数据信息。

11. 如权利要求 9 所述的方法，其中，所述由所述第一、第二、第三和第四子系统中的一个子系统将所述对端数据信息与所述本端数据信息进行比较并生成用于指示比较结果的比较结果信号包括：

执行首次判断过程，包括：将经由所述主串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较；如果确定比较结果为一致，则生成指示比较结果为一致的比较结果信号，如果确定比较结果为不一致，则将经由所述辅串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较；在对经由所述辅串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较的过程中，如果确定比较结果为一致，则生成指示比较结果为一致的比较结果信号，如果确定比较结果为不一致，则尝试执行再次判断过程；以及

执行所述再次判断过程，包括：经由所述主串行通信电路和 / 或辅串行通信电路命令所述对端子系统重新发送所述对端数据信息或者在对所述输入信号执行重新计算后再次发送对端数据信息；以及重复执行所述首次判断过程中包括的各个操作，

其中，如果在所述再次判断过程被执行了预定次数后仍然确定比较结果为不一致，则不再尝试执行所述再次判断过程并且生成指示比较结果为不一致的比较结果信号。

12. 如权利要求 11 所述的方法，还包括：

如果所述第一、第二、第三和第四子系统中的一个子系统经由所述主串行通信电路和 / 或辅串行通信电路接收到对端子系统要求该子系统重新发送本端数据信息或者在对所述输入信号执行重新计算后再次发送本端数据信息的命令，则重新发送所述本端数据信息或者在对所述输入信号执行重新计算后再次发送本端数据信息。

13. 如权利要求 9 或 11 所述的方法，其中，

所述对端数据信息和所述本端数据信息中的每一个都包括位于各自子系统的数据总线、地址总线和控制总线中至少一个上的多个信号，并且

其中，所述由所述第一、第二、第三和第四子系统中的一个子系统将所述对端数据信

息与所述本端数据信息进行比较包括：

将所述对端数据信息中包括的位于数据总线、地址总线和控制总线中至少一个上的多个信号与所述本端数据信息中包括的位于对应的数据总线、地址总线和控制总线中至少一个上的多个对应信号逐一进行比较；以及

如果所有对应信号均为一致，则确定所述比较结果为一致，

如果存在至少一对不一致的对应信号，则确定所述比较结果为不一致。

14. 如权利要求 9 所述的方法，还包括：

如果所述第一、第二、第三和第四子系统中的一个子系统确定比较结果为不一致，则存储当前进行比较的所述对端数据信息和所述本端数据信息。

15. 如权利要求 9 所述的方法，其中，

所述系统还包括具有固定定时周期的第一和第二单脉冲定时器电路，并且，

其中，所述方法还包括：利用所述第一单脉冲定时器电路使得所述第一和第二子系统实现同步，以及利用所述第二单脉冲定时器电路使得所述第三和第四子系统实现同步。

二乘二取二冗余系统及方法

技术领域

[0001] 本发明一般涉及计算机系统可靠性设计,具体地,涉及二乘二取二冗余系统及方法。

背景技术

[0002] 冗余技术是计算机系统可靠性设计中经常采用的一种技术,其可以作为提高计算机系统可靠性的一种有效方法。目前,随着电子技术和计算机技术的迅速发展,人们对于系统可靠性、安全性的要求日益增长。二乘二取二冗余系统被提出作为一种能够实现比较高的可靠性的冗余结构。

[0003] 现有的二乘二取二冗余系统可以被构建为指令级校核系统和任务级校核系统。指令级校核系统需要在每一条指令周期都进行比较和表决,而任务级校核系统只有当对外执行操作时才进行比较和表决。指令级校核系统的实时性强,但其设计和调试难度较大。任务级校核系统实时性较弱。

[0004] 不论是指令级校核系统还是任务级校核系统,现有的二乘二取二冗余系统都具有比较器、表决器等专用硬件电路。虽然这种架构具有实时性强、能够及早发现故障的优点,但是,专用硬件电路存在硬件开销增加、不冗余、可检测故障范围或可提供故障信息存在局限性、设计和调试难度大等缺点。从而,影响了现有的二乘二取二冗余系统的可靠性的提升。

[0005] 因此,本领域需要更为先进的二乘二取二冗余系统及相应方法,以便满足更高的可靠性要求。

发明内容

[0006] 本发明提供了更为先进的二乘二取二冗余系统及方法。

[0007] 根据一个方面,本发明提供了一种二乘二取二冗余系统。该二乘二取二冗余系统可以包括:第一部分,其包括第一子系统、第二子系统和第一门电路,所述第一、第二子系统分别经由第一主串行通信电路和第一辅串行通信电路连接,所述第一门电路分别连接到所述第一、第二子系统的输出端;第二部分,其包括第三子系统、第四子系统和第二门电路,所述第三、第四子系统分别经由第二主串行通信电路和第二辅串行通信电路连接,所述第二门电路分别连接到所述第三、第四子系统的输出端;以及切换机构,其分别连接到所述第一、第二门电路的输出端。所述第一、第二、第三和第四子系统分别同时接收相同的输入信号并且分别对所述输入信号执行相同的处理过程。所述第一、第二、第三和第四子系统中的一个子系统被配置为:分别经由与该子系统连接的主串行通信电路和辅串行通信电路,从对端子系统接收对端数据信息并且同时向所述对端子系统发送本端数据信息;以及将所述对端数据信息与所述本端数据信息进行比较并生成用于指示比较结果的比较结果信号。所述第一和第二门电路中的每一个门电路被配置为:根据由与该门电路连接的两个子系统所生成的比较结果信号,生成处理结果信号以表明该门电路所在的系是否工作正常。所述

切换机构被配置为：根据所述第一和第二门电路所生成的处理结果信号，生成切换控制信号以对控制权的归属进行控制。

[0008] 上述系统还可以包括：具有相同的固定定时周期的第一和第二定时器电路，所述第一定时器电路被配置为同时向所述第一和第二子系统提供定时触发，所述第二定时器电路被配置为同时向所述第三和第四子系统提供定时触发。所述第一、第二、第三和第四子系统中的一个子系统可以被配置为：响应于该子系统所连接的定时器电路的定时触发，从所述对端子系统接收所述对端数据信息并且同时向所述对端子系统发送所述本端数据信息。

[0009] 在上述系统中，所述第一、第二、第三和第四子系统中的一个子系统可以被配置为通过以下操作来将所述对端数据信息与所述本端数据信息进行比较并生成用于指示比较结果的比较结果信号。首先执行首次判断过程，包括：将经由所述主串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较；如果确定比较结果为一一致，则生成指示比较结果为一一致的比较结果信号，如果确定比较结果为一不一致，则将经由所述辅串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较；在对经由所述辅串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较的过程中，如果确定比较结果为一一致，则生成指示比较结果为一一致的比较结果信号，如果确定比较结果为一不一致，则尝试执行再次判断过程。接着，执行所述再次判断过程，包括：经由所述主串行通信电路和 / 或辅串行通信电路命令所述对端子系统重新发送所述对端数据信息或者在对所述输入信号执行重新计算后再次发送对端数据信息；以及重复执行所述首次判断过程中包括的各个操作。如果在所述再次判断过程被执行了预定次数后仍然确定比较结果为一不一致，则不再尝试执行所述再次判断过程并且生成指示比较结果为一不一致的比较结果信号。

[0010] 在上述系统中，所述第一、第二、第三和第四子系统中的一个子系统还可以被配置为：如果经由所述主串行通信电路和 / 或辅串行通信电路接收到对端子系统要求该子系统重新发送本端数据信息或者在对所述输入信号执行重新计算后再次发送本端数据信息的命令，则重新发送所述本端数据信息或者在对所述输入信号执行重新计算后再次发送本端数据信息。

[0011] 在上述系统中，所述对端数据信息和所述本端数据信息中的每一个都可以包括位于各自子系统的数据总线、地址总线和控制总线中至少一个上的多个信号。从而，所述第一、第二、第三和第四子系统中的一个子系统可以被配置为通过以下操作来将所述对端数据信息与所述本端数据信息进行比较：将所述对端数据信息中包括的位于数据总线、地址总线和控制总线中至少一个上的多个信号与所述本端数据信息中包括的位于对应的数据总线、地址总线和控制总线中至少一个上的多个对应信号逐一进行比较；以及如果所有对应信号均为一一致，则确定所述比较结果为一一致，如果存在至少一对不一致的对应信号，则确定所述比较结果为一不一致。

[0012] 在上述系统中，所述第一、第二、第三和第四子系统中的一个子系统可以被配置为：如果确定比较结果为一不一致，则存储当前进行比较的所述对端数据信息和所述本端数据信息。

[0013] 在上述系统中，所述第一、第二、第三和第四子系统中的一个子系统可以包括：两个串行通信电路接口，其分别连接所述主串行通信电路和所述辅串行通信电路；以及处

理单元,其被配置为执行所述接收对端数据信息、所述发送本端数据信息以及所述将所述对端数据信息与所述本端数据信息进行比较并生成比较结果信号的操作。

[0014] 上述系统还可以包括:具有固定定时周期的第一和第二单脉冲定时器电路,所述第一单脉冲定时器电路被配置用于使得所述第一和第二子系统实现同步,所述第二单脉冲定时器电路被配置用于使得所述第三和第四子系统实现同步。

[0015] 根据另一个方面,本发明提供了一种用于二乘二取二冗余系统的方法。所述系统包括:第一部分,其包括第一子系统、第二子系统和第一门电路,所述第一、第二子系统分别经由第一主串行通信电路和第一辅串行通信电路连接,所述第一门电路分别连接到所述第一、第二子系统的输出端;第二部分,其包括第三子系统、第四子系统和第二门电路,所述第三、第四子系统分别经由第二主串行通信电路和第二辅串行通信电路连接,所述第二门电路分别连接到所述第三、第四子系统的输出端;以及切换机构,其分别连接到所述第一、第二门电路的输出端。所述方法包括:由所述第一、第二、第三和第四子系统分别同时接收相同的输入信号并且分别对所述输入信号执行相同的处理过程;由所述第一、第二、第三和第四子系统中的一个子系统执行以下操作:分别经由与该子系统连接的主串行通信电路和辅串行通信电路,从对端子系统接收对端数据信息并且同时向所述对端子系统发送本端数据信息;以及将所述对端数据信息与所述本端数据信息进行比较并生成用于指示比较结果的比较结果信号;由所述第一和第二门电路中的每一个门电路根据由与该门电路连接的两个子系统所生成的比较结果信号,生成处理结果信号以表明该门电路所在的系是否工作正常;以及由所述切换机构根据所述第一和第二门电路所生成的处理结果信号,生成切换控制信号以对控制权的归属进行控制。

[0016] 所述系统还可以包括具有相同的固定定时周期的第一和第二定时器电路,所述第一定时器电路被配置为同时向所述第一和第二子系统提供定时触发,所述第二定时器电路被配置为同时向所述第三和第四子系统提供定时触发。在上述方法中,所述由所述第一、第二、第三和第四子系统中的一个子系统从对端子系统接收对端数据信息并且同时向所述对端子系统发送本端数据信息可以包括:响应于该子系统所连接的定时器电路的定时触发,从所述对端子系统接收所述对端数据信息并且同时向所述对端子系统发送所述本端数据信息。

[0017] 在上述方法中,所述由所述第一、第二、第三和第四子系统中的一个子系统将所述对端数据信息与所述本端数据信息进行比较并生成用于指示比较结果的比较结果信号可以包括一下操作。执行首次判断过程,包括:将经由所述主串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较;如果确定比较结果为一,则生成指示比较结果为一的比较结果信号,如果确定比较结果为不一致,则将经由所述辅串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较;在对经由所述辅串行通信电路接收的所述对端数据信息与所述本端数据信息进行比较的过程中,如果确定比较结果为一,则生成指示比较结果为一的比较结果信号,如果确定比较结果为不一致,则尝试执行再次判断过程。执行所述再次判断过程,包括:经由所述主串行通信电路和/或辅串行通信电路命令所述对端子系统重新发送所述对端数据信息或者在对所述输入信号执行重新计算后再次发送对端数据信息;以及重复执行所述首次判断过程中包括的各个操作。如果在所述再次判断过程被执行了预定次数后仍然确定比较结果为不一致,则不再尝试执行所述再次

判断过程并且生成指示比较结果为不一致的比较结果信号。

[0018] 上述方法还可以包括：如果所述第一、第二、第三和第四子系统中的一个子系统经由所述主串行通信电路和 / 或辅串行通信电路接收到对端子系统要求该子系统重新发送本端数据信息或者在对所述输入信号执行重新计算后再次发送本端数据信息的命令，则重新发送所述本端数据信息或者在对所述输入信号执行重新计算后再次发送本端数据信息。

[0019] 所述对端数据信息和所述本端数据信息中的每一个都包括位于各自子系统的数字总线、地址总线和控制总线中至少一个上的多个信号。在上述方法中，所述由所述第一、第二、第三和第四子系统中的一个子系统将所述对端数据信息与所述本端数据信息进行比较可以包括：将所述对端数据信息中包括的位于数据总线、地址总线和控制总线中至少一个上的多个信号与所述本端数据信息中包括的位于对应的数据总线、地址总线和控制总线中至少一个上的多个对应信号逐一进行比较；以及如果所有对应信号均为一致，则确定所述比较结果为一一致，如果存在至少一对不一致的对应信号，则确定所述比较结果为不一致。

[0020] 上述方法还可以包括：如果所述第一、第二、第三和第四子系统中的一个子系统确定比较结果为一不一致，则存储当前进行比较的所述对端数据信息和所述本端数据信息。

[0021] 所述系统还可以包括具有固定定时周期的第一和第二单脉冲定时器电路。上述方法还可以包括：利用所述第一单脉冲定时器电路使得所述第一和第二子系统实现同步，以及利用所述第二单脉冲定时器电路使得所述第三和第四子系统实现同步。

[0022] 通过本发明的方案，可以实现更为先进的二乘二取二冗余系统及方法。根据本发明的二乘二取二冗余系统设计具有以下优点：减少了硬件开销、降低了成本；硬件设计简单、容易调试；通过去掉无冗余的比较器和表决器等专用硬件电路、获得串行通信电路冗余、实现串行数据传输奇偶和 CRC 两级校验、取得软件容错等，提高了系统的可靠性；子系统处理单元可以定时地通过串行通信电路交换数据信息并进行校核，比现有的任务级校核系统实时性强；可以通过选用高速处理单元并且实施并行操作机制来满足系统实时性的要求；以及当确定出现故障时，可以存储相关数据信息以便于后续进行故障诊断等。

附图说明

[0023] 图 1 示出了现有的二乘二取二冗余系统的应用框图；

[0024] 图 2 示出了根据本发明实施例的二乘二取二冗余系统的示意图；以及

[0025] 图 3 示出了用于根据本发明实施例的二乘二取二冗余系统的示意性方法流程图。

具体实施方式

[0026] 在本发明实施例提供的二乘二取二冗余系统的设计中，去掉了现有二乘二取二冗余系统中的比较器和表决器等专用硬件电路，在每个系的两个子系统之间采用冗余的串行通信电路来交换、共享信息。每个系的两个子系统处理单元可以同时进行校核，完成比较和表决功能。当出现故障时，每个系的两个子系统都可以输出指示信号，使得故障导向安全。根据本发明的实施例，子系统中处理单元的处理功能得以增强，实现了现有系统中由专用硬件电路所实现的部分功能并且实现了对经由串行通信电路交换的信息的校核。

[0027] 以下将以明确易懂的方式通过对优选实施例的说明并结合附图来对本发明的上述特性、技术特征、优点及其实现方式予以进一步说明。

[0028] 首先,结合图 1 描述现有的二乘二取二冗余系统及其具体应用。

[0029] 图 1 示出了现有的二乘二取二冗余系统的应用框图。具体地,现有的二乘二取二冗余系统可以包括图 1 所示的第一部分 110、第二部分 120 以及切换机构 130。此外,图 1 还示意性地示出了与该二乘二取二冗余系统的具体应用相关的电路结构,该电路结构可以包括接口电路 140、接口电路 150 以及上一级设备 160。

[0030] 现有的二乘二取二冗余系统可以包括互为热备的两个系,如 I 系 110 和 II 系 120。第一部分 110 和第二部分 120 可以互为“或”的关系。第一部分 110 和第二部分 120 中的每一个可以包括两个子系统、比较器和表决器等。例如,第一部分 110 可以包括第一子系统 112、第二子系统 114、比较器 116 和表决器 118,第二部分 120 可以包括第三子系统 122、第四子系统 124、比较器 126 和表决器 128。第一子系统 112、第二子系统 114、第三子系统 122、第四子系统 124 中的每一个子系统都可以包括处理单元(例如 CPU)、存储器、译码电路、I/O 接口电路等(未示出)。此外,同一个系内的两个子系统可以共用时钟电路,并且可以互为“与”的关系。

[0031] 下面以图 1 所示的二乘二取二冗余系统构成了指令级校核系统为例,说明现有的二乘二取二冗余系统的示意性工作原理。

[0032] 如图 1 所示,可以将相同的输入信号同时提供给第一部分 110 中的第一子系统 112、第二子系统 114 以及第二部分 120 中的第三子系统 122、第四子系统 124。例如,在铁路信号系统中,该输入信号可以是来自信号机、转辙机、轨道电路等的信号。此外,在其它应用场景中,该输入信号也可以是来自任何其它设备的信号。

[0033] 通常,在二乘二取二冗余系统上电或复位后,可以默认第一部分 110 中的第一子系统 112 具有控制权。在接收到输入信号后,第一部分 110 和第二部分 120 中的各个子系统可以分别对输入信号执行相同的处理过程,其中,各个子系统是独立同步运行的。此处的处理过程可以被用于基于输入信号生成将被提供给上一级设备 160 使用的输出信号。

[0034] 在每一个指令周期,各个子系统都会将其在处理输入信号期间生成的信号发送给相连接的比较器。例如,各个子系统可以将其数据总线、地址总线和控制总线中至少一个总线上的多个信号发送给相连接的比较器。例如,第一子系统 112 可以将其处理单元的数据总线上的多个信号、地址总线上的多个信号以及控制总线上的多个信号输出给与该第一子系统 112 连接的比较器 116。具体地,例如,如果数据总线具有 16 根线、地址总线具有 16 根线、控制总线具有 2 根线,则第一子系统 112 可以将数据总线内 16 根线上的 16 个信号、地址总线内 16 根线上的 16 个信号以及控制总线内 2 根线上的 2 个信号输出给比较器 116。同时,类似地,第二子系统 114 也可以将其数据总线、地址总线和控制总线上的多个信号发送给比较器 116。此外,第三子系统 122 和第四子系统 124 也可以执行类似的处理。

[0035] 比较器 116 和比较器 126 可以分别对从其各自所连接的两个子系统接收到的信号进行比较,以生成比较信号。比较器 116 和 126 执行相同操作,下面以比较器 116 为例予以说明。例如,如果比较器 116 从第一子系统 112 接收到数据总线内 16 根线上的 16 个信号、地址总线内 16 根线上的 16 个信号以及控制总线内 2 根线上的 2 个信号,并且从第二子系统 114 接收到数据总线内 16 根线上的 16 个信号、地址总线内 16 根线上的 16 个信号以及

控制总线内 2 根线上的 2 个信号,则比较器 116 可以将第一子系统 112 输出的数据总线的 16 根线、地址总线的 16 根线以及控制总线的 2 根线中每一根线上的信号与第二子系统 114 输出的数据总线的 16 根线、地址总线的 16 根线以及控制总线的 2 根线中对应线上的对应信号进行比较(例如,将第一子系统 112 输出的数据总线的第 5 根线上的信号与第二子系统 114 输出的数据总线的第 5 根线上的信号进行比较),以得到对应于被比较的这根线的比较指示符,以此类推,对全部 34 根线上的信号逐一作比较,从而得到 34 个比较指示符。所得到的全部比较指示符可以构成比较器 116 输出的比较信号。比较指示符可以用特定的数字来代表特定的比较结果,例如,用比较指示符“1”表示比较结果一致,而用比较指示符“0”表示比较结果不一致。

[0036] 表决器 118 和表决器 128 可以分别接收从比较器 116 和比较器 126 输出的比较信号,并基于比较信号来生成表决信号。表决器 118 和表决器 128 执行相同操作,下面以表决器 118 为例予以说明。例如,表决器 118 可以从比较器 116 接收包含 34 个比较指示符的比较信号。如果表决器 118 判断这 34 个比较指示符都表示比较结果一致,例如都为“1”,则表决器 118 可以生成表明第一部分工作正常的表决信号,例如“0”。然而,如果表决器 118 判断这 34 个比较指示符中至少有一个比较指示符表示比较结果不一致,例如为“0”,则表决器可以生成表明第一部分工作不正常的表决信号,例如“1”。

[0037] 切换机构 130 可以分别接收从表决器 118 和表决器 128 输出的表决信号,并且根据所接收到的两个表决信号来生成切换控制信号,以对控制权的归属进行控制。例如,假定当前第一部分 110 中的第一子系统 112 具有控制权,如果从第一部分 110 中的表决器 118 接收的表决信号表明第一部分 110 工作正常,则切换机构 130 生成的切换控制信号可以指示第一部分 110 中的第一子系统 112 继续保持控制权。然而,如果从第一部分 110 中的表决器 118 接收的表决信号表明第一部分 110 工作不正常,同时,从第二部分 120 中的表决器 128 接收的表决信号表明第二部分 120 工作正常,则切换机构 130 生成的切换控制信号可以指示将控制权从第一部分 110 切换到第二部分 120,例如,切换到第二部分 120 中的第三子系统 122。此外,如果从第一部分 110 中的表决器 118 接收的表决信号表明第一部分 110 工作不正常并且从第二部分 120 中的表决器 128 接收的表决信号表明第二部分 120 工作也不正常,则切换机构 130 生成的切换控制信号可以指示第一部分 110 和第二部分 120 都失去控制权。

[0038] 如上所述,图 1 还示出了与二乘二取二冗余系统的具体应用相关的电路结构,包括接口电路 140、接口电路 150 以及上一级设备 160。该电路结构仅仅作为示例,在实际应用中还存在多种可以与二乘二取二冗余系统相互结合的具体电路结构。

[0039] 接口电路 140 连接在第一子系统 112 和上一级设备 160 之间,其可以将第一子系统 112 生成的输出信号传递到上一级设备 160。接口电路 140 还连接到切换机构 130,并受到切换机构 130 输出的切换控制信号的控制。例如,如果切换控制信号指示第一部分 110 中的第一子系统 112 继续保持控制权,则该切换控制信号可以使能接口电路 140,从而使得来自第一子系统 112 的输出信号可以经由接口电路 140 传递到上一级设备 160。然而,如果切换控制信号指示将控制权从第一部分 110 切换到第二部分 120 或者指示第一部分 110 和第二部分 120 都失去控制权,则该切换控制信号可以禁止接口电路 140,从而使得来自第一子系统 112 的输出信号不能经由接口电路 140 传递到上一级设备 160。接口电路 150 具有与

接口电路 140 相类似的功能。此处,切换机构 130 输出的切换控制信号可以采用多种具体实现形式,例如,切换机构 130 可以分别向接口电路 140 和 150 输出各自的切换控制信号,切换机构 130 也可以生成单一切换控制信号,并且在该单一切换控制信号经过特定电路的处理后被分别输出到接口电路 140 和 150。图 1 仅仅示例性地示出了切换机构 130 分别向接口电路 140 和 150 输出各自的切换控制信号,实际上,目前还应用了多种其它已知的方式来利用切换机构控制接口电路的使能和禁止。

[0040] 以上以指令级校核系统为例说明了现有的二乘二取二冗余系统的示意性工作原理。当二乘二取二冗余系统构成任务级校核系统时,其工作原理与上述类似,不同之处在于任务级校核系统只有当对外执行操作时才进行比较和表决。

[0041] 以下结合图 2 和图 3 具体描述根据本发明实施例的示意性二乘二取二冗余系统及方法。

[0042] 图 2 示出了根据本发明实施例的二乘二取二冗余系统 200 的示意图。

[0043] 二乘二取二冗余系统 200 可以包括第一部分 210、第二部分 220 以及切换机构 230。第一部分 210 可以包括第一子系统 212、第二子系统 214 以及门电路 216。第二部分 220 可以包括第三子系统 222、第四子系统 224 以及门电路 226。

[0044] 根据本发明的实施例,在第一子系统 212 与第二子系统 214 之间可以连接有两条冗余的串行通信电路,即,主串行通信电路和辅串行通信电路。这两条串行通信电路可以分别独立地在第一子系统 212 与第二子系统 214 之间传送数据信息。为此,第一子系统 212 可以包括两个串行通信电路接口(未示出),其分别连接到主串行通信电路和辅串行通信电路,相应地,第二子系统 214 也可以包括两个串行通信电路接口。串行通信电路接口可以采用通用异步收发器(UART:Universal Asynchronous Receiver/Transmitter)接口、串行外设接口(SPI:Serial Peripheral Interface)、集成电路间(I2C:Inter-Integrated Circuit)接口、控制器局域网(CAN:Controller Area Network)接口等各种串行接口。类似地,第三子系统 222 和第四子系统 224 也可以分别经由主串行通信电路和辅串行通信电路连接,并且分别具有两个串行通信电路接口。

[0045] 根据本发明的实施例,第一子系统 212、第二子系统 214、第三子系统 222 和第四子系统 224 中的每一个子系统都可以包括处理单元,该处理单元支持双串口功能,例如,可以同时支持如上所述的主串行通信电路和辅串行通信电路。此外,处理单元还可以被配置用于执行以下描述的由子系统所实现的各种处理或功能。

[0046] 此外,与现有的子系统类似,第一子系统 212、第二子系统 214、第三子系统 222 和第四子系统 224 中的每一个子系统还可以包括通用的 I/O 接口电路,该 I/O 接口电路可以被用于接收输入信号并且发送输出信号。可选地,例如,当采用 I/O 接口电路接收输入信号时,可以根据传感器的不同来选用相应的通用接口电路。

[0047] 以下将对根据本发明实施例的二乘二取二冗余系统 200 中各个单元的具体功能进行详细描述。

[0048] 第一子系统 212、第二子系统 214、第三子系统 222 和第四子系统 224 可以分别同时接收相同的输入信号,并且分别对输入信号执行相同的处理过程以生成输出信号。此处,可以采用与现有技术相类似的输入信号和输出信号,并且可以采用与现有技术相类似的对输入信号的处理过程。

[0049] 第一子系统 212、第二子系统 214、第三子系统 222 和第四子系统 224 中的每一个子系统都可以分别经由与该子系统连接的主串行通信电路和辅串行通信电路,从对端子系统接收对端数据信息并且同时向对端子系统发送本端数据信息。例如,第一子系统 212 可以经由主串行通信电路从作为其对端子系统的第二子系统 214 接收对端数据信息(即,第二子系统 214 的数据信息),并且经由辅串行通信电路从第二子系统 214 接收同样的对端数据信息。同时,第一子系统 212 也可以分别经由主串行通信电路和辅串行通信电路将本端数据信息(即,第一子系统 212 的数据信息)发送到第二子系统 214。对端数据信息和本端数据信息可以具有与图 1 所示现有技术中从各个子系统发送给比较器的信号相类似的形式。

[0050] 优选地,根据本发明的一个实施例,每一个子系统可以定时地从对端子系统接收对端数据信息并向对端子系统发送本端数据信息。可以采用具有固定定时周期的定时器电路来提供定时。例如,可以在根据本发明实施例的二乘二取二冗余系统 200 中为第一子系统 212 和第二子系统 214 提供一个定时器电路,该定时器电路可以被配置为同时向第一子系统 212 和第二子系统 214 提供定时触发。该定时器电路可以被设置在第一部分 210 内或者二乘二取二冗余系统 200 的其它位置。类似地,也可以为第三子系统 222 和第四子系统 224 提供一个定时器电路。在提供了定时器电路的情况下,每一个子系统可以响应于该子系统所连接的定时器电路的定时触发,从对端子系统接收对端数据信息并且向对端子系统发送本端数据信息。

[0051] 第一子系统 212、第二子系统 214、第三子系统 222 和第四子系统 224 中的每一个子系统可以将所接收到的对端数据信息与本端数据信息进行比较,并且生成用于指示比较结果的比较结果信号。比较结果信号可以为一个特定的数字,用于代表特定的比较结果,例如,用“0”表示比较结果一致,而用“1”表示比较结果不一致。可选地,每一个子系统可以通过执行首次判断过程和预定次数的再次判断过程来执行上述比较操作和生成比较结果信号的操作。

[0052] 例如,首次判断过程可以涉及以下操作。每一个子系统可以首先将经由主串行通信电路接收的对端数据信息与本端数据信息进行比较。如果确定比较结果为一致,即,确定对端数据信息与本端数据信息一致,则生成指示比较结果为一致的比较结果信号。如果确定比较结果为不一致,即,确定对端数据信息与本端数据信息不一致,则可以进而将经由辅串行通信电路接收的对端数据信息与本端数据信息进行比较。在对经由辅串行通信电路接收的对端数据信息与本端数据信息进行比较的过程中,如果确定比较结果为一致,则生成指示比较结果为一致的比较结果信号,然而,如果确定比较结果为不一致,则可以尝试执行再次判断过程。

[0053] 例如,再次判断过程可以涉及以下操作。该子系统可以经由主串行通信电路和/或辅串行通信电路命令对端子系统重新发送对端数据信息,或者命令对端子系统在对输入信号执行重新计算后再次发送对端数据信息。然后,该子系统可以重复执行上述首次判断过程中涉及的各个操作。

[0054] 可选地,可以对再次判断过程的执行次数进行限制。例如,如果在再次判断过程被执行了预定次数(例如,零次、一次或更多次)后仍然确定比较结果为不一致,则可以决定不再尝试执行再次判断过程并且生成指示比较结果为不一致的比较结果信号。

[0055] 此外,每一个子系统都可以被配置为,如果经由主串行通信电路和/或辅串行通

信电路接收到对端子系统要求该子系统重新发送本端数据信息或者在对输入信号执行重新计算后再次发送本端数据信息的命令,则重新发送本端数据信息或者在对输入信号执行重新计算后再次发送本端数据信息。

[0056] 如上所述,对端数据信息和本端数据信息可以具有与现有技术中从各个子系统发送给比较器的信号相类似的形式。从而,例如,与现有技术类似,对端数据信息和本端数据信息中的每一个都可以包括位于各自子系统的数据总线、地址总线和控制总线中至少一个上的多个信号。在这种情况下,可以采用与现有技术类似的比较方式。例如,每一个子系统可以将对端数据信息中包括的位于数据总线、地址总线和控制总线中至少一个上的多个信号与本端数据信息中包括的位于对应的数据总线、地址总线和控制总线中至少一个上的多个对应信号逐一进行比较。如果所有对应信号均一致,则确定比较结果为一一致,即确定对端数据信息与本端数据信息一致。如果存在至少一对不一致的对应信号,则确定比较结果为一不一致,即,确定对端数据信息与本端数据信息不一致。

[0057] 可选地,每一个子系统可以被配置为在确定比较结果为一不一致时,存储当前进行比较的对端数据信息和本端数据信息。例如,可以将当前进行比较的对端数据信息和本端数据信息存储在该子系统的存储器中。由此,这些被存储的信息可以被用于进行后续的故障诊断等。

[0058] 在某些情况下,同一系内的两个子系统,例如第一部分 210 内的第一子系统 212 和第二子系统 214,可能由于执行上述的各种处理而不再同步。为此,优选地,可以采用具有固定定时周期的单脉冲定时器电路来协助实现子系统的同步。例如,可以在根据本发明实施例的二乘二取二冗余系统 200 中为第一子系统 212 和第二子系统 214 提供一个单脉冲定时器电路,该单脉冲定时器电路可以被配置为使得第一子系统 212 和第二子系统 214 可以实现同步。该单脉冲定时器电路可以被设置在第一部分 210 内或者二乘二取二冗余系统 200 的其它位置。类似地,也可以为第三子系统 222 和第四子系统 224 提供一个单脉冲定时器电路。

[0059] 根据本发明的实施例,各个子系统所生成的比较结果信号将被输出到门电路。例如,第一子系统 212 和第二子系统 214 各自的比较结果信号被输出到门电路 216,第三子系统 222 和第四子系统 224 各自的比较结果信号被输出到门电路 226。门电路 216 或 226 可以根据其所接收到的两个比较结果信号生成处理结果信号,以表明该门电路所在的系是否工作正常。例如,当两个比较结果信号都指示比较结果为一一致时,门电路可以生成表明该门电路所在的系工作正常的处理结果信号,而当两个比较结果信号中有至少一个指示比较结果不一致时,门电路可以生成表明该门电路所在的系工作不正常的处理结果信号。根据本发明的门电路 216 和 226 的具体实现形式并不受到限制,任何可以实现以上所描述的门电路功能的逻辑门(如,或门、与门)电路或其它类型电路都可以作为本发明的门电路 216 和 226 的具体实现形式。门电路所生成的处理结果信号可以采用特定的数值来表明特定的处理结果,其具体实现形式可以类似于现有技术中表决器输出的表决信号。

[0060] 根据本发明的实施例,切换机构 230 可以执行与图 1 所示现有技术中的切换机构 130 相类似的功能。例如,切换机构 230 可以根据门电路 216 和 226 输出的处理结果信号来生成切换控制信号,以便对控制权的归属进行控制。此外,与现有技术类似地,切换机构 230 也可以根据不同的应用场景来与其它电路结构相结合,以便对子系统基于输入信号所生成

的输出信号向上一级设备的传输进行控制。

[0061] 图 3 示出了用于根据本发明实施例的二乘二取二冗余系统的示意性方法流程图。图 3 的方法 300 可以由图 2 所示的根据本发明实施例的二乘二取二冗余系统 200 所执行。

[0062] 在步骤 S310, 可以由第一子系统 212、第二子系统 214、第三子系统 222、第四子系统 224 分别同时接收相同的输入信号并且分别对输入信号执行相同的处理过程。

[0063] 在步骤 S320, 可以由第一子系统 212、第二子系统 214、第三子系统 222、第四子系统 224 中的每一个子系统分别经由与该子系统连接的主串行通信电路和辅串行通信电路, 从对端子系统接收对端数据信息并且同时向对端子系统发送本端数据信息, 以及将对端数据信息与本端数据信息进行比较并生成用于指示比较结果的比较结果信号。

[0064] 优选地, 根据本发明的实施例, 每一个子系统可以定时地从对端子系统接收对端数据信息并向对端子系统发送本端数据信息。可以采用具有固定定时周期的定时器电路来提供定时。在分别为每个系内的两个子系统提供了定时器电路的情况下, 每一个子系统可以响应于该子系统所连接的定时器电路的定时触发, 从对端子系统接收对端数据信息并且向对端子系统发送本端数据信息。

[0065] 可选地, 在方法 300 中, 每一个子系统可以通过执行首次判断过程和预定次数的再次判断过程来将所接收到的对端数据信息与本端数据信息进行比较并且生成比较结果信号。这种通过利用首次判断过程和再次判断过程进行比较并生成比较结果信号的方式与以上结合图 2 所描述的功能类似。例如, 方法 300 可以包括执行首次判断过程, 该首次判断过程可以包括: 将经由主串行通信电路接收的对端数据信息与本端数据信息进行比较; 如果确定比较结果为一, 则生成指示比较结果为一的比较结果信号, 如果确定比较结果为一, 则将经由辅串行通信电路接收的对端数据信息与本端数据信息进行比较; 在对经由辅串行通信电路接收的对端数据信息与本端数据信息进行比较的过程中, 如果确定比较结果为一, 则生成指示比较结果为一的比较结果信号, 如果确定比较结果为一, 则尝试执行再次判断过程。方法 300 还可以包括进而执行再次判断过程, 该再次判断过程可以包括: 经由主串行通信电路和 / 或辅串行通信电路命令对端子系统重新发送对端数据信息或者在对输入信号执行重新计算后再次发送对端数据信息; 以及重复执行首次判断过程中包括的各个操作。可选地, 如果在再次判断过程被执行了预定次数后仍然确定比较结果为一, 则可以决定不再尝试执行再次判断过程并且生成指示比较结果为一的比较结果信号。

[0066] 可选地, 方法 300 还可以包括: 如果每一个子系统经由主串行通信电路和 / 或辅串行通信电路接收到对端子系统要求该子系统重新发送本端数据信息或者在对输入信号执行重新计算后再次发送本端数据信息的命令, 则重新发送本端数据信息或者在对输入信号执行重新计算后再次发送本端数据信息。

[0067] 此外, 在对端数据信息和本端数据信息中的每一个都包括位于各自子系统的数据总线、地址总线和控制总线中至少一个上的多个信号的情况下, 方法 300 还可以包括采用与现有技术类似的方式将对端数据信息与本端数据信息进行比较。例如, 方法 300 可以通过以下操作来进行比较: 可以由每一个子系统将对端数据信息中包括的位于数据总线、地址总线和控制总线中至少一个上的多个信号与本端数据信息中包括的位于对应的数据总线、地址总线和控制总线中至少一个上的多个对应信号逐一进行比较; 如果所有对应信号

均一致,则确定比较结果为一一致,如果存在至少一对不一致的对应信号,则确定比较结果为不一致。

[0068] 可选地,方法 300 还可以包括在每一个子系统确定比较结果为不一致时,存储当前进行比较的对端数据信息和本端数据信息。

[0069] 可选地,考虑到在同一系内的两个子系统可能由于执行上述各种处理而不再同步的情况,方法 300 还可以包括采用具有固定定时周期的单脉冲定时器电路来协助实现子系统的同步。例如,方法 330 可以包括:利用一个单脉冲定时器电路使得第一部分 210 内的两个子系统实现同步,以及利用另一个单脉冲定时器电路使得第二部分 220 内的两个子系统实现同步。

[0070] 在步骤 S330,可以由门电路 216 和 226 中的每一个门电路根据由与该门电路连接的两个子系统所生成的比较结果信号,生成处理结果信号以表明该门电路所在的系是否工作正常。

[0071] 例如,当门电路确定其所接收到的两个比较结果信号都指示比较结果为一一致时,可以生成表明该门电路所在的系工作正常的处理结果信号,而当两个比较结果信号中有至少一个指示比较结果不一致时,则可以生成表明该门电路所在的系工作不正常的处理结果信号。

[0072] 在步骤 S340,可以由切换机构 230 根据门电路 216 和 226 所生成的处理结果信号,生成切换控制信号以对控制权的归属进行控制。

[0073] 以上仅对方法 300 所包括的处理和步骤进行了示意性描述。实际上,方法 300 可以包括结合图 2 所描述的二乘二取二冗余系统 200 中各个单元所执行的各种处理和功能。

[0074] 本文描述的各个方面可以用硬件、软件、固件、中间件、微代码或者其任意组合来实现。利用软件、固件、中间件、微代码、程序代码或者代码段来实现这些装置和 / 或方法时,可以将其存储在机器可读介质内,例如存储在存储部件内。对于软件实现,本文描述的技术可以用实现本文所述功能的模块(例如程序、函数等)来实现。可以将软件代码存储在存储器单元中,由处理器来执行。存储器单元可以在处理器中实现,或者可以位于处理器外部。在后一种情况下,存储器可以通过各种手段与处理器连接。

[0075] 上文通过附图和优选实施例对本发明进行了详细展示和说明,然而本发明不限于这些已揭示的实施例,本领域技术人员从中推导出来的其它方案也在本发明的保护范围之内。

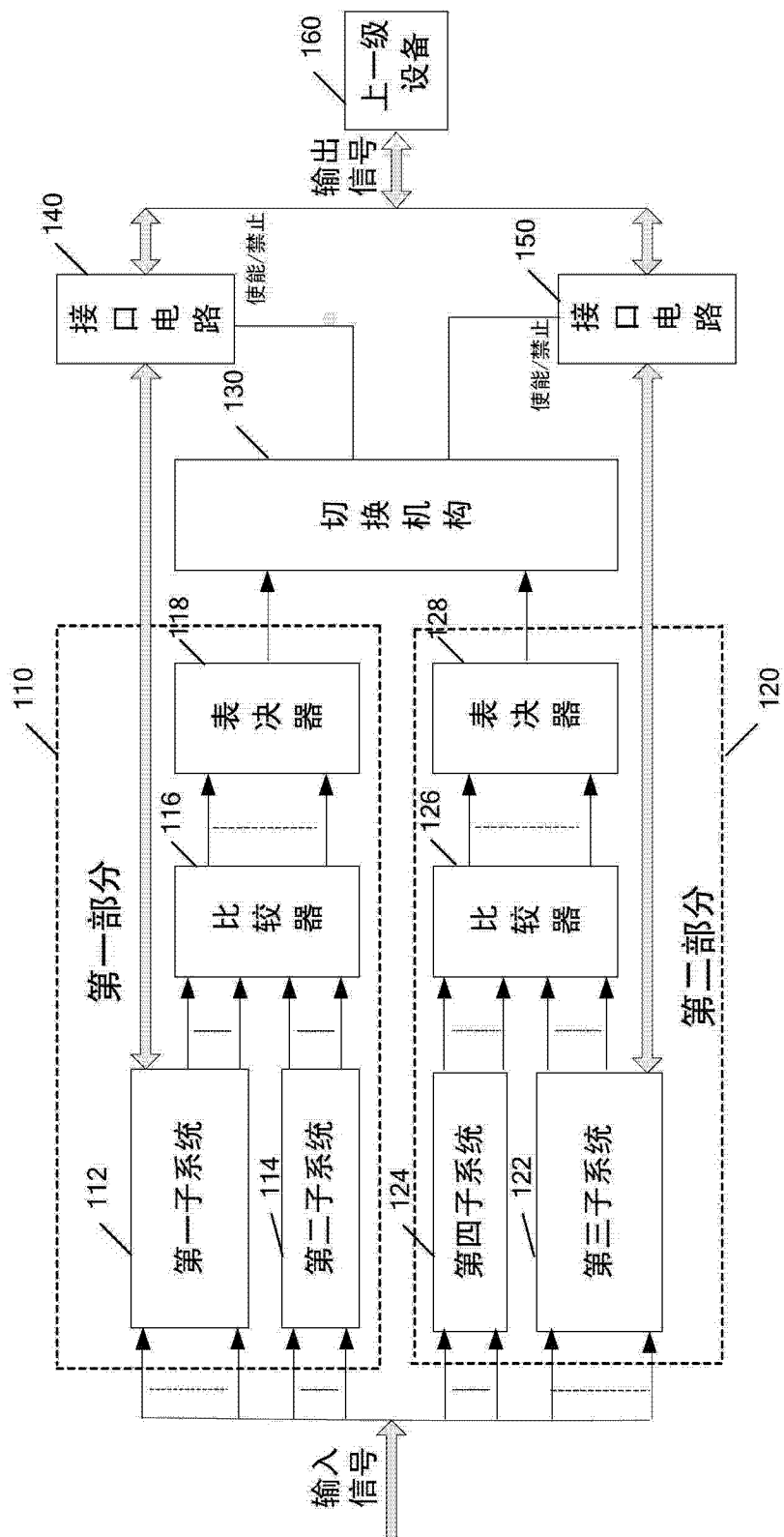


图 1

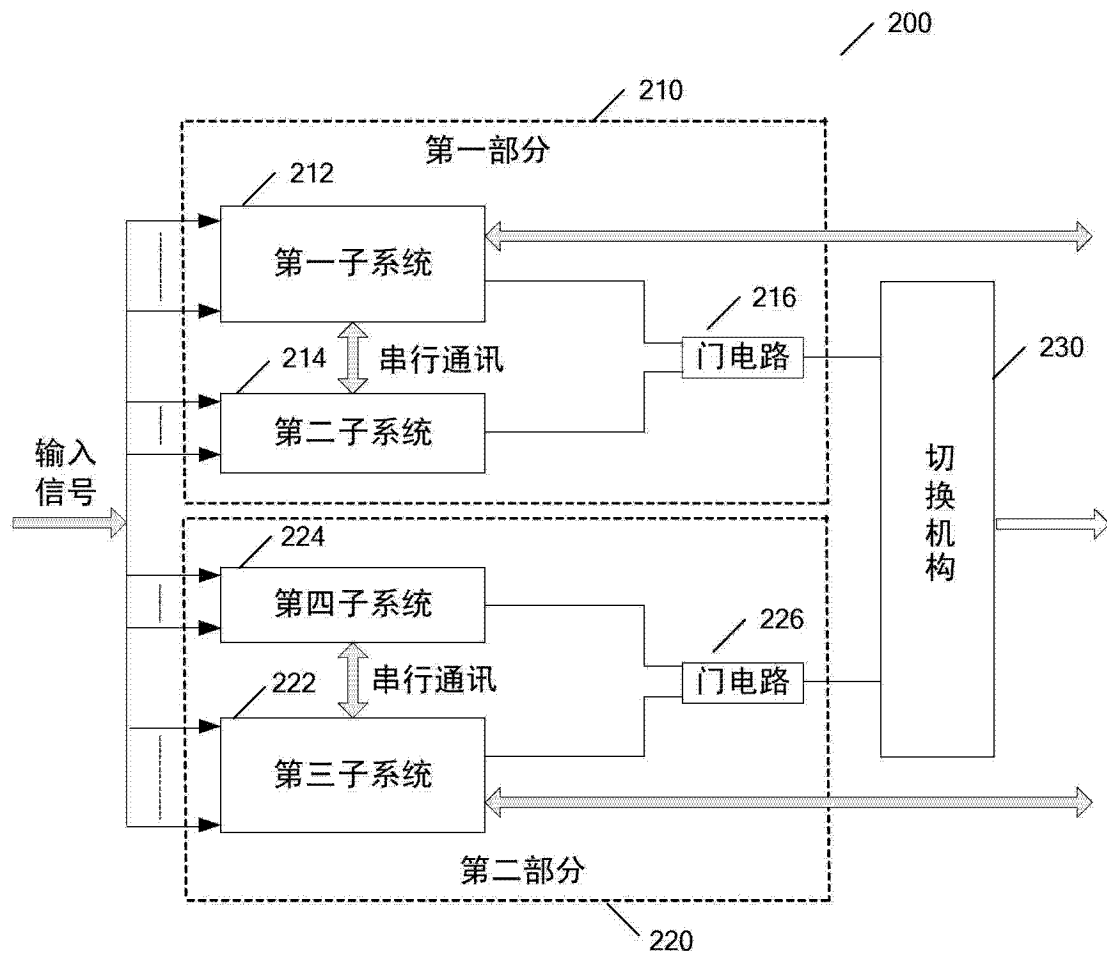


图 2

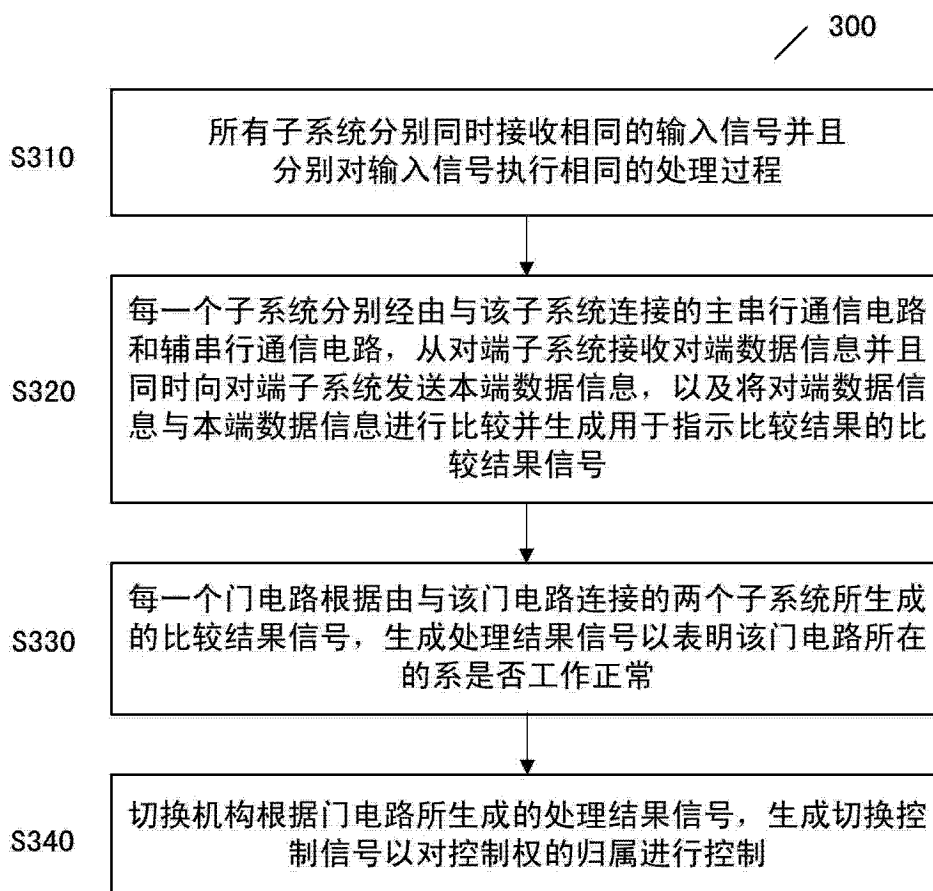


图 3