СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1179351 A

(51)4 G 06 F 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

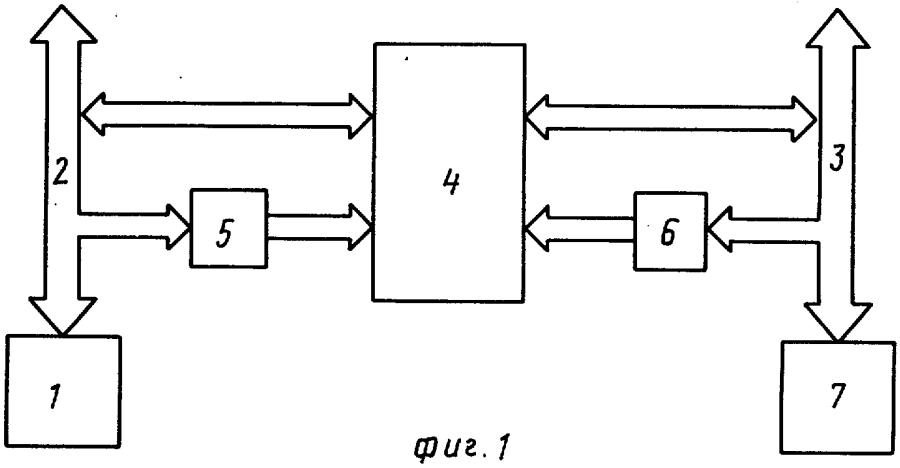
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3673785/24-24
(22) 14.12.83
(46) 15.09.85. Бюл. № 34
(72) В. Н. Данилов
(71) Всесоюзный ордена Трудового Красного Знамени научно-исследовательский, проектно-конструкторский и технологический институт релестроения
(53) 681.325(088.8)
(56) Патент США № 3999163, кл. 340—172.5, опублик. 1976.

Авторское свидетельство СССР № 760076, кл. G 06 F 3/04, 1978.

(54)(57) УСТРОЙСТВО ДЛЯ СОПРЯЖЕНИЯ ЭЛЕКТРОННО-ВЫЧИСЛИТЕЛЬНОЙ МАШИНЫ С ПЕРИФЕРИЙНЫМИ УСТРОЙСТВАМИ, содержащее блок оперативной памяти и первый блок дешифрации адреса, причем группа входов первого блока дешифрации адреса подключена к адресной шине и шине служебных сигналов электронно-вычислительной машины, *отличающееся* тем, что, с целью сокращения аппаратурных затрат и повышения быстродействия путем независимого использования блока оперативной памяти электронно-вычислительной машиной и периферийными устройствами, в него введен второй блок дешифрации адреса, а блок оперативной памяти выполнен двухканальным, при этом группа информационных входов-выходов первого канала блока оперативной памяти подключена к информационной шине электронно-вычислительной машины, группа информационных входов-выходов второго канала блока оперативной памяти подключена к информационной шине периферийных устройств, группа входов второго дешифратора адреса подключена к адресной шине и шине служебных сигналов периферийного устройства, группа выходов первого дешифратора адреса соединена с адресным входом и входом управления режимом первого канала блока оперативной памяти, группа выходов с второго дешифратора адреса соединена с адресным входом и входом управления режимом второго канала блока оперативной памяти.



фиг. 1

(19) SU (11) 1179351 A

Изобретение относится к вычислительной технике и может быть применено в вычислительных и управляющих системах для сопряжения ЭВМ с периферийными устройствами или другой ЭВМ, связанной с периферийными устройствами.

Цель изобретения — сокращение аппаратурных затрат и повышение быстродействия путем независимого использования блока оперативной памяти электронно-вычислительной машиной и периферийными устройствами.

Устройство позволяет производить асинхронный (независимый) обмен данными между внешним устройством, блоком оперативной памяти и центральным процессором. Причем обменом между внешним устройством (например, специализированное вычислительное устройство, микропроцессор или датчики информации) и блоком оперативной памяти управляет внешнее устройство, а обменом между процессором и блоком оперативной памяти управляет процессор. Команды управления считыванием или записью данных содержатся в формате адресного слова, адресная часть которого определяет адрес ячейки (регистра).

На фиг. 1 представлена структурная схема устройства; на фиг. 2 — функциональная схема блока дешифрации адреса; на фиг. 3 — временная диаграмма работы блока дешифрации адреса.

Предлагаемое устройство содержит процессор 1, системную магистраль 2, внешнюю магистраль 3, блок 4 оперативной памяти, первый 5 и второй 6 блоки дешифрации адреса и периферийное устройство 7.

Блок 5 (6) дешифрации адреса содержит (фиг. 2) регистр 8, одновибратор 9, элемент И-НЕ 10 и элементы НЕ 11 и 12. На фиг. 2 также обозначены группа адресных входов 13 и адресных выходов 14 регистра 8, синхровход 15 регистра 8, стробирующий вход 16 блока 5(6) дешифрации адреса, выход 17 разрешения канала (1 или 2) блока 5 (6) дешифрации адреса, вход 18 и выход 19 записи блока 5(6) дешифрации адреса, вход 20 и выход 21 считывания блока 5(6) дешифрации адреса.

Устройство работает следующим образом.

Во время цикла записи из процессора 1 информация по системной магистрали 2 поступает на информационные входы-выходы первого канала блока 4 оперативной записи, где она записывается в ячейки памяти, адреса которых определяются блоком 5. Во время цикла считывания из блока 4 данные по системной магистрали 2 поступают в процессор 1. Адреса ячеек также определяются блоком 5.

Аналогично в ячейки блока 4 могут быть записаны данные, поступающие по внешней магистрали 3 из периферийного устройства 7 (например, микропроцессор в многопроцессорной системе, датчики информации

или исполнительные устройства) и считаны из ячеек блока 4 периферийным устройством. Адреса ячеек определяются блоком 6.

Блок 5 получает по системной магистрали 2, а блок 6 по внешней магистрали 4 признак того, что поступающая информация является управляющим словом. Таким уведомлением может быть, например, тактовая последовательность, если передача слов управления и данных осуществляется в режиме разделения времени, или передача признака управляющего слова по специальной линии или группе линий.

Согласно схеме на фиг. 2 в начале цикла всегда производится запись управляющего слова, затем в этом же цикле может производиться одно из двух действий: запись или считывание слова данных. Блоки 5 и 6 полностью идентичны применительно к внешней магистрали 3.

Основная тактовая последовательность, поступающая на вход 20, имеет форму, показанную на диаграмме 16 (фиг. 3). Показано два цикла: запись и считывание, состоящих из двух тактовых периодов. В первом периоде из системной магистрали 2 поступает управляющее слово, содержащее адрес ячейки и информацию о режиме: запись или считывание. Адрес ячейки блока 4 по входам 13 записывается в регистр 8 адреса импульсом 15 (фиг. 3), формируемым одновибратором 9 по переднему фронту тактовой последовательности 16. Во втором периоде на выходе элемента И-НЕ 10 с помощью тактовой последовательности 16 и инверсного сигнала 15 со второго выхода одновибратора 9, формируется сигнал 17 разрешения первого канала. Адрес ячейки по выходам 14 (диаграмма 14) поступает на адресные входы блока 4 первого канала и производит выбор адресуемой ячейки. Во втором периоде цикла записи из системной магистрали 2 на информационные входы-выходы первого канала блока 4 поступает слово данных, а на вход 18 элемента НЕ 11 — сигнал записи, который с выхода 19 (диаграмма 19) поступает на вход записи первого канала и слово данных записывается в выбранную ячейку блока 4. Во втором периоде цикла считывания на вход 20 элемента НЕ 12 из системной магистрали 2 поступает сигнал считывания, который с выхода 21 (диаграмма 21) поступает на вход разрешения считывания первого канала и с информационных входов-выходов первого канала блока 4 слово данных из выбранной ячейки выдается в магистраль 2.

В результате считывание информации процессором 1 и периферийным устройством 7 может быть произведено из любой ячейки блока 4 в любой момент времени, в том числе и одновременно по обоим каналам.

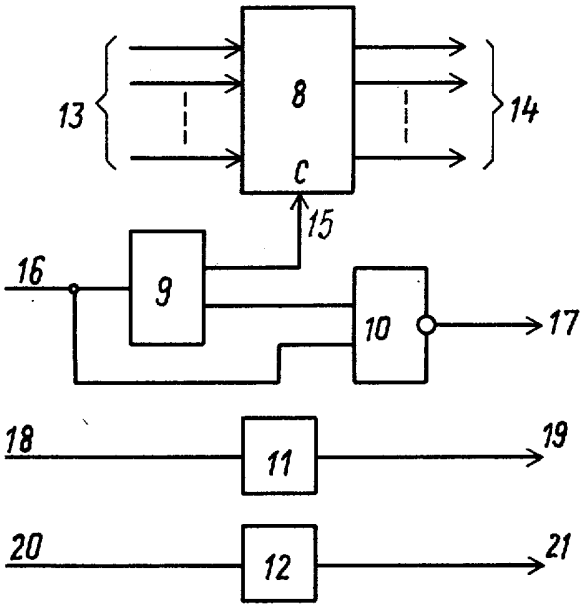
Запись информации из процессора 1 и периферийного устройства 7 также может

быть произведена в любую ячейку блока 4, за исключением случая одновременной записи в одну и ту же ячейку. Это может привести к записи ложной информации. Для исключения этого случая можно массив памяти блока 4 для режима записи разделить на две части таким образом, чтобы запись информации из процессора 1 могла производиться в одну часть, а запись из внешнего устройства — в другую, или разделить во времени запись в одну и ту же ячейку.

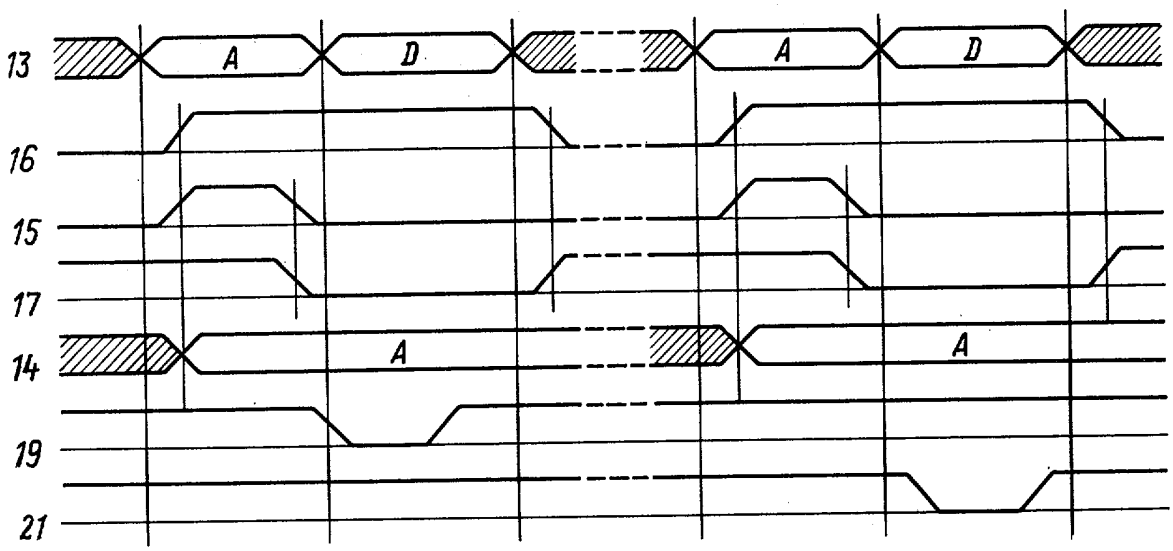
Таким образом, устройство имеет возможность накопления и быстрой выборки данных, обеспечивает возможность автономной и асинхронной работы его с несколькими периферийными устройствами. В качестве двухадресной памяти могут быть использованы, например, интегральные схемы типа К1802ИР1.

Применение предлагаемого устройства в два раза повышает быстродействие и сокращает аппаратные затраты на 60% поскольку отпадает необходимость в блоках связи, коммутации, управления, модификации адреса, выходной буферной памяти.

Повышение быстродействия в 2 раза достигается в результате раздельного (независимого) управления обменом данными между процессором и блоком оперативной памяти и между блоком оперативной памяти и внешним устройством.



Фиг. 2



Фиг. 3

Составитель С. Пестмал
Редактор Л. Пчелинская
Техред И. Верес
Корректор В. Бутяга
Заказ 5677/51
Тираж 710
Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж—35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4