

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-109331
(P2008-109331A)

(43) 公開日 平成20年5月8日(2008.5.8)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 P 3/04 (2006.01) HO 1 P 3/04
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 3 O 1 Z

審査請求 未請求 請求項の数 9 O L (全 25 頁)

<p>(21) 出願番号 特願2006-289462 (P2006-289462)</p> <p>(22) 出願日 平成18年10月25日 (2006.10.25)</p> <p>(出願人による申告) 平成18年度 文部科学省「超高速コンピュータ用光インターコネクションの研究開発」委託研究、産業活力再生特別措置法第30条の適用を受ける特許出願</p>	<p>(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号</p> <p>(71) 出願人 304021417 国立大学法人東京工業大学 東京都目黒区大岡山2丁目12番1号</p> <p>(74) 代理人 100077838 弁理士 池田 憲保</p> <p>(74) 代理人 100082924 弁理士 福田 修一</p> <p>(74) 代理人 100129023 弁理士 佐々木 敬</p> <p>(72) 発明者 堺 淳 東京都港区芝五丁目7番1号 日本電気株式会社内</p>
--	---

最終頁に続く

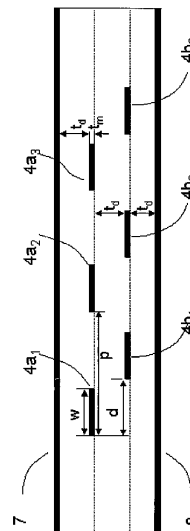
(54) 【発明の名称】 伝送線路及びこれを有する配線基板並びに半導体装置

(57) 【要約】

【課題】 多ピン高速LSIと接続する配線基板において、伝送線路の断面構造を適切に制御することによって伝送損失を調整することができるようにする。

【解決手段】 異なる二つの配線層に一本ずつ信号配線を配置し上下に重ならないよう水平方向に一定距離ずらしてなる一対の差動ペアが多数形成された多層配線基板において、二本の信号配線の水平方向のずらし量を d 、二本の信号配線を隔てる絶縁層の厚みを t 、隣接する信号配線との配線周期、すなわち隣接差動配線との間隔と信号配線幅の和を p とした時、 $D = d (t / p^3)^{1/2}$ で表される値 D が $0.2 < D < 1.2$ の範囲内に収まっている部分があることを特徴とする。

【選択図】 図3



4a₁, 4a₂, 4a₃ : 第一配線層の信号配線
 4b₁, 4b₂, 4b₃ : 第二配線層の信号配線

【特許請求の範囲】

【請求項 1】

異なる二つの配線層に一本ずつ信号配線を配置しこれら二本の信号配線を上下に重ならないよう水平方向に一定距離ずらしてなる一対の差動ペアが複数形成された多層配線基板において、

前記二本の信号配線の水平方向のずらし量を d 、前記二本の信号配線を隔てる絶縁層の厚みを t 、隣接する信号配線との配線周期、すなわち隣接差動配線との間隔と信号配線幅の和を p とした時、 $D = d (t / p^3)^{1/2}$ で表される値 D が $0.2 < D < 1.2$ の範囲内に収まっている部分があることを特徴とする伝送線路。

【請求項 2】

前記二つの配線層のさらに上または下あるいは上下両方の配線層にグラウンドプレーンまたは電源プレーンが形成されていることを特徴とする請求項 1 に記載の伝送線路。

【請求項 3】

前記隣接する信号配線との配線周期が位置によって異なっていることを特徴とする請求項 1 または 2 に記載の伝送線路。

【請求項 4】

前記信号配線幅が位置によって異なっていることを特徴とする請求項 1 ~ 3 のいずれかに記載の伝送線路。

【請求項 5】

請求項 1 ~ 4 のいずれかに記載の伝送線路を有する配線基板。

【請求項 6】

請求項 1 ~ 4 のいずれかに記載の伝送線路を有する配線基板に半導体素子または半導体パッケージを搭載し、前記伝送線路と前記半導体素子または半導体パッケージとを接続してなる半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置であって、前記配線基板は配線長の長い差動ペアと配線長の短い差動ペアとを有し、それらの差動ペアは当該配線基板に搭載された前記半導体素子と接続されており、前記配線長の長い差動ペアのある地点における配線周期は、前記半導体素子から等しい距離における前記配線長の短い差動ペアの配線周期よりも広いことを特徴とする半導体装置。

【請求項 8】

請求項 6 に記載の半導体装置であって、前記配線基板の中央に前記半導体素子が搭載され、前記差動ペアは前記半導体素子から離れるに従って隣接する差動ペアとの間隔が広がっていることを特徴とする半導体装置。

【請求項 9】

請求項 6 に記載の半導体装置であって、前記配線基板の中央に前記半導体素子が搭載され、前記差動ペアは前記半導体素子から離れるに従って前記信号配線幅が太くなっていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多数の高速信号を入出力する半導体素子を実装するための配線基板に関するものである。

【背景技術】

【0002】

近年の L S I (L a r g e S c a l e I n t e g r a t e d c i r c u i t) の高速化に伴い、L S I を実装する配線基板での伝送線路における信号の減衰が問題になってきている。G H z 級の速度の信号においては、表皮効果による信号減衰が増大し伝送波形の劣化が顕著になる。従って、低損失で良好な信号波形を保ちつつ高速信号を伝送できる伝送線路の実現が要求されている。

10

20

30

40

50

【0003】

また、LSIの高速化と同時にLSIの信号数の増大・基板接続パッドの微細化も進んでいる。すなわち、LSIの高機能化のためにLSIから入出力される信号が増加しているが、LSIの高機能化・低コスト化のためには外形サイズを小さくする必要があるため、基板接続パッド径とパッド間隔の微細化が進行している。その結果、LSIと接続する配線基板において、高密度で多信号を引き回せる伝送線路の実現が求められている。

【0004】

このように、LSIの高速化と多ピン化、微細化に対応するため、高速信号を低損失で伝送し、高密度で配線できる信号配線が要求されている。

【0005】

この要求に応えるため、二本の信号配線で一つの信号を伝送する差動伝送線路が提案されている。差動伝送線路は二本の信号配線を伝播してきた信号の差を一つの信号とするため、コモンモードノイズがキャンセル可能であり、振幅を二倍にできる利点を持つ。

【0006】

代表的な差動伝送線路構造としては、図25(a)に示すようなコプレーナ構造、図25(b)に示すようなマイクロストリップ構造、図25(c)に示すようなストリップ構造、図25(d)に示すようなタンデム構造、図25(e)に示すようなダイアゴナル構造、等がある。

【0007】

ダイアゴナル構造の差動伝送線路については、特許文献1においてLSI内の伝送線路に適用した例が示され、非特許文献1には配線基板に適用した例が示されている。ダイアゴナル構造は異なる配線層に信号配線を配置し、水平方向に一定距離ずらす、という構造をとる。この構造をとることにより、特に隣接配線とのクロストークを削減する効果が示されている。

【0008】

一方、高速信号を低損失で伝送するために、伝送線路だけでなく、それら伝送線路と接続するLSIを制御することも行われている。例えば、配線基板の信号線路で生じる伝送損失を補正するため、LSIの送信回路にプリエンファシスと呼ばれる波形補正回路を組み込むことが行われている。これは、一般のデジタル波形は矩形波をしており低周波から高周波までの広い周波数成分を含むが、伝送線路における損失量は高周波成分の方が大きいため、波形の立ち上がりが鈍くなって波形劣化が生じてしまう。この対策として、送信信号の高周波成分だけを増幅しておくことによって高周波成分の減衰量を予備補償しておく、伝送線路を伝播した後の信号の周波数スペクトルを理想的な分布に近づけて波形の立ち上がりを鋭くする手法がプリエンファシスである。一例として特許文献2には伝送線路の損失を実験やシミュレーションによって評価する手法が開示されており、送信信号にプリエンファシスを施した際の伝送波形を算出する例が示されている。また、その伝送線路における高周波成分の損失を予備補償する手法として、特許文献3には伝送損失に回答して送信側のドライバを適応的に制御する手法が開示されている。このように、伝送線路の伝播特性をあらかじめ評価した上でプリエンファシスの設定を決定することにより、最適な伝送波形を得ることができる。

【0009】

【特許文献1】特開2005-101587号公報

【特許文献2】特開2006-090788号公報

【特許文献3】特表2002-525977号公報

【非特許文献1】2006年電子情報通信学会総合大会論文集 p316「シフテッド・ペアライン信号線におけるクロストーク測定」

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかし、特許文献1と非特許文献1においては、ダイアゴナル構造の差動伝送線路の損

10

20

30

40

50

失を小さく抑えるための明確な設計指針がなかった。

【0011】

一般に、伝送線路の伝播損失は、単位長あたりの抵抗 R 、コンダクタンス G 、特性インピーダンス Z_0 を用いて、以下の数式(1)によって表される。

【0012】

$$= (1/2)(R/Z_0) + (1/2)GZ_0 \quad (1)$$

数式(1)において、第一項が導体損失、第二項が誘電損失を表す。導体損失は伝送線路の導体の抵抗に起因する。特に高周波においては、電流は表皮効果によって導体の表面のみを流れるため電流の流れる断面積が小さくなり、導体損失が増加する。第二項の誘電損失は線路を構成する誘電体によるもので、誘電体の誘電正接 $\tan \delta$ と周波数 f に比例する。第二項の G は線路のキャパシタンス C 、周波数 f 、絶縁体の誘電正接 $\tan \delta$ を用いて以下の数式(2)によって表せる。

10

【0013】

$$G = 2 f C \tan \delta \quad (2)$$

一般に、信号線路の幅が広がると、電流の通る断面積が広がるため抵抗 R が減少して導体損失が減少するが、その一方でキャパシタンス C が増加するためコンダクタンス G が増加し、誘電損失が増加する。従って、信号線路の幅や間隔などの寸法と伝送損失との関係が明確ではなく、伝送損失を小さくするために一般的に当てはまる設計指針というものが存在しなかった。そして、実際の伝送線路の設計においては、伝送線路の終端抵抗と特性インピーダンスとが等しくなるように線路幅が決定され、伝送損失を小さくするために線路幅や線路間隔を変更する、ということは行われていなかった。

20

【0014】

また、特許文献2、3に開示されたような伝送線路の伝播特性をあらかじめ評価した上でプリエンファシスの設定を決定する方法については以下のような課題がある。LSIに設定されるプリエンファシスは配線の損失に応じて調整されるが、LSIに接続される多数の配線の長さは一定ではないため、配線によって損失の大きさにばらつきがある。従って、全ての配線に対する波形補正を同じ設定にすると、全ての信号に対して最適な補正を行うことができない。しかし、信号配線ごとに波形補正を調整することは、多信号を有するLSIにおいては多大のコストや工数を要してしまう。

30

【0015】

上記の問題に鑑み、本発明の目的は、多ピン高速LSIと接続する配線基板において、伝送線路の断面構造を適切に設計することによって伝送損失を調整することのできる差動伝送線路を実現することである。

【0016】

本発明はまた、上記の差動伝送線路を用いて、多信号を有するLSIと接続する際には全ての信号に対して等しい設定の波形補正を実施し、最適な補正を得ることのできる伝送線路を有する配線基板を提供しようとするものである。

【課題を解決するための手段】

【0017】

本発明によれば、異なる二つの配線層に一本ずつ信号配線を配置しこれら二本の信号配線を上下に重ならないよう水平方向に一定距離ずらしてなる一対の差動ペアが複数形成された多層配線基板において、前記二本の信号配線の水平方向のずらし量を d 、前記二本の信号配線を隔てる絶縁層の厚みを t 、隣接する信号配線との配線周期、すなわち隣接差動配線との間隔と信号配線幅の和を p とした時、 $D = d(t/p^3)^{1/2}$ で表される値 D が $0.2 < D < 1.2$ の範囲内に収まっている部分があることを特徴とする伝送線路が提供される。

40

【0018】

上記の伝送線路においては、前記二つの配線層のさらに上または下あるいは上下両方の配線層にグラウンドプレーンまたは電源プレーンが形成されていても良い。

【0019】

50

上記の伝送線路においてはまた、前記隣接する信号配線との配線周期が位置によって異なっていることが望ましく、あるいはまた前記信号配線幅が位置によって異なっても良い。

【0020】

本発明による配線基板は、異なる二つの配線層に一本ずつ信号配線を配置しこれら二本の信号配線を上下に重ならないよう水平方向に一定距離ずらしてなる一对の差動ペアが複数形成された多層配線基板において、前記二本の信号配線の水平方向のずらし量を d 、前記二本の信号配線を隔てる絶縁層の厚みを t 、隣接する信号配線との配線周期、すなわち隣接差動配線との間隔と信号配線幅の和を p とした時、 $D = d (t / p^3)^{1/2}$ で表される値 D が $0.2 < D < 1.2$ の範囲内に収まっていることを特徴とする。以降、この D を規格化ずらし量と呼ぶ。

10

【0021】

また、前記差動ペアは前記配線基板上部に実装された半導体素子から離れるに従って隣接する差動ペアとの間隔を広げていることを特徴とする。この際、同時にずらし量を調整して特性インピーダンスを一定に保ちつつ、規格化ずらし量 D を $0.2 < D < 1.2$ の範囲に保っていることを特徴とする。

【0022】

さらに、前記差動ペアは半導体素子から離れるに従って配線幅が太くなっていることを特徴とする。

【0023】

また、前記差動ペアを有する配線基板は、配線長の長い差動ペアと配線長の短い差動ペアとを有し、それらの差動ペアは配線基板上部に実装された半導体素子と接続されており、前記配線長の長い差動ペアのある地点における配線周期は、前記半導体素子から等しい距離における前記配線長の短い差動ペアの配線周期よりも広い部分があることを特徴とする。

20

【0024】

本発明によればまた、上記の配線基板に半導体素子または半導体パッケージを搭載してなる半導体装置が提供される。

【0025】

[発明の作用]

前記差動ペアは異なる二つの配線層に一本ずつ信号配線を配置し水平方向に一定距離ずらす構造をとる。この差動ペアの差動特性インピーダンスは、信号配線幅 w 、絶縁層厚み t 、ずらし量 d 、配線周期 p 、絶縁層の誘電率 ϵ_r によって一意に決まる。通常、絶縁層の誘電率と絶縁層厚みは基板の材質・種類によって決まり、配線周期は信号配線が接続される半導体素子のパッドピッチや基板のピッチ、基板の面積などの制約を受けてある程度決定される。残る二つの要素は信号配線幅 w とずらし量 d であるが、これら二つの要素にはある程度の自由度があり、この二つを変化させることによって差動特性インピーダンスを調整することができる。そして、ある値の差動特性インピーダンスは複数通りの信号配線幅・ずらし量の組み合わせによって実現することができる。すなわち、信号配線幅が広い場合にはずらし量も大きくし、信号配線幅が細かい場合にはずらし量も小さくすることによって等しい差動特性インピーダンスを実現することができる。

30

40

【0026】

差動特性インピーダンスを一定に保ちつつ信号配線幅とずらし量を変化させる場合、ずらし量を小さくして信号配線幅を細くすると信号配線の断面積が小さくなってしまいうため導体損失が大きくなってしまふ。逆に、信号配線幅を太くしてずらし量を配線周期・絶縁層厚みに対して大きくすると、差動ペアを構成する信号配線同士の電界結合よりも隣接する信号配線との結合が強くなる。その結果、電流が信号配線の端部に集中して電流が通る断面積が小さくなってしまい、導体損失が大きくなる。従って、信号配線幅とずらし量は小さくしすぎても大きくしすぎても導体損失が大きくなってしまふ。そこで、前述した規格化ずらし量 D を $0.2 < D < 1.2$ の範囲内に収めることによって電流の通る断面積を

50

広くすることができ、導体損失の小さい差動伝送線路を実現することができる。

【0027】

また、差動特性インピーダンスを一定に保ちつつ配線周期を広げると、ずらし量を小さくするか信号配線幅を広げるため、隣接配線との電磁界結合が小さくなって信号配線の側面よりも上下の面に電流が流れるようになり、導体損失を小さくすることができる。このように、配線周期を広げることによって伝送損失を小さくすることができる。

【発明の効果】

【0028】

本発明による伝送線路は伝送損失を小さくできるという効果を有し、この伝送線路を有する配線基板は、多数の信号配線（信号パッド）が高密度に形成された半導体素子から配線を引き出す場合にも、差動特性インピーダンスを一定に保ちつつ伝送損失を小さく抑えることができる。

10

【0029】

また、配線長の長い信号配線の単位長さ辺りの伝送損失を配線長の短い信号配線のそれよりも小さくすることにより、配線全体での伝送損失を同程度に揃えることができる。これにより、半導体素子に搭載された波形補正回路が同一の設定であったとしても、配線長が異なる複数の信号配線に対して最適な波形補正を行うことができ、回路規模の増大を抑制して低コストで半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0030】

20

[第1の実施形態]

次に、本発明の第一の実施形態について図面を参照して説明する。

【0031】

[構造]

まず、構造について説明する。

【0032】

図1は本発明の第一の実施形態による半導体装置の斜視図であり、図2はその半導体装置の断面図である。この半導体装置においては、多層の配線基板1の上面に半導体集積回路素子2が搭載され、接続用導体3を介して他の回路と接続されている。

30

【0033】

この配線基板1は、第一の絶縁層1a、第二の絶縁層1b、第三の絶縁層1c、第四の絶縁層1dを積層して構成される。第一の絶縁層1aの上面には第一配線層5aが、第二の絶縁層1bの上面には第二配線層5bが、第三の絶縁層1cの上面には第三配線層5cが、第四の絶縁層1dの上面に第四配線層5d、下面に第五配線層5eがそれぞれ形成されている。第二配線層5bには信号配線4aが、第三配線層5cには信号配線5bがそれぞれ形成されており、それぞれの信号配線は層間接続用ビアを介して第五配線層5eに設けられたBGA(Ball Grid Array)ランド6と接続されるほか、配線基板上部の半導体素子2と接続されている。また、第一配線層5aにはグラウンド電極7が、第四配線層5dにはグラウンド電極8がそれぞれ設けられており、両者のグラウンド電極はいずれかの配線層において接続することで同電位としている。このグラウンド電極も信号配線と同様、層間接続ビアや接続用導体3を介して半導体素子2やBGAランド6に接続されている。

40

【0034】

図3は図2のA-A'における配線基板1の断面図である。信号配線4a₁と4b₁、信号配線4a₂と4b₂、信号配線4a₃と4b₃がそれぞれ一对の差動ペアを構成している。この差動線路は、二つの信号配線が上下に隣接する配線層に配置されており、かつ水平方向に距離dずらして配置している。すなわち、信号配線4a₁と4b₁、信号配線4a₂と4b₂、信号配線4a₃と4b₃をそれぞれ距離dだけ水平方向にずらしている。そしてこれらの差動ペアを配線周期pの間隔で配置している。配線周期pというのは、同じ層における隣接差動配線との間隔であり、言い換えれば隣接差動配線との間隔と信号

50

配線幅との和である。各配線の導体厚みは t_m 、絶縁層の厚みは t_d 、各信号配線4の幅は w である。

【0035】

ここで、配線周期 p 、ずらし量 d 、配線幅(線路幅) w 、絶縁層厚み t_d は、以下の数式(4)を満たす。

【0036】

$$D = d (t_d / p^3)^{1/2} = 0.5 \quad (4)$$

規格化ずらし量 D を $0.2 < D < 1.2$ の範囲内に収めることによって、伝送損失の小さい伝送線路を提供することができる。この電気特性上の作用については、実施例を用いて後述する。

10

【0037】

次に、このパッケージ用基板の製造方法について述べる。図1の基板1は一般的に用いられている回路基板を使用する。例えば、有機材料(エポキシ、ポリイミド、フッ素樹脂、PPE樹脂、フェノール樹脂等)を使用した基板や、セラミック、ガラス、シリコン、コンジット材などの絶縁材料を用いた基板を用いることができる。各層のパターニングの形成はエッチングや印刷等の技術を用いる。また層間接続ビアは、絶縁材料にレーザー照射やドリル加工によって穴を形成し、金属ペースト充填やめっき等によって導通させることによって形成する。

【0038】

[実施例1]

20

第一の実施形態に示した配線基板1を、比誘電率 $\epsilon_r = 3.1$ 、誘電正接 $\tan \delta = 0.023$ で実現した。この数値は、プリント基板の材料として広く用いられているエポキシ系樹脂の物性値である。絶縁層厚み $t_d = 100 \mu\text{m}$ 、配線周期 $p = 100 \mu\text{m}$ の時に、配線幅 w とずらし量 d を変化させた時の差動特性インピーダンス Z_{diff} を電磁界シミュレータで計算した。この結果を図4に示す。

【0039】

図4の計算結果から分かるように、配線幅 w を固定してずらし量 d を増加させると差動特性インピーダンスは上昇し、ずらし量 d を固定して配線幅 w を増加させると差動特性インピーダンス Z_{diff} は減少する。差動ペアの差動特性インピーダンス Z_{diff} の目標値を100とする場合、配線幅 w とずらし量 d の組み合わせは表1に示すように複数の組み合わせで実現できる。

30

【0040】

【表1】

配線幅 $w[\mu\text{m}]$	33	34	38	42	46	50	55
ずらし量 $d[\mu\text{m}]$	0	20	45	63	82	105	160

【0041】

40

同様にして配線周期 p が $75 \mu\text{m}$ 、 $150 \mu\text{m}$ の場合についても、差動特性インピーダンス Z_{diff} が100になる配線幅 w とずらし量 d の組み合わせを電磁界シミュレーションによって求めた。そして、それら $Z_{diff} = 100$ になる場合の周波数10GHzにおける伝送損失をシミュレーションによって求めた。このずらし量 d と単位長さ辺りの伝送損失との関係を図5に示す。

【0042】

図5より、ずらし量 d の変化に対して伝送損失が極小点を持ち、それよりもずらし量が小さい場合でも大きい場合でも伝送損失が大きくなることが分かる。この理由に関する考察を以下に示す。

【0043】

50

図6は $p = 100 \mu\text{m}$ 、 $w = 33 \mu\text{m}$ 、 $d = 0 \mu\text{m}$ の時の磁界分布、図7は $p = 100 \mu\text{m}$ 、 $w = 46 \mu\text{m}$ 、 $d = 82 \mu\text{m}$ の時の磁界分布、図8は $p = 100 \mu\text{m}$ 、 $w = 55 \mu\text{m}$ 、 $d = 160 \mu\text{m}$ の時の磁界分布である。シミュレーション結果によると、図7の構造の時が最も伝送損失が小さい。

【0044】

図6の構造の伝送線路はずらし量 $d = 0 \mu\text{m}$ で、磁界が差動ペアを構成する2本の信号配線の間集中しており、電流は信号配線が向かい合う辺に分布している。それに対し、図7の伝送線路は信号配線の側面にも電流が分布しており、かつ図6の伝送路よりも配線幅 w が広いので、電流の通る断面積が大きくなっている。

【0045】

図8の構造の伝送線路はさらに配線幅 w とずらし量 d を大きくしている。磁界は電流が通る信号配線と隣接する信号配線との間に集中しており、差動ペアの間には磁界結合がなく、またグラウンド電極との間の電磁界結合も弱い。このことは、電流が信号配線の横の辺に集中していることを示している。この結果、電流が通る経路の断面積が小さくなり、伝送損失が大きくなっている。

【0046】

このように、配線幅とずらし量が小さい場合には、電流が差動ペアの向かい合う辺だけに集中し、かつ配線幅が小さいため、電流の通る断面積が小さくなってしまふ。逆にずらし量が配線周期や絶縁層厚みに対して大きい場合には、磁界の結合は隣接信号配線との間に集中し、電流は横の辺だけに分布してしまふ、やはり電流の通る断面積が小さくなってしまふ。このことは、電流経路の断面積は、信号配線が隣接する信号配線と結合しない範囲内でずらし量 d と配線幅 w を広げる時に最大になることを示している。すなわち、配線幅 w とずらし量 d を適切な値に設定することにより、電流が信号配線の差動ペアの向かい合う辺と横の辺両方に分布し、かつ配線幅 w をある程度大きくすることができるため、電流の通る断面積を大きくすることができる。電流経路の断面積が大きければ抵抗が小さくなり、伝送損失を小さくすることができる。

【0047】

このずらし量 d の適切な値は、図5から分かるように配線周期 p によって変化する。これは、ずらし量 d が一定でも配線周期 p が大きければ隣接信号配線との結合量が小さくなり、差動ペアの信号線路同士の結合が大きくなって電流経路の断面積が大きくなるからである。また、適切なずらし量 d は、絶縁層厚み t_d と配線周期 p の比 p/t_d によっても変化する。これは、配線周期 p に対して絶縁層厚み t_d が大きければ相対的な配線周期が小さくなり、相対的なずらし量が大きくなるからである。従って、最適なずらし量 d は、配線周期 p と、絶縁層厚み t_d と配線周期 p の比 p/t_d とに依存する。そこで、ずらし量 d を配線周期 p と $(p/t_d)^{1/2}$ で規格化した規格化ずらし量 D を、 $D = d(t_d/p^3)^{1/2}$ のように定義する。

【0048】

図9は、図5に示した伝送損失を規格化ずらし量 D に対してプロットしたグラフである。 $0.2 < D < 1.2$ の時に伝送損失が小さくなることから、規格化ずらし量 D がこの範囲内に収まるように配線周期 p 、絶縁層厚み t_d 、ずらし量 d を選択することにより、電流経路の断面積が大きく抵抗の小さい、伝送損失の小さい伝送線路を提供することができる。

【0049】

配線周期 p 、絶縁層厚み t_d 、ずらし量 d 、配線幅 w の値の例としては、 $p = 100 \mu\text{m}$ 、 $t_d = 100 \mu\text{m}$ 、 $d = 82 \mu\text{m}$ 、 $w = 46 \mu\text{m}$ とすることによって $D = 0.82$ となり、 $0.2 < D < 1.2$ の範囲に収めることができる。また、絶縁層厚みが異なる場合の例としては、 $p = 75 \mu\text{m}$ 、 $t_d = 30 \mu\text{m}$ 、 $d = 50 \mu\text{m}$ 、 $w = 20 \mu\text{m}$ とすることによって $D = 0.42$ となり、上記の範囲に収めることができる。これらの値の時に、伝送損失が極小となっている。

【0050】

10

20

30

40

50

[実施例 2]

第一の実施形態に示した配線基板 1 を別の絶縁樹脂で実現した例として、比誘電率 $\epsilon_r = 4.0$ 、誘電正接 $\tan \delta = 0.006$ で実現した。この数値は、プリント基板の低損失材料として広く用いられているポリフェニレンエーテル (PPE) の物性値である。

【 0051 】

絶縁層厚み $t_d = 100 \mu\text{m}$ とし、配線周期 $p = 75 \mu\text{m}$ 、 $100 \mu\text{m}$ 、 $150 \mu\text{m}$ 、 $200 \mu\text{m}$ それぞれの場合の差動特性インピーダンス $Z_{diff} = 100$ となる配線幅 w とずらし量 d の組み合わせを電磁界シミュレーションによって求め、その際の伝送損失を計算した。

【 0052 】

規格化ずらし量 D に対する単位長さ辺りの伝送損失 を図 10 に示す。この結果から、規格化ずらし量 D が $0.2 < D < 1.2$ の範囲内にある時に伝送損失が小さくなっていることが分かる。このことは、絶縁材料の比誘電率が変わっても最適な規格化ずらし量は変わらない、ということを示している。配線周期 p 、絶縁層厚み t_d 、ずらし量 d 、配線幅 w の値の例としては、 $p = 150 \mu\text{m}$ 、 $t_d = 100 \mu\text{m}$ 、 $d = 152 \mu\text{m}$ 、 $w = 65 \mu\text{m}$ とすることによって $D = 0.83$ となり、 $0.2 < D < 1.2$ の範囲に収めることができる。この時に、伝送損失の小さい伝送線路を実現することができる。

【 0053 】

[実施例 3]

第一の実施形態に示した配線基板 1 を別の絶縁樹脂で実現した例として、比誘電率 $\epsilon_r = 2.0$ 、誘電正接 $\tan \delta = 0.0005$ で実現した。この数値は、フッ素樹脂材料として知られるテトラフルオロエチレン・ヘキサフルオロプロピレン共重合体 (FEP) の物性値である。

【 0054 】

絶縁層厚みを実施例 1、実施例 2 とは異なる $t_d = 30 \mu\text{m}$ とし、配線周期 $p = 50 \mu\text{m}$ 、 $75 \mu\text{m}$ 、 $100 \mu\text{m}$ の時に、差動特性インピーダンス $Z_{diff} = 100$ となる配線幅 w とずらし量 d の組み合わせを電磁界シミュレーションによって求め、その際の伝送損失を計算した。

【 0055 】

規格化ずらし量 D に対する単位長さ辺りの伝送損失 を図 11 に示す。この結果から、規格化ずらし量が $0.2 < D < 1.2$ の範囲内にある時に伝送損失 が小さくなっていることが分かる。配線周期 p 、絶縁層厚み t_d 、ずらし量 d 、配線幅 w の値の例としては、 $p = 100 \mu\text{m}$ 、 $t_d = 30 \mu\text{m}$ 、 $d = 90 \mu\text{m}$ 、 $w = 40 \mu\text{m}$ とすることによって $D = 0.83$ となり、 $0.2 < D < 1.2$ の範囲に収めることができる。この時、伝送損失の小さい伝送線路を実現することができる。

【 0056 】

[第二の実施形態]

次に、本発明の第二の実施形態について図面を参照して説明する。

【 0057 】

図 12 は図 1 に示す半導体装置の上面図であり、図 2 に示した各配線層の導体のうち信号配線 4 だけを示している。半導体素子 2 と接続された信号配線群 4 は半導体素子 2 を中心に放射状に広がっており、半導体素子 2 に近い領域では配線が密に配置されているが、半導体素子 2 から離れるに従って信号線路間の間隔が広がっていることが本実施形態の特徴である。

【 0058 】

図 13 (a)、図 13 (b) は、それぞれ図 12 における B - B'、C - C' での配線基板 1 の断面図である。信号配線 4 a₁ と 4 b₁、信号配線 4 a₂ と 4 b₂、信号配線 4 a₃ と 4 b₃ がそれぞれ一对の差動線路を構成している。この差動線路は、二つの信号配線が上下に隣接する配線層に配置されており、かつ水平方向にずらして配置している。各配線の導体厚みは t_m 、絶縁層の厚みは t_d 、信号配線 4 の幅は w で一定である。

10

20

30

40

50

【 0 0 5 9 】

断面 B - B' においては、差動線路間を p_a の周期で配置し、差動線路を構成する二つの信号配線は水平方向に d_a の距離ずらして配置している。すなわち、信号配線 $4a_1$ と $4b_1$ 、信号配線 $4a_2$ と $4b_2$ 、信号配線 $4a_3$ と $4b_3$ をそれぞれ距離 d_a だけ水平方向にずらしている。これに対し断面 C - C' においては、差動線路間を p_b の周期で配置し、差動線路を構成する二つの信号配線を水平方向に距離 d_b だけずらしている。ここで、 $d_a > d_b$ 、 $p_a < p_b$ である。

【 0 0 6 0 】

一般に線路の特性インピーダンス Z は、信号線路のインダクタンス L と線路が周囲の導体との間に有するキャパシタンスを C とすると、以下の数式 (5) によって表現される。

【 0 0 6 1 】

$$Z = (L / C)^{1 / 2} \quad (5)$$

ここで、インダクタンス L とキャパシタンス C は、配線幅 w 、差動内線路間隔 d 、絶縁層厚み t_d 、導体厚み t_m 、絶縁層の誘電率、周辺の導体との距離によって変化する。この実施形態は半導体素子 2 から離れるに従って差動線路の周期 p が大きくなるのが特徴であるが、周期 p が増加するに従って線路のずらし量 d を減少させることにより差動特性インピーダンスを一定に保っている。

【 0 0 6 2 】

このように、差動特性インピーダンスを一定に保ちつつ配線周期を変化させることによって、半導体素子に近い領域では高密度に配線を行い、半導体素子から遠い領域では伝送損失の小さい差動伝送線路を提供することができる。そして、差動特性インピーダンスを一定に保っているため、不要な反射のない伝送線路を提供できる。配線周期が大きいと伝送損失が小さくなる理由については、実施例 4 で説明する。

【 0 0 6 3 】

[実施例 4]

第二の実施形態に示した配線基板 1 を比誘電率 $\epsilon_r = 3.1$ 、誘電正接 $\tan \delta = 0.023$ の樹脂基板で実現した。これは実施例 1 の基板と同一の物性値である。絶縁層厚み t_d を $100 \mu\text{m}$ とし、配線周期 p を $75 \mu\text{m}$ 、 $100 \mu\text{m}$ 、 $150 \mu\text{m}$ とし、差動特性インピーダンスが 100Ω となる配線幅 w とずらし量 d を電磁界シミュレーションによって求めた。それらの場合の伝送損失 α を配線幅 w に対してプロットした結果を図 14 に示す。配線幅 w が一定でも配線周期 p を大きくすることにより伝送損失 α が減少することが分かる。

【 0 0 6 4 】

今、配線幅 w を $35 \mu\text{m}$ で一定とし、図 13 (a) の半導体素子に近い領域の配線周期 p_a を $75 \mu\text{m}$ 、ずらし量 d_a を $37 \mu\text{m}$ とし、図 13 (b) の半導体素子から遠い領域の配線周期 p_b を $25 \mu\text{m}$ 、ずらし量 d_b を $25 \mu\text{m}$ とする伝送路を構成した。電磁界シミュレーションによって求めた $(p, d) = (75 \mu\text{m}, 37 \mu\text{m})$ の時の伝送損失 α は 0.741 dB 、 $(p, d) = (150 \mu\text{m}, 25 \mu\text{m})$ の時の伝送損失 α は 0.707 dB であり、配線周期の大きい $(p, d) = (150 \mu\text{m}, 25 \mu\text{m})$ の時の方が伝送損失は小さかった。

【 0 0 6 5 】

それぞれの断面における磁界分布と伝送損失を電磁界シミュレーションによって求めた。図 15 は $p_a = 75 \mu\text{m}$ の断面の磁界分布、図 16 は $p_a = 150 \mu\text{m}$ の断面の磁界分布である。配線周期 p が大きい場合 (図 16) には磁界が差動ペアの間に集中して分布し、隣接配線との間には磁界結合が見られない。一方、配線周期 p が小さい場合 (図 15) には隣接配線との間にも磁界結合がみられる。このように、配線周期 p を大きくすることによって、隣接配線との間の磁界結合を弱くすることができ、それによって伝送損失の小さい差動伝送線路を提供することができる。

【 0 0 6 6 】

[第三の実施形態]

10

20

30

40

50

次に、第三の実施形態について図面を参照して説明する。

【0067】

図17(a)、図17(b)は、それぞれ図12におけるB-B'、C-C'での配線基板1の断面図である。第二の実施形態と同様、信号配線9a₁と9b₁、信号配線9a₂と9b₂、信号配線9a₃と9b₃がそれぞれ一对の差動線路を構成している。断面B-B'における差動線路のずらし量をd_{a2}、配線幅をw_{a2}、差動線路間周期をp_{a2}とし、断面C-C'における差動線路のずらし量をd_{b2}、配線幅をw_{b2}、差動線路間周期をp_{b2}とする。ここで、d_{a2} > d_{b2}、p_{a2} < p_{b2}、w_{a2} < w_{b2}である。第二の実施形態と異なる点は、半導体素子2から離れるに従って配線幅が広がっている点である。尚、ここではd_{a2} > d_{b2}としているが、d_{a2}とd_{b2}の関係は配線周期p、配線幅wによって変化するので、d_{a2} < d_{b2}となる場合もある。

10

【0068】

図14から分かるように、配線周期pと配線幅wを適切に広げれば伝送損失を小さくすることができる。伝送損失は配線幅wの変化に対して極小点を持つので、規格化ずらし量Dが0.2 < D < 1.2になる範囲で配線幅wを広げることが望ましい。

【0069】

図18は信号配線9a₁、9a₂、9a₃を上から見た図であり、半導体素子2から離れるに従って連続的に配線幅を広げている。また図19に示すように、各信号配線の配線幅を段階的に広げてよい。

【0070】

このように、半導体素子から離れるに従って複数の信号配線の配線周期と配線幅を広げることによって、半導体素子に近い領域では高密度に配線を行い、半導体素子から遠い領域では伝送損失の小さい差動伝送線路を提供することができる。そして、差動特性インピーダンスを一定に保っているため、不要な反射のない伝送線路を提供できる。

20

【0071】

[実施例5]

第三の実施形態に示した配線基板1を比誘電率 $\epsilon_r = 3.1$ 、誘電正接 $\tan \delta = 0.023$ の樹脂基板で実現した。これは実施例1の基板と同一の物性値である。絶縁層厚み $t_d = 30 \mu\text{m}$ とし、図17(a)の半導体素子に近い領域では(p, w, d) = (50, 20, 60)、図17(b)の半導体素子から遠い領域では(p, w, d) = (75, 25, 80)とした。電磁界シミュレーションによって求めた(p, w, d) = (50, 20, 60)の時の伝送損失は0.94 dB、(p, w, d) = (75, 25, 80)の時の伝送損失は0.87 dBであり、配線幅と配線周期の広い場合の方が伝送損失は小さくなった。

30

【0072】

[第四の実施形態]

次に、本発明の第四の実施形態について説明する。図20は本実施形態の半導体装置の上面図である。多層の配線基板11の上部中央に半導体素子10が実装されており、配線基板11に設けられた信号配線が半導体素子10から放射状に広がっている。配線基板11は正方形であり、一部の信号配線12はその正方形の各辺の中央部に向かって引き回され、別の信号配線13は正方形の角に向かって引き回されている。従って、信号配線13の方が信号配線12よりも配線長が長い。伝送線路の構造が同一の場合、信号配線の配線長が長くなると伝送損失が大きくなるが、本実施形態の配線基板は下記の構造をとることによって信号配線12と信号配線13の伝送損失をほぼ等しい値にしている。

40

【0073】

図21は図20の曲線D-D'における断面図である。図21(a)は信号配線12付近の断面図であり、図21(b)は信号配線13付近の断面図である。なお、曲線D-D'上の各点は半導体素子10からの配線長が等しい。図21において、信号配線12の配線幅、差動配線間周期、ずらし量をそれぞれw_{D1}、p_{D1}、d_{D1}とし、また信号配線13の配線幅、差動配線間周期、ずらし量をそれぞれw_{D2}、p_{D2}、d_{D2}とする。

【0074】

50

曲線 D - D' 上の点は半導体素子 10 からの配線長が等しいが、ここでは信号配線 12 と 13 の配線幅、差動配線間周期を同一とはせず、 $p_{D1} < p_{D2}$ 、 $w_{D1} < w_{D2}$ とし、差動特性インピーダンスを 100 にするためにずらし量を調整し、 $d_{D1} < d_{D2}$ としている。

【0075】

このように、基板内に配線長の長い信号配線と短い信号配線が存在する場合、配線長の長い信号配線の差動配線間周期と配線幅を広くすることにより、配線長の長い信号配線の単位長さ辺りの伝送損失を小さくすることができる。従って、長い信号配線の配線全体の伝送損失を、配線長の短い信号配線の全体の伝送損失とほぼ等しくすることができる。

【0076】

[第五の実施形態]

次に、本発明の第五の実施形態について説明する。図 22 は本実施形態の半導体装置の断面図である。多層の配線基板 14 の上面中央に半導体素子 10 が、上面端部には半導体モジュール 17 がそれぞれ実装されている。配線基板 14 は上から順に第一～第五の配線層 14a、14b、14c、14d、14e からなり、第二配線層 14b に信号配線 15 が、第三配線層 14c に信号配線 16 がそれぞれ形成され、半導体素子 10 と半導体モジュール 17 とを接続している。信号配線 15 と 16 が一組でダイアゴナル配線を形成している。

【0077】

図 23 は本実施形態の半導体装置の上面図である。配線基板 14 の上面中央に半導体素子 10 が実装され、その周囲に複数の半導体モジュール 17 (例えば 17a、17b) が配置されている。半導体素子 10 から信号配線が放射状に広がっており、半導体モジュール 17 との間で高速信号を伝送している。配線基板 14 は正方形に近い形状をしており、正方形の角に近い位置に実装された半導体モジュール 17b と半導体素子 10 との距離は比較的長く、正方形の各辺の中央に近い位置に実装された半導体モジュール 17a と半導体素子 10 との距離は比較的短い。そして、半導体モジュール 17a と接続される信号配線の配線周期は、半導体モジュール 17b と接続される信号配線の配線周期よりも狭くなっている。

【0078】

図 24 は図 23 の曲線 E - E' における配線基板の断面図である。曲線 E - E' 上の各点は、半導体素子 10 からの配線長が等しい。図 24(a) は半導体モジュール 17a と接続される信号配線 15a、16a の断面図であり、図 25(b) は半導体モジュール 17b と接続される信号配線 15b、16b の断面図である。信号配線 15a、16a の配線幅、ずらし量、配線周期をそれぞれ w_{Ea} 、 d_{Ea} 、 p_{Ea} とし、信号配線 15b、16b の配線幅、ずらし量、配線周期をそれぞれ w_{Eb} 、 d_{Eb} 、 p_{Eb} とする。ここで、差動ペア(a15a、16a)と(a15b、16b)の配線幅、差動配線周期を同一とはせず、 $p_{Ea} < p_{Eb}$ 、 $w_{Ea} < w_{Eb}$ とし、差動特性インピーダンスを 100 にするためにずらし量を調整し、 $d_{Ea} < d_{Eb}$ としている。この結果、差動ペア(a15a、16a)は差動ペア(a15b、16b)と比較して、配線長が短く、単位長さ辺りの伝送損失が大きい。

【0079】

このように、配線基板 14 上に半導体素子 10 と複数の半導体モジュール 17 を実装し、それぞれの半導体モジュールから半導体素子 10 までの距離が異なる場合、半導体素子 10 から遠い半導体モジュールと接続する信号配線の差動配線間周期と配線幅を広くして単位長さ辺りの伝送損失を小さくすることにより、配線長が長いことによる伝送損失の増大を相殺することができ、信号配線全体の伝送損失を等しくすることができる。その結果、信号配線の伝送損失を予備補償するプリエンファシスのような波形補正機能が半導体素子 10 に搭載されている場合、全ての信号配線に対するプリエンファシスの設定を単一にしても、全ての信号配線に対して最適な波形補正を施すことができる。

【0080】

10

20

30

40

50

半導体モジュール 17 の例としては、LSI などの半導体素子、半導体素子を基板に実装した半導体パッケージ、光電気変換素子を基板上に実装した光モジュールなどが挙げられる。

【図面の簡単な説明】

【0081】

【図1】図1は、本発明の第一の実施形態による半導体装置の斜視図である。

【図2】図2は、図1の半導体装置の断面図である。

【図3】図3は、図2の配線基板のA-A'による断面図である。

【図4】図4は、第一の実施形態において実施例1の配線基板の材料を用いたダイアゴナル線路のずらし量と差動特性インピーダンスの関係を示すグラフ図である。

10

【図5】図5は、実施例1の配線基板の材料を用いたダイアゴナル線路の差動特性インピーダンス100におけるずらし量と伝送損失との関係を示すグラフ図である。

【図6】図6は、実施例1の配線基板の材料を用いたダイアゴナル線路の $p = 100 \mu\text{m}$ 、 $w = 33 \mu\text{m}$ 、 $d = 0 \mu\text{m}$ の時の磁界分布を示した図である。

【図7】図7は、実施例1の配線基板の材料を用いたダイアゴナル線路の $p = 100 \mu\text{m}$ 、 $w = 46 \mu\text{m}$ 、 $d = 82 \mu\text{m}$ の時の磁界分布を示した図である。

【図8】図8は、実施例1の配線基板の材料を用いたダイアゴナル線路の $p = 100 \mu\text{m}$ 、 $w = 55 \mu\text{m}$ 、 $d = 160 \mu\text{m}$ の時の磁界分布を示した図である。

【図9】図9は、実施例1の配線基板の材料を用いたダイアゴナル線路の差動特性インピーダンス100における規格化ずらし量と伝送損失との関係を示すグラフ図である。

20

【図10】図10は、実施例2の配線基板の材料を用いたダイアゴナル線路の差動特性インピーダンス100における規格化ずらし量と伝送損失との関係を示すグラフ図である。

【図11】図11は、実施例3の配線基板の材料を用いたダイアゴナル線路の差動特性インピーダンス100における規格化ずらし量と伝送損失との関係を示すグラフ図である。

【図12】図12は、第二の実施形態による半導体装置の上面図である。

【図13】図13(a)、(b)は、第二の実施形態における図12の配線基板のB-B'、C-C'における断面図である。

【図14】図14は、実施例4の配線基板を用いたダイアゴナル線路の配線幅と伝送損失との関係を示すグラフ図である。

30

【図15】図15は、図13(a)の断面における磁界分布を示した図である。

【図16】図16は、図13(b)の断面における磁界分布を示した図である。

【図17】図17(a)、(b)は、第三の実施形態の図12におけるB-B'、C-C'での配線基板の断面図である。

【図18】図18は、第三の実施形態による配線基板の伝送線路の一例を部分的に示す上面図である。

【図19】図19は、第三の実施形態による配線基板の伝送線路の別の例を部分的に示す上面図である。

【図20】図20は、第四の実施形態による半導体装置の上面図である。

40

【図21】図21(a)、(b)は、図20の配線基板のD-D'における断面図である。

【図22】図22は、第五の実施形態による半導体装置の断面図である。

【図23】図23は、第五の実施形態による半導体装置の上面図である。

【図24】図24(a)、(b)は、図23の配線基板のE-E'における断面図である。

【図25】従来の代表的な差動伝送線路構造の断面図である。

【符号の説明】

【0082】

1、11、14:配線基板

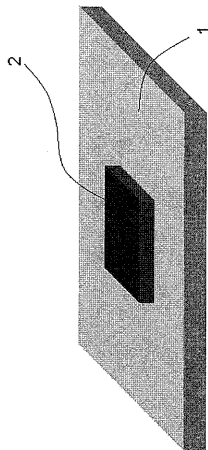
50

- 1 a : 第一の絶縁層
- 1 b : 第二の絶縁層
- 1 c : 第三の絶縁層
- 1 d : 第四の絶縁層
- 2、10 : 半導体素子
- 3 : 接続用導体
- 4 a₁、4 a₂、4 a₃、9 a₁、9 a₂、9 a₃ : 第二配線層の信号配線
- 4 b₁、4 b₂、4 b₃、9 b₁、9 b₂、9 b₃ : 第三配線層の信号配線
- 5 a、14 a : 第一配線層
- 5 b、14 b : 第二配線層
- 5 c、14 c : 第三配線層
- 5 d、14 d : 第四配線層
- 5 e、14 e : 第五配線層
- 6 : BGAランド
- 7、8 : グラウンド電極
- 12 : 配線長の短い信号配線
- 13 : 配線長の長い信号配線
- 15 : 第二配線層の信号配線
- 16 : 第三配線層の信号配線
- 17 : 半導体モジュール

10

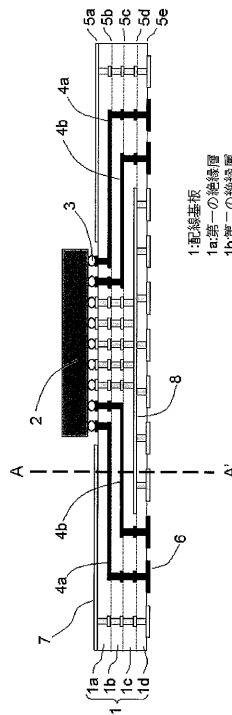
20

【 図 1 】



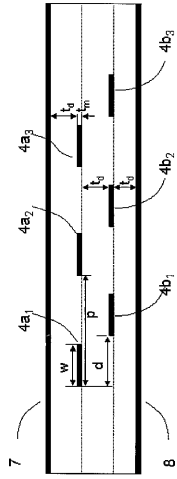
1: 配線基板
2: 半導体素子

【 図 2 】



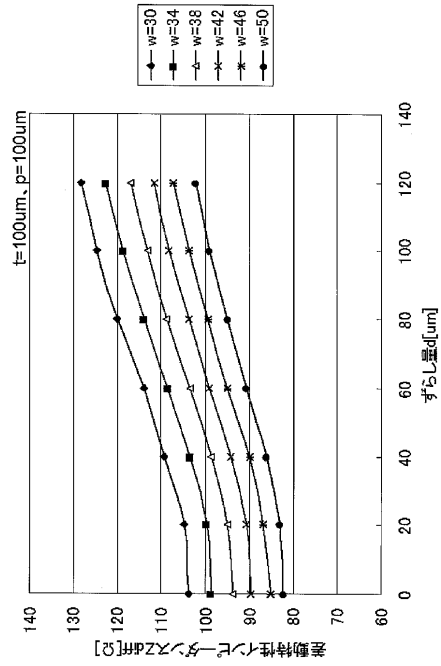
1: 配線基板
1a: 第一の絶縁層
1b: 第二の絶縁層
1c: 第三の絶縁層
1d: 第四の絶縁層
2: 半導体素子
3: 接続用導体
4a、4b: 信号配線
5a: 第一配線層
5b: 第二配線層
5c: 第三配線層
5d: 第四配線層
5e: 第五配線層
6: BGAランド
7: グラウンド電極
8: グラウンド電極

【 図 3 】

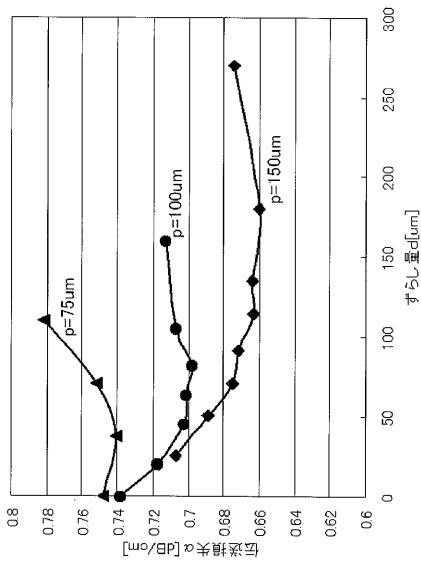


4a₁, 4a₂, 4a₃ : 第二配線層の信号配線
 4b₁, 4b₂, 4b₃ : 第三配線層の信号配線

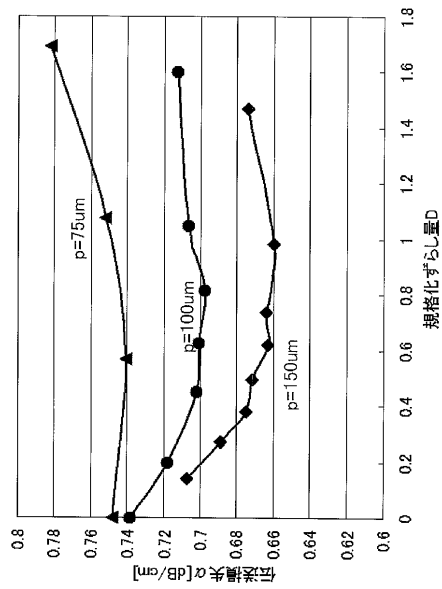
【 図 4 】



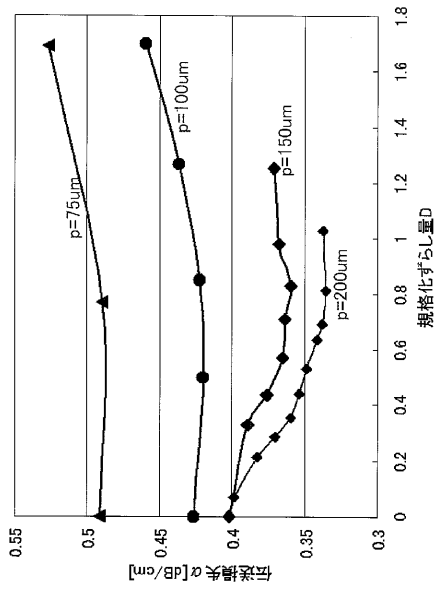
【 図 5 】



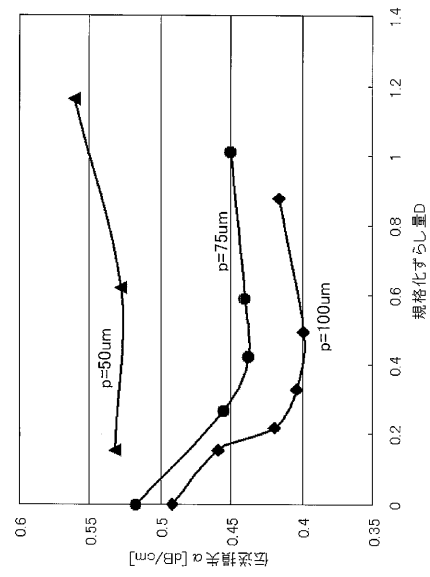
【 図 9 】



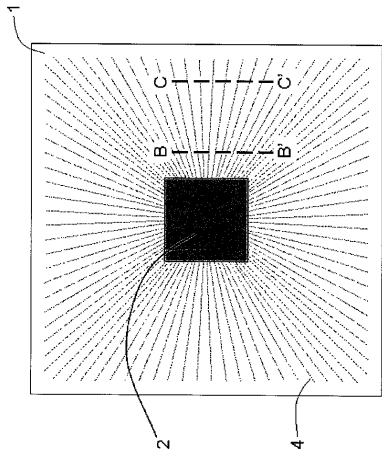
【図 10】



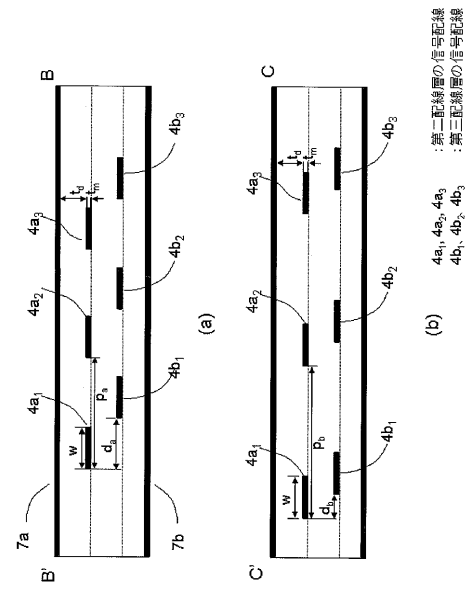
【図 11】



【図 12】

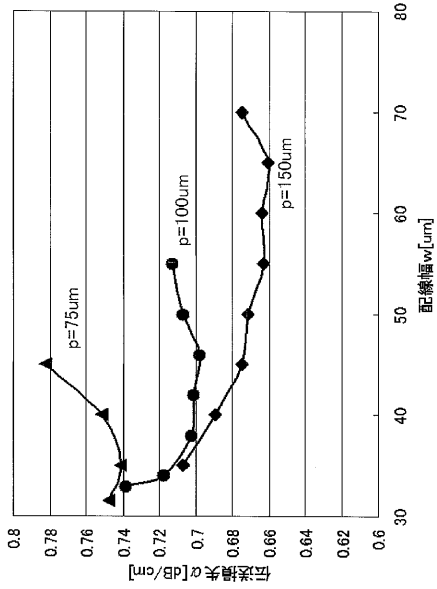


【図 13】

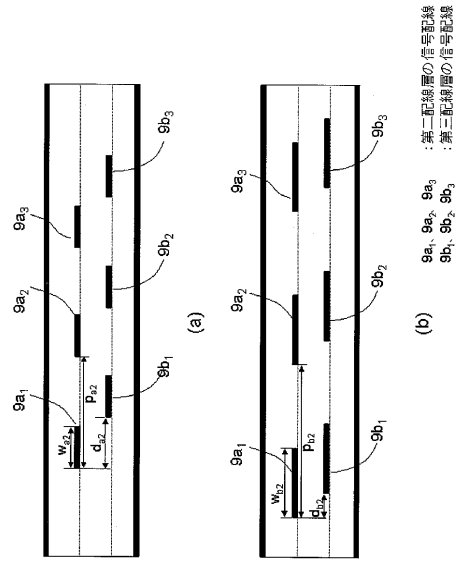


(b) 4a₁, 4a₂, 4a₃ : 第二配線層の信号配線
 4b₁, 4b₂, 4b₃ : 第三配線層の信号配線

【 図 1 4 】



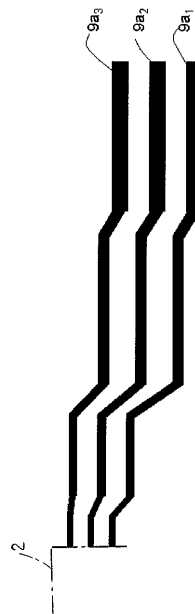
【 図 1 7 】



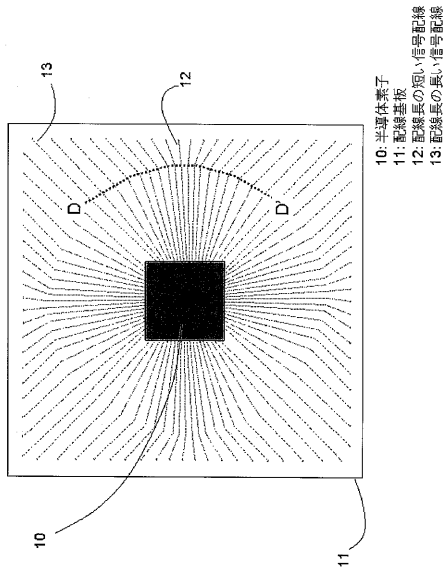
【 図 1 8 】



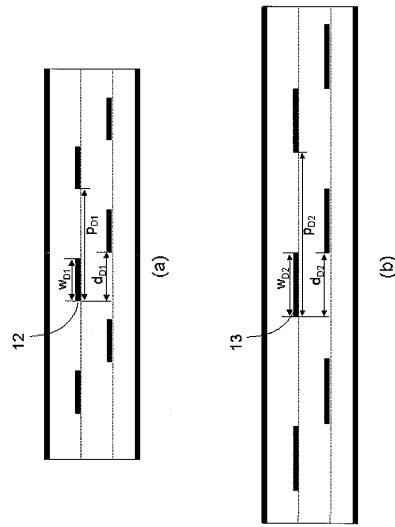
【 図 1 9 】



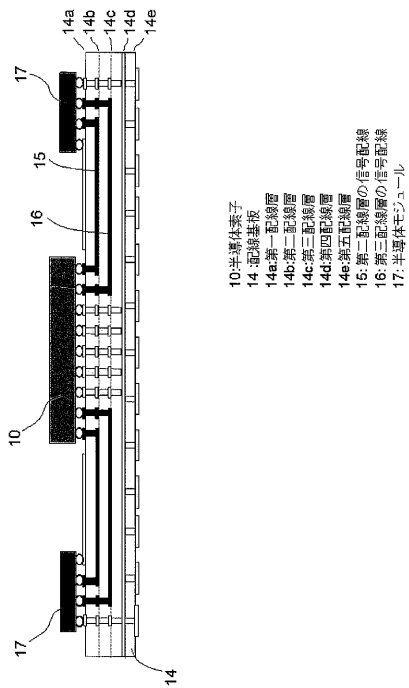
【図 20】



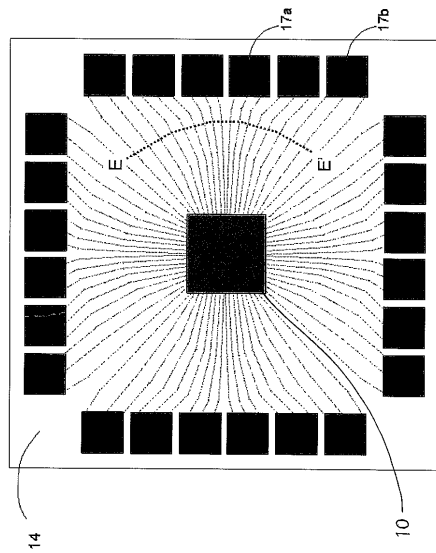
【図 21】



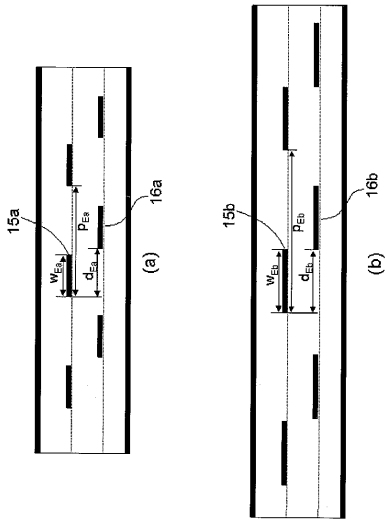
【図 22】



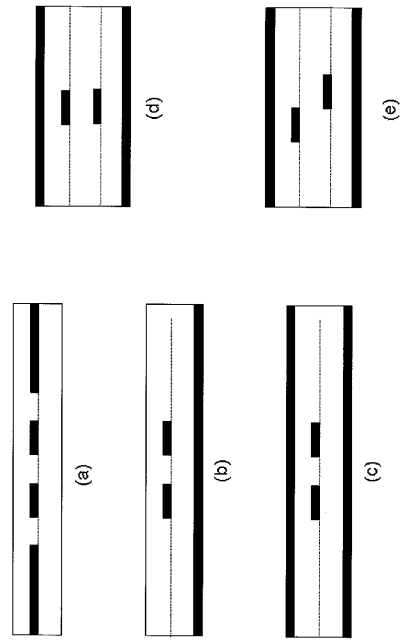
【図 23】



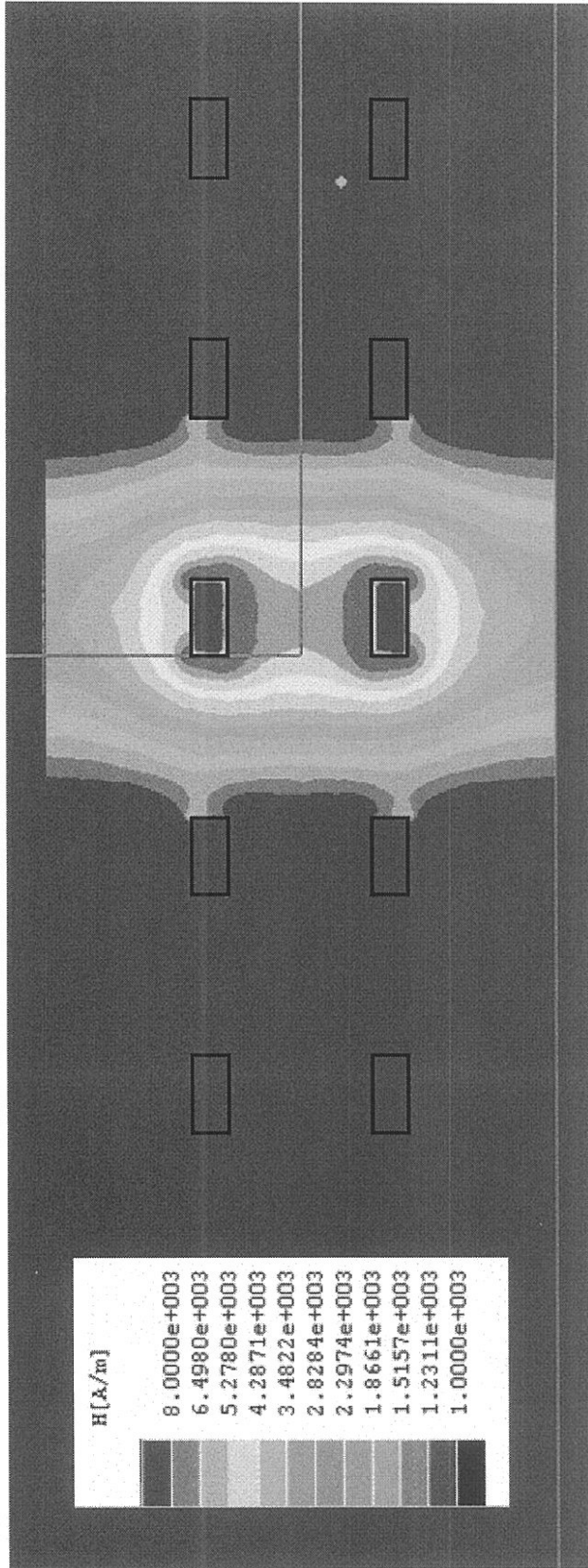
【 図 2 4 】



【 図 2 5 】

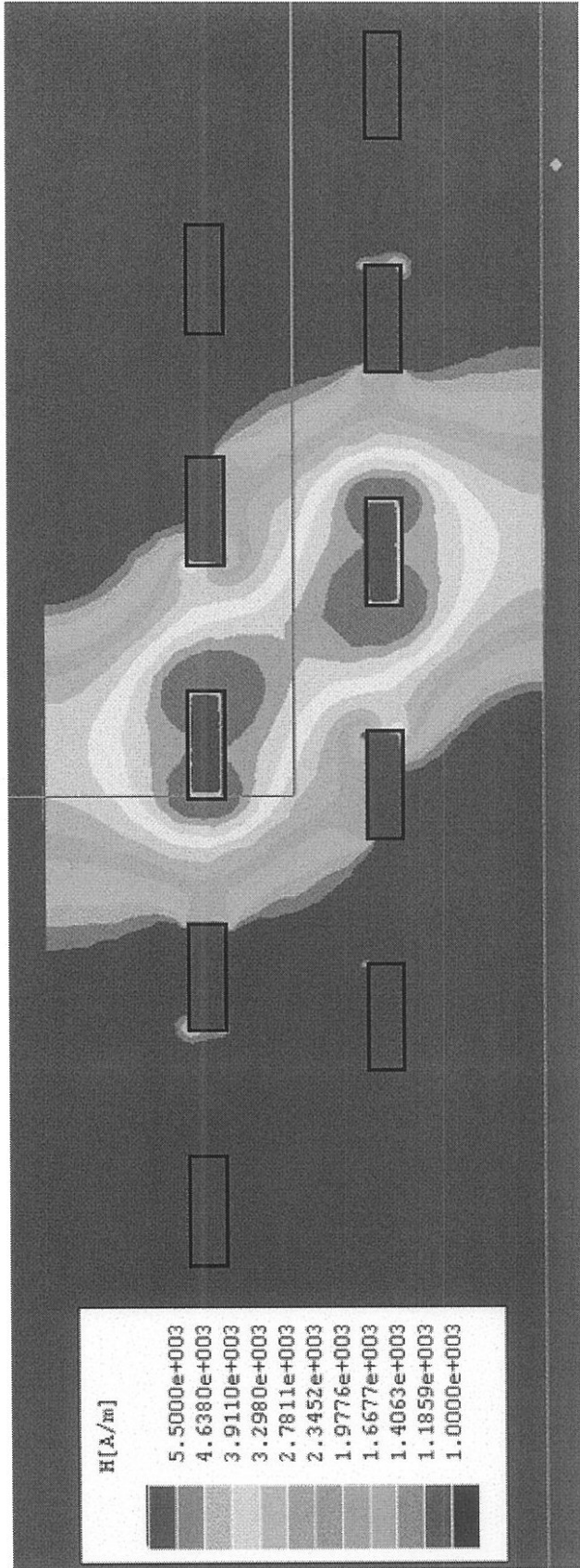


【 図 6 】

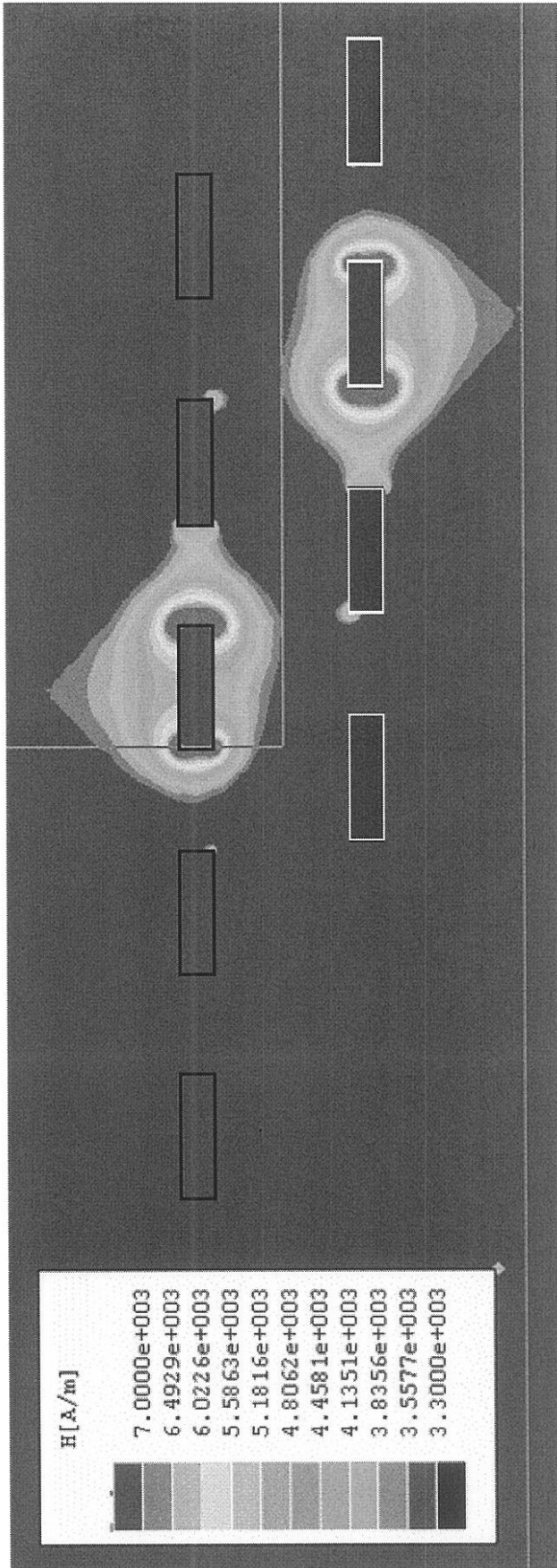


$p=100\text{um}$ 、 $w=33\text{um}$ 、 $d=0\text{um}$

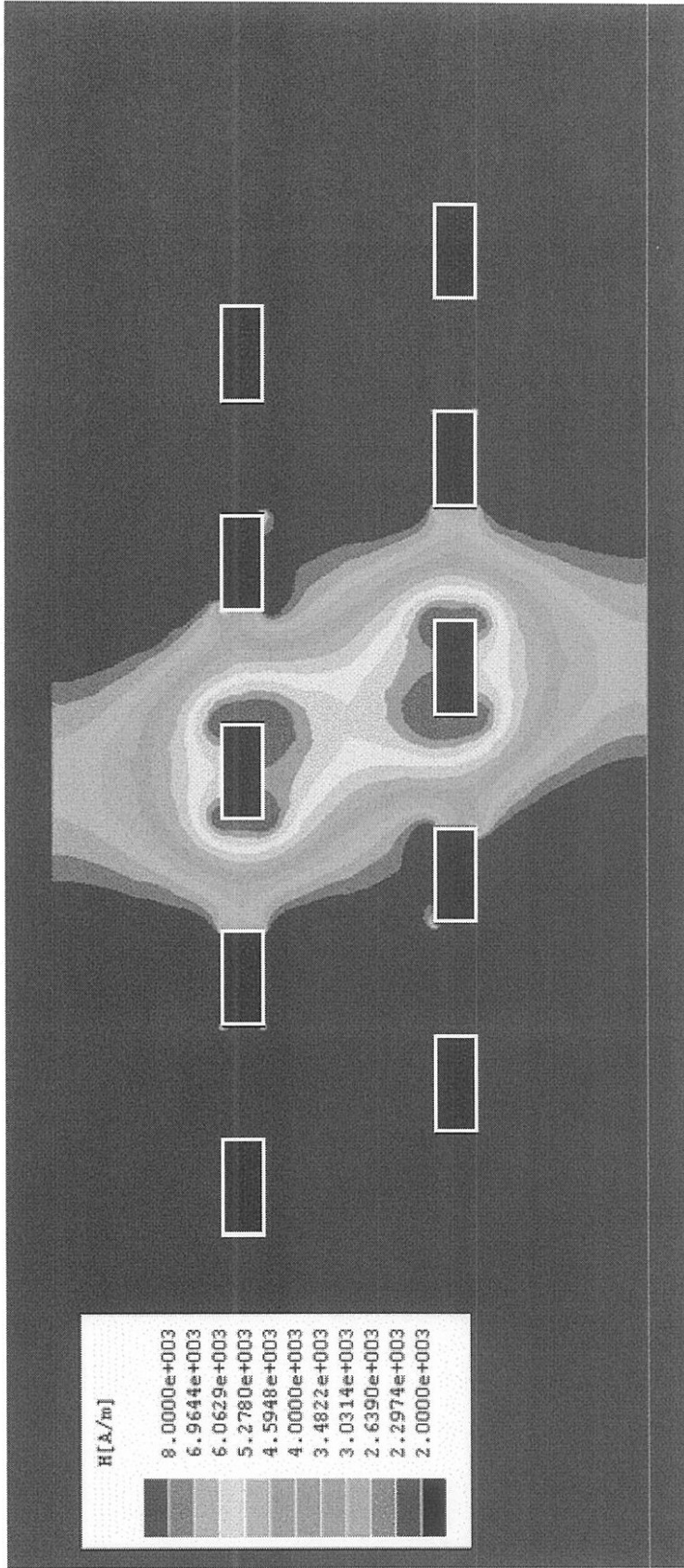
【 図 7 】



【 図 8 】

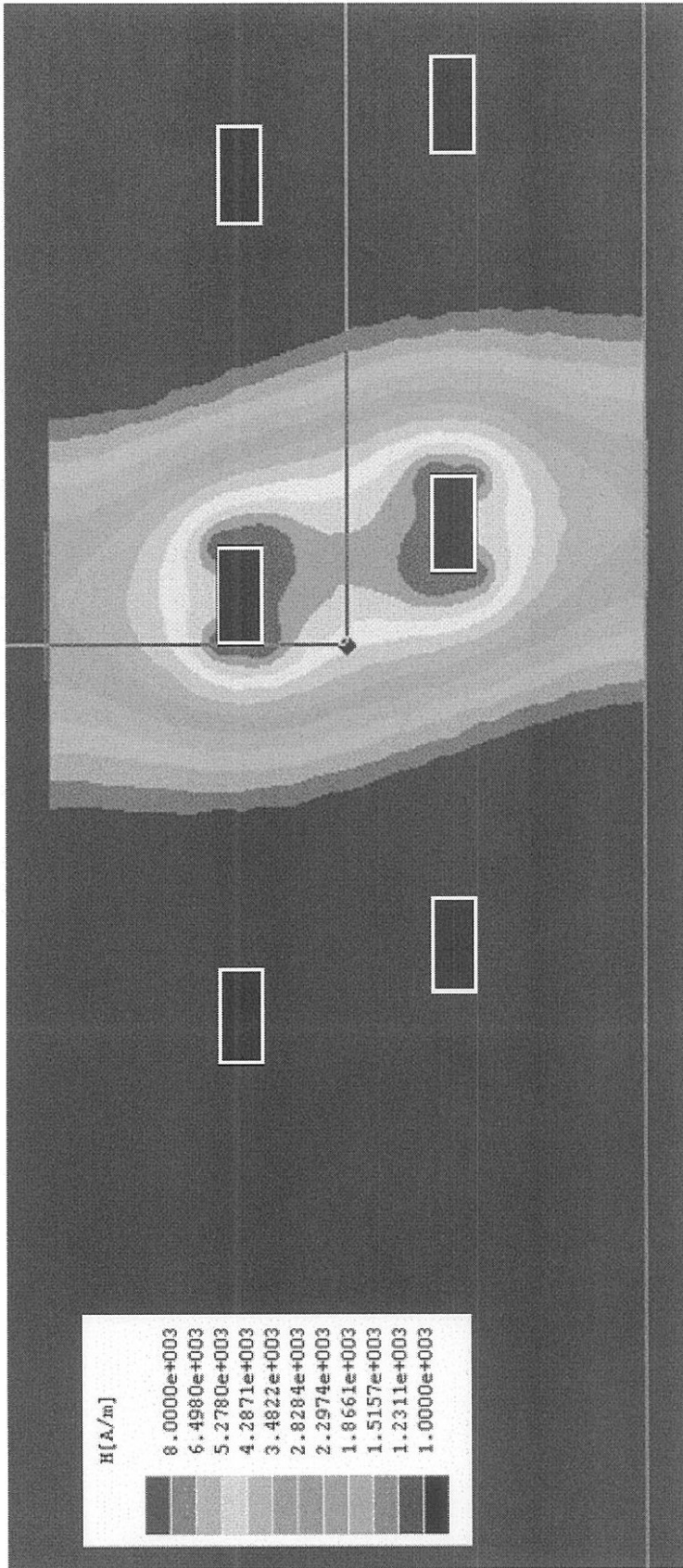


【 図 1 5 】



p=75um、w=35um、d=37um

【 図 16 】



フロントページの続き

- (72)発明者 古宇田 光
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 益 一哉
東京都目黒区大岡山二丁目12番1号 国立大学法人東京工業大学内
- (72)発明者 岡田 健一
東京都目黒区大岡山二丁目12番1号 国立大学法人東京工業大学内
- (72)発明者 木村 実人
東京都目黒区大岡山二丁目12番1号 国立大学法人東京工業大学内