



(12)发明专利申请

(10)申请公布号 CN 111490679 A

(43)申请公布日 2020.08.04

(21)申请号 202010468360.X

(22)申请日 2020.05.28

(71)申请人 上海灿瑞科技股份有限公司
地址 200081 上海市静安区延长路149号科技楼308室

申请人 深圳灿鼎微电子有限公司

(72)发明人 不公告发明人

(74)专利代理机构 上海智信专利代理有限公司
31002

代理人 邓琪

(51)Int.Cl.

H02M 3/156(2006.01)

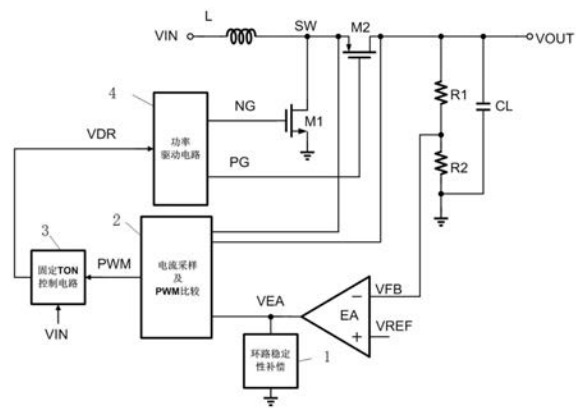
权利要求书2页 说明书7页 附图3页

(54)发明名称

一种升压DC-DC控制电路

(57)摘要

本发明提供一种升压DC-DC控制电路,包括:同步管,其源极通过储能电感与电压输入端连接,漏极与电压输出端连接;开关管,漏极和源极并联于同步管的源极和地;两个分压电阻串联于电压输出端和地,且输出采样电压;误差放大器对采样电压和第一基准电压进行比较放大以产生直流控制信号;电流采样及PWM比较电路采样同步管的工作电流,根据工作电流和直流控制信号产生PWM信号;和功率驱动电路,其控制开关管和同步管交替导通。本发明通过电流采样及PWM比较电路实现对同步管的电流采样,并将采样信号与误差放大器输出VEA比较产生PWM控制信号,以将电流采样电路和PWM比较器电路整合在一起,降低了控制电路的直流消耗。



1. 一种升压DC-DC控制电路,其特征在于,包括:

同步PMOS管(M2),其源极通过一储能电感(L)与一电压输入端(VIN)连接,其漏极与一电压输出端(VOUT)连接;

开关NMOS管(M1),其漏极和源极并联于所述同步PMOS管(M2)的源极和地之间;

第一分压电阻(R1)与第二分压电阻(R2),串联于所述电压输出端(VOUT)和地之间,且第一分压电阻(R1)与第二分压电阻(R2)之间输出一采样电压(VFB);

误差放大器(EA)设置为对所述采样电压(VFB)和一第一基准电压(VREF)进行比较放大以在其输出端产生一直流控制信号(VEA);

电流采样及PWM比较电路(2),其第一输入端连接所述误差放大器(EA)的输出端,第一输入端和第二输入端分别连接同步PMOS管(M2)的源极(SW)和电压输出端(VOUT),设置为在同步PMOS管(M2)开启期间采样同步PMOS管(M2)的工作电流,并根据同步PMOS管(M2)的工作电流和直流控制信号(VEA)产生一PWM信号;以及

功率驱动电路(4),其输入端与所述电流采样及PWM比较电路(2)的输出端连接,第一输出端连接开关NMOS管(M1)的栅极,第二输出端连接同步PMOS管(M2)的栅极,以控制开关NMOS管(M1)和同步PMOS管(M2)交替导通。

2. 根据权利要求1所述的升压DC-DC控制电路,其特征在于,所述电流采样及PWM比较电路(2)包括依次连接的第一比较器(101)和第一施密特反相器(102)、漏极与第一比较器(101)的同相输入端连接的第一NMOS管(M101)和第一PMOS管(M103),以及漏极与第一比较器(101)的反相输入端连接的第二NMOS管(M102);其中,第一NMOS管(M101)的栅极与第二NMOS管(M102)的栅极短接且为电流采样及PWM比较电路(2)的第一输入端,第一NMOS管(M101)的源极与第二NMOS管(M102)的源极分别通过一第一电阻(R101)和一第二电阻(R102)接地;第一PMOS管(M103)的漏极和第一比较器(101)的同相输入端直接设有一第三电阻(R103),第一PMOS管(M103)的栅极接地,第一PMOS管(M103)的源极为电流采样及PWM比较电路(2)的第二输入端;第一比较器(101)的反相输入端通过一第四电阻(R104)与所述电压输出端(VOUT)连接,且第四电阻(R104)与所述电压输出端(VOUT)的连接点为所述第三输出端。

3. 根据权利要求1所述的升压DC-DC控制电路,其特征在于,所述电流采样及PWM比较电路(2)和所述功率驱动电路(4)通过一固定TON控制电路(3)连接,该固定TON控制电路(3)的输入端与电流采样及PWM比较电路(2)的输出端连接,其输出端与功率驱动电路(4)的输入端连接,设置为根据PWM信号和所述电压输入端(VIN)的输入电压在其输出端产生一占空比大小控制信号(VDR)。

4. 根据权利要求3所述的升压DC-DC控制电路,其特征在于,所述占空比大小控制信号(VDR)为一个方波信号,可分为导通时间和关断时间,导通时间仅仅受电压输入端(VIN)的输入电压控制且与PWM信号无关,关断时间受PWM信号控制。

5. 根据权利要求4所述的升压DC-DC控制电路,其特征在于,在占空比大小控制信号(VDR)的导通时间,所述开关NMOS管(M1)开启,所述同步PMOS管(M2)关闭,所述储能电感(L)储能;在占空比大小控制信号(VDR)的关断时间,所述开关NMOS管(M1)关闭,所述同步PMOS管(M2)开启,所述储能电感(L)向所述电压输出端(VOUT)负载放电。

6. 根据权利要求3所述的升压DC-DC控制电路,其特征在于,所述固定TON控制电路(3)

包括运算放大器(201)、第二比较器(202)、SR触发器(203)、第二施密特反相器(204)、第五电阻(R201)、第六电阻(R202)、第七电阻(R203)、充电电容(C201)、第三NMOS管(M201)、第四NMOS管(M204)、第二PMOS管(M202)和第三PMOS管(M203)；

其中,运算放大器(201)的同相输入端通过所述第五电阻(R201)连接电压输入端(VIN)并通过所述第六电阻(R202)接地,运算放大器(201)的输出端连接第三NMOS管(M201)的栅极,运算放大器(201)的反相输入端与第三NMOS管(M201)的源极共同通过所述第七电阻(R203)接地,第三NMOS管(M201)的漏极与第二PMOS管(M202)栅极和漏极短接,第二PMOS管(M202)的栅极连接第三PMOS管(M203)的栅极,第二PMOS管(M202)的源极和第三PMOS管(M203)的源极均连接电压输入端(VIN);第三PMOS管(M203)的漏极与第二比较器(202)的反相输入端连接并通过所述充电电容(C201)接地,第二比较器(202)的同相输入端连接一第二基准电压(VREF2),第二比较器(202)的输出端连接第二施密特反相器(204)的输入端,第二施密特反相器(204)输出端连接SR触发器(203)的置位端(S),SR触发器(203)的复位端(R)连接所述PWM信号;SR触发器(203)的Q输出端连接第四NMOS管(M204)的栅极,第四NMOS管(M204)的源极接地,第四NMOS管(M204)的漏极连接第二比较器(202)的反相输入端;SR触发器(203)的Qn输出端为固定TON控制电路(3)的输出端,以输出所述占空比大小控制信号VDR。

7.根据权利要求6所述的升压DC-DC控制电路,其特征在于,所述第二施密特反相器(204)包括第五NMOS管(M301)、第六NMOS管(M302)、第七NMOS管(M303)、第四PMOS管(M304)、第五PMOS管(M305)和第六PMOS管(M306);其中,第五NMOS管(M301)的源极连接地,第五NMOS管(M301)的栅极、第七NMOS管(M303)的栅极、第四PMOS管(M304)的栅极、第六PMOS管(M306)的栅极短接在一起作为第二施密特反相器(204)的输入端;第五NMOS管(M301)的漏极、第六NMOS管的(M302)的源极、第七NMOS管(M303)的源极短接在一起;第六NMOS管(M302)的栅极、第七NMOS管(M303)的漏极、第五PMOS管(M305)的栅极、第六PMOS管(M306)的漏极短接在一起作为第二施密特反相器(204)的输出端;第四PMOS管(M304)的漏极、第五PMOS管(M305)的源极、第六PMOS管(M306)的源极短接在一起;第五PMOS管(M305)的漏极接地,第六NMOS管(M302)的漏极连接电压输入端(VIN)。

8.根据权利要求1所述的升压DC-DC控制电路,其特征在于,所述电压输出端(VOUT)和地之间设有一输出稳压电容(CL),以稳定所述电压输出端(VOUT)的电压。

9.根据权利要求1所述的升压DC-DC控制电路,其特征在于,所述误差放大器(EA)的输出端和地之间设有一环路稳定性补偿电路(1)。

10.根据权利要求9所述的升压DC-DC控制电路,其特征在于,所述环路稳定性补偿电路(1)设置为根据环路的小信号工作特性对所述升压DC-DC控制电路进行补偿,增加所述升压DC-DC控制电路的环路相位裕度,环路相位裕度为60~90度。

一种升压DC-DC控制电路

技术领域

[0001] 本发明涉及DC-DC控制电路,尤其涉及一种升压DC-DC控制电路。

背景技术

[0002] 随着半导体技术的发展,手机、穿戴产品等移动电子设备的功能集成越来越丰富,设备的功率消耗越来越大,对电池容量要求增加,而人们对电子设备的待机和在工作时间要求在增加。传统的升压DC-DC转换器,例如专利文件CN104539145B所公开的Boost型DC-DC转换器,其控制方案复杂,电流消耗大,越来越无法满足移动电子设备对低功耗的要求。

[0003] 由此,需要一种具有低功耗特点的升压DC-DC控制电路。

发明内容

[0004] 本发明的目的在于提供一种升压DC-DC控制电路,以简化电路并降低功耗。

[0005] 为了实现上述目的,本发明提供一种升压DC-DC控制电路,其特征在于,包括:同步PMOS管,其源极通过一储能电感与一电压输入端连接,其漏极与一电压输出端连接;开关NMOS管,其漏极和源极并联于所述同步PMOS管的源极和地之间;第一分压电阻与第二分压电阻,串联于所述电压输出端和地之间,且第一分压电阻与第二分压电阻之间输出一采样电压;误差放大器设置为对所述采样电压和一第一基准电压进行比较放大以在其输出端产生一直流控制信号;电流采样及PWM比较电路,其第一输入端连接所述误差放大器的输出端,第一输入端和第二输入端分别连接同步PMOS管的源极和电压输出端,设置为在同步PMOS管开启期间采样同步PMOS管的工作电流,并根据同步PMOS管的工作电流和直流控制信号产生一PWM信号;以及功率驱动电路,其输入端与所述电流采样及PWM比较电路的输出端连接,第一输出端连接开关NMOS管的栅极,第二输出端连接同步PMOS管的栅极,以控制开关NMOS管和同步PMOS管交替导通。

[0006] 所述电流采样及PWM比较电路包括依次连接的第一比较器和第一施密特反相器、漏极与第一比较器的同相输入端连接的第一NMOS管和第一PMOS管,以及漏极与第一比较器的反相输入端连接的第二NMOS管;其中,第一NMOS管的栅极与第二NMOS管的栅极短接且为电流采样及PWM比较电路的第一输入端,第一NMOS管的源极与第二NMOS管的源极分别通过一第一电阻和一第二电阻接地;第一PMOS管的漏极和第一比较器的同相输入端直接设有一第三电阻,第一PMOS管的栅极接地,第一PMOS管的源极为电流采样及PWM比较电路的第二输入端;第一比较器的反相输入端通过一第四电阻与所述电压输出端连接,且第四电阻与所述电压输出端的连接点为所述第三输出端。

[0007] 所述电流采样及PWM比较电路和所述功率驱动电路通过一固定TON控制电路连接,该固定TON控制电路的输入端与电流采样及PWM比较电路的输出端连接,其输出端与功率驱动电路的输入端连接,设置为根据PWM信号和所述电压输入端的输入电压在其输出端产生一占空比大小控制信号。

[0008] 所述占空比大小控制信号为一个方波信号,可分为导通时间和关断时间,导通时

间仅仅受电压输入端的输入电压控制且与PWM信号无关,关断时间受PWM信号控制。

[0009] 在占空比大小控制信号的导通时间,所述开关NMOS管开启,所述同步PMOS管关闭,所述储能电感储能;在占空比大小控制信号的关断时间,所述开关NMOS管关闭,所述同步PMOS管开启,所述储能电感向所述电压输出端负载放电。

[0010] 所述固定TON控制电路包括运算放大器、第二比较器、SR触发器、第二施密特反相器、第五电阻、第六电阻、第七电阻、充电电容、第三NMOS管、第四NMOS管、第二PMOS管和第三PMOS管;其中,运算放大器的同相输入端通过所述第五电阻连接电压输入端并通过所述第六电阻接地,运算放大器的输出端连接第三NMOS管的栅极,运算放大器的反相输入端与第三NMOS管的源极共同通过所述第七电阻接地,第三NMOS管的漏极与第二PMOS管栅极和漏极短接,第二PMOS管栅极连接第三PMOS管的栅极,第二PMOS管的源极和第三PMOS管的源极均连接电压输入端;第三PMOS管的漏极与第二比较器的反相输入端连接并通过所述充电电容接地,第二比较器的同相输入端连接一第二基准电压,第二比较器的输出端连接第二施密特反相器的输入端,第二施密特反相器输出端连接SR触发器的置位端,SR触发器的复位端连接所述PWM信号;SR触发器的Q输出端连接第四NMOS管的栅极,第四NMOS管的源极接地,第四NMOS管的漏极连接第二比较器的反相输入端;SR触发器的Qn输出端为固定TON控制电路的输出端,以输出所述占空比大小控制信号VDR。

[0011] 所述第二施密特反相器包括第五NMOS管、第六NMOS管、第七NMOS管、第四PMOS管、第五PMOS管和第六PMOS管;其中,第五NMOS管的源极接地,第五NMOS管的栅极、第七NMOS管的栅极、第四PMOS管的栅极、第六PMOS管的栅极短接在一起作为第二施密特反相器的输入端;第五NMOS管的漏极、第六NMOS管的源极、第七NMOS管的源极短接在一起;第六NMOS管的栅极、第七NMOS管的漏极、第五PMOS管的栅极、第六PMOS管的漏极短接在一起作为第二施密特反相器的输出端;第四PMOS管的漏极、第五PMOS管的源极、第六PMOS管的源极短接在一起;第五PMOS管的漏极接地,第六NMOS管的漏极连接电压输入端。

[0012] 所述电压输出端和地之间设有一输出稳压电容,以稳定所述电压输出端的电压。

[0013] 所述误差放大器的输出端和地之间设有一环路稳定性补偿电路。

[0014] 所述环路稳定性补偿电路设置为根据环路的小信号工作特性对所述升压DC-DC控制电路进行补偿,增加所述升压DC-DC控制电路的环路相位裕度,环路相位裕度为60~90度。

[0015] 本发明的升压DC-DC控制电路通过电流采样及PWM比较电路实现对同步管的电流采样,并将采样信号与误差放大器输出VEA比较产生PWM控制信号,以将电流采样电路和PWM比较器电路整合在一起,简化了控制电路,降低了控制电路的直流消耗。此外,本发明的升压DC-DC控制电路采用固定TON控制电路根据输入的PWM信号和输入VIN信号输出一个脉冲宽度可调的占空比大小控制信号VDR,且占空比大小控制信号VDR的导通时间固定,因此内部电路不需要斜坡补偿,在负载大小发生突变或者输入VIN电压发生突变情况下,控制环路能够快速响应。

附图说明

[0016] 图1是根据本发明的一个实施例的升压DC-DC控制电路的结构示意图。

[0017] 图2是如图1所示的升压DC-DC控制电路的电流采样及PWM比较电路的电路图。

[0018] 图3是如图1所示的升压DC-DC控制电路的固定TON控制电路的电路图。

[0019] 图4是施密特反相器的电路图。

具体实施方式

[0020] 下面结合附图,给出本发明的一个实施例,对本发明的方案做进一步详细的解释和说明。

[0021] 如图1所示为根据本发明的一个实施例的升压DC-DC控制电路,其包括一开关NMOS管M1、一同步PMOS管M2、一第一分压电阻R1、一第二分压电阻R2、一误差比较器EA、一环路稳定性补偿电路1、一电流采样及PWM比较电路2、一固定TON控制电路3和功率驱动电路4。

[0022] 其中,同步PMOS管M2的源极通过一储能电感L与一电压输入端VIN连接,其漏极与一电压输出端VOUT连接,储能电感L是系统工作的储能元件。

[0023] 所述开关NMOS管M1的漏极和源极并联于同步PMOS管M2的源极和地之间。

[0024] 所述电压输出端VOUT和地之间设有一输出稳压电容CL,以稳定电压输出端VOUT的电压,其大小可以根据电压输出端VOUT的电压纹波的要求设置。

[0025] 所述电压输出端VOUT和地之间设有彼此串联的第一分压电阻R1与第二分压电阻R2。第一分压电阻R1和第二分压电阻R2之间具有分压连接端,分压连接端连接所述误差放大器EA的反相输入端,以输出采样电压VFB,所述误差放大器EA的同相输入端连接一第一基准电压VREF,该第一基准电压VREF由一内部带隙基准电压模块产生。误差放大器EA设置为对采样电压VFB和第一基准电压VREF进行比较放大以在其输出端产生一直流控制信号VEA。

[0026] 误差放大器EA的输出端和地之间设有所述环路稳定性补偿电路1,所述环路稳定性补偿电路1设置为根据环路的小信号工作特性对所述升压DC-DC控制电路进行补偿,增加所述升压DC-DC控制电路的相位裕度PM (Phase Margin),进而达到本发明的升压DC-DC控制电路能够稳定工作的目的。环路稳定性补偿电路可以通过集成电路内部的无源的电容和电阻通过串并网络来实现,比如常见的二类频率补偿方案(第一电阻和第一电容串接,然后与第二电容并联),增加两个极点(一个初始极点和一个高频极点)和一个低频零点,以增加环路相位裕度PM (Phase Margin)。PM=0,环路震荡。环路相位裕度设置在60~90度。

[0027] 电流采样及PWM比较电路2有3个输入端和一个输出端,第一输入端连接所述误差放大器EA的输出端,以接收所述直流控制信号VEA,第一输入端和第二输入端分别连接同步PMOS管M2的源极SW和电压输出端VOUT以采样同步PMOS管M2的工作电流,电流采样及PWM比较电路2设置为在同步PMOS管M2开启期间采样同步PMOS管M2的工作电流,并根据同步PMOS管M2的工作电流和直流控制信号VEA产生一PWM信号,该PWM信号用于控制开关NMOS管M1的关断时间。电流采样及PWM比较电路2的输出端与固定TON控制电路3的输入端连接。其中,同步PMOS管M2的工作电流通过同步PMOS管M2的源极SW和电压输出端VOUT之间的电压差来采样M2得到,采样PMOS管M2的工作电流可以达到间接采样储能电感L的工作电流的目的。

[0028] 如图2所示,电流采样及PWM比较电路2包括依次连接的第一比较器101和第一施密特(SMIT)反相器102、漏极与第一比较器101的同相输入端连接的第一NMOS管M101和第一PMOS管M103,以及漏极与第一比较器101的反相输入端连接的第二NMOS管M102。

[0029] 其中,第一NMOS管M101的栅极与第二NMOS管M102的栅极短接且为电流采样及PWM比较电路2的第一输入端,连接所述误差放大器EA的输出端,第一NMOS管M101的源极与第二

NMOS管M102的源极分别通过一第一电阻R101和一第二电阻R102接地；第一PMOS管M103的漏极和第一比较器101的同相输入端直接设有一第三电阻R103，第一PMOS管M103的栅极接地，第一PMOS管M103的源极为电流采样及PWM比较电路2的第二输入端，其连接同步PMOS管M2的源极SW；第一比较器101的反相输入端通过一第四电阻R104与所述电压输出端VOUT连接，且第四电阻R104与所述电压输出端VOUT的连接点为所述第三输出端。

[0030] 由此，第一NMOS管M101，第二NMOS管M102、电阻R101和电阻R102构成V-I转换电路，把误差放大器输出的直流控制信号VEA转换成电流信号，第一NMOS管M101的漏极电流 $I_{d_{M101}}$ 和第二NMOS管M102漏极电流 $I_{d_{M102}}$ 分别为：

$$[0031] \quad \begin{aligned} I_{d_{M101}} &= \frac{VEA - V_{thn}}{R101} \\ I_{d_{M102}} &= \frac{VEA - V_{thn}}{R102} \end{aligned} \quad (1)$$

[0032] 其中，VEA为直流控制信号， V_{thn} 为NMOS管的开启阈值电压；集成电路器件工艺提供的基本参数之一；R101和R102分别为第一电阻和第二电阻的阻值。

[0033] 在同步PMOS管M2开启时，储能电感L的电感电流 I_L 从同步PMOS管M2的源极SW流向电压输出端VOUT（即同步PMOS管M2的漏极），PMOS管M2的漏极电流等于电感电流 I_L ，此时，同步PMOS管M2的源极SW和电压输出端VOUT的电压差大小为：

$$[0034] \quad V_{SW} - V_{VOUT} = I_L \times R_{dson_{M2}} \quad (2)$$

[0035] 其中， V_{SW} 为同步PMOS管M2的源极SW的电压， V_{OUT} 为电压输出端VOUT的电压， I_L 为电感电流， $R_{dson_{M2}}$ 为PMOS管M2的导通阻抗。

[0036] 计算第一比较器101的同相输入端的电压VA和反相输入端的电压VB的大小为：

$$[0037] \quad \begin{aligned} VA &= V_{SW} - I_{d_{M101}} \times (R_{dson_{M103}} + R103) \\ VB &= V_{VOUT} - I_{d_{M102}} \times R104 \end{aligned} \quad (3)$$

[0038] 其中，VA和VB分别为第一比较器101的同相输入端和反相输入端的电压， V_{SW} 为同步PMOS管M2的源极SW的电压， V_{OUT} 为电压输出端VOUT的电压， $I_{d_{M101}}$ 为第一NMOS管M101的漏极电流， $I_{d_{M102}}$ 为第二NMOS管M102漏极电流， $R_{dson_{M103}}$ 为第一PMOS管M103的导通阻抗，R103和R104分别为第三电阻和第四电阻的阻值。

[0039] 把公式(1)和公式(2)带入公式(3)，整理后如公式(4)所示：

$$[0040] \quad \begin{aligned} VA &= V_{SW} - \frac{VEA - V_{thn}}{R101} \times (R_{dson_{M103}} + R103) \\ VB &= V_{SW} - I_L \times R_{dson_{M2}} - \frac{VEA - V_{thn}}{R102} \times R104 \end{aligned} \quad (4)$$

[0041] 其中，VA和VB分别为第一比较器101的同相输入端和反相输入端的电压， V_{SW} 为同步PMOS管M2的源极SW的电压， I_L 为电感电流， $R_{dson_{M2}}$ 为PMOS管M2的导通阻抗， $R_{dson_{M103}}$ 为第一PMOS管M103的导通阻抗，VEA为直流控制信号， V_{thn} 为NMOS管的开启阈值电压，R101、R102、R103和R104分别为第一电阻、第二电阻、第三电阻和第四电阻的阻值。

[0042] 第一比较器101比较第一比较器101的同相输入端和反相输入端的电压VA和VB的电压大小，当第一比较器101的同相输入端的电压VA大于反相输入端的电压VB，第一比较器101输出为高电压；反之，第一比较器101输出为低电压。第一施密特反相器102的作用是防

止比较器101输出端在电压变化时(比如低电压变为高电压)出现电压抖动,而向后端产生误脉冲。102不会对较小的电压抖动做响应,不会向后端输出误脉冲。由此,第一施密特反相器102输出稳定的PWM信号。

[0043] 在第一比较器101的输出电压翻转点,第一比较器101的同相输入端的电压VA等于反相输入端的电压VB。根据公式(4)的关系,如果设置第一电阻R101和第二电阻R102的阻值相等,第三电阻R103和第四电阻R104的阻值相等,且第一NMOS管M101和第二NMOS管M102的器件尺寸相等,可以得出公式(5)的关系:

$$[0044] \quad \frac{VEA - V_{thn}}{R101} = I_L \times R_{dson_{M2}} \quad (5)$$

[0045] 根据公式(5)的关系可以得出,本发明的升压DC-DC控制电路在同步PMOS管M2开启期间,可以通过调整直流控制信号VEA的大小,实现对电感电流大小的控制。

[0046] 再请参见图1,固定TON控制电路3的输入端与电流采样及PWM比较电路2的输出端连接,其输出端与功率驱动电路4的输入端连接,设置为根据PWM信号和所述电压输入端VIN的输入电压在其输出端产生占空比大小控制信号VDR,从而提供固定的导通时间TON和受PWM信号控制的关断时间。

[0047] 占空比大小控制信号VDR为一个方波信号,可分为导通时间TON和关断时间TOFF;导通时间TON固定是指导通时间TON仅仅受电压输入端VIN的输入电压控制且与PWM信号无关,关断时间TOFF时间受PWM信号控制。电路控制方案一般分为两种:固定工作频率的脉冲宽度调制模式(PWM)模式和工作频率不固定的脉冲频率调制模式(PFM),PWM控制方案固有次谐波震荡的问题,须有斜坡补偿做解决。本发明通过固定TON控制电路3以固定导通时间TON,并受PWM信号控制自动调节关断时间TOFF,实现了PFM模式,从而在工作原理上没有次斜坡震荡问题,不需要斜坡补偿。

[0048] 如图3所示,固定TON控制电路3包括运算放大器201、第二比较器202、SR触发器203、第二施密特反相器204、第五电阻R201、第六电阻R202、第七电阻R203、充电电容C201、第三NMOS管M201、第四NMOS管M204、第二PMOS管M202、第三PMOS管M203。SR触发器203可采用SR锁存器等其他逻辑电路替代。

[0049] 其中,运算放大器201的同相输入端通过所述第五电阻R201连接电压输入端VIN并通过所述第六电阻R202接地,运算放大器201的输出端连接第三NMOS管M201的栅极,运算放大器201的反相输入端与第三NMOS管M201的源极共同通过所述第七电阻R203接地,第三NMOS管M201的漏极与第二PMOS管M202栅极和漏极短接,第二PMOS管M202栅极连接第三PMOS管M203栅极,第二PMOS管M202的源极和第三PMOS管M203的源极均连接电压输入端VIN。第三PMOS管M203的漏极与第二比较器202的反相输入端连接并通过所述充电电容C201接地,第二比较器202的同相输入端连接第二基准电压VREF2,第二比较器202的输出端连接第二施密特反相器204的输入端,第二施密特反相器204输出端连接SR触发器203的置位端S,SR触发器203的复位端R连接所述PWM信号。SR触发器203的Q输出端连接第四NMOS管M204的栅极,第四NMOS管M204的源极接地,第四NMOS管M204的漏极连接第二比较器202的反相输入端。SR触发器203的Qn输出端为固定TON控制电路3的输出端,以输出占空比大小控制信号VDR。

[0050] 由此,第五电阻R201、第六电阻R202、第七电阻R203、运算放大器201、第三NMOS管M201、第二PMOS管M202构成V-I转换电路,第二PMOS管M202的漏极电流大小如式(6)所示:

$$[0051] \quad I_{d_{M202}} = \frac{V_{IN} \times R_{202}}{(R_{201} + R_{202}) \times R_{203}} \quad (6)$$

[0052] 第二PMOS管M202和第三PMOS管M203构成PMOS电流镜,电流镜像比例大小为1:N,第三PMOS管M203输出电流镜的镜像输出电流。第三PMOS管M203的器件尺寸参数宽度和长度比值W/L是第二PMOS管M202宽长比值W/L的N倍,即可实现电流镜像比例的1:N,N的取值为正整数。

[0053] 第二比较器202比较第二基准电压VREF2和充电电容C201两端的充电电压VR的大小,第二施密特反相器204减弱第二比较器202输出信号错误脉冲,SR触发器203根据第二施密特反相器204和电流采样及PWM比较电路2输出的PWM信号产生系统开关控制信号VDR。第四NMOS管M204控制充电电容C201周期性充电工作。具体来说,第四NMOS管M204关闭,充电电容C201被第三PMOS管M203的漏极电流IdM203(即电流镜输出电流)充电,充电电压VR上升;充电电压VR上升到第二基准电压VREF2,第二比较器202翻转,SR触发器203的Q输出端为高,第四NMOS管M204开启,充电电容C201电荷很快被泄放掉。充电电压VR从0电压上升到第二基准电压VREF2的时间即为导通时间TON。

[0054] 充电电容C201两端的充电电压VR为:

$$[0055] \quad V_{R(t)} = \int_{t_0}^t \frac{N \times I_{d_{M202}}}{C_{201}} dt \quad (7)$$

[0056] 其中,C201为充电电容的容值,N为电流镜像比例,IdM202为第二PMOS管M202的漏极电流。

[0057] 因此,开关NMOS管M1的导通时间TON大小为:

$$[0058] \quad T_{ON} = \frac{C_{201} \times V_{REF2}}{I_{d_{M203}}} = \frac{C_{201} \times V_{REF2} \times (R_{201} + R_{202}) \times R_{203}}{V_{IN} \times R_{202} \times N} \quad (8)$$

[0059] 其中,IdM203为电流镜输出电流,C201为充电电容的容值,VREF2为第二基准电压,N为电流镜像比例,VIN为电压输入端的输入电压,R201、R202、R203分别为第五电阻、第六电阻和第七电阻。

[0060] 在本实施例中,导通时间TON可以作为开关NMOS管M1的导通时间,如公式(8)所示,当电压输入端VIN的输入电压确定之后,导通时间,即开关NMOS管M1每次导通的时间为固定值。

[0061] 第一施密特反相器102和第二施密特反相器204的结构完全相同,均为市场上现有的施密特(SMIT)反相器,其特点是输入的高低翻转电平不相等,具有迟滞特性,能够消除输入的不稳定的输入尖峰。

[0062] 如图4所示,以第二施密特反相器204为例,第二施密特反相器204包括第五NMOS管M301、第六NMOS管M302、第七NMOS管M303、第四PMOS管M304、第五PMOS管M305和第六PMOS管M306。

[0063] 其中,第五NMOS管M301的源极连接地,第五NMOS管M301的栅极、第七NMOS管M303的栅极、第四PMOS管M304的栅极、第六PMOS管M306的栅极短接在一起作为第二施密特反相器204的输入端;第五NMOS管M301的漏极、第六NMOS管的M302的源极、第七NMOS管M303的源极短接在一起;第六NMOS管M302的栅极、第七NMOS管M303的漏极、第五PMOS管M305的栅极、第六PMOS管M306的漏极短接在一起作为第二施密特反相器204的输出端;第四PMOS管M304的

漏极、第五PMOS管M305源极、第六PMOS管M306的源极短接在一起；第五PMOS管M305的漏极接地，第六NMOS管M302的漏极连接电压输入端VIN。

[0064] 所述功率驱动电路4的输入端通过固定TON控制电路3与所述电流采样及PWM比较电路2的输出端连接(即与所述固定TON控制电路3的输出端连接)，且具有第一输出端和第二输出端，第一输出端连接开关NMOS管M1的栅极，第二输出端连接同步PMOS管M2的栅极，设置为根据占空比大小控制信号VDR在两个输出端产生驱动能力较强的栅极驱动信号NG和PG，以控制开关NMOS管M1和同步PMOS管M2交替导通。由此，在占空比大小控制信号VDR的导通时间TON，开关NMOS管M1开启，同步PMOS管M2关闭，储能电感L储能；在占空比大小控制信号VDR的关断时间TOFF，开关NMOS管M1关闭，同步PMOS管M2开启，储能电感L向电压输出端VOUT负载放电。

[0065] 此外，为了防止开关NMOS管M1、同步PMOS管M2穿通，栅极驱动信号NG和PG之间要有一定大小的死区时间。

[0066] 本发明的升压DC-DC控制电路通过电流采样及PWM比较电路2实现对M2管的电流采样，并将采样信号与误差放大器输出的直流控制信号VEA比较产生PWM控制信号，以将电流采样电路和PWM比较器电路整合在一起，简化了控制电路，降低了控制电路的直流消耗。此外，本发明的升压DC-DC控制电路采用固定TON控制电路根据输入的PWM信号和输入VIN信号输出一个脉冲宽度可调的占空比大小控制信号VDR，且占空比大小控制信号VDR的导通时间TON固定，因此内部电路不需要斜坡补偿，在负载大小发生突变或者输入VIN电压发生突变情况下，控制环路能够快速响应。

[0067] 以上所述的，仅为本发明的较佳实施例，并非用以限定本发明的范围，本发明的上述实施例还可以做出各种变化。凡是依据本发明申请的权利要求书和说明书内容所做的简单、等效变化与修饰，皆落入本发明专利的权利要求保护范围。本发明未详尽叙述的均为常规技术内容。

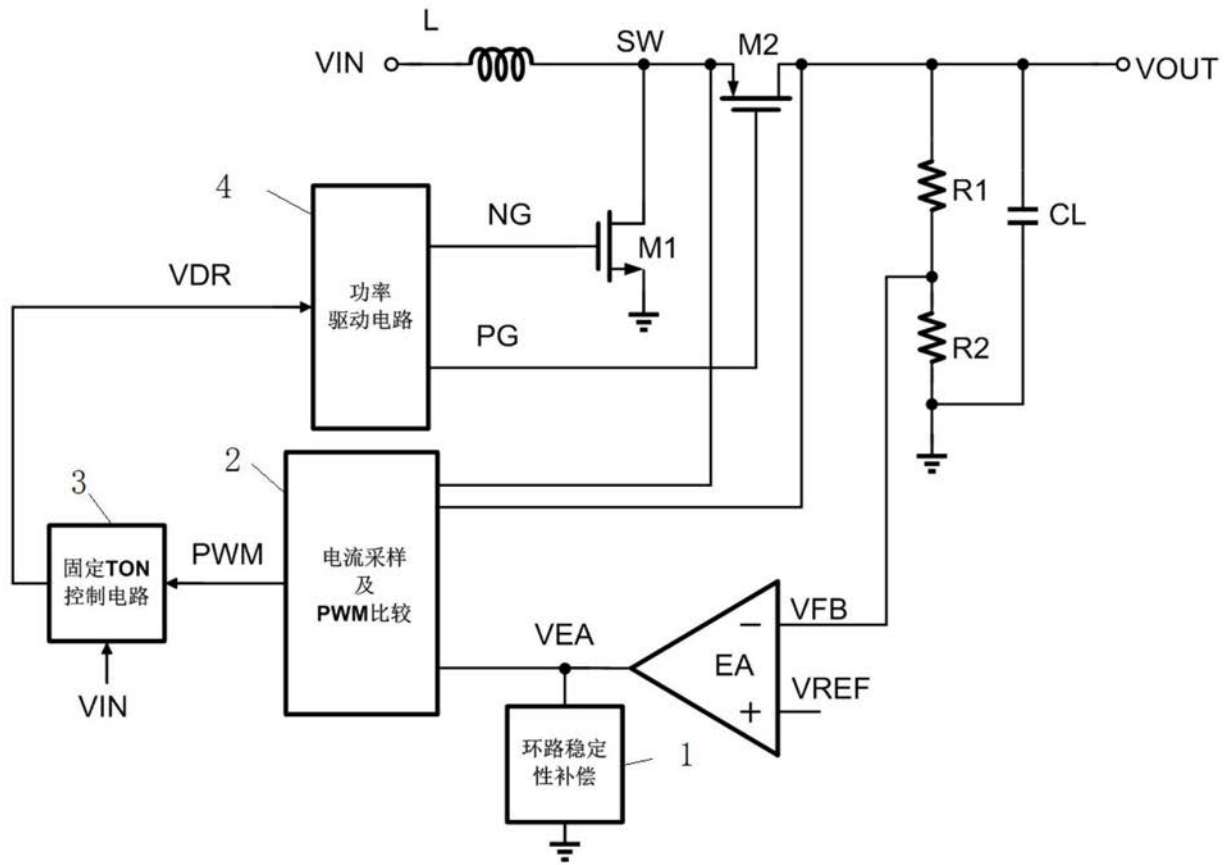


图1

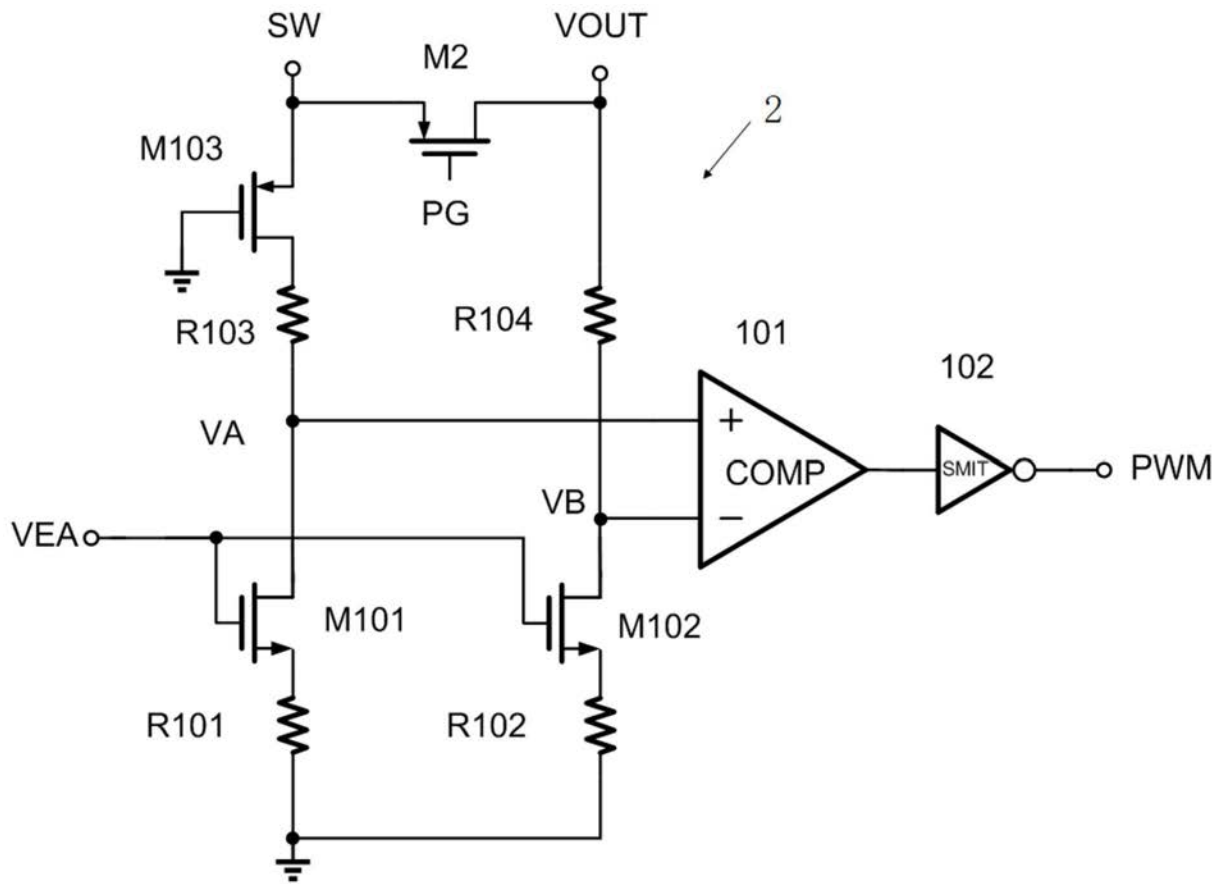


图2

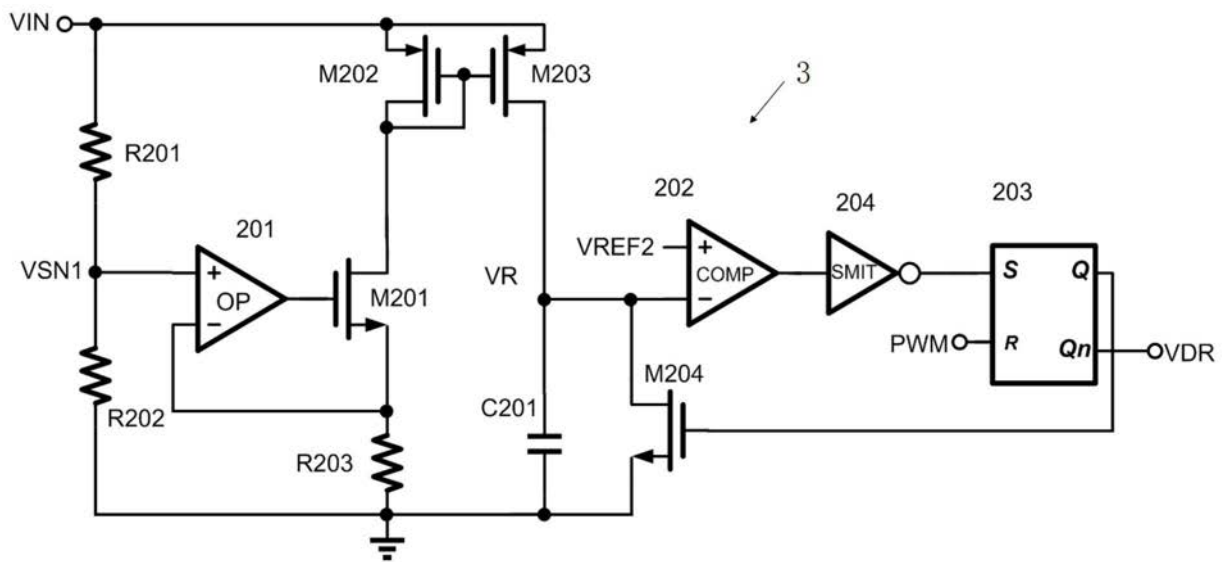


图3

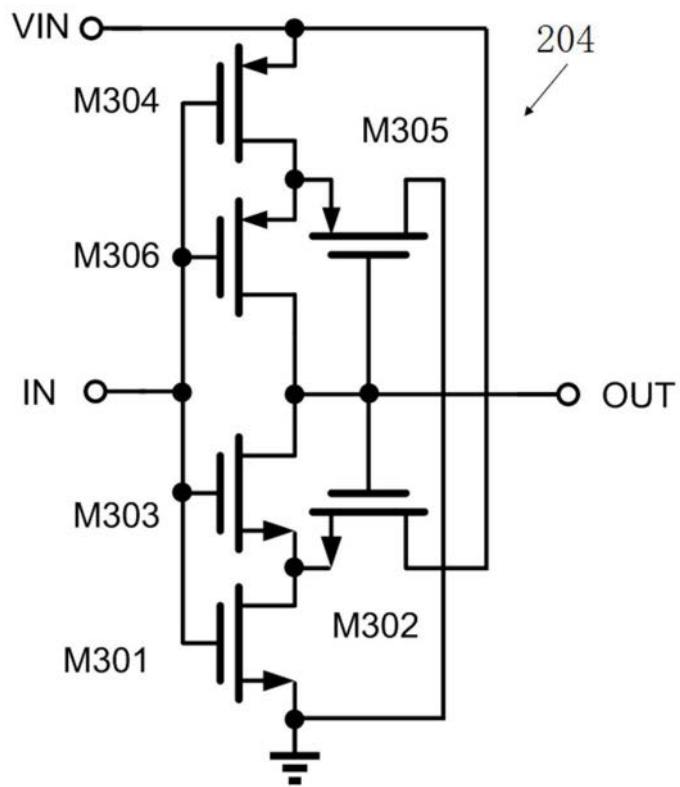


图4