

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成16年7月29日(2004.7.29)

【公表番号】特表2000-500888(P2000-500888A)

【公表日】平成12年1月25日(2000.1.25)

【出願番号】特願平9-513927

【国際特許分類第7版】

G 0 6 F 12/14

G 0 7 F 7/10

H 0 1 L 21/822

H 0 1 L 27/04

【F I】

G 0 6 F 12/14 3 2 0 A

G 0 7 F 7/10

H 0 1 L 27/04 A

【手続補正書】

【提出日】平成15年6月12日(2003.6.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

## 手続補正書

平成15年 6月12日



特許庁長官殿

## 1. 事件の表示

平成09年特許願第513927号



## 2. 補正をする者

名称 アトメル・リサーチ

## 3. 代理人

住所 〒530-0054  
大阪府大阪市北区南森町2丁目1番29号  
三井住友銀行南森町ビル  
深見特許事務所  
電話 06-6361-2021(代)  
FAX 06-6361-1731

氏名 弁理士 (6474) 深見 久郎



方 式 審 査



4. 補正対象書類名

請求の範囲

5. 補正対象項目名

請求の範囲

6. 補正の内容

- (1) 請求の範囲を別紙のとおり補正する。

以上

## 請求の範囲

### 1. セキュリティ強化を図った半導体回路構成であって：

半導体ウエハ上の第1半導体ダイ領域内に配置された半導体回路の第1部分；

前記半導体ウエハ上の、前記第1半導体ダイ領域および隣接する第2半導体ダイ領域間に位置する分離領域内に配置された半導体回路の第2部分；

から成り、

前記半導体回路の第2部分は、前記半導体回路の第1部分に結合され、前記半導体回路の第1部分に対するアクセスを可能にするアクセス回路を内蔵し、該アクセス回路は複数のプローブ・パッドを含み、

前記半導体回路の第2部分は、前記分離領域に配置され、前記複数のプローブ・パッドを含む前記アクセス回路を、前記分離領域から破壊的に除去することにより、前記半導体回路の第1部分を、前記半導体回路の第2部分を介してのアクセスを不可能とする状態に維持し得ることを特徴とする半導体回路構成。

2. 前記半導体回路構成は、半導体回路の第2部分の除去に続いて半導体回路の第1部分を電氣的に分離するために前記第1半導体ダイ領域内に分離回路をさらに含む、請求項1に記載の半導体回路構成。

3. 前記分離回路はトランスマッションゲート手段を含む、請求項2に記載の半導体回路構成。

4. 前記構成は、前記第1半導体ダイ領域内に、前記半導体回路の第2部分の除去後に、前記半導体回路の第1部分を電氣的に分離する分離回路を更に備えていることを特徴とする請求項1に記載の半導体回路構成。

### 5. セキュリティ強化を図った半導体素子であって：

ウエハ上に製造された半導体ダイ・サイト上に配置された半導体回路の第1部分であって、前記ウエハは、該ウエハ上の該半導体ダイ・サイトに隣接する分離領域内に配置された半導体回路の第2部分も含み、該半導体回路の第2部分は、前記半導体回路の第1部分に結合され、プローブ・パッドを含むアクセス回路を内蔵し、前記プローブ・パッドを介して前記半導体の第1部分に対するアクセスを可能とし、前記半導体回路の第2部分を除去した後は、該半導体回路の第2部分を介した前記半導体回路の第1部分に対するアクセスを不可能な状態に維持す

る、半導体回路の第1部分：および

前記半導体ダイ・サイト内に配置され、前記半導体回路の第2部分の除去の後、前記半導体回路の第1部分を電氣的に分離する分離回路；  
から成ることを特徴とする半導体素子。

6. セキュリティを強化した半導体回路の製造方法であって：

半導体ウエハ上の第1半導体ダイ領域内に半導体回路の第1部分を形成する段階；

前記半導体回路の第1部分から分離された前記半導体ウエハ上に配置され、かつ前記第1半導体ダイ領域および隣接する第2半導体ダイ領域の間に位置する分離領域内に配置される半導体回路の第2部分を形成する段階；

前記半導体回路の第2部分は、前記半導体回路の第1部分に結合され、前記半導体回路の第1部分に対するアクセスを可能にするアクセス回路を内蔵し、該アクセス回路は前記半導体回路の第1部分にアクセスする複数のプローブ・パッドを含み、

前記複数のプローブ・パッドを含む前記半導体回路の第2部分を前記ウエハから破壊的に除去し、前記半導体回路の第2部分を介した前記半導体回路の第1部分へのアクセスを不可能な状態に維持する段階；

から成ることを特徴とする方法。

7. 前記半導体の第2部分を前記ウエハから破壊的に除去する前記段階は、前記分離領域内の前記ウエハ表面上において、前記半導体回路の第1部分を破壊的に除去するには十分であり、前記ウエハを切断するには不十分な深さで、第1ソーイング処理を行う段階を含むことを特徴とする請求項6に記載の半導体回路製造方法。

8. 前記ウエハ上において、前記ウエハを切断するのに十分な深さで第2ソーイング処理を行なうことをさらに含む、請求項7に記載の半導体回路製造方法。

9. 前記半導体回路は、半導体回路の前記第2部分の除去に続いて半導体回路の前記第1部分を電氣的に分離するための分離回路をさらに含む、請求項6に記載の半導体回路製造方法。

10. 分離回路はトランスマッションゲート手段を含む、請求項9に記載の半導

体回路製造方法。

1 1. 前記破壊的除去の段階の後前記ウエハを個々のダイにダイシングすること  
をさらに含む、請求項 6 に記載の半導体回路製造方法。