

# 公告本

申請日期	
案 號	85112542
類 別	G06F 13/00 · H04L 29/02

A4  
C4

312768

Int. Cl<sup>6</sup>

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 <del>名稱</del>	中 文	用以儲存多個封包於SRAM之封包終止檢測方法及裝置
	英 文	END OF PACKET DETECTION FOR STORING MULTIPLE PACKETS IN AN SRAM
二、發明 <del>創作</del> 人	姓 名	(1)亞樂克·辛格 (2)瑞傑·羅伊
	國 籍	(1)美國 (2)印度
	住、居所	(1)美國·加州·弗瑞蒙·諾羅可區4504號 (2)美國·加州·桑尼威·伊丹路927號
三、申請人	姓 名 (名稱)	美商·高級微裝置公司
	國 籍	美國
	住、居所 (事務所)	美國·加州94088-3453·桑尼威·第1AMD區· 郵政信箱3453號
	代 表 人 姓 名	石丸幹夫

經濟部中央標準局員工消費合作社印製

裝  
訂  
線

312768

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

美 國 ( 地區 ) 申請專利，申請日期： 案號：  有  無主張優先權  
 1996年6月6日 08/659,795 (主張優先權)

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(3)

### 發明背景

### 發明範圍

本發明大致有關於一種用於以站台控制往返乙太網路之間資訊傳送之方法與裝置，特別地，係有關於一種增加資訊傳送性能之方法與裝置，更特別地，係有關於藉由準確辨識記憶體裝置中封包終止位置而於記憶體裝置中有效儲存多個資訊封包之方法與裝置。

### 相關技藝說明

本案係有關美國專利申請案第 08/659,733 號，名稱「用以支援多重傳輸封包之高性能資料結構」，發明人為拉加羅依，傑夫瓦克；以及美國專利申請案第 08/659,728 號，名稱「往返 SRAM 之位址產生與資料路徑仲裁以容納多個傳送封包」，發明人為亞洛辛、拉加羅依及傑利郭。二個申請案皆讓渡給本案之受讓人並與本案同時提出申請。

區域網路 (LAN) 是一通訊系統，其能使個人電腦，工作站，檔案伺服器，中繼器，資料終端設備 (DTE)，及其它這種資料處理設備，其位於有限地區如辦公室，建築物，或一群建築物內，互相作電子資訊傳送。LAN 中的各資訊處理設備藉由遵守一界定網路操作之固定協定 (或標準) 而與 LAN 中的其它資訊處理設備通訊。

ISO 開放系統互連基本參考模型界定 LAN 中資料通訊的七層模型，模型中的最底層是實體層，其由多個模組組成以指定 (A) 互連網路節點的實體媒體，以及於其上電子傳送的資料，(B) 網路節點與實體傳送媒體介面的方式，(C)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 4 )

於實體媒體上傳送資料的方法，及(D)資料串的協定。

IEEE 標準 802.3，且碰撞檢測網路之載體感測多重存取 (CSMA/CD) 存取法，及實體層規格為目前實體層中最常用的標準之一。通稱乙太網路，IEEE標準 802.3 處理雙絞線或同軸電纜上的資料傳送，而同軸電纜通常比雙絞線貴。IEEE標準 802.3的 10Base-T協定指定於雙絞線上以 10 百萬位元 / 秒 (Mbps) 的速率傳送資料。

參考附圖，圖 1 繪示如何將系統，其能使個人電腦，工作站，檔案伺服器，資料終端設備，或其它這種資訊處理設備如 CPU12 所示，接至乙太網路 22 或它種資料通訊設備如媒體獨立介面 24 所示。圖 1 中乙太網路控制器 14 也通稱為網路介面控制器，係位於 CPU12 與進入 (離開) 乙太網路 22 線之間。通常乙太網路 22 由 2 對雙絞銅線組成，其中進入線對稱為 10R，而離開線對稱為 10T。

乙太網路控制器 14 的功能是控制離開資料傳送至離開線對或電纜，及接收進入線對或電纜的進入資料。例如，於裝上離開線對或電纜前，先將離開資料作曼徹斯特編碼以減少電磁干擾。曼徹斯特編碼使得部分資料串以 10MHz 脈波，而資料串其它部分以 5MHz 的速率傳送。

伴隨著資料處理能力的增強資訊傳送有漸快的趨勢，因此需要擴張資料傳送率至遠高於 10Base-T 協定所定的 10 Mbps 率。結果有一種 100Base-TX 協定其延伸 IEEE 標準 802.3 以通過現存類型的雙絞線，以 100Mbps 的有效傳送率來調整資料移動。有些情況下期望實體傳送媒體能通過雙

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 5 )

絞線在 100Base-TX 與較低的 10Base-T 率下處理資料傳送。

除了於乙太網路或媒體獨立介面上以不同速率傳送資料所產生的問題外，有些問題是和個人電腦，工作站，檔案伺服器，中繼器，資料終端設備，及其它這種資訊處理設備的改變資料處理能力有關。例如在個人電腦系統中，除了於乙太網路上收發資料外 CPU12 可能仍必須處理其它設備或工作。

乙太網路控制器 14 (圖 1) 的功能是控制資料從 CPU12 傳送至乙太網路 22。乙太網路控制器 14 的主要問題之一是控制資料的傳送以便於傳送產生極小的中斷。例如若發生資料傳送中斷，則乙太網路系統必須停止以再傳送所有的資料。這表示若中斷接收站且不能連續接收資料時，則傳送站必須再傳送所有的資料。

需要一種乙太網路控制器其可以彈性方式更佳控制資料的傳送。本發明教示一種提供緩衝器給暫時儲存進入或離開資料的方法，而資料則格式化為封包。為了使進入緩衝器之封包形式的資訊以最有效的方式儲存，而為了空間與成本的原因該緩衝器愈小愈好，因此需要連續儲存封包，亦即，在封包之間沒有空的記憶體位置。

需要一種方法能檢測網路一串位元組的封包終止，或封包中的其它資料單元，以及辨識寫入之位元組串中的最後記憶體位置，以允許次一封包的循序儲存，以便多個資訊封包能有效的儲存於記憶體裝置中。

### 發明之概述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

根據本發明有一種準確辨識一記憶體裝置中封包終止位置之方法，該裝置於傳送資料封包從一位置至另一位置時當成緩衝器使用。將一記憶體裝置當成緩衝器使用。保留記憶體裝置中之第一位置，並將一串資料連續寫入記憶體裝置。當辨識封包的最後位元組時，寫入最後位元組的記憶體位置的位址即寫入第一保留位置。

藉由將封包中所包含的位元組數輸入計數器以辨識封包資料的最後位元組。每當一個位元組寫入記憶體位置時計數器即加1，而寫入資料的記憶體位置的寫入指標會更新。當計數器達到輸入的位元組數時，即將寫入指標的內容寫入保留的第一記憶體。

於第一保留記憶體位置之後接著保留記憶體裝置中的第二記憶體位置，並將值HEX1000寫入第二保留位置。接著將資料寫入記憶體裝置，其係接著第二保留位置後而開始其第一記憶體位置。

當寫入計數器到達輸入的位元組數時，第二保留位置中的值即從值HEX0000變成值HEX1000。

從記憶體裝置中讀取資料，包含於第一保留記憶體裝置中的值寫入第一暫存器，而第二保留暫存器的最高有效位元則寫入第二暫存器。將第一暫存器的值與讀取指標的值比較，以得到邏輯真偽值。若第二暫存器的值是真，而第一暫存器的值是偽，則表示已檢測到封包終止。

若未寫入封包終止，則為了要防止讀取指標超過寫入指標，當已寫入記憶體裝置時增加第三暫存器的值，以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

當已讀取記憶體位置時，減少第三暫存器的值。當第三暫存器的值是0時，即設定一空的旗號並不准讀取。

由以下本發明之詳細說明並配合附圖，即可更加明瞭本發明。熟於此技術者將從以下說明中易於明瞭本發明，其中僅例示最適合執行本發明之模式以顯示並說明本發明之較佳實施例，將可了解的是本發明能執行其它不同實施例，而且其中數項內容尚可在不偏離本發明之範圍情況下，作許多明顯的修正。因此，附圖與說明僅作敘述目的而非限制。

### 附圖之簡單說明

附圖係本說明書的一部分，用以說明本發明，並配合說明以解釋本發明的原理，其中：

圖1是習用系統的概視圖，該系統具有一乙太網路控制器，一CPU，一乙太網路連接與一媒體獨立介面連接。

圖2是本發明系統的概視圖。

圖3顯示用以本發明的部分記憶體。

圖4是根據本發明的教示而說明如何將資料寫入記憶體中。

圖5繪示如何將封包終止位置儲存於記憶體。

圖6是根據本發明的教示而繪示如何將資料從記憶體中讀取。

圖7是根據本發明的教示而繪示當尚未寫入封包終止時，如何將資料從記憶體的部分中讀取。

### 詳細說明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 8 )

現在參考圖 1，其中顯示一習用系統 10，且有一 CPU12，及一乙太網路控制器 14，其接至一乙太網路 22，與一媒體獨立介面 24。匯流排 17 將 CPU12 接至乙太網路控制器。

現在參考圖 2，其中顯示根據本發明的系統 11。在此圖與後續的圖中，相同數字表示相同元件。圖 2 中顯示部分的乙太網路控制器 14。要了解的是乙太網路控制器 14 除了本發明教示的功能外，還有許多其它功能，但在此僅說明與本發明有關的元件。系統 11 包括一 SRAM16，其向外接至乙太網路控制器 14 與 CPU12。此建構允許乙太網路控制器 14 半導體裝置儘可能小，並允許設計工程於需要時可有彈性提供較大的緩衝器。將可體會的是 SRAM16 於設計上可當成乙太網路控制器 14 裝置的一部分。此外 CPU12，乙太網路控制器 14，與 SRAM16 都可於設計上當成單一半導體裝置。

乙太網路控制器 14 的繪示功能部分是管理乙太網路 22 與媒體獨立介面 24 的資料傳送與接收。乙太網路控制器 14 藉由將 SRAM16 當成緩衝器使用以管理資料傳送，以防止資料來往於 CPU12 或乙太網路 22 或媒體獨立介面 24 的速率減慢。資料傳送速率的減慢原因有許多，例如 CPU12 的延遲太高，以及停止將資料從乙太網路 22 送出直到 CPU12 沒有其他的中斷 (intennpts)。反之，CPU12 可設法經由乙太網路 22 而傳送資料，而乙太網路 22 可以是忙碌，而使得 CPU12 的資料不停止，或是暫停直到釋放乙太網路 22。

為了避免因不能完成資料的收或發所致之問題，乙太

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

網路控制器 14 有 4 個 FIFO，即 BX FIFO26，MX FIFO28，BR FIFO30，MR FIFO32。BX FIFO26 與 MX FIFO28 在乙太網路控制器 14 的匯流排這方，而 MX FIFO28 與 MR FIFO32 在乙太網路控制器 14 的媒體存取控制 (MAC) 這方。各 FIFO 控制一輸入或輸出功能。BX FIFO26 控制資料從 CPU12 傳送至 SRAM16。而 MX FIFO28 控制資料從 SRAM16 傳送至乙太網路 22 或媒體獨立介面 24。類似地 MR FIFO32 控制資料從乙太網路 22 或媒體獨立介面 24 的傳送。於以下討論中僅說明資料從 CPU12 傳送至 SRAM16，因為其它功能都類似。以下討論包括將資料從 CPU12 寫入 SRAM16，及從 SRAM16 讀取資料。

現要參考圖 3，其顯示記憶體裝置如 SRAM16 的記憶體部分 34。要了解的是在不違反本發明範圍之下也可使用其它記憶體裝置。圖中顯示 18 個記憶體位置 36，而記憶體位址 38 從 HEX0000 至 HEX0011。在此討論中，習慣上將記憶體位置用字來定址，亦即，各記憶體位置有 2 個 8 位元的位元組，一上位元組位置與一下位元組位置。應該了解的是部分 34 可以在 SRAM16 的任一位置，而位址 38 可以是記憶體的尺寸中任何序列之值。圖 3 中是寫入記憶體部分 34 中的 2 個資料封包。第一封包由 5 個位元組組成，即資料 0 至資料 4，其在圖中記憶體位置的位址是從 HEX0002 至 HEX0004。因為資料 4 是第一封包的最後位元組，亦即，封包終止，因此寫入資料 4 的記憶體位置的位址 (HEX0004) 即寫入第一保留記憶體位置，在此情況下該記憶體位置的位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 10 )

址是 HEX0000 。因為已寫入第一封包的最後位元組，因此第二保留記憶體位置的內容，在此情況下，記憶體位置的位址 HEX0001 即變成 HEX1000 。值 HEX1000 表示封包是有效的，其詳情如下所述。

在此例中，記憶體部分的前 2 個要寫入記憶體的保留位置，即記憶體位置 HEX0000 與 HEX0001 。各對保留位置的位置依儲存於記憶體中的前一封包的大小而定。各封包終止之後有 2 個 16 位元記憶體位置供 32 位元狀態用，與 2 個 16 位元記憶體位置供 32 位元形容字用。圖 3 中這些記憶體位置 HEX0005 與 HEX0006 供狀態用，而 HEX0007 與 HEX0008 供第一封包的形容字用。對於第二封包，第一保留位置是記憶體位置 HEX0009，而第二保留位置是記憶體位置 0A 。第二封包的 32 位元狀態寫入記憶體位置 HEX000F 與 HEX0010，而第二封包的 32 位元形容字則寫入記憶體位置 HEX0011 與 HEX0012 。各封包的 32 位元狀態和形容字包含與封包有關的資料，在此不敘述其詳情。

現在參考圖 4，其中顯示少數的記憶體位置 40 。在此說明將資料寫入記憶體的方法。如上所述，這項解釋將說明資料從 CPU12 傳送至乙太網路 22 或媒體獨立介面 24 。要了解的是以下解釋也適用於將資料從乙太網路 22 或媒體獨立介面 24 傳送至 CPU12 的情況。一般熟於此技術者將能應用以下解釋至乙太網路控制器 14 (圖 2) 的其它部分。

當 CPU12 想傳送資料時，它會請求可用匯流排，在此情況下是 PCI 匯流排 18，並通知 BX FIFO26 它有數個位元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 11 )

組的資料要送，此數目送入計數器 42。圖中將 5 的值寫入計數器 42。用 5 位元組封包當成例子，且以下將配合圖 5 說明。當寫入一記憶體位置時即將計數器 42 加 1，當值增加到等於 BX FIF026 輸入的值時，即表示剛寫入記憶體的位元組數的值輸入計數器 42，而寫入各位元組資料時即將計數器 42 加 1，當到達 0 值時，即表示已將資料的最後位元組寫入記憶體，亦即，已寫入封包終止。

圖 4 繪示未讀取封包終止的情況，第一步是保留記憶體中 2 個可用位置，為了說明方便僅顯示 43 的記憶體位置 HEX0000 及 45 的 HEX0001。開始時將寫入指標 WR RTR44 指向 43 的記憶體位置 HEX0000。若 TX OWN48 的值是 0，則將 43 的記憶體位置 HEX0000 內容寫入 MX EOP46。HEX0000 的內容是 XXXX，這表示無關，因為 HEX0000 中的值無意義，直到寫入有效的封包終止位置，將寫入指標 WR PTR44 加 1 並指向 45 的記憶體位置 HEX0001。將值 HEX0000 寫入在 45 的第二保留記憶體位置 HEX0001。在此，WR PTR44 會讀取 HEX0001，而計數器 42 不會增減，因為沒寫入資料。WR PTR44 會加 1，而 50 的第一與第二資料位元組，資料 0 與資料 1，會寫入記憶體位置 HEX0002 而計數器 42 會增加到 2。這會重覆直到達到圖 4 顯示的情況。WR PTR44 指向記憶體位置 HEX0003，而 52 的資料 2 則已寫入低位元組記憶體位置 HEX0003，而計數器 42 則已增加到值 4，以表示已將 3 或 4 位元組的資料寫入記憶體。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(12)

現在參考圖 5，其中顯示當第一封包的最後資料位元組已寫入記憶體(從圖 4 開始)。當計數器 42 中增加的值等於從 BX FIFO26 輸入的值時，WR PTR44 中的值，在此例中是 HEX0000，即寫入第一保留記憶體位置 43。若暫存器 TX OWN48 中包含的值是 0，WR PTR44 中的值會寫入 MX EOP46。此外若 TX OWN48 中的值是 0，則值會變成 1。第二保留記憶體位置中的值 HEX1000 表示該封包是有效的，亦即，已寫入封包終止，而第一保留記憶體位置的值(在此例中是 HEX0004)是寫入封包終止的記憶體位置。

除了上述動作外，(於資料的最後位元組寫入記憶體位置後)，剛寫入記憶體之封包的 32 位元狀態與 32 位元形容字，亦接著寫入下四個 16 位元的記憶體位置中。也會接著寫入 4 個 16 位元記憶體裝置，即將封包的 32 位元狀態與 32 位元形容字寫入記憶體。配合圖 3 來說明，保留形容字後的 2 個緊鄰位置給網路封包以便傳送。這說明該值能準確辨識寫入記憶體中的封包終止的位置。能辨識記憶體中封包終止的準確位置，以便能以最有效的可能方式將多個不同大小封包寫入記憶體，亦即，連續封包之間無空的記憶體位置。要注意的是在某些情況下如上例所述，若封包中有奇數個位元組，則記憶體位置的上位元組位置不會寫入。

現在參考圖 6，其繪示當封包終止已寫入記憶體時，讀取封包中資料的方法。圖 6 顯示的封包是圖 5 中寫入記憶體的。封包包含 5 個資料位元組，其已寫入記憶體位置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 (13)

HEX0002至記憶體位置HEX0004的低位元組位置。因為已將封包終止寫入記憶體，因此已將第一保留記憶體位置(HEX0000)寫入封包的最後位元組的記憶體位置，亦即，封包終止的位置。在此例中，最後位元組的記憶體位置是記憶體位置HEX0004。此值HEX0004當讀取指標RE PTR54指向第一保留記憶體位置時，也寫入暫存器MX EOP46，在此例中，該記憶體位置是HEX0000。下一步是當RD PTR54指向第二保留記憶體位置時，在此例中是記憶體位置HEX0001。如上所述第二保留記憶體位置的內容會包含值HEX1000因為封包終止已寫入記憶體。暫存器MX EOP46包含的值輸入至比較電路56。RE PTR54的內容也輸入比較電路56，在此與暫存器MX EOP46的內容比較。這2個值的比較結果是邏輯真或邏輯偽，並由TX OWN48的內容作選通。若TX OWN48是真(亦即是1)，且比較電路56的輸出是真，這表示已到達封包終止如58所示。其發生情況如下：當RD PTR54加1並指向後續記憶體位置時，RD PTR54的內容最後會與當RD PTR54指向封包的最後位元組亦即封包終止時，輸入暫存器MX EOP46的值相同。當此發生時，邏輯值會是真，因為第二保留記憶體位置的最高有效位元的值是1，即定義為真，而輸出邏輯也是真，如58所示以表示到達封包終止。

現在參考圖7，其繪示封包終止尚未寫入記憶體的情況，為節省時間系統容許讀取已寫入記憶體的資料。在此例中重要的是讀取指標未超過寫入指標即開始讀取垃圾。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(14)

圖 7 繪示的情況是寫入記憶體之封包的封包終止尚未到達，但是，欲開始讀取資料且為了效率而允許開始。例如某些情況下封包比此例所述的例子長許多，因此要讀取功能在開始讀取前等待直到將整個封包寫入是一種沒效率的方法。如上述配合圖 6 的說明，當讀取指標指向 43 的第一保留記憶體位置時，第一保留記憶體位置的內容會寫入暫存器 MX EOP46。在此不能決定 43 的第一保留記憶體位置的值是否為一有效值，亦即，它是否包含封包終止的內容。REPTR54 接著指周 45 的第二保留記憶體位置，而包含於第二保留記憶體位置的值的最高有效位元會寫入暫存器 TX OWN48。因為最高有效位元是 0，因此比較電路 56 會在 58 顯示一偽值以表示 NOT EOP。為了防止 RE PTR54 超過 WR PTR44 而提供一暫存器 60，每當資料值寫入記憶體時它即加 1 如 WR PTR44 所示，每當資料值從記憶體中讀取時它即減 1 如 RE PTR54 所示。當如圖 7 所示的情況發生時，即 WR PTR44 指向記憶體位置 HEX0004 時，這表示一資料值已寫入記憶體位置 HEX0004，而 RD PTR54 也指向記憶體位置 HEX0004，這表示記憶體位置 HEX0004 中的資料值已剛被讀取。在此，暫存器 60 中的值是 0，並設定暫存器 62 中的旗號為空的，以防止再從記憶體中讀取資料。將可了解的是在此情況下當額外位元組寫入記憶體時，暫存器 60 中的值會加 1，在此，暫存器 60 中的值會是 1，並重設暫存器 62 中的旗號，並允許 RD PTR54 加 1，並允許讀取次一記憶體位置中的資料。若未再將資料寫入記憶體，則暫存器 60 會再

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

### 五、發明說明(15)

包含值 0，並再度抑制讀取。隨著 WR PTR44 加 1 以及當資料寫入記憶體，終於會到達最後位元組，此時計數器 42 (圖 4 與圖 5) 會將此指示送至 WR PTR44，而 WR PTR44 中的值會立即寫入 MX EOP46 與第一保留記憶體位置 43。同時，第二保留記憶體位置的最高有效位元會寫入暫存器 TX OWN48。若 TX OWN48 中的值是真以及當 RD PTR54 中的值與暫存器 MX EOP46 中的值匹配，則 58 的邏輯輸出是真並顯示已讀存封包終止。

上述本發明較佳實施例的說明目的是敘述與例示，其無意鉅細無遺也無意限制本發明僅適用於本文所述的形式，由上述教示可作各種修正與變化，該選擇與敘述的實施例提供本發明原理與其實際應用的最佳說明，藉此一般熟於此技術者能利用本發明於各種實施例及各種修正，以適合構思中的特別使用。當根據公平、合法與平等的寬度解釋時，由依附的申請專利範圍即可決定所有的這種修正與變化都在本發明的範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：用以儲存多個封包於SRAM之封包終止檢測方法及裝置)

一種準確辨識一記憶體裝置中封包終止位置之方法，保留記憶體裝置中之第一與第二記憶體位置，並將一資料序列寫入循序記憶體位置中之記憶體裝置。當資料序列末端寫入記憶體時，記憶體位置即寫入第一保留記憶體位置。將第二記憶體位置寫入以顯示封包終止已寫入記憶體。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱：END OF PACKET DETECTION FOR STORING MULTIPLE PACKETS IN AN SRAM)

A method of precisely identifying the end of packet location in a memory device. A first and second memory location in the memory device are reserved and a sequence of data is written into the memory device in sequential memory locations. When the last of the sequence of data is written into memory the memory location is written into the first reserved memory location. The second memory location is written to show that the end of packet has been written into memory.

## 六、申請專利範圍

1. 一種辨識一記憶體裝置中封包終止位置之方法，該裝置於傳送至少一封包時當成一緩衝器使用，此方法包含以下步驟：

保留記憶體裝置中之第一記憶體位置；

將至少一封包之資料序列寫入保留第一記憶體位置後之數個連續記憶體位置中；

將寫入資料序列的最後記憶體位置之位址寫入保留第一記憶體位置。

2. 根據申請專利範圍第1項之方法，其中將寫入資料序列的最後記憶體位置之位址寫入保留第一記憶體位置之步驟，包括以下步驟：

將資料序列所需之數個連續記憶體位置之數目輸入一計數器；

當寫入各記憶體位置時，將計數器加1；

以記憶體位置之記憶體位址更新寫入指標，其中資料係寫入該記憶體位置；

當計數器到達要求之輸入循序記憶體位置數目時，即將寫入指標之內容寫入保留第一記憶體。

3. 根據申請專利範圍第2項之方法，又包含保留一第二記憶體位置於記憶體裝置之步驟。

4. 根據申請專利範圍第3項之方法，其中保留一第二記憶體位置於記憶體裝置之步驟，包含立即於第一保留記憶體位置後，保留一記憶體位置於記憶體裝置之步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

5. 根據申請專利範圍第4項之方法，又包含寫入值 HEX0000 於第二記憶體位置之步驟。
6. 根據申請專利範圍第5項之方法，其中藉由立即於第二保留記憶體位置後，寫入第一資料序列於一記憶體位置，而完成將至少一封包之資料序列寫入連續之數個記憶體位置之步驟。
7. 根據申請專利範圍第6項之方法，又包含當計數器到達要求之輸入循序記憶體位置數目時，將 HEX1000 寫入第二保留記憶體位置之步驟。
8. 根據申請專利範圍第7項之方法，又包含讀取資料序列之步驟。
9. 根據申請專利範圍第8項之方法，又包含將第一保留記憶體位置中之值寫入一第一暫存器之步驟。
10. 根據申請專利範圍第9項之方法，又包含將第二保留記憶體位置中之最高有效位元寫入一第二暫存器之步驟。
11. 根據申請專利範圍第10項之方法，其中讀取資料序列之步驟，包括以下步驟：  
以記憶體位置之記憶體位址更新一讀取指標，其中資料係從此記憶體位置讀取；及  
藉由比較讀取指標中之記憶體位置與包含於第一保留記憶體位置中之值，而得到一第一邏輯值。
12. 根據申請專利範圍第11項之方法，又包含當第一邏輯值係真及包含於第二暫存器中之值係真時，指示一封

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

包終止之步驟。

13. 根據申請專利範圍第12項之方法，又包含以下步驟：

當資料寫入一記憶體位置時，將一第三暫存器中之值加1；及

當從一記憶體位置讀取資料時，將該第三暫存器減1。

14. 根據申請專利範圍第13項之方法，又包含若第三暫存器之值具有一0值時，設定一空旗號之步驟。

15. 根據申請專利範圍第14項之方法，又包含若第三暫存器之值具有一HEXFFFF值時，設定一全旗號之步驟。

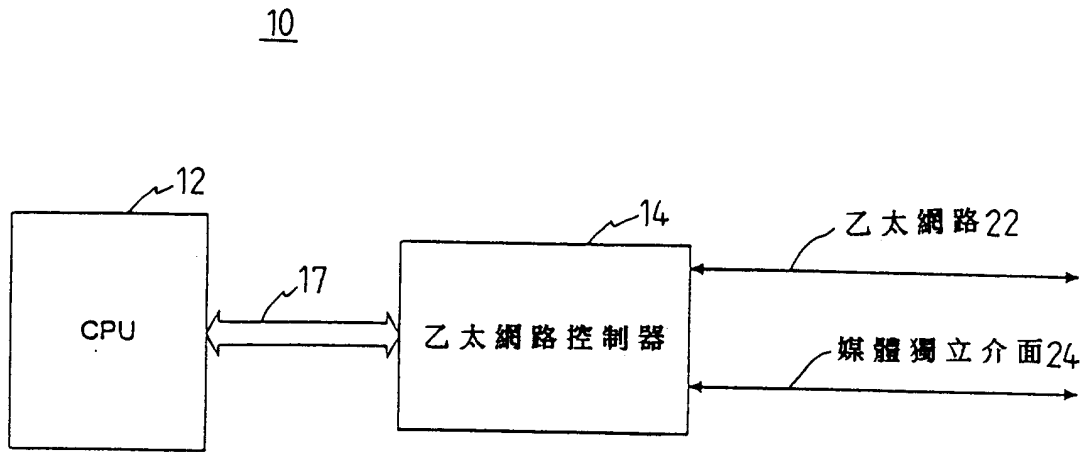
16. 根據申請專利範圍第15項之方法，又包含若設定空旗號，則防止讀取一記憶體位置之步驟之步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

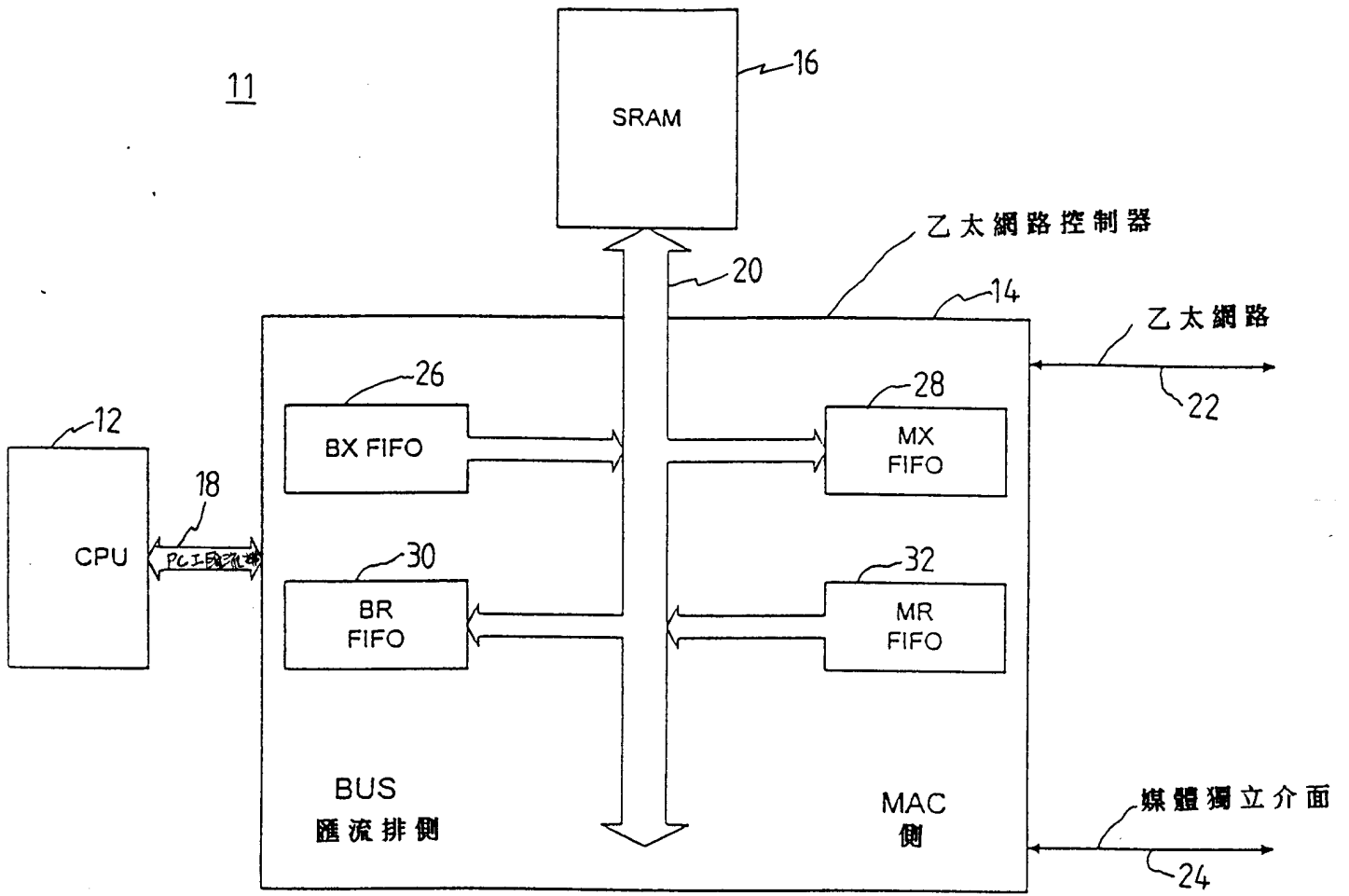
線



(習用技術)

第1圖

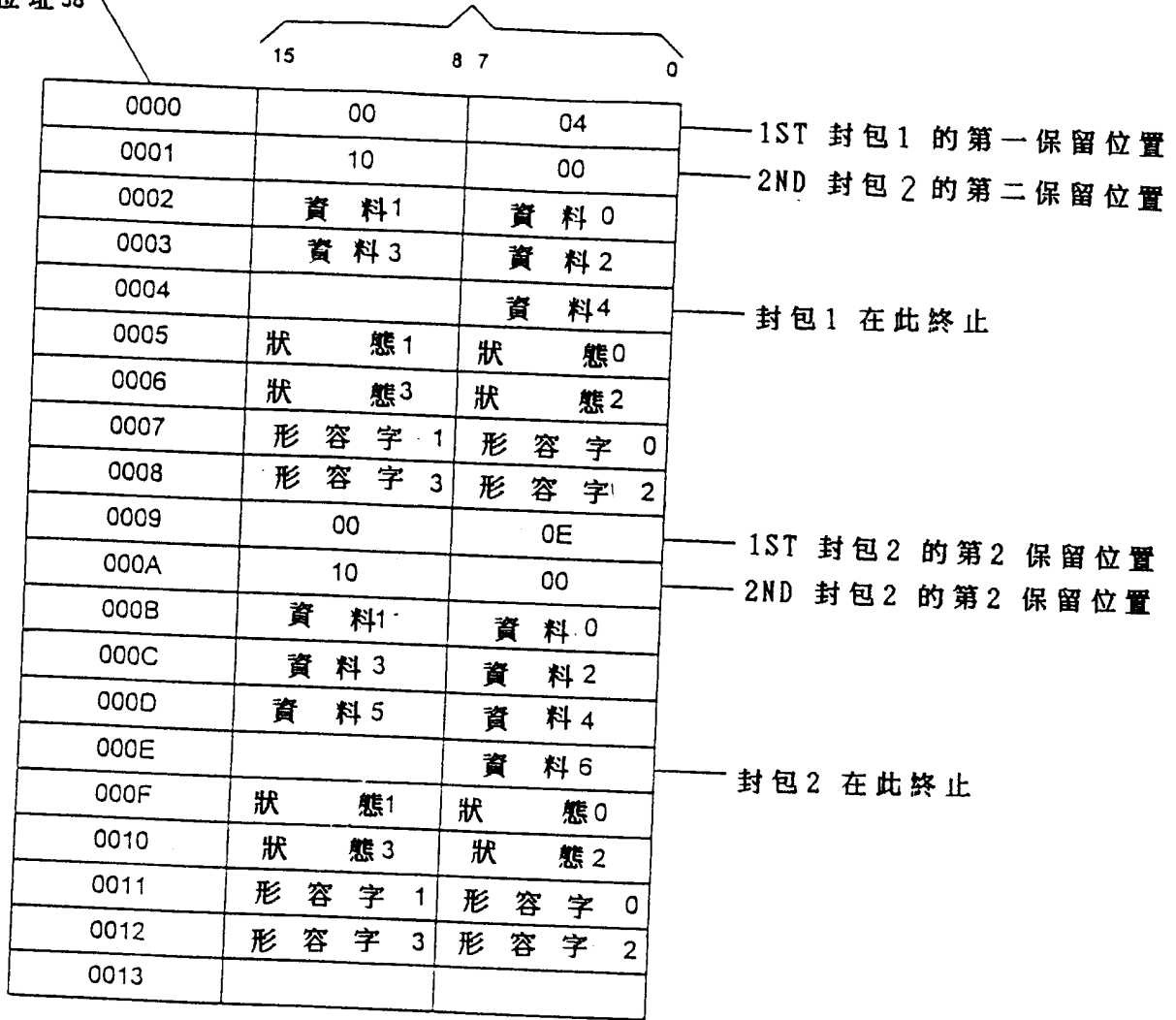
11



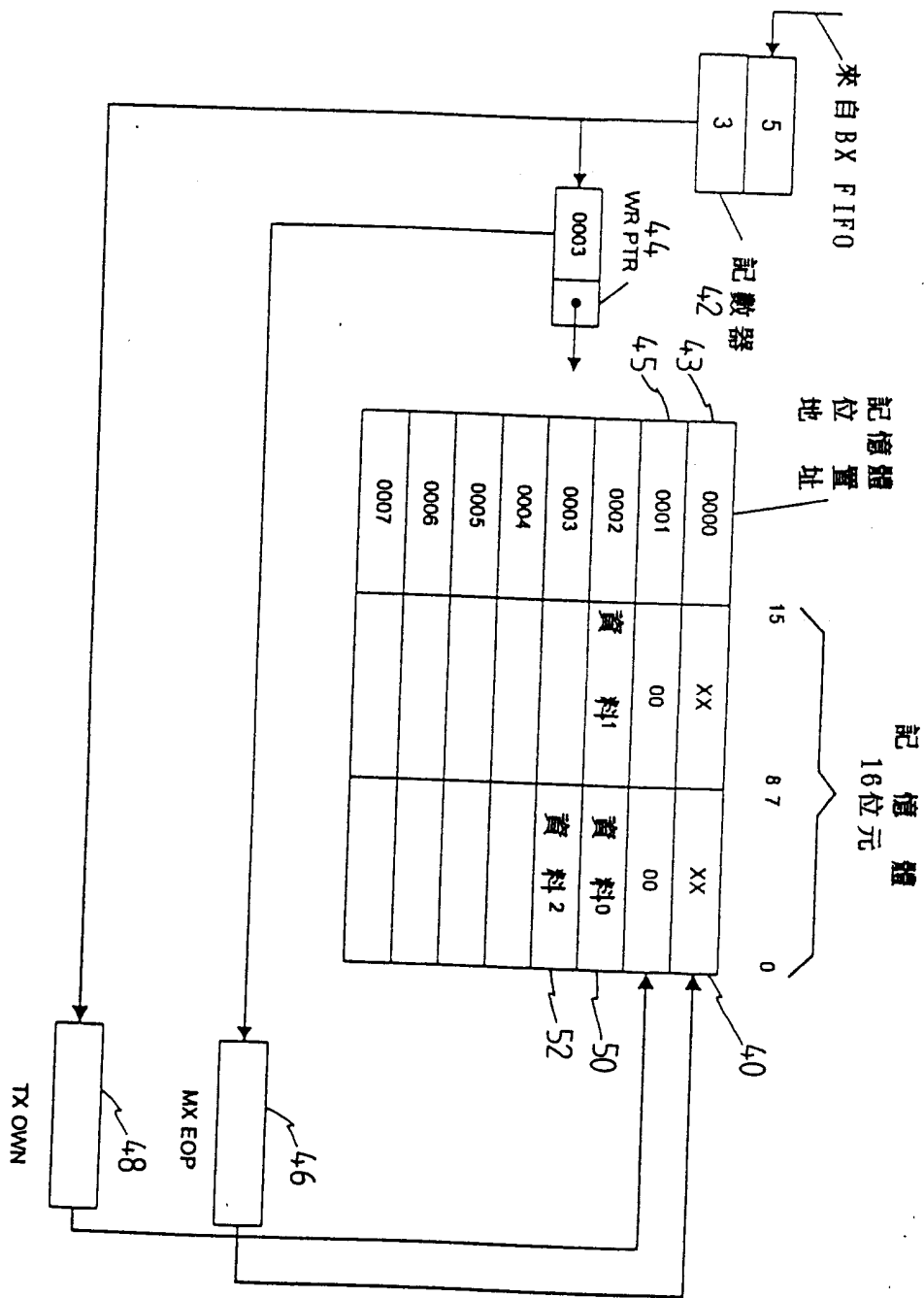
第 2 圖

記憶體  
16位元

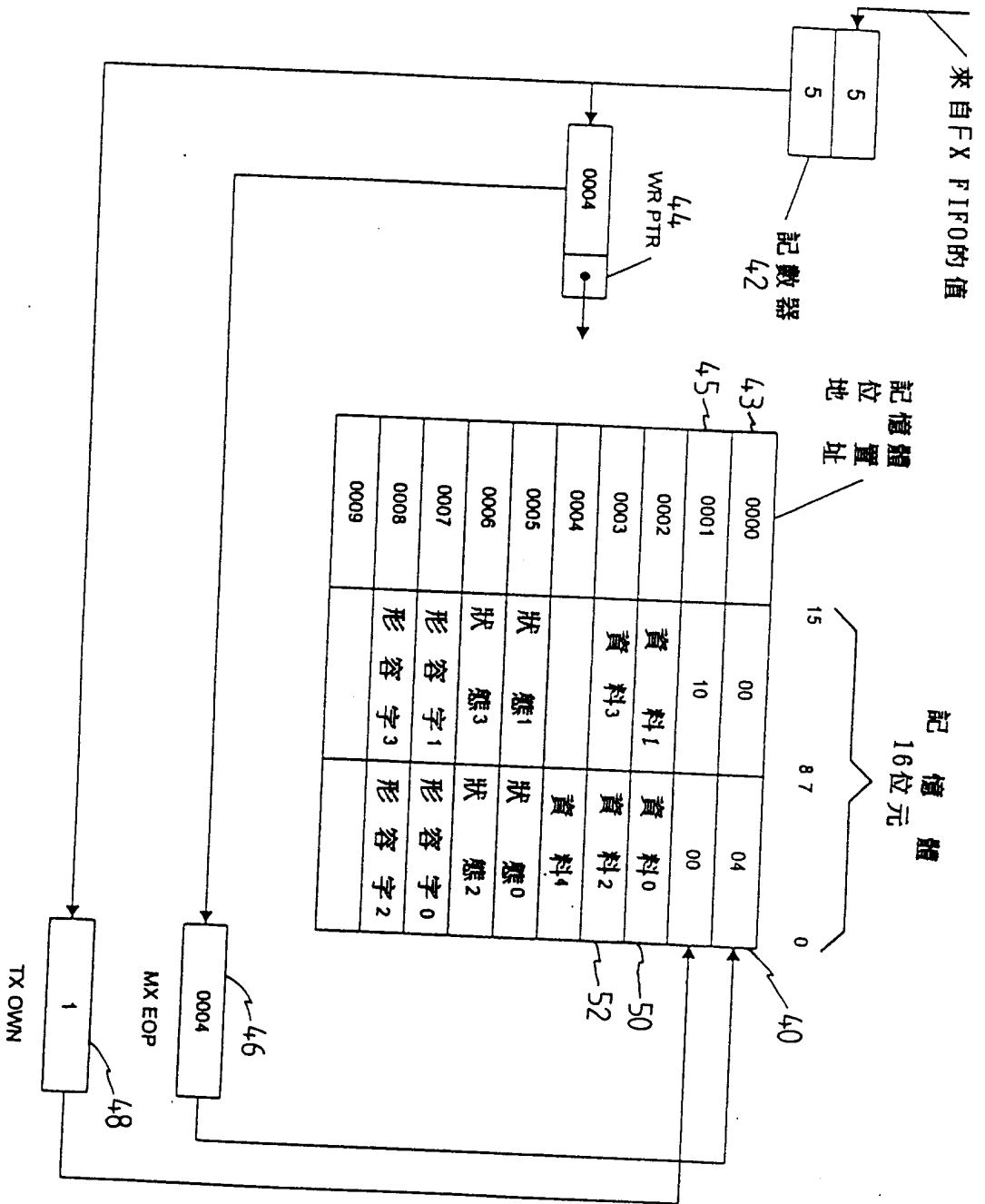
記憶體位址 38



第 3 圖



第4圖



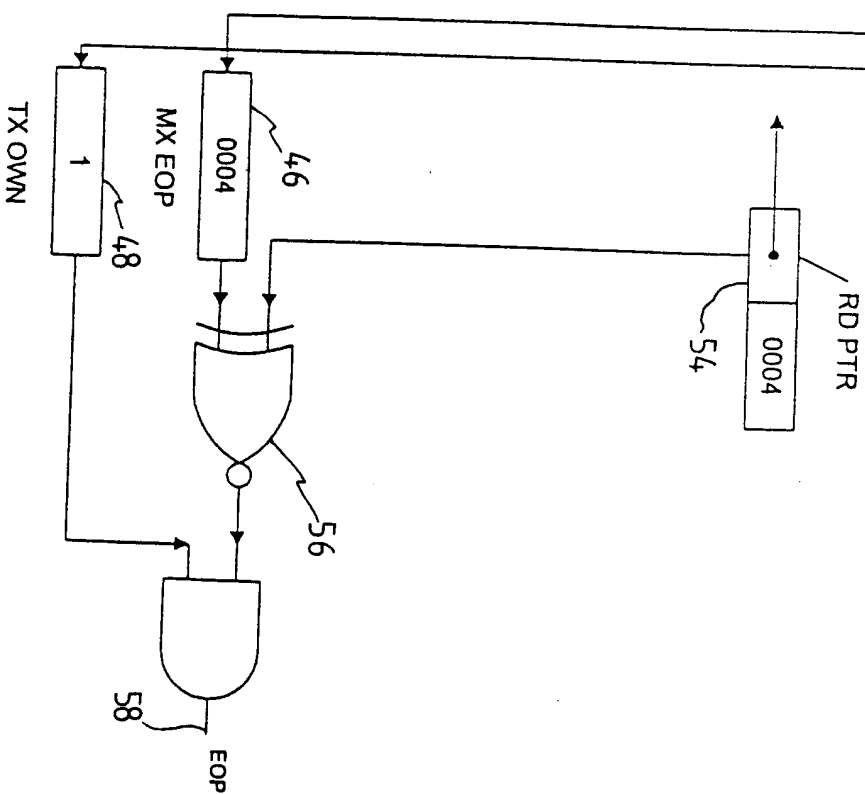
第5圖

記憶體  
5位元

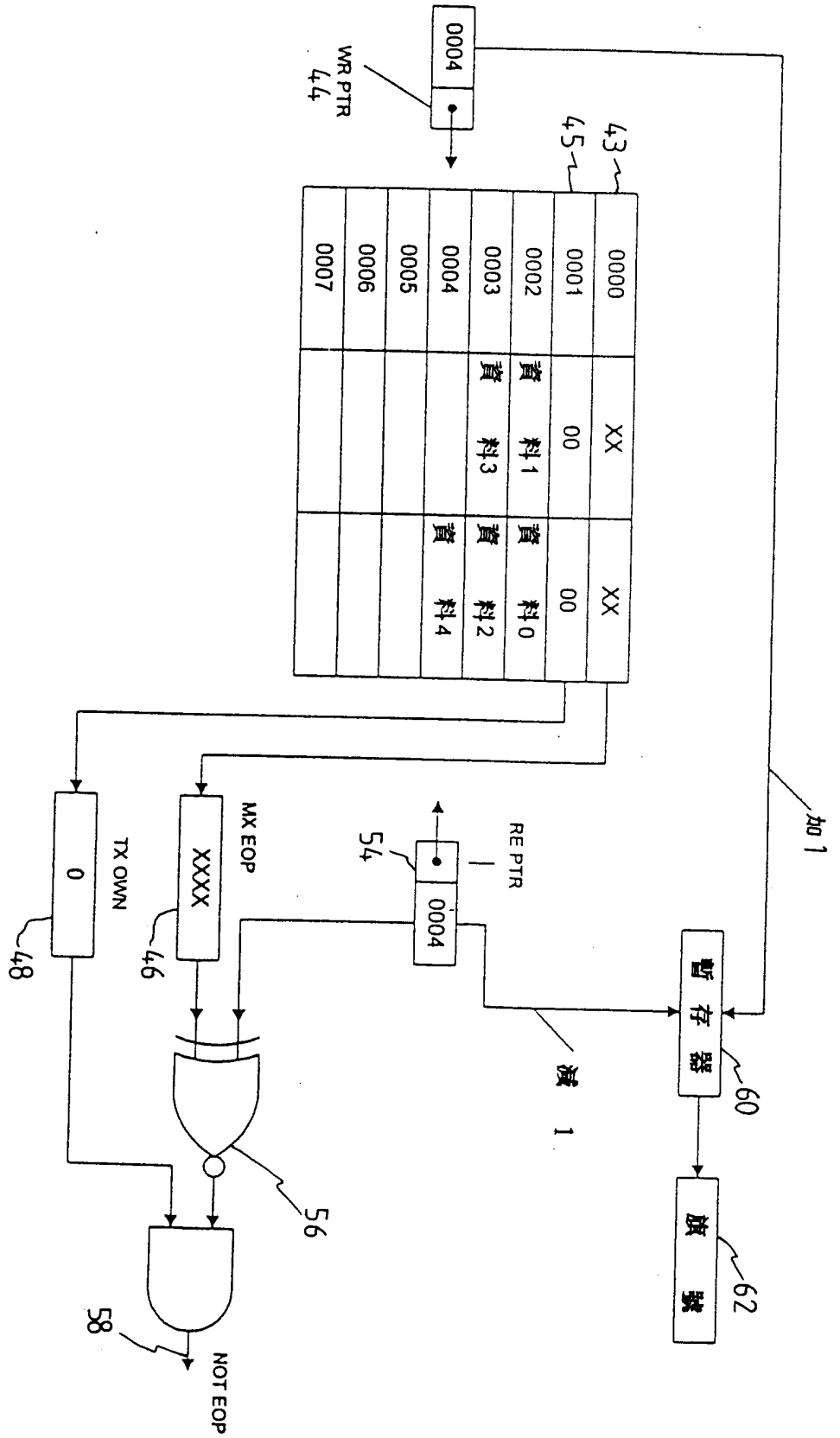
記憶體地址	0000	00	04
	0001	10	00
	0002	資料1	資料0
	0003	資料3	資料2
	0004		資料4
	0005	狀態1	狀態0
	0006	狀態3	狀態2
	0007	形容字1	形容字0
	0008	形容字3	形容字2
	0009		
	000A		

地址位: 43, 45

位元範圍: 15, 8, 7, 0



第6圖



第 7 圖