

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006 年 6 月 1 日 (01.06.2006)

PCT

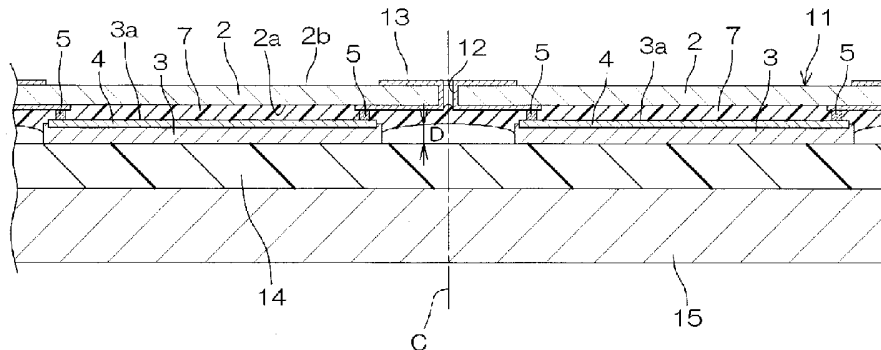
(10) 国際公開番号
WO 2006/057117 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) H01L 21/56 (2006.01)
- (21) 国際出願番号: PCT/JP2005/019003
- (22) 国際出願日: 2005 年 10 月 17 日 (17.10.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-341028
2004 年 11 月 25 日 (25.11.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 谷田 一真 (TANIDA, Kazumasa) [JP/JP]; 〒2770011 千葉県柏市東上町 9-2-207 Chiba (JP). 宮田 修 (MIYATA, Osamu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン NBF タワー 2 1 階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法および半導体装置



(57) Abstract: A method for manufacturing semiconductor devices (1, 21) includes a step of preparing a base board (11), which has a plurality of wiring boards (2) formed thereon and has a conductive member (13) formed over a boundary of the adjacent wiring boards on at least one surface (2a); a chip connecting step for connecting a semiconductor chip (3), which has a functional surface (3a) whereupon a functional element (4) is formed, to each wiring board by permitting the functional surface to face the one surface at a prescribed interval; a sealing resin layer forming step for forming a sealing resin layer (7) in a space between the base board and the semiconductor chip and on the conductive member after the chip connecting step; and a step of cutting the base board along the boundary of the adjacent wiring boards by relatively moving the base board and a cutting tool (B) to permit the cutting tool to penetrate to the one surface from the other surface (2b) on the opposite side to the one surface of the base board after the sealing resin layer forming step.

(57) 要約: 複数の配線基板(2)が作り込まれ、互いに隣接する上記配線基板の境界にまたがって形成された導電部材(13)を少なくとも一方表面(2a)に有する元基板(11)を用意する工程と、機能素子(4)が形成された機能面(3a)を有する半導体チップ(3)を、各配線基板に対して、その機能面が上記一方表面と所定間隔を隔てて対向するように接続するチップ接続工程と、このチップ接続工程の後、上記元基板と上記半導体チップとの隙間、および上記導電部材上に封止樹脂層(7)を形成する封止樹脂層形成工程と、この封止樹脂層形成工程の後、上記元基板と切断工具(B)とを、その切断工具が上記元基板の上記一方表面と反対側の他方表面(2b)から上記一方表面に抜けるように相対移動させることにより、上記元基板を、互いに隣接する上記配線基板の境界に沿って切断する工程とを含む、半導体装置(1,21)の製造方法である。

/ 続葉有 /

WO 2006/057117 A1



LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC,
SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置の製造方法および半導体装置

技術分野

- [0001] この発明は、配線基板とその上に接続された半導体チップとを備えた半導体装置およびその製造方法に関する。

背景技術

- [0002] 半導体装置には、配線基板と、機能素子が形成された機能面をこの配線基板の一方表面に対向させて接続された半導体チップとを備えたものがある。

配線基板には、半導体チップが接続された上記一方表面から、配線基板の端面を経て上記一方表面の反対側の他方表面に至る導電膜が形成されている。この導電膜は、配線基板の端面から上記他方表面に渡って形成され、この半導体装置を実装基板に接続するための外部接続部と、配線基板の上記一方表面に形成され、半導体チップと外部接続部とを接続する配線部とを含む。

- [0003] このような半導体装置は、複数の配線基板が作り込まれたより大きな基板(以下、「元基板」という。)の各配線基板に半導体チップが接続された後、元基板が配線基板の個片に切り分けられて得られる。この際、元基板は、たとえば、ダイシングブレードなどの切断工具により機械的に切断される。

元基板には、隣接する配線基板の境界にまたがって、元基板を厚さ方向に貫通するスルーホールが形成されており、このスルーホールの内面や配線基板においてスルーホール付近の上記一方表面および他方表面には、金属材料からなる導電膜が形成されている。この導電膜が元基板とともに切断されることにより、外部接続部および配線部を含む導電膜を備えた配線基板が得られる。

特許文献1:特開2002-507414号公報

発明の開示

発明が解決しようとする課題

- [0004] ところが、金属材料からなる導電膜は、延性を有するため、切断工具により切断される際、切断工具の移動方向に引きずられて延び、その移動方向下流側にバリを生じ

る。このようなバリを有する半導体装置が、実装基板に実装されると、実装基板上に隣接して実装される他の部品等との間で電氣的短絡を生じる原因となる。また、バリが半導体装置から分離し、たとえば、実装基板上に落ちることによっても実装基板上で電氣的短絡が生じることがある。

[0005] そこで、この発明の目的は、導電部材のバリを有さない半導体装置およびそのような半導体装置を得ることができる半導体装置の製造方法を提供することである。

課題を解決するための手段

[0006] この発明の第1の局面に係る半導体装置の製造方法は、複数の配線基板が作り込まれ、互いに隣接する上記配線基板の境界にまたがって形成された導電部材を少なくとも一方表面に有する元基板を用意する工程と、機能素子が形成された機能面を有する半導体チップを、各配線基板に対して、その機能面が上記一方表面と所定間隔を隔てて対向するように接続するチップ接続工程と、このチップ接続工程の後、上記元基板と上記半導体チップとの隙間、および上記導電部材上に封止樹脂層を形成する封止樹脂層形成工程と、この封止樹脂層形成工程の後、上記元基板と切断工具とを、その切断工具が上記元基板の上記一方表面と反対側の他方表面から上記一方表面に抜けるように相対移動させることにより、上記元基板を、互いに隣接する上記配線基板の境界に沿って切断する工程とを含む。

[0007] この発明によれば、各配線基板毎に半導体チップが接続された元基板を、互いに隣接する配線基板の境界に沿って切断することにより、配線基板に半導体チップが接続された構成の半導体装置を得ることができる。

元基板を切断する工程では、切断工具(たとえば、ダイシングブレード、カット金型など)は、元基板に対して、封止樹脂層が形成されている一方表面と反対側の他方表面側から一方表面側に抜けるように相対的に移動される。このとき、たとえ導電部材が延性を有する金属材料からなる場合であっても、切断工具の移動方向下流側に存在する封止樹脂層によって、その導電部材が切断工具に引きずられて延びることが防止される。したがって、この製造方法によれば、導電部材のバリを有さない半導体装置を製造できる。そして、この半導体装置では、導電部材のバリを有しないので、実装基板に実装されたときに、その実装基板上に実装される他の部品との間での

電気的な短絡を生じるおそれがない。

[0008] 上記元基板を切断する工程は、上記元基板の上記一方表面(上記半導体チップが接続された面)にテープを貼り付ける工程と、上記テープが貼り付けられた上記元基板を、互いに隣接する上記配線基板の境界に沿って切断する工程とを含んでいてもよい。この場合、導電部材上に、封止樹脂層が形成されていることにより、この封止樹脂層が形成されていない場合と比べて、元基板上において、半導体チップと、半導体チップが存在していない領域との間の段差を小さくして、テープに貼り付けることができる。

[0009] 上記封止樹脂層は、上記元基板の上記一方表面において、上記半導体チップとの間および上記導電部材上を含む連続した領域に形成されていてもよく、たとえば、上記一方表面のほぼ全面に形成されていてもよい。

封止樹脂層を構成する樹脂としては、公知のアンダーフィル材を用いることができる。導電部材上に形成する封止樹脂層は、従来、元基板(配線基板)と半導体チップとの間およびその付近にのみ形成されていたアンダーフィル材を、導電部材が形成された隣接する配線基板の境界(配線基板の端部)付近まで拡大して形成すればよく、アンダーフィル材と別に導電部材上に形成する必要はない。

[0010] 上記元基板には、互いに隣接する上記配線基板の境界にまたがる領域に上記元基板を厚さ方向に貫通するスルーホールが形成されていてもよく、この場合、上記導電部材が、上記一方表面から上記スルーホールの内面を経て上記他方表面に至るように連続して形成されていてもよい。

この場合、元基板を、互いに隣接する配線基板の境界に沿って切断することにより、スルーホールは配線基板の端面に形成された溝となり、スルーホール内に形成された導電部材は、配線基板の端面(溝)に形成された導電部材となる。

[0011] この構成によれば、元基板を切断する工程では、導電部材の他方表面に形成された部分は、切断工具の移動方向下流側に存在する元基板によって、切断工具に引きずられ延びることが防止される。したがって、この製造方法によれば、配線基板の一方表面から端面(溝)を経て他方表面に至る導電部材を有しつつ、バリを有さない半導体装置を得ることができる。

[0012] このようにして得られた半導体装置は、導電部材のうち、溝内(配線基板の端面)に形成された部分および他方表面に形成された部分を外部接続部として、たとえば、半田により、実装基板に形成された電極パッドに接続できる。

この発明の第2の局面に係る半導体装置は、配線基板と、機能素子が形成された機能面を有し、この機能面を上記配線基板の一方表面に対向させて、この一方表面との間に所定間隔を保持して接合された半導体チップと、上記配線基板の少なくとも上記一方表面上に形成され、上記配線基板とほぼ面一の端面を有する導電部材と、上記配線基板と上記半導体チップとの間および上記導電部材上に形成された封止樹脂層とを含む。

[0013] この半導体装置は、上述の製造方法により製造できる。

上記配線基板の端面には、上記配線基板の厚さ方向に渡って溝が形成されていてもよく、この場合、上記導電部材は、上記一方表面から上記溝の内面を経て上記一方表面と反対側の他方表面に至るように連続して形成されていてもよい。

この半導体装置は、上記溝の上記一方表面側を塞ぐように形成された蓋部材をさらに含んでもよい。

[0014] この半導体装置は、上記一方表面側において、上記スルーホールを塞ぐように蓋部材が形成された元基板を用いて製造することができる。封止樹脂層は、未硬化(液状)の封止樹脂をこの元基板の上記一方表面に膜状に形成した後、この封止樹脂を硬化させることにより形成できる。この場合、蓋部材により、未硬化の封止樹脂がスルーホール内に流れ込むことを防止できる。したがって、スルーホールの内面に形成された導電部材を外部接続部として用いる場合であっても、この外部接続部が封止樹脂層に覆われて、たとえば、半田による接続が阻害されることを防止できる。

[0015] 蓋部材は、導電性を有するものであってもよく、この場合、蓋部材は、導電部材に接続されていてもよい。蓋部材は金属材料からなってもよく、この場合、蓋部材はめっきにより形成されてもよい。

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0016] [図1]本発明の第1の実施形態に係る半導体装置の構造を示す図解的な断面図である。

[図2]図1に示す半導体装置において、配線基板の端面付近を拡大して示す図解的な斜視図である。

[図3A]図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

[図3B]図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

[図3C]図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

[図4]元基板の切断面を示す図解的な側面図である。

[図5]本発明の第2の実施形態に係る半導体装置の構造を示す図解的な断面図である。

[図6]図5に示す半導体装置において、配線基板の端面付近を拡大して示す図解的な斜視図である。

発明を実施するための最良の形態

[0017] 図1は、本発明の第1の実施形態に係る半導体装置の構造を示す図解的な断面図である。

この半導体装置1は、配線基板2と、機能素子4が形成された機能面3aを有する半導体チップ3とを備えている。半導体チップ3は、配線基板2の表面2aに機能面3aを対向させて、接続部材5によって、表面2aと所定間隔を保つように接続されている。

[0018] 配線基板2の端面2e付近には、銅(Cu)などの金属材料からなる導電膜6が形成されている。導電膜6は、端面2eと、表面2aの反対側の面(裏面)2bとに渡って連続して形成された外部接続部6Tと、表面2aに形成され、外部接続部6Tと接続部材5とを接続する配線部6Wとを含んでいる。配線部6Wと外部接続部6Tとは、一体に形成されている。接続部材5は、配線部6Wの上に形成されている。

[0019] 表面2aを垂直に見下ろす平面視において、配線基板2は半導体チップ3より大きく、配線基板2の周縁部には、半導体チップ3が対向していない領域が存在している。

配線基板2の表面2aのほぼ全面に渡って、封止樹脂層7が形成されている。封止

樹脂層7は、公知のアンダーフィル材からなる。封止樹脂層7は、配線基板2と半導体チップ3との隙間に充填されており、これにより、半導体チップ3の機能面3aや接続部材5などが保護されている。また、封止樹脂層7は、導電膜6の配線部6W上を覆っている。

- [0020] この半導体装置1は、外部接続部6T、すなわち、導電膜6のうち、配線基板2の端面2eおよび裏面2bに形成された部分を介して、実装基板に接続することができる。この際、外部接続部6Tと実装基板に形成された電極パッドとを、半田により接続することができる。

図2は、配線基板2の端面2e付近を拡大して示す図解的な斜視図である。

- [0021] 配線基板2の端面2eには、配線基板2の厚さ方向に渡って半円柱状の溝8が形成されている。

外部接続部6Tは、溝8内では、溝8の内面に沿って形成されており、裏面2bでは、裏面2bの内方に向かって延びるように形成されている。配線部6Wは、外部接続部6Tとの接続部では、溝8の縁部に沿って半円弧状に形成されている。

- [0022] 封止樹脂層7の端面7e(配線基板2の面内方向において端面2e側の面)および外部接続部6Tの端面6e(配線基板2の面内方向において端面2e側の面)は、配線基板2の端面2eとほぼ面一になっている。

図3Aないし図3Cは、半導体装置1の製造方法を説明するための図解的な断面図である。

- [0023] 半導体装置1は、複数の配線基板2が作り込まれたより大きな基板(以下、「元基板」という。)11の各配線基板2に半導体チップ3が接続された後、元基板11が配線基板2の個片に切り分けられて得られる。

元基板11において、互いに隣接する配線基板2の境界にまたがる領域には、元基板11を厚さ方向に貫通するスルーホール12が形成されている。

- [0024] また、元基板11において、半導体装置1の導電膜6(図1および図2参照)に対応する領域に、導電膜6と同種の金属材料からなる導電膜13が形成されている。導電膜13は、互いに隣接する配線基板2の境界にまたがって形成されており、スルーホール12の内壁を覆っている。

このような元基板11が表面2aを上方に向けられて、表面2aにおいて、各配線基板2毎に、表面2aとの間に所定間隔を保持して、半導体チップ3が接続される(図3A参照)。半導体チップ3は、その機能面3aを表面2aに対向させて接続される。この際、半導体チップ3の接続部材5が、導電膜13(配線部6Wに相当する部分)に接続される。

[0025] 続いて、封止樹脂層7を形成するために、元基板11の表面2a上に全面に、未硬化(液状)の封止樹脂の膜7Pが形成される(図3B参照)。この未硬化の封止樹脂の膜7Pにより、元基板11と半導体チップ3との隙間が埋められるとともに、導電膜13の表面2a上に形成された部分、すなわち、配線部6Wに相当する部分がほぼ完全に覆われる。そして、この未硬化の樹脂が硬化されて封止樹脂層7が得られる。

[0026] 次に、元基板11の表面2a側が、テープ14を介して支持板15に貼り付けられ、元基板11が、表面2aを下方に向けられて支持板15上に支持された状態とされる。この状態が、図3Cに示されている。

導電膜13の上に、封止樹脂層7が形成されていることにより、封止樹脂層7が形成されていない場合と比べて、元基板11上において、半導体チップ3と、半導体チップ3が存在していない領域との間の段差Dを小さくして、テープ14に貼り付けることができる。

[0027] そして、元基板11が、テープ14および支持板15とともに、互いに隣接する配線基板2の境界に沿って切断され(切断位置Cを、図3Cに一点鎖線で示す。)、元基板11が配線基板2の個片にされて、図1に示す半導体装置1が得られる。

図4は、元基板11の切断面を示す図解的な側面図である。

元基板は、たとえば、ダイシングブレードB(図4に二点鎖線で示す。)などの切断工具により機械的に切断される。

[0028] ダイシングブレードBは、元基板11を切断するべき部分の付近では、元基板11の裏面2b側から表面2a側に抜けて相対移動するように回転(図4に、ダイシングブレードBの回転方向を矢印Rで示す)される。ここで、導電膜13の配線部6W相当部13Wに対して、ダイシングブレードBの移動方向下流側には、封止樹脂層7が存在している。同様に、導電膜13において、裏面2bに形成された部分に対して、ダイシングブ

レードBの移動方向下流側には、元基板11が存在している。

[0029] このため、導電膜13の配線部6W相当部13Wや裏面2bに形成された部分は、ダイシングブレードBに引きずられてバリを生じることがない。すなわち、封止樹脂層7が存在していなかったとすると、導電膜13の配線部6W相当部13Wは、ダイシングブレードBに引きずられて延ばされ、バリ16(図4に二点鎖線で示す。)を生じるが、封止樹脂層7が存在していることにより、ダイシングブレードBの相対移動方向に延びることができないから、バリ16が生じない。

[0030] したがって、この製造方法により、導電部材6のバリを有さない半導体装置1を製造できる。そして、この半導体装置1では、導電部材6のバリを有しないので、実装基板に実装されたときに、その実装基板上に実装される他の部品との間での電氣的な短絡を生じるおそれがない。

また、この製造方法によれば、導電膜13の配線部6W相当部13Wの上に形成する封止樹脂層7は、従来、元基板11(配線基板2)と半導体チップ3との間およびその付近にのみ形成されていたアンダーフィル材を、互いに隣接する配線基板2の境界付近まで拡大して形成すればよい。

[0031] 図5は、本発明の第2の実施形態に係る半導体装置の構造を示す図解的な断面図である。図5において、図1に示す各部に対応する部分には、図1と同じ参照符号を付している。

この半導体装置21は、配線基板2と、配線基板2に機能面3aを対向させて接続された半導体チップ3を備えている。配線基板2の端面2e付近には、銅(Cu)などの金属材料からなる導電膜6が形成されている。導電膜6は、端面2eと、表面2aの反対側の面(裏面)2bとに渡って連続して形成された外部接続部6Tと、表面2aに形成され、外部接続部6Tと接続部材5とを接続する配線部6Wとを含んでいる。

[0032] 図6は、半導体装置21において、配線基板2の端面2e付近を拡大して示す図解的な斜視図である。

端面2eには、配線基板2の厚さ方向に渡って半円柱状の溝8が形成されている。外部接続部6Tは、溝8内では、溝8の内面に沿って形成されている。

溝8の表面2a側を塞ぐように、蓋配線22が形成されている。蓋部材22は、表面2a

を垂直に見下ろす平面視において、溝8上およびその周縁部に形成されており、半円形を有している。また、蓋配線22は導電性を有し、たとえば、導電膜6と同種の金属材料からなる。

- [0033] 封止樹脂層7の端面7e、外部接続部6Tの端面6e、および蓋配線22の端面22e(配線基板2の面内方向において端面2e側の面)は、配線基板2の端面2eとほぼ面一になっている。

この半導体装置21は、半導体装置1の製造方法と同様の製造方法により製造できる。この際、元基板11は、配線部6Wを覆い、スルーホール12の表面2a側を塞ぐ蓋配線23(図4に二点鎖線で示す。)が形成されたものとすることができる。

- [0034] 未硬化(液状)の封止樹脂の膜7Pを、元基板11の表面2aに形成する際、蓋配線23により、未硬化の封止樹脂がスルーホール12内に流れ込むことを防止できる。したがって、未硬化の封止樹脂を硬化させた後、封止樹脂層7は、スルーホール12内に存在しないようにすることができる。

元基板11が、互いに隣接する配線基板2の境界に沿って切断されると、元基板11に形成された蓋配線23は、溝8の表面2a側を塞ぐ蓋配線22となる。

- [0035] 以上のような製造方法により、半導体装置21において、外部接続部6T(その一部または全部)が封止樹脂層7に覆われて、半田による接続が阻害されることを防止できる。

本発明の実施形態の説明は以上の通りであるが、本発明は他の形態でも実施できる。たとえば、封止樹脂層7は、元基板11の表面2aの全面に形成する必要はなく、半導体チップ3が対向していない領域では、導電膜13上以外の領域には形成されなくてもよい。この場合でも、元基板11の切断時のバリの発生を防止できる。

- [0036] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

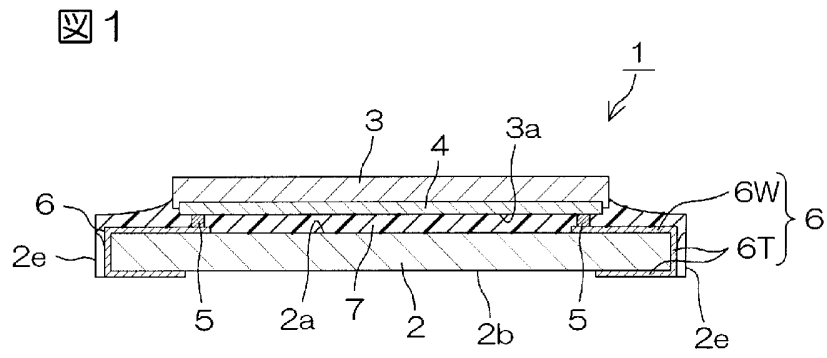
この出願は、2004年11月25日に日本国特許庁に提出された特願2004-341028に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

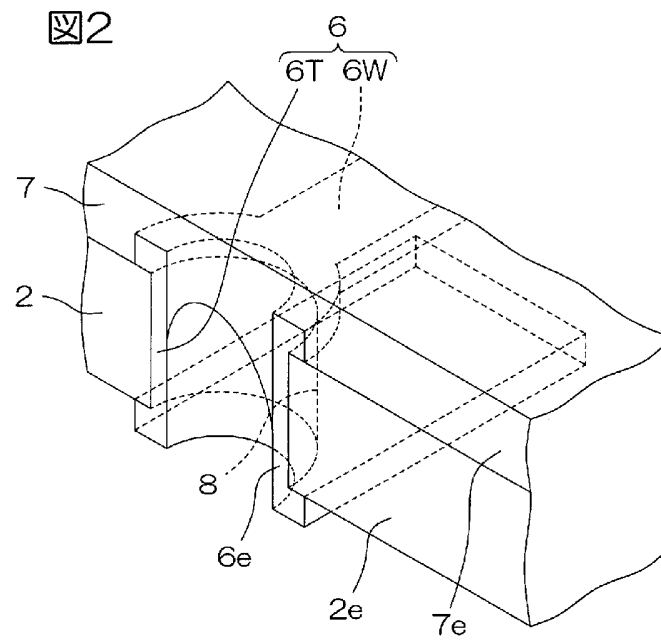
- [1] 複数の配線基板が作り込まれ、互いに隣接する上記配線基板の境界にまたがって形成された導電部材を少なくとも一方表面に有する元基板を用意する工程と、
機能素子が形成された機能面を有する半導体チップを、各配線基板に対して、その機能面が上記一方表面と所定間隔を隔てて対向するように接続するチップ接続工程と、
このチップ接続工程の後、上記元基板と上記半導体チップとの隙間、および上記導電部材上に封止樹脂層を形成する封止樹脂層形成工程と、
この封止樹脂層形成工程の後、上記元基板と切断工具とを、その切断工具が上記元基板の上記一方表面と反対側の他方表面から上記一方表面に抜けるように相対移動させることにより、上記元基板を、互いに隣接する上記配線基板の境界に沿って切断する工程とを含む、半導体装置の製造方法。
- [2] 上記元基板には、互いに隣接する上記配線基板の境界にまたがる領域に上記元基板を厚さ方向に貫通するスルーホールが形成されており、
上記導電部材が、上記一方表面から上記スルーホールの内面を経て上記他方表面に至るように連続して形成されている、請求項1記載の半導体装置の製造方法。
- [3] 配線基板と、
機能素子が形成された機能面を有し、この機能面を上記配線基板の一方表面に対向させて、この一方表面との間に所定間隔を保持して接合された半導体チップと、
上記配線基板の少なくとも上記一方表面上に形成され、上記配線基板とほぼ面一の端面を有する導電部材と、
上記配線基板と上記半導体チップとの間および上記導電部材上に形成された封止樹脂層とを含む、半導体装置。
- [4] 上記配線基板の端面には、上記配線基板の厚さ方向に渡って溝が形成されており、
上記導電部材は、上記一方表面から上記溝の内面を経て上記一方表面と反対側の他方表面に至るように連続して形成されている、請求項3記載の半導体装置。
- [5] 上記溝の上記一方表面側を塞ぐように形成された蓋部材をさらに含む、請求項4記

載の半導体装置。

[図1]

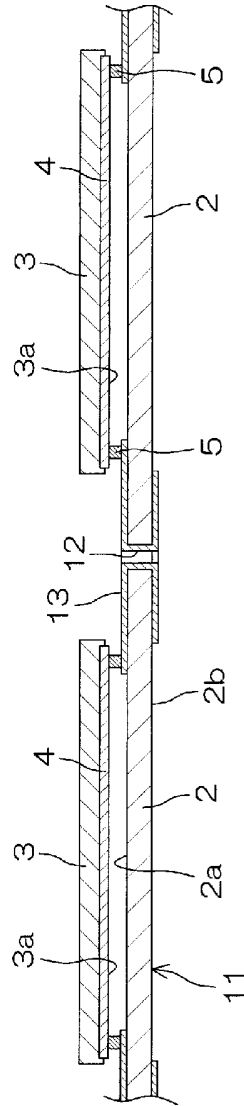


[図2]



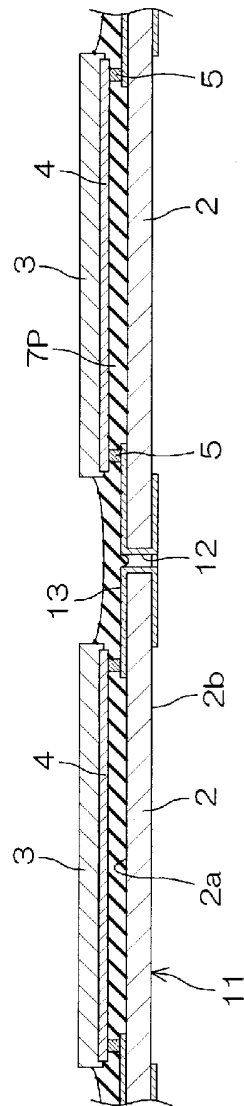
[図3A]

図3A



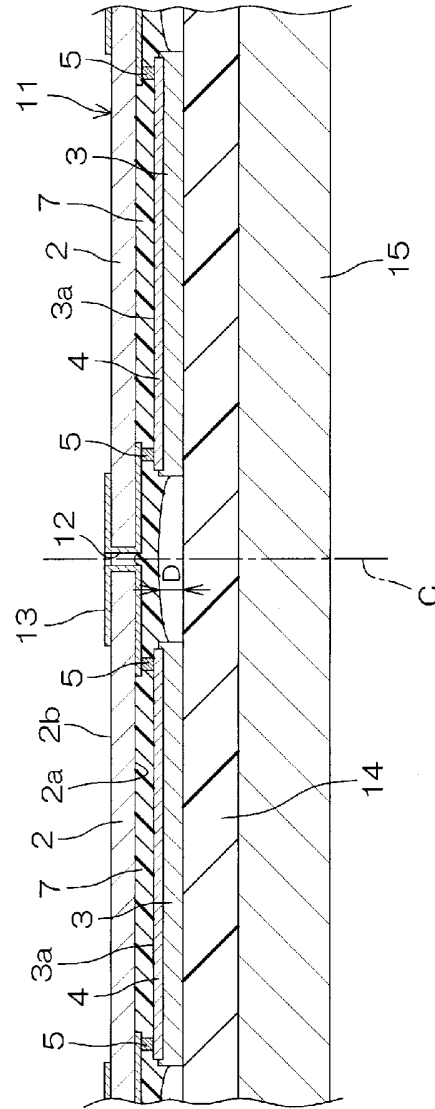
[図3B]

図3B

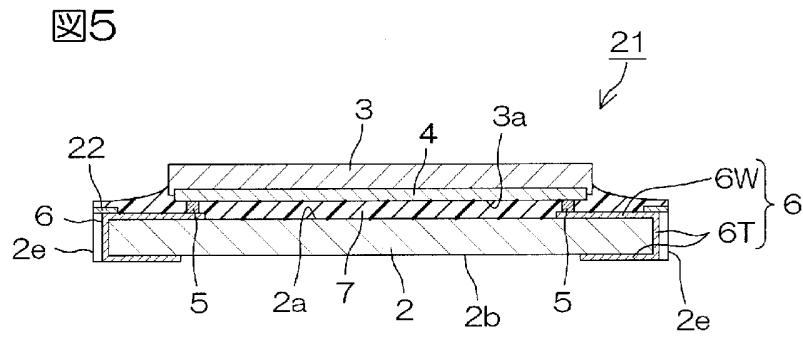


[図3C]

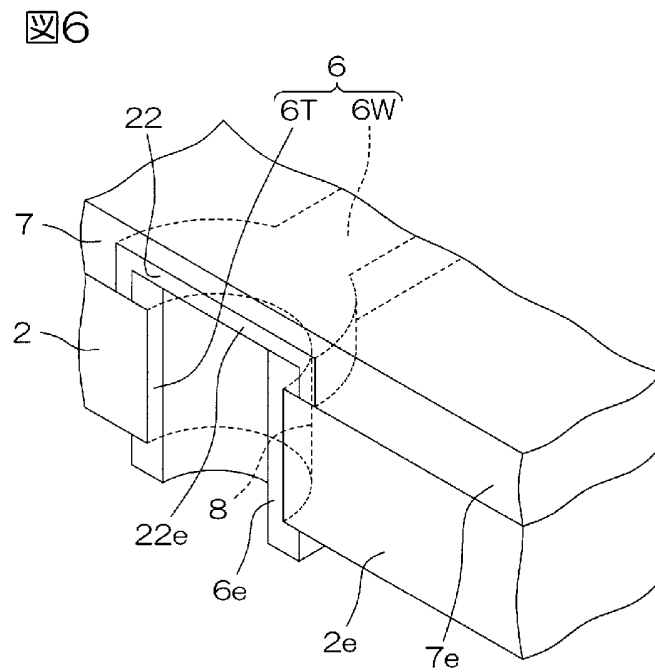
図3C



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019003

A. CLASSIFICATION OF SUBJECT MATTER H01L23/12(2006.01), H01L21/56(2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L23/12(2006.01), H01L21/56(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-223001 A (Nichia Chemical Industries, Ltd.), 09 August, 2002 (09.08.02), Par. Nos. [0010] to [0027]; Figs. 1 to 10 (Family: none)	3-5
X	JP 2001-68799 A (Kyocera Corp.), 16 March, 2001 (16.03.01), Par. Nos. [0014] to [0030]; Figs. 1 to 3 (Family: none)	3-5
A	JP 8-274209 A (Seiko Epson Corp.), 08 October, 1996 (08.10.96), (Family: none)	1-5
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 October, 2005 (26.10.05)		Date of mailing of the international search report 08 November, 2005 (08.11.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019003

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-107161 A (Seiko Epson Corp.), 23 April, 1996 (23.04.96), & US 5729437 A & EP 689245 A2	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ **H01L23/12** (2006.01), **H01L21/56** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ **H01L23/12** (2006.01), **H01L21/56** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-223001 A(日亜化学工業株式会社)2002.08.09, 【0010】 - 【0027】, 図 1-10 (ファミリーなし)	3-5
X	JP 2001-68799 A(京セラ株式会社)2001.03.16, 【0014】 - 【0030】, 図 1-3 (ファミリーなし)	3-5
A	JP 8-274209 A(セイコーエプソン株式会社)1996.10.08 (ファミリーなし)	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

26.10.2005

国際調査報告の発送日

08.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

電話番号 03-3581-1101 内線 3471

4 R

9 2 6 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-107161 A(セイコーエプソン株式会社)1996. 04. 23 & US 5729437 A & EP 689245 A2	1-5