



(12) 发明专利申请

(10) 申请公布号 CN 112802424 A

(43) 申请公布日 2021.05.14

(21) 申请号 202110218702.7

(22) 申请日 2021.02.26

(71) 申请人 合肥维信诺科技有限公司
地址 230037 安徽省合肥市新站区魏武路
与新蚌埠路交叉口西南角

(72) 发明人 王玲 李俊峰 王刚 郭恩卿
盖翠丽

(74) 专利代理机构 北京东方亿思知识产权代理
有限责任公司 11258

代理人 娜拉

(51) Int. Cl.
G09G 3/20 (2006.01)
G11C 19/28 (2006.01)

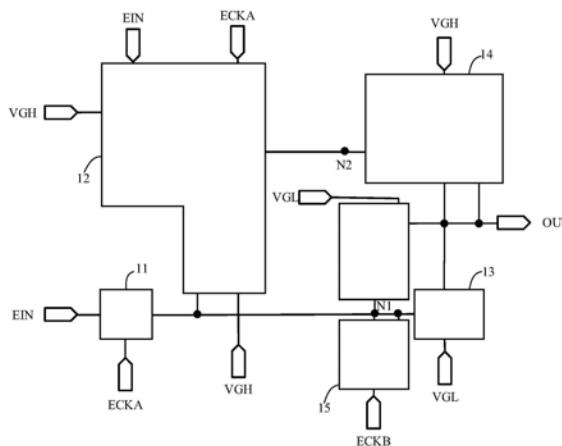
权利要求书2页 说明书10页 附图9页

(54) 发明名称

移位寄存器、显示面板及显示装置

(57) 摘要

本申请公开了一种移位寄存器、显示面板及显示装置。移位寄存器,包括:第一输入模块,用于根据输入信号端及第一时钟信号端的信号,控制第一节点的电位;第二输入模块,用于根据输入信号端、第一时钟信号端、第一电源端及第一节点的信号,控制第二节点的电位;第一输出模块,用于响应于第一节点的导通电平,将第二电源端的信号传输至输出信号端;第二输出模块,用于响应于第二节点的导通电平,将第一电平端的信号传输至输出信号端;下拉模块,用于在输出信号端输出导通电平时,下拉第一节点的电位。根据本申请实施例,能够提高移位寄存器的稳定性。



1. 一种移位寄存器,其特征在于,包括:

第一输入模块,与输入信号端、第一时钟信号端及第一节点电连接,用于根据所述输入信号端及所述第一时钟信号端的信号,控制所述第一节点的电位;

第二输入模块,与所述输入信号端、所述第一时钟信号端、第一电源端、所述第一节点及第二节点电连接,用于根据所述输入信号端、所述第一时钟信号端、所述第一电源端及所述第一节点的信号,控制所述第二节点的电位;

第一输出模块,与所述第一节点、第二电源端及输出信号端电连接,用于响应于所述第一节点的导通电平,将所述第二电源端的信号传输至所述输出信号端;

第二输出模块,与所述第二节点、所述第一电平端及所述输出信号端电连接,用于响应于所述第二节点的导通电平,将所述第一电平端的信号传输至所述输出信号端;

下拉模块,与所述第一节点、所述输出信号端、所述第二电源端及第二时钟信号端电连接,用于在所述输出信号端输出导通电平时,下拉所述第一节点的电位。

2. 根据权利要求1所述的移位寄存器,其特征在于,所述第一输入模块包括:

第一晶体管,所述第一晶体管的栅极与所述第一时钟信号端电连接,所述第一晶体管的第一极与所述输入信号端电连接,所述第一晶体管的第二极与所述第一节点电连接。

3. 根据权利要求1所述的移位寄存器,其特征在于,所述第二输入模块包括:

第二晶体管,所述第二晶体管的栅极与所述输入信号端电连接,所述第二晶体管的第一极与所述第一电源端电连接,所述第二晶体管的第二极与第三节点电连接;

第三晶体管,所述第三晶体管的栅极与所述第三节点电连接,所述第三晶体管的第一极与所述第一时钟信号端电连接,所述第三晶体管的第二极与所述第二节点电连接;

第四晶体管,所述第四晶体管的栅极与所述第一节点电连接,所述第四晶体管的第一极与所述第一电源端电连接,所述第四晶体管的第二极与所述第二节点电连接;

第一电容,所述第一电容的第一极与所述第一时钟信号端电连接,所述第一电容的第二极与所述第三节点电连接。

4. 根据权利要求1所述的移位寄存器,其特征在于,所述下拉模块包括第五晶体管、第六晶体管、第二电容及第三电容;其中,

所述第五晶体管的栅极与所述第二电源端电连接,所述第五晶体管的第一极与所述输出信号端电连接,所述第五晶体管的第二极与所述第二电容的第一极电连接;

所述第二电容的第二极与所述第一节点电连接;

所述第六晶体管的栅极与所述第一节点电连接,所述第六晶体管的第一极与所述第二时钟信号端电连接,所述第六晶体管的第二极与所述第三电容的第一极电连接;

所述第三电容的第二极与所述第一节点电连接。

5. 根据权利要求1所述的移位寄存器,其特征在于,所述第一输出模块包括:

第七晶体管,所述第七晶体管的栅极与所述第一节点电连接,所述第七晶体管的第一极与所述第二电源端电连接,所述第七晶体管的与所述输出信号端电连接。

6. 根据权利要求1所述的移位寄存器,其特征在于,所述第二输出模块包括第八晶体管、第九晶体管、第十晶体管及第四电容;其中,

所述第八晶体管的栅极与所述第二节点电连接,所述第八晶体管的第一极与所述第一电源端电连接,所述第八晶体管的第二极与所述第九晶体管的第一极电连接;

所述第九晶体管的栅极与所述第二节点电连接,所述第九晶体管的第二极与所述输出信号端电连接;

所述第十晶体管的栅极与所述输出信号端电连接,所述第十晶体管的第一极与所述第二电源端电连接,所述第十晶体管的第二极与所述第八晶体管的第二极以及所述第九晶体管的第一极电连接;

所述第四电容的第一极与所述第一电源端电连接,所述第四电容的第二极与所述第二节点电连接;

或者,所述第二输出模块包括第十一晶体管及第五电容;其中,

所述第十一晶体管的栅极与所述第二节点电连接,所述第十一晶体管的第一极与所述第一电源端电连接,所述第十一晶体管的第二极与所述输出信号端电连接;

所述第五电容的第一极与所述第一电源端电连接,所述第五电容的第二极与所述第二节点电连接。

7. 根据权利要求1所述的移位寄存器,其特征在于,所述移位寄存器还包括保护模块,所述保护模块的控制端与所述第二电源端电连接,所述第一输入模块以及所述第二输入模块通过所述保护模块与所述第一节点电连接,所述保护模块用于保护所述第一输入模块和所述第二输入模块。

8. 根据权利要求7所述的移位寄存器,其特征在于,所述保护模块包括第十二晶体管,所述第一输入模块以及所述第二输入模块通过所述第十二晶体管与所述第一节点电连接,所述第十晶体管的栅极与所述第二电源端电连接。

9. 一种显示面板,其特征在于,包括多个级联的如权利要求1至8任一项所述的移位寄存器。

10. 一种显示装置,其特征在于,包括如权利要求9所述的显示面板。

移位寄存器、显示面板及显示装置

技术领域

[0001] 本申请涉及显示技术领域,具体涉及一种移位寄存器、显示面板及显示装置。

背景技术

[0002] 在显示领域,为了实现发光控制或其他功能,常常需要用到移位寄存器。移位寄存器通常包括晶体管,由于工艺或其它原因,晶体管的阈值电压会存在偏移,导致移位寄存器工作时,其内部控制节点的电压不稳定,进而导致移位寄存器无法稳定工作。

[0003] 因此,如何提高移位寄存器的稳定性成为本领域技术人员亟需解决的技术问题。

发明内容

[0004] 本申请实施例提供一种移位寄存器、显示面板及显示装置,能够提高移位寄存器的稳定性。

[0005] 第一方面,本申请实施例提供一种移位寄存器,其包括:第一输入模块,与输入信号端、第一时钟信号端及第一节点电连接,用于根据输入信号端及第一时钟信号端的信号,控制第一节点的电位;第二输入模块,与输入信号端、第一时钟信号端、第一电源端、第一节点及第二节点电连接,用于根据输入信号端、第一时钟信号端、第一电源端及第一节点的信号,控制第二节点的电位;第一输出模块,与第一节点、第二电源端及输出信号端电连接,用于响应于第一节点的导通电平,将第二电源端的信号传输至输出信号端;第二输出模块,与第二节点、第一电平端及输出信号端电连接,用于响应于第二节点的导通电平,将第一电平端的信号传输至输出信号端;下拉模块,与第一节点、输出信号端、第二电源端及第二时钟信号端电连接,用于在输出信号端输出导通电平时,下拉第一节点的电位。

[0006] 在第一方面一种可能的实施方式中,第一输入模块包括:

[0007] 第一晶体管,第一晶体管的栅极与第一时钟信号端电连接,第一晶体管的第一极与输入信号端电连接,第一晶体管的第二极与第一节点电连接。

[0008] 在第一方面一种可能的实施方式中,第二输入模块包括:

[0009] 第二晶体管,第二晶体管的栅极与输入信号端电连接,第二晶体管的第一极与第一电源端电连接,第二晶体管的第二极与第三节点电连接;

[0010] 第三晶体管,第三晶体管的栅极与第三节点电连接,第三晶体管的第一极与第一时钟信号端电连接,第三晶体管的第二极与第二节点电连接;

[0011] 第四晶体管,第四晶体管的栅极与第一节点电连接,第四晶体管的第一极与第一电源端电连接,第四晶体管的第二极与第二节点电连接;

[0012] 第一电容,第一电容的第一极与第一时钟信号端电连接,第一电容的第二极与第三节点电连接。

[0013] 在第一方面一种可能的实施方式中,下拉模块包括第五晶体管、第六晶体管、第二电容及第三电容;其中,

[0014] 第五晶体管的栅极与第二电源端电连接,第五晶体管的第一极与输出信号端电连

接,第五晶体管的第二极与第二电容的第一极电连接;

[0015] 第二电容的第二极与第一节点电连接;

[0016] 第六晶体管的栅极与第一节点电连接,第六晶体管的第一极与第二时钟信号端电连接,第六晶体管的第二极与第三电容的第一极电连接;

[0017] 第三电容的第二极与第一节点电连接。

[0018] 在第一方面一种可能的实施方式中,第一输出模块包括:

[0019] 第七晶体管,第七晶体管的栅极与第一节点电连接,第七晶体管的第一极与第二电源端电连接,第七晶体管的与输出信号端电连接。

[0020] 在第一方面一种可能的实施方式中,第二输出模块包括第八晶体管、第九晶体管、第十晶体管及第四电容;其中,

[0021] 第八晶体管的栅极与第二节点电连接,第八晶体管的第一极与第一电源端电连接,第八晶体管的第二极与第九晶体管的第一极电连接;

[0022] 第九晶体管的栅极与第二节点电连接,第九晶体管的第二极与输出信号端电连接;

[0023] 第十晶体管的栅极与输出信号端电连接,第十晶体管的第一极与第二电源端电连接,第十晶体管的第二极与第八晶体管的第二极以及第九晶体管的第一极电连接;

[0024] 第四电容的第一极与第一电源端电连接,第四电容的第二极与第二节点电连接;

[0025] 或者,第二输出模块包括第十一晶体管及第五电容;其中,

[0026] 第十一晶体管的栅极与第二节点电连接,第十一晶体管的第一极与第一电源端电连接,第十一晶体管的第二极与输出信号端电连接;

[0027] 第五电容的第一极与第一电源端电连接,第五电容的第二极与第二节点电连接。

[0028] 在第一方面一种可能的实施方式中,移位寄存器还包括保护模块,保护模块的控制端与第二电源端电连接,第一输入模块以及第二输入模块通过保护模块与第一节点电连接,保护模块用于保护第一输入模块和第二输入模块。

[0029] 在第一方面一种可能的实施方式中,保护模块包括第十二晶体管,第一输入模块以及第二输入模块通过第十二晶体管与第一节点电连接,第十二晶体管的栅极与第二电源端电连接。

[0030] 第二方面,本申请实施例提供一种显示面板,包括多个级联的如第一方面任一项实施例所述的移位寄存器。

[0031] 第三方面,本申请实施例提供一种显示装置,其包括如第二方面任一项实施例所述的显示面板。

[0032] 根据本申请实施例中的移位寄存器、显示面板及显示装置,下拉模块能够在输出信号端输出导通电平的期间,在第二时钟信号端的电平由高电平跳变为低电平时,通过耦合作用下拉第一节点的电位,将第一节点的电位维持在较低的电平,避免第一节点的电位上升,使得第一节点N1维持在较低电位,从而保证输出信号端稳定的输出导通电平,提供移位寄存器的工作稳定性。

附图说明

[0033] 通过阅读以下参照附图对非限制性实施例所作的详细描述,本申请的其它特征、

目的和优点将会变得更明显,其中,相同或相似的附图标记表示相同或相似的特征,附图并未按照实际的比例绘制。

- [0034] 图1示出本申请实施例提供的一种移位寄存器的结构示意图;
- [0035] 图2示出图1的一种时序示意图;
- [0036] 图3示出本申请实施例提供的另一种移位寄存器的结构示意图;
- [0037] 图4示出本申请实施例提供的又一种移位寄存器的结构示意图;
- [0038] 图5示出本申请实施例提供的又一种移位寄存器的结构示意图;
- [0039] 图6示出本申请实施例提供的又一种移位寄存器的结构示意图;
- [0040] 图7示出对比例的一种移位寄存器的结构示意图
- [0041] 图8示出图7一种时序示意图;
- [0042] 图9示出本申请实施例提供的一种显示面板的结构示意图;
- [0043] 图10示出本申请实施例提供的移位寄存器的一种级联结构示意图;
- [0044] 图11示出本申请实施例提供的一种显示装置的结构示意图。

具体实施方式

[0045] 下面将详细描述本申请的各个方面的特征和示例性实施例,为了使本申请的目的、技术方案及优点更加清楚明白,以下结合附图及具体实施例,对本申请进行进一步详细描述。应理解,此处所描述的具体实施例仅被配置为解释本申请,并不被配置为限定本申请。对于本领域技术人员来说,本申请可以在不需要这些具体细节中的一些细节的情况下实施。下面对实施例的描述仅仅是为了通过示出本申请的示例来提供对本申请更好的理解。

[0046] 需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0047] 应当理解,在描述部件的结构时,当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时,可以指直接位于另一层、另一个区域上面,或者在其与另一层、另一个区域之间还包含其它的层或区域。并且,如果将部件翻转,该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

[0048] 本申请实施例提供了一种移位寄存器、显示面板及显示装置,以下将结合附图对移位寄存器、显示面板及显示装置的各实施例进行说明。

[0049] 图1示出本申请实施例提供的一种移位寄存器的结构示意图。如图1所示,本申请实施例提供的移位寄存器包括第一输入模块11、第二输入模块12、第一输出模块13、第二输出模块14和下拉模块15。

[0050] 其中,第一输入模块11与输入信号端EIN、第一时钟信号端ECKA及第一节点N1电连接,用于根据输入信号端EIN及第一时钟信号端ECKA的信号,控制第一节点N1的电位。第二

输入模块12与输入信号端EIN、第一时钟信号端ECKA、第一电源端VGH、第一节点N1及第二节点N2电连接,用于根据输入信号端EIN、第一时钟信号端ECKA、第一电源端VGH及第一节点N1的信号,控制第二节点N2的电位。第一输出模块13与第一节点N1、第二电源端VGL及输出信号端OUT电连接,用于响应于第一节点N1的导通电平,将第二电源端VGL的信号传输至输出信号端OUT。第二输出模块14与第二节点N2、第一电平端VGH及输出信号端OUT电连接,用于响应于第二节点N2的导通电平,将第一电平端VGH的信号传输至输出信号端OUT。下拉模块15,与第一节点N1、输出信号端OUT、第二电源端VGL及第二时钟信号端ECKB电连接,用于在输出信号端OUT输出导通电平时,下拉第一节点N1的电位。

[0051] 根据本申请实施例中的移位寄存器,下拉模块15能够在输出信号端OUT输出导通电平的期间,在第二时钟信号端ECKB的电平由高电平跳变为低电平时,通过耦合作用下拉第一节点N1的电位,将第一节点N1的电位维持在较低的电平,避免第一节点N1的电位上升,使得第一节点N1维持在较低电位,从而保证输出信号端OUT稳定的输出导通电平,提供移位寄存器的工作稳定性。

[0052] 本申请中移位寄存器可以形成发光控制电路,移位寄存器的输出信号端OUT输出的是发光控制信号(Emit signal)。

[0053] 需要说明的是,移位寄存器中的各模块可以包括晶体管,本申请实施例中的导通电平和截止电平是根据晶体管的类型区分的,导通电平是指能够控制晶体管导通的电平,截止电平是指能够控制晶体管截止的电平,例如,当晶体管为P型晶体管时,导通电平为低电平,截止电平为高电平;当晶体管为N型晶体管时,导通电平为高电平,截止电平为低电平。本申请实施例均以晶体管为P型晶体管为例进行描述,即在本申请实施例中,导通电平均为低电平,截止电平均为高电平。

[0054] 本申请实施例中,第一电源端VGH以及第二电源端VGL均为固定电位端。示例性的,第一电源端VGH可以为高电平直流电源端,其提供高电平;第二电源端VGL可以为低电平直流电源端,其提供低电平。

[0055] 图2示出图1的一种时序示意图。下面结合图1中的移位寄存器结构和图2中的时序信号对本申请实施例的移位寄存器的工作过程进行详细说明。

[0056] 初始阶段 t_0 ,输入信号端EIN及第一时钟信号端ECKA提供低电平,第二时钟信号端ECKB提供高电平,第一输入模块11导通,输入信号端EIN的低电平通过第一输入模块11传输至第一节点N1,第二电源端VGL的低电平通过第一输出模块13传输至输出信号端OUT。另外在第一节点N1的低电平的控制下,第一电源端VGH的高电平通过第二输入模块12传输至第二节点N2。

[0057] 第一阶段 t_1 ,输入信号端EIN及第一时钟信号端ECKA提供高电平,第二时钟信号端ECKB提供低电平,第二时钟信号端ECKB的信号由初始阶段 t_0 的高电平跳变为低电平,下拉模块15在耦合作用下拉第一节点N1的电位,将第一节点N1的电位维持在较低的电平,从而保证输出信号端OUT稳定的输出第二电源端VGL的低电平。

[0058] 第二阶段 t_2 ,输入信号端EIN及第二时钟信号端ECKB提供高电平,第一时钟信号端ECKA提供低电平,输入信号端EIN的高电平通过第一输入模块11传输至第一节点N1,第一时钟信号端ECKA的低电平通过第二输入模块12传输至第二节点N2,第一电源端VGH的高电平通过第二输出模块14传输至输出信号端OUT。

[0059] 第三阶段 t_3 ,输入信号端EIN及第一时钟信号端ECKA提供高电平,第二时钟信号端ECKB提供低电平,第一节点N1维持高电平,第二节点N2维持低电平,输出信号端OUT输出第二输出模块14提供的第一电源端VGH的高电平。

[0060] 第四阶段 t_4 ,输入信号端EIN及第二时钟信号端ECKB提供低电平,第一时钟信号端ECKA提供高电平,第一节点N1维持高电平,第二节点N2维持低电平,输出信号端OUT输出第二输出模块14提供的第一电源端VGH的高电平。

[0061] 第五阶段 t_5 ,输入信号端EIN及第一时钟信号端ECKA提供低电平,第二时钟信号端ECKB提供高电平,输入信号端EIN的低电平通过第一输入模块11传输至第一节点N1,第二电源端VGL的低电平通过第一输出模块13传输至输出信号端OUT,同时输出信号端OUT由第四阶段 t_4 的高电平跳变为低电平,下拉模块15在耦合作用下拉第一节点N1的电位,将第一节点N1的电位维持在较低的电平,从而保证输出信号端OUT稳定的输出第二电源端VGL的低电平。另外在第一节点N1的低电平的控制下,第一电源端VGH的高电平通过第二输入模块12传输至第二节点N2。

[0062] 第六阶段 t_6 ,输入信号端EIN及第二时钟信号端ECKB提供低电平,第一时钟信号端ECKA提供高电平,第二时钟信号端ECKB的信号由第五阶段 t_5 的高电平跳变为低电平,下拉模块15在耦合作用下拉第一节点N1的电位,将第一节点N1的电位维持在较低的电平,从而保证输出信号端OUT稳定的输出第二电源端VGL的低电平。

[0063] 第二阶段 t_2 、第三阶段 t_3 及第四阶段 t_4 也可以称为高电平输出阶段。其中,高电平输出阶段可以包括多个第二阶段 t_2 和多个第三阶段 t_3 。第五阶段 t_5 及第六阶段 t_6 可以称为低电平输出阶段或低电平维持阶段。低电平输出阶段可以包括多个第五阶段 t_5 及多个第六阶段 t_6 。

[0064] 需要说明的是,本申请实施例中的移位寄存器用于级联后形成发光电路,图2所示的时序信号可以为发光控制电路中第一级移位寄存器的时序,第一级移位寄存器的移位寄存器输入信号端EIN可以电连接于驱动芯片,由驱动芯片提供信号,除第一级移位寄存器之外,其他每级移位寄存器的输出信号端EOUT均电连接于下一级移位寄存器的输入信号端EIN。

[0065] 在一些可选的实施例中,如图3所示,第一输入模块11包括第一晶体管M1。第一晶体管M1的栅极与第一时钟信号端ECKA电连接,第一晶体管M1的第一极与输入信号端EIN电连接,第一晶体管M1的第二极与第一节点N1电连接。第一晶体管M1可以是P型晶体管,在第一时钟信号端ECKA的信号为低电平时导通。示例性的,第一晶体管M1可以是氧化物晶体管,相对于薄膜晶体管,氧化物晶体管具有更低的漏电流,从而降低第一晶体管M1的漏电流对第一节点N1电位的影响。示例性的,第一晶体管M1可以是双栅晶体管,相对于单栅晶体管,双栅晶体管具有更低的漏电流,也可以降低第一晶体管M1的漏电流对第一节点N1电位的影响。

[0066] 在一些可选的实施例中,请继续参考图3,第二输入模块12包括第二晶体管M2、第三晶体管M3、第四晶体管M4以及第一电容C1。其中,第二晶体管M2的栅极与输入信号端EIN电连接,第二晶体管M2的第一极与第一电源端VGH电连接,第二晶体管M2的第二极与第三节点N3电连接。第三晶体管M3的栅极与第三节点N3电连接,第三晶体管M3的第一极与第一时钟信号端ECKA电连接,第三晶体管M3的第二极与第二节点N2电连接。第四晶体管M4的栅极

与第一节点N1电连接,第四晶体管M4的第一极与第一电源端VGH电连接,第四晶体管M4的第二极与第二节点N2电连接。第一电容C1的第一极与第一时钟信号端ECKA电连接,第一电容C1的第二极与第三节点N3电连接。

[0067] 示例性的,第二晶体管M2、第三晶体管M3、第四晶体管M4可以均为P型晶体管。第三晶体管M3受第三节点N3电位的控制,在第一时钟信号端ECKA由高电平跳变为低电平时,在第一电容C1的耦合作用下,第三节点N3的电位被拉低,第三晶体管M3在第三节点N3的电位为低电平时导通,从而将第一时钟信号端ECKA的低电平传输至第二节点N2。第四晶体管M4受第一节点N1电位的控制,第一节点N1的电位为低电平时,第四晶体管M4导通,第一电源端VGH的高电平通过第四晶体管M4传输至第二节点N2。在第一输入模块11和第二输入模块12的共同作用下,第一节点N1和第二节点N2电位在同一时刻是相反的,从而保证在同一时刻,第一输出模块13和第二输出模块14中的一者为导通状态,另一者为截止状态。

[0068] 在一些可选的实施例中,请继续参考图3,下拉模块15包括第五晶体管M5、第六晶体管M6、第二电容C2及第三电容C3。其中,第五晶体管M5的栅极与第二电源端VGL电连接,第五晶体管M5的第一极与输出信号端OUT电连接,第五晶体管M5的第二极与第二电容C2的第一极电连接;第二电容C2的第二极与第一节点N1电连接;第六晶体管M6的栅极与第一节点N1电连接,第六晶体管M6的第一极与第二时钟信号端ECKB电连接,第六晶体管M6的第二极与第三电容C3的第一极电连接;第三电容C3的第二极与第一节点N1电连接。

[0069] 示例性的,第五晶体管M5、第六晶体管M6可以均为P型晶体管。一方面,在第一节点N1为低电平时,且第二时钟信号端ECKB由高电平跳变为低电平时,第三电容C3的第一极的电位也由高电平跳变为低电平,由于第三电容C3的耦合作用(第三电容C3的第一极与第二极的电位差不变),第三电容C3的第二极的电位也会降低,即相当于拉低了第一节点N1的电位,从而使第一节点N1的维持在更低的电位。另一方面,在输出信号端OUT输出高电平时,第五晶体管M5的栅极与第一极的电位差小于第五晶体管M5的阈值电压,第五晶体管M5导通,当输出信号端OUT输出的信号由高电平跳变为低电平时,第二电容C2的第一极的电位也由高电平跳变为低电平,由于第二电容C2的耦合作用(第二电容C2的第一极与第二极的电位差不变),第二电容C2的第二极的电位也会降低,即相当于拉低了第一节点N1的电位,从而也能使第一节点N1维持在更低的电位,并且在输出信号端OUT输出的信号电位与第二电源端VGL的信号电位相同时,第五晶体管M5的栅极与第一极的电位差为0V,此时第五晶体管M5会截止,第二电容C2的耦合作用结束。第五晶体管M5截止相当于将输出信号端OUT与第一节点N1隔断,即使由于漏电流导致输出信号端OUT的电位上升,也不会通过第二电容C2耦合至第一节点N1,能够减缓第一节点N1电位上升,进而减缓输出信号端OUT的电位上升。

[0070] 在一些可选的实施例中,请继续参考图3,第一输出模块13包括第七晶体管M7,第七晶体管M7的栅极与第一节点N1电连接,第七晶体管M7的第一极与第二电源端VHL电连接,第七晶体管M7的第二极与输出信号端OUT电连接。第七晶体管M7可以是P型晶体管。示例性的,第七晶体管M7可以是氧化物晶体管,相对于薄膜晶体管,氧化物晶体管具有更低的漏电流,从而降低第七晶体管M7的漏电流对输出信号端OUT电位的影响。示例性的,第七晶体管M7可以是双栅晶体管,相对于单栅晶体管,双栅晶体管具有更低的漏电流,也可以降低第七晶体管M7的漏电流对输出信号端OUT电位的影响。

[0071] 在一些可选的实施例中,请继续参考图3,第二输出模块14包括第八晶体管M8、第

九晶体管M9、第十晶体管M10及第四电容C4。其中,第八晶体管M8的栅极与第二节点N2电连接,第八晶体管M8的第一极与第一电源端VGH电连接,第八晶体管M8的第二极与第九晶体管M9的第一极电连接;第九晶体管M9的栅极与第二节点N2电连接,第九晶体管的第二极与输出信号端OUT电连接;第十晶体管M10的栅极与输出信号端OUT电连接,第十晶体管M10的第一极与第二电源端VGL电连接,第十晶体管M10的第二极与第八晶体管M8的第二极以及第九晶体管M9的第一极电连接;第四电容C4的第一极与第一电源端VGH电连接,第四电容C4的第二极与第二节点N2电连接。

[0072] 示例性的,第八晶体管M8、第九晶体管M9、第十晶体管M10可以均为P型晶体管。可以理解的是,第八晶体管M8和第九晶体管M9构成双栅晶体管,相对于单栅晶体管,第八晶体管M8和第九晶体管M9构成的双栅晶体管具有更低的漏电流,也可以降低第二输出模块14的漏电流对输出信号端OUT电位的影响。另外,通过设置第十晶体管M10,能够在输出信号端OUT输出低电平时,使第九晶体管M9的第一极的电位与第九晶体管M9的第二极的电位相同或接近,从而避免第九晶体管M9漏流影响输出信号端OUT输出信号的稳定性。

[0073] 在另一些可选的实施例中,请参考图4,第二输出模块14可以包括第十一晶体管M11及第五电容C5。其中,第十一晶体管M11的栅极与第二节点N2电连接,第十一晶体管M11的第一极与第一电源端VGH电连接,第十一晶体管M11的第二极与输出信号端OUT电连接;第五电容C5的第一极与第一电源端VGH电连接,第五电容C5的第二极与第二节点N2电连接。示例性的,第十一晶体管M11可以为P型晶体管。在本申请实施例中,第二输出模块14仅包括一个晶体管和一个电容,结构上比较简单。

[0074] 在一些可选的实施例中,如图5所示,移位寄存器还包括保护模块16,保护模块16的控制端与第二电源端VGL电连接,第一输入模块11以及第二输入模块12通过保护模块16与第一节点N1电连接,保护模块16用于保护第一输入模块11和第二输入模块12。保护模块16可以在第一节点N1具有较低电位的情况下,避免保护模块与第一输入模块11以及第二输入模块12所连接的一端的电位较低,从而避免第一输入模块11以及第二输入模块12被击穿。

[0075] 在一些可选的实施例中,如图6所示,保护模块16包括第十二晶体管M12,第一输入模块11以及第二输入模块12通过第十二晶体管M12与第一节点N1电连接,第十二晶体管M12的栅极与第二电源端VGL电连接。仍以第一输入模块11包括第一晶体管M1,第二输入模块12包括第二晶体管M2、第三晶体管M3、第四晶体管M4以及第一电容C1,第十二晶体管M12为P型晶体管为例,第十二晶体管M12的第一极与第四晶体管M4的栅极以及第一晶体管M1的第二极电连接,第十二晶体管M12的第二极与第一节点N1电连接。在第一节点N1电位小于第二电源端VGL的电位时,也就是第十二晶体管M12的第二极的电位小于第二电源端VGL的电位时,P型晶体管的导通条件为 $V_{gs} < V_{th} < 0$,第十二晶体管M12的第一极电位最高能达到 $v_{g1} - V_{th_{12}}$,其中 v_{g1} 表示第二电源端VGL的电位, $V_{th_{12}}$ 表示第十二晶体管M12的阈值电压,在第十二晶体管M12的第一极电位达到 $v_{g1} - V_{th_{12}}$ 时,第十二晶体管M12截止,避免第十二晶体管M12的第一极的电位过低,从而避免第四晶体管M4以及第一晶体管M1被击穿。

[0076] 下面以图6中的移位寄存器的具体结构和如图2的时序进一步说明本申请实施例的移位寄存器的工作过程,其中,以移位寄存器中的各晶体管均为P型晶体管为例进行介绍。

[0077] 初始阶段 t_0 ,输入信号端EIN及第一时钟信号端ECKA提供低电平,第二时钟信号端ECKB提供高电平,第一晶体管M11导通,输入信号端EIN的低电平通过第一晶体管M11传输至第一节点N1,第七晶体管M7导通,第二电源端VGL的低电平通过第七晶体管M7传输至输出信号端OUT。另外在第一节点N1的低电平的控制下,第四晶体管M4导通,第一电源端VGH的高电平通过第四晶体管M4传输至第二节点N2。

[0078] 第一阶段 t_1 ,输入信号端EIN及第一时钟信号端ECKA提供高电平,第二时钟信号端ECKB提供低电平,第二时钟信号端ECKB的信号由初始阶段 t_0 的高电平跳变为低电平,第三电容C3的第一极的电位也由高电平跳变为低电平,由于第三电容C3的耦合作用(第三电容C3的第一极与第二极的电位差不变),第三电容C3的第二极的电位也会降低,即相当于拉低了第一节点N1的电位,从而使第一节点N1的维持在更低的电位使输出信号端OUT稳定输出低电平。

[0079] 第二阶段 t_2 ,输入信号端EIN及第二时钟信号端ECKB提供高电平,第一时钟信号端ECKA提供低电平,输入信号端EIN的高电平通过第一晶体管M11传输至第一节点N1,第一时钟信号端ECKA的电位由第一阶段 t_1 的高电平跳变为低电平,由于第一电容C1的耦合作用(第一电容C1的第一极与第二极的电位差不变),第一电容C1的第二极的电位也会降低,即相当于拉低了第三节点N3的电位,第二晶体管M2导通,第一时钟信号端ECKA的低电平通过第二晶体管M2传输至第二节点N2,第八晶体管M8及第九晶体管M9导通,第一电源端VGH的高电平传输至输出信号端OUT。

[0080] 第三阶段 t_3 ,输入信号端EIN及第一时钟信号端ECKA提供高电平,第二时钟信号端ECKB提供低电平,第一节点N1维持高电平,第二节点N2维持低电平,输出信号端OUT输出第二输出模块14提供的第一电源端VGH的高电平。

[0081] 第四阶段 t_4 ,输入信号端EIN及第二时钟信号端ECKB提供低电平,第一时钟信号端ECKA提供高电平,第一节点N1维持高电平,第一时钟信号端ECKA的电位由第三阶段 t_3 的低电平跳变为高电平,由于第一电容C1的耦合作用(第一电容C1的第一极与第二极的电位差不变),第一电容C1的第二极的电位也会升高,即相当于拉高了第三节点N3的电位,第二晶体管M2截止,第二节点N2维持低电平,输出信号端OUT输出第一电源端VGH的高电平。

[0082] 第五阶段 t_5 ,输入信号端EIN及第一时钟信号端ECKA提供低电平,第二时钟信号端ECKB提供高电平,输入信号端EIN的低电平通过第一晶体管M11传输至第一节点N1,第七晶体管M7导通,输出信号端OUT输出低电平,并且输出信号端OUT的电位由第四阶段 t_4 的高电平跳变为低电平时,第二电容C2的第一极的电位也由高电平跳变为低电平,由于第二电容C2的耦合作用(第二电容C2的第一极与第二极的电位差不变),第二电容C2的第二极的电位也会降低,即相当于拉低了第一节点N1的电位,从而也能使第一节点N1维持在比第二电源端VGL更低的电位,使得输出信号端OUT输出的信号电位与第二电源端VGL的电位相同,即保证输出信号端OUT满幅输出。并且在输出信号端OUT输出的信号电位与第二电源端VGL的信号电位相同时,第五晶体管M5的栅极与第一极的电位差为0V,此时第五晶体管M5会截止,第二电容C2的耦合作用结束。第五晶体管M5截止相当于将输出信号端OUT与第一节点N1隔断,即使由于漏电流导致输出信号端OUT的电位上升,也不会通过第二电容C2耦合至第一节点N1,能够减缓第一节点N1电位上升,进而减缓输出信号端OUT的电位上升。

[0083] 第六阶段 t_6 ,输入信号端EIN及第二时钟信号端ECKB提供低电平,第一时钟信号端

ECKA提供高电平,第二时钟信号端ECKB的信号由第五阶段t5的高电平跳变为低电平,第三电容C3的第一极的电位也由高电平跳变为低电平,由于第三电容C3的耦合作用(第三电容C3的第一极与第二极的电位差不变),第三电容C3的第二极的电位也会降低,即相当于拉低了第一节点N1的电位,从而使第一节点N1的维持在更低的电位,保证输出信号端OUT稳定的输出第二电源端VGL的低电平,从而避免在输出信号端OUT应当输出低电平的阶段,由于第一晶体管M1或第十二晶体管M12的漏电流,导致第一节点N1的电位被拉高,进而导致输出信号端OUT无法稳定输出低电平的情况出现。

[0084] 为了更好的理解本申请中下拉模块15所起的作用,本申请提供了一种对比示例。如图7和图8所示,图7所示的移位寄存器与上述实施例提供的移位寄存器的区别在于,图7所示的移位寄存器的下拉模块15'仅包括电容C2'。图8所示的初始阶段t0'至第五阶段t5'的移位寄存器的工作过程与图2所示的初始阶段t0至第五阶段t5的移位寄存器的工作过程相同或类似,在此不再详细赘述。在第六阶段t6',也就是输出信号端OUT应当维持输出低电平的阶段,第一节点N1应当维持低电平,例如在低刷新率(1Hz)的情况下,第十二晶体管M12及第七晶体管M7的栅极长期工作在负电压下,第十二晶体管M12及第七晶体管M7的阈值电压存在负偏(即阈值电压变小,阈值电压的绝对值变大)的风险,并且第十二晶体管M12及第七晶体管M7存在漏电流的风险,导致第一节点N1的电位上升,例如会使第一节点N1电位上升至 v_{g1} ,以第二电源端VGL的信号电位也为 v_{g1} 为例,第一节点N1电位上升至 v_{g1} 后,输出信号端OUT的电位为 $v_{g1}-V_{th7}$,导致输出信号端OUT不能输出电位为 v_{g1} 的满幅信号,并且第七晶体管M7的阈值电压 V_{th7} 负偏的越严重(即第七晶体管M7的阈值电压 V_{th7} 越小),输出信号端OUT的电位抬升的越严重,同时输出信号端OUT的电位抬升,会通过电容C2'的耦合作用使第一节点N1电位上升,随后使输出信号端OUT的电位进一步上升,如此形成恶性反馈,导致输出信号端OUT的电位快速上升,输出信号端OUT无法维持输出低电平。

[0085] 而根据本申请实施例提供的移位寄存器,下拉模块15在包括第二电容C2的基础上,还包括第五晶体管M5、第六晶体管M6及第三电容C3。在第一节点N1为低电平时,且第二时钟信号端ECKB由高电平跳变为低电平时,第三电容C3的第一极的电位也由高电平跳变为低电平,由于第三电容C3的耦合作用(第三电容C3的第一极与第二极的电位差不变),第三电容C3的第二极的电位也会降低,即相当于拉低了第一节点N1的电位,即使第一晶体管M1、第十二晶体管M12存在漏电流,也能使第一节点N1的维持在更低的电位。另一方面,在输出信号端OUT输出高电平时,第五晶体管M5的栅极与第一极的电位差小于第五晶体管M5的阈值电压,第五晶体管M5导通,当输出信号端OUT输出的信号由高电平跳变为低电平时,第二电容C2的第一极的电位也由高电平跳变为低电平,由于第二电容C2的耦合作用(第二电容C2的第一极与第二极的电位差不变),第二电容C2的第二极的电位也会降低,即相当于拉低了第一节点N1的电位,从而也能使第一节点N1维持在更低的电位,并且在输出信号端OUT输出的信号电位与第二电源端VGL的信号电位相同时,第五晶体管M5的栅极与第一极的电位差为0V,此时第五晶体管M5会截止,第二电容C2的耦合作用结束。第五晶体管M5截止相当于将输出信号端OUT与第一节点N1隔断,即使第七晶体管M7的漏电流导致输出信号端OUT的电位上升,也不会通过第二电容C2耦合至第一节点N1,能够减缓第一节点N1电位上升,进而减缓输出信号端OUT的电位上升。

[0086] 基于相同的发明构思,本申请实施例提供一种显示面板,该显示面板可以是有机

发光二极管(Organic Light Emitting Diode,OLED)显示面板。

[0087] 图9示出本申请一种实施例提供的显示面板的结构示意图。如图9所示,显示面板100包括显示区AA和非显示区NA。显示区AA包括像素电路(未示出)和发光控制信号线20。非显示区NA包括发光控制电路10,发光控制电路10包括多个级联的如上述任意一项实施例所述的移位寄存器。

[0088] 本申请实施例提供的显示面板,具有本申请上述任一项实施例提供的移位寄存器的有益效果,具体可以参考上述各实施例对于移位寄存器的具体说明,本实施例在此不再赘述。

[0089] 图10示出本申请一种实施例提供的移位寄存器的级联结构示意图。在一些可选的实施例中,如图10所示,发光控制电路10包括N个级联的如上述任意一项实施例的移位寄存器,N为大于1的正整数。除最后一级移位寄存器SR_N之外,其余每一级移位寄存器的输出信号端OUT与其下一级移位寄存器的输入信号端EIN电连接。示例性的,显示面板可以设置两条时钟信号线elk1、elk2,分别与第一时钟信号端ECKA、第二时钟信号端ECKB电连接,另外,第一级移位寄存器SR_1的输入信号端EIN与起始信号端STV电连接。由此可知,下一级移位寄存器的初始化信号为上一级移位寄存器输出的发光控制信号,当上一级移位寄存器输出发光控制信号后,启动下一级移位寄存器工作,然后输出发光控制信号,从而实现了发光控制电路逐级输出发光控制信号,且能保证每一级移位寄存器输出的高电平稳定。

[0090] 本申请还提供了一种显示装置,包括本申请提供的显示面板。请参考图11,图11是本申请实施例提供的一种显示装置的结构示意图。图11提供的显示装置1000包括本申请上述任一实施例提供的显示面板100。图11实施例仅以手机为例,对显示装置1000进行说明,可以理解的是,本申请实施例提供的显示装置,可以是电脑、电视、车载显示装置等其他具有显示功能的显示装置,本申请对此不作具体限制。本申请实施例提供的显示装置,具有本申请实施例提供的显示面板的有益效果,具体可以参考上述各实施例对于显示面板的具体说明,本实施例在此不再赘述。

[0091] 依照本申请如上文所述的实施例,这些实施例并没有详尽叙述所有的细节,也不限制该申请仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本申请的原理和实际应用,从而使所属技术领域技术人员能很好地利用本申请以及在本申请基础上的修改使用。本申请仅受权利要求书及其全部范围和等效物的限制。

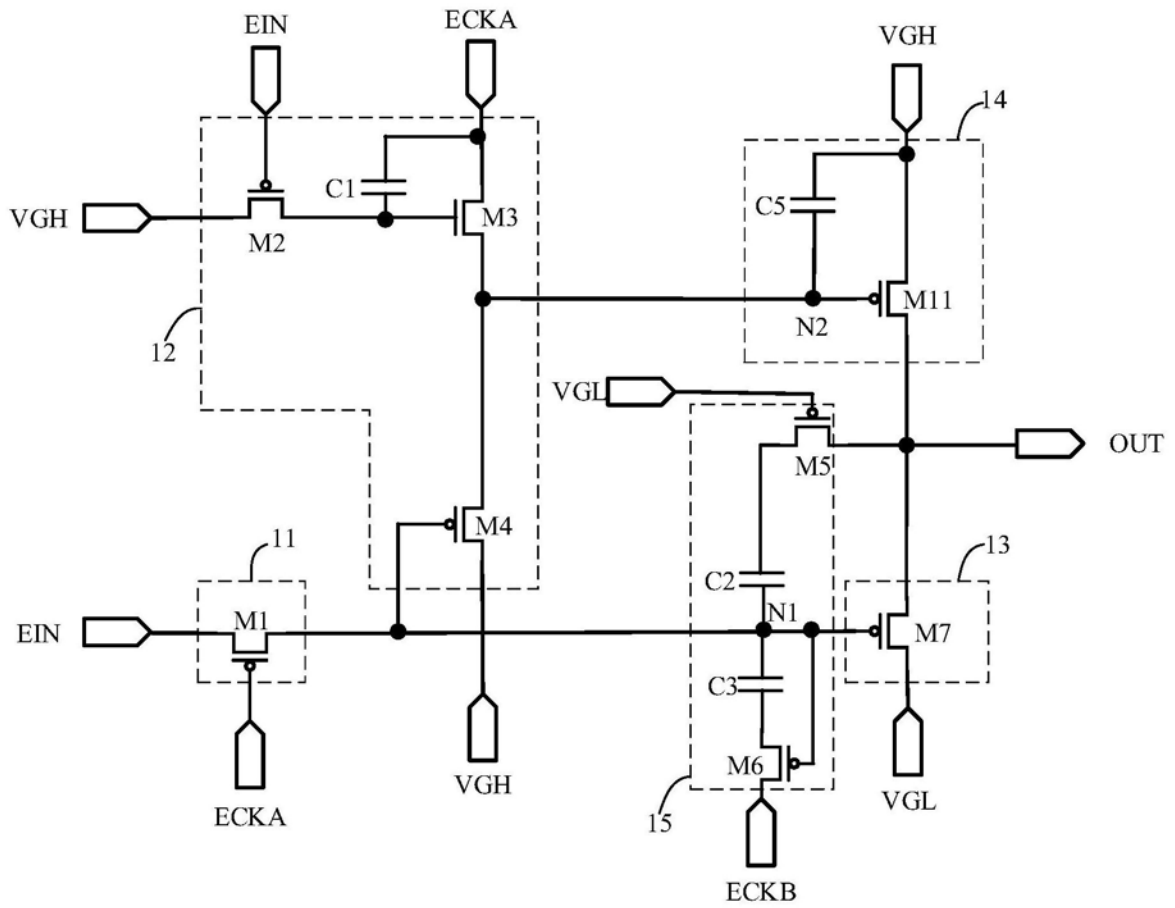


图4

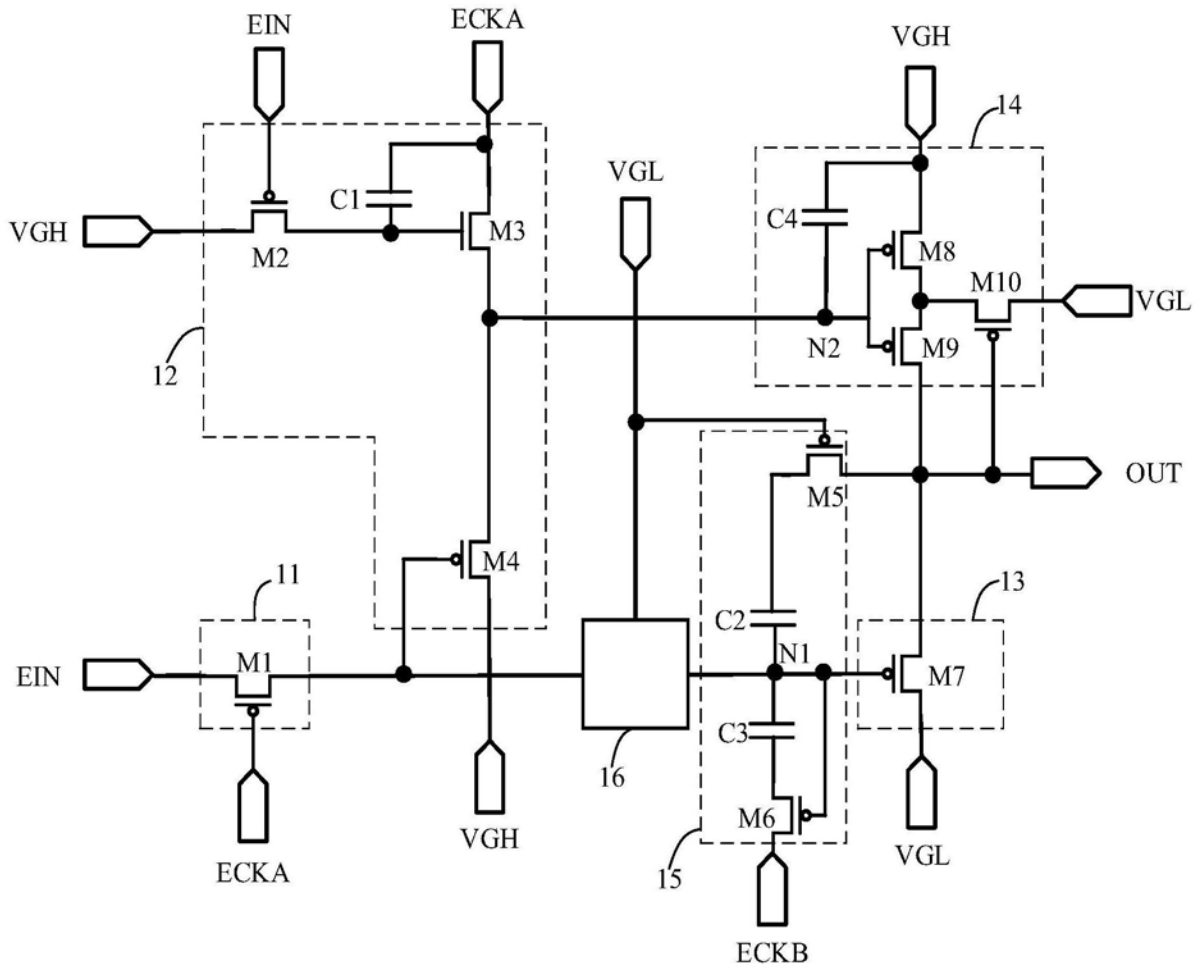


图5

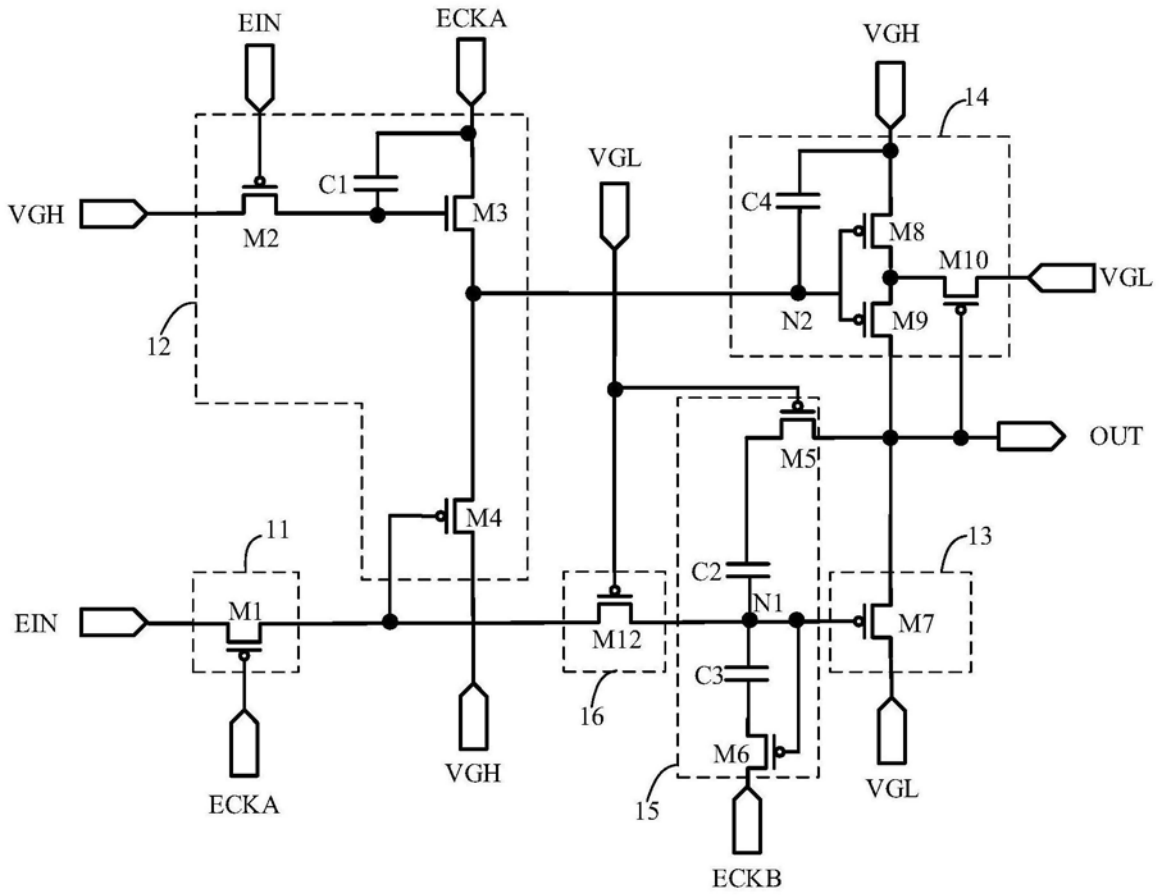


图6

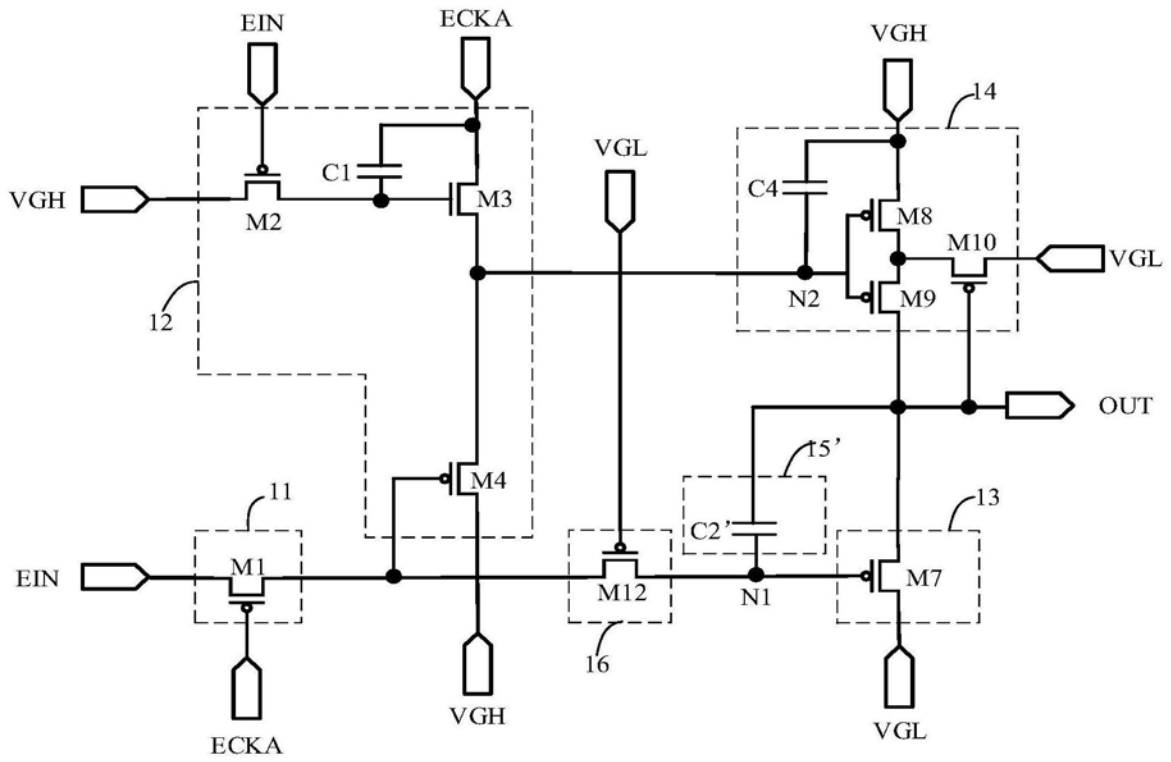


图7

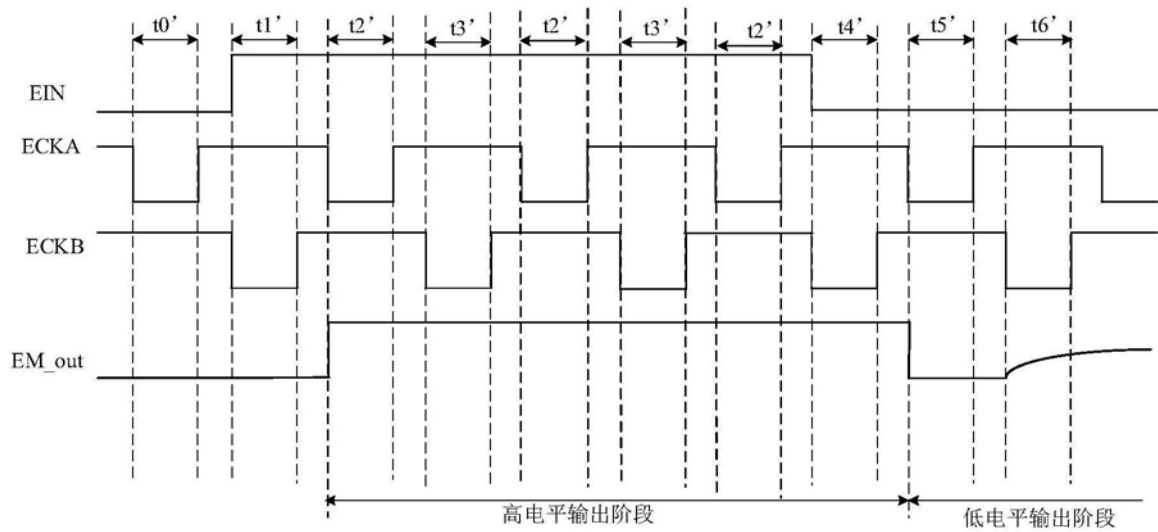


图8

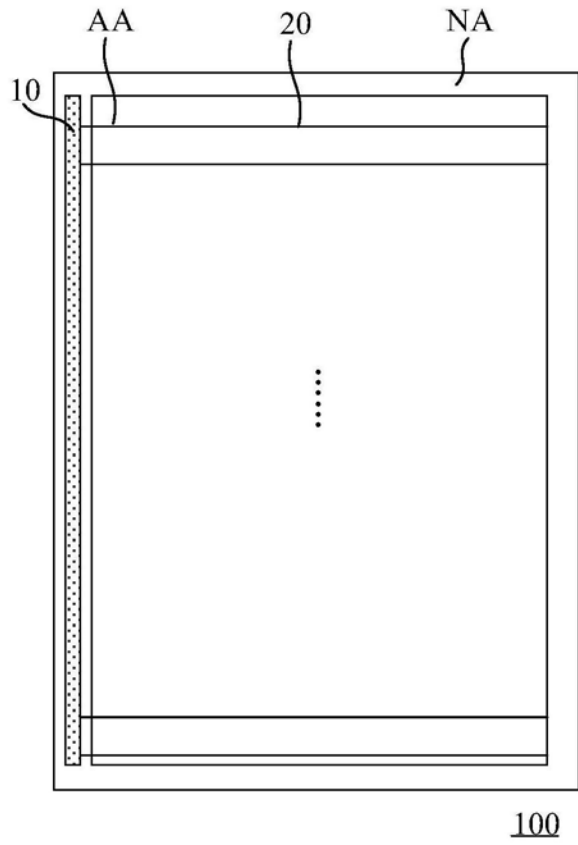


图9

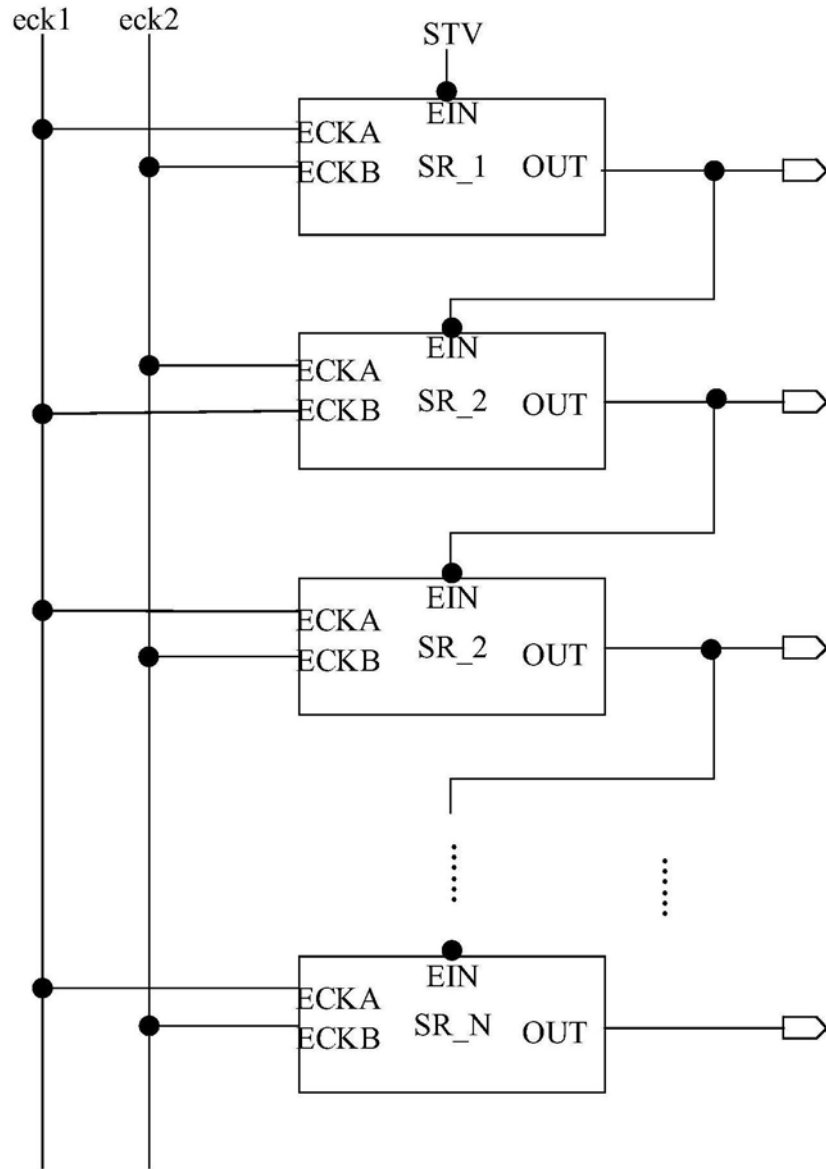


图10

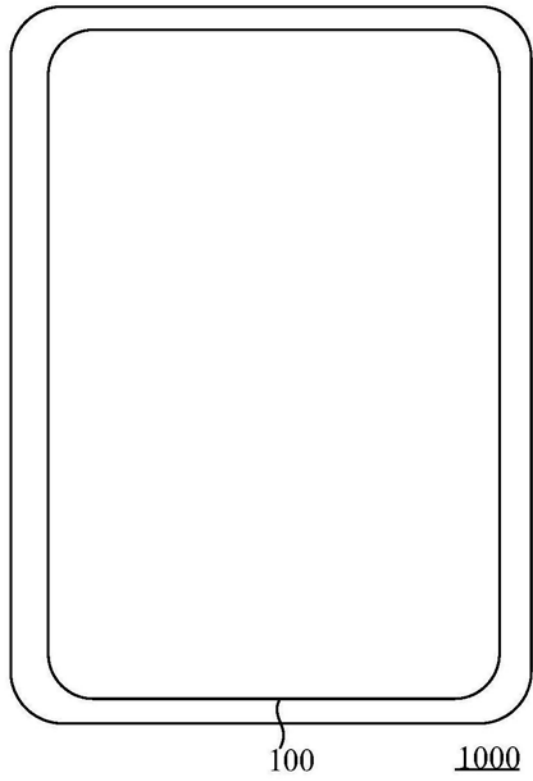


图11