



(19)



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 348 627**

(51) Int. Cl.:
G06F 13/42 (2006.01)

(12)

TRADUCCIÓN DE PATENTE EUROPEA

T3

(96) Número de solicitud europea: **07122151 .9**

(96) Fecha de presentación : **02.06.1998**

(97) Número de publicación de la solicitud: **1901177**

(97) Fecha de publicación de la solicitud: **19.03.2008**

(54) Título: **Aparato de procesamiento de datos, aparato de almacenamiento externo, sistema de procesamiento de datos y método de transmisión de datos.**

(30) Prioridad: **04.06.1997 JP 9-146916**
31.07.1997 JP 9-206929

(45) Fecha de publicación de la mención BOPI:
09.12.2010

(45) Fecha de la publicación del folleto de la patente:
09.12.2010

(73) Titular/es: **SONY CORPORATION**
1-7-1 Konan
Minato-ku, Tokyo 108-0075, JP

(72) Inventor/es: **Hirabayashi, Mitsuhiro y**
Nakanishi, Kenichi

(74) Agente: **Elzaburu Márquez, Alberto**

ES 2 348 627 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Campo de la invención

La presente invención se refiere a un aparato de procesamiento de datos, un sistema de procesamiento de datos y un método de transmisión de datos para comunicar datos a un aparato de almacenamiento externo usando una interfaz serie, y se refiere también a un aparato de almacenamiento externo adaptable al aparato de procesamiento de datos, al sistema de procesamiento de datos y al método de transmisión de datos.

Anterioridades relacionadas

Hasta el momento, se ha conocido un aparato de procesamiento de datos al que se conecta una tarjeta de memoria que incluye un soporte de almacenamiento, tal como una memoria flash. A continuación, en referencia a los dibujos, se describirán un aparato convencional de procesamiento de datos del tipo anterior y una tarjeta de memoria dispuesta para conectarse al aparato de procesamiento de datos.

Tal como se muestra en la Fig. 1, un aparato 100 de procesamiento de datos incluye un bloque 101 de procesamiento de datos, un registro 102, un circuito 103 de interfaz serie en el lado del anfitrión y un controlador 104 en el lado del anfitrión. La tarjeta 110 de memoria incluye una memoria 111, un registro 112, un circuito 113 de interfaz serie en el lado de la tarjeta y un controlador 114 en el lado de la tarjeta.

El bloque 101 de procesamiento de datos del aparato 100 de procesamiento de datos lee datos almacenados en la tarjeta 110 de memoria para someter datos leídos a una variedad de procesos. Además, el bloque 101 de procesamiento de datos ejecuta la variedad de los procesos de datos para generar datos que se escribirán en la tarjeta 110 de memoria. Es decir, el bloque 101 de procesamiento de datos actúa como circuito de procesamiento de datos para una variedad de aparatos de un tipo que utiliza la tarjeta 110 de memoria.

El registro 102 es una memoria intermedia entre el bloque 101 de procesamiento de datos y el circuito 103 de interfaz serie del lado del anfitrión. Es decir, cuando se suministran datos desde el bloque 101 de procesamiento de datos al circuito 103 de interfaz serie del lado del anfitrión, el aparato 100 de procesamiento de datos almacena temporalmente datos en el registro 102, y a continuación suministra datos al circuito 103 de interfaz serie del lado del anfitrión. De modo similar, el aparato 100 de procesamiento de datos almacena temporalmente datos en el registro 102, y a continuación suministra datos al bloque 101 de procesamiento de datos cuando se suministran datos desde el circuito 103 de interfaz serie del lado del anfitrión al bloque 101 de procesamiento de datos.

El circuito 103 de interfaz serie del lado del anfitrión convierte datos

suministrados desde el bloque 101 de procesamiento de datos a través del registro 102 y una orden suministrada desde el controlador 114 del lado de la tarjeta en señales en serie para suministrar las señales en serie a la tarjeta 110 de memoria. Por otra parte, el circuito 103 de interfaz serie del lado del anfitrión convierte datos de la señal en serie y la orden suministrada desde la tarjeta 110 de memoria en señales en paralelo para suministrar las señales en paralelo al bloque 101 de procesamiento de datos y el controlador 114 del lado de la tarjeta.

El circuito 103 de interfaz serie del lado del anfitrión suministra una señal de sincronización (CLK) de datos y la orden y una señal de selección de chip (CS) a la tarjeta 110 de memoria. El circuito 103 de interfaz serie del lado del anfitrión captura una señal de ocupado (OCUPADO) y una señal de interrupción (INTERRUPCIÓN) suministradas desde la tarjeta 110 de memoria.

El controlador 104 del lado del anfitrión controla la operación de procesamiento de datos que es realizada por el bloque 101 de procesamiento de datos y una operación de transmisión de datos que es realizada por el circuito 103 de interfaz serie del lado del anfitrión. El controlador 104 del lado del anfitrión suministra una orden, que es una orden de control para la tarjeta 110 de memoria, a la tarjeta 110 de memoria a través del registro 112.

Por otro lado, la memoria 111 de la tarjeta 110 de memoria incluye, por ejemplo, una memoria flash, en la que se almacenan datos suministrados desde el bloque 101 de procesamiento de datos.

El registro 112 es una memoria intermedia entre la memoria 111 y el circuito 113 de interfaz serie del lado de la tarjeta. Es decir, la tarjeta 110 de memoria almacena temporalmente datos en el registro 102, y a continuación suministra datos, que se deben escribir, a la memoria 111 cuando en la memoria 111 se escriben datos suministrados desde el aparato 100 de procesamiento de datos. De modo similar, la tarjeta 110 de memoria almacena temporalmente datos en el registro 102, y a continuación suministra datos, que deben ser leídos, al circuito 113 de interfaz serie del lado de la tarjeta cuando el aparato 100 de procesamiento de datos lee datos de la memoria 111. Es decir, el registro 112 es un circuito que tiene una función para actuar como memoria intermedia de páginas para la memoria flash.

El circuito 113 de interfaz serie del lado de la tarjeta es controlado por el controlador 114 del lado de la tarjeta de tal manera que convierte datos de la señal en paralelo suministrada desde la memoria 111 y la orden suministrada desde el controlador 114 del lado de la tarjeta en señales en serie para suministrar las señales

en serie al aparato 100 de procesamiento de datos. El circuito 113 de interfaz serie del lado de la tarjeta convierte datos de la señal en serie y la orden suministrada desde el aparato 100 de procesamiento de datos en señales en paralelo para suministrar las señales en paralelo a la memoria 111 y el controlador 114 del lado de la tarjeta.

5 El circuito 113 de interfaz serie del lado de la tarjeta captura la señal de sincronización (CLK) de datos y la orden y la señal de selección de chip (CS) desde el aparato 100 de procesamiento de datos. El circuito 113 de interfaz serie del lado de la tarjeta suministra la señal de ocupado (OCUPADO) y la señal de interrupción (INTERRUPCIÓN) al aparato 100 de procesamiento de datos.

10 El controlador 114 del lado de la tarjeta controla operaciones de almacenamiento, lectura y borrado de datos que son realizadas por la memoria 111 según una orden o similar suministrada desde el aparato 100 de procesamiento de datos. El controlador 114 del lado de la tarjeta controla la operación de transmisión de datos que es realizada por el circuito 113 de interfaz serie del lado de la tarjeta. El controlador 104 del lado del anfitrión captura, desde la tarjeta 110 de memoria, la
15 señal de ocupado y la señal de interrupción que actúan como señales de estado para la tarjeta 110 de memoria.

Una operación para transmitir datos entre el aparato 100 de procesamiento de datos y la tarjeta 110 de memoria se realiza a través de una línea de transmisión
20 dispuesta entre el circuito 103 de interfaz serie del lado del anfitrión y el circuito 113 de interfaz serie del lado de la tarjeta.

Entre el circuito 113 de interfaz serie del lado de la tarjeta del aparato 100 de procesamiento de datos y el circuito 113 de interfaz serie del lado de la tarjeta de la tarjeta 110 de memoria, hay dispuestas cinco líneas de señal consistentes en una línea de
25 CLK, una línea de CS, una línea de DT, una línea de OCUPADO y una línea de INT.

A la línea de DT se le suministran datos principales, es decir, datos procesados por el bloque 101 de procesamiento de datos para ser escritos en la memoria 111 y datos que se deben escribir desde la memoria 111 para ser suministrados al bloque 101 de procesamiento de datos. Por otra parte, hacia la línea de DT se transmiten una orden que
30 se suministra desde el aparato 100 de procesamiento de datos a la tarjeta 110 de memoria y que actúa como orden de control y una orden que se suministra desde la tarjeta 110 de memoria al aparato 100 de procesamiento de datos. Es decir, a la línea de DT se transmiten bidireccionalmente datos principales y la orden constituidos en señales en serie.

35 Una señal de sincronización de datos principales y las órdenes que se

transmiten a la línea de DT se suministra desde el aparato 100 de procesamiento de datos a la tarjeta 110 de memoria a través de la línea de CLK.

La señal denominada de selección de chip se suministra desde el aparato 100 de procesamiento de datos a la tarjeta 110 de memoria a través de la línea de CS. En un periodo de tiempo en el que el nivel de la señal de selección de chip es alto, se indica el hecho de que los datos principales, las órdenes y las señales de sincronización son efectivos.

La señal de ocupado que indica que la tarjeta 110 de memoria está realizando un proceso se transmite a la línea de OCUPADO. Cuando la tarjeta 110 de memoria está realizando, por ejemplo, un proceso de escritura y se inhibe un acceso que se realiza desde el aparato 100 de procesamiento de datos, la señal de ocupado se suministra desde la tarjeta 110 de memoria al aparato 100 de procesamiento de datos.

La señal de interrupción que indica una interrupción desde la tarjeta 110 de memoria al aparato 100 de procesamiento de datos se suministra desde la tarjeta 110 de memoria al aparato 100 de procesamiento de datos a través de la línea de INT.

La variedad de las señales se transmite a través de las líneas de transmisión antes mencionadas según un diagrama de tiempos dispuesto tal como se muestra en la Fig. 2. En referencia al diagrama de tiempos mostrado en la Fig. 2, se describirá a continuación un proceso para leer datos almacenados en la tarjeta 110 de memoria.

En el instante de tiempo t_{11} , el aparato 100 de procesamiento de datos suministra la señal de selección de chip a la tarjeta 110 de memoria a través de la línea de CS. Además de la señal de selección de chip, el aparato 100 de procesamiento de datos suministra la señal de sincronización a través de la línea de CLK. Cuando la tarjeta 110 de memoria ha capturado la señal de selección de chip, la tarjeta 110 de memoria se prepara para capturar una orden que será suministrada desde el aparato 100 de procesamiento de datos. Cuando el aparato 100 de procesamiento de datos ha suministrado la señal de selección de chip, el aparato 100 de procesamiento de datos suministra una orden de lectura y su dirección a la tarjeta 110 de memoria a través de la línea de DT.

Después de que el aparato 100 de procesamiento de datos haya suministrado la orden de lectura y similares, el aparato 100 de procesamiento de datos interrumpe la operación para suministrar la orden y la señal de sincronización en el instante de tiempo t_{12} . Después de que la tarjeta 110 de memoria haya capturado la orden, la tarjeta 110 de memoria suministra la señal de ocupado al aparato 100 de procesamiento de datos para ejecutar el control según la orden suministrada. Es decir, la tarjeta 110 de memoria ejecuta un control para leer datos principales en una dirección ordenada,

desde la memoria 111 con el fin de suministrar datos principales al registro 112. Llegado este momento, el aparato 100 de procesado de datos no interrumpe el suministro de la señal de selección de chip.

5 Cuando la tarjeta 110 de memoria ha leído y suministrado datos principales al registro 112, la tarjeta 110 de memoria interrumpe el suministro de la señal de ocupado en el instante de tiempo t_{13} . Es decir, la tarjeta 110 de memoria comunica, al aparato 100 de procesado de datos, un estado de preparado en el que se ha completado una preparación para transmitir datos principales.

10 Después de que el aparato 100 de procesado de datos haya detectado la interrupción del suministro de la señal de ocupado, el aparato 100 de procesado de datos determina que se ha completado el control que se realiza según la orden suministrada desde la tarjeta 110 de memoria. De este modo, el aparato 100 de procesado de datos suministra una señal de sincronización a la tarjeta 110 de memoria en el instante de tiempo t_{14} . A continuación, la tarjeta 110 de memoria
15 transmite datos principales al aparato 100 de procesado de datos a través de la línea de DT.

Después de que la tarjeta 110 de memoria haya completado la transmisión de datos principales, el aparato 100 de procesado de datos interrumpe el suministro de la señal de sincronización y la señal de selección de chip en el instante de tiempo t_{15} .

20 Si el proceso de lectura y otros similares han cambiado el estado interno de la tarjeta 110 de memoria, en el instante de tiempo t_{16} , la tarjeta 110 de memoria suministra la señal de interrupción que indica interrupción al aparato 100 de procesado de datos a través de la línea de INT. Cuando se ha suministrado la señal de interrupción al aparato 100 de procesado de datos, el aparato 100 de procesado de
25 datos suministra una orden predeterminada y la señal de selección de chip a la tarjeta 110 de memoria con el fin de capturar un motivo de esta interrupción desde la tarjeta 110 de memoria.

Tal como se ha descrito anteriormente, el aparato 100 de procesado de datos tiene la línea de DT para transmitir datos principales y las órdenes, la línea de CLK
30 para suministrar la señal de sincronización, la línea de CS para suministrar la señal de selección de chip, la línea de OCUPADO para capturar la señal de ocupado y la línea de INT para capturar la señal de interrupción con el fin de comunicar datos hacia y desde la tarjeta 110 de memoria.

35 Cuando se pretende una reducción del tamaño de la tarjeta 110 de memoria, que es el aparato de almacenamiento externo, se debe reducir el número de líneas de

señal dispuestas entre el aparato 100 de procesamiento de datos y la tarjeta 110 de memoria.

El documento XP002226435: "OROS REFERENCE MANUAL", marzo de 1997, da a conocer una tarjeta de memoria con una interfaz I²C.

5 SUMARIO DE LA INVENCION

Considerando lo anterior, es un objetivo de la presente invención proporcionar un aparato de procesamiento de datos, un aparato capaz de reducir el número de líneas de señal para transmitir datos en serie.

Este objetivo se logra por medio de un aparato externo, un sistema de
10 procesamiento de datos y un método según las reivindicaciones independientes adjuntas. En las reivindicaciones secundarias correspondientes se definen características ventajosas de la presente invención.

Otros objetivos, características y ventajas de la invención resultarán evidentes a partir de la siguiente descripción detallada de las realizaciones preferidas descritas
15 conjuntamente con los dibujos adjuntos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La FIG. 1 es un diagrama de bloques que muestra un aparato convencional de procesamiento de datos y una tarjeta de memoria; y

la FIG. 2 es un diagrama de tiempos de datos que se comunican entre el
20 aparato de procesamiento de datos convencional y la tarjeta de memoria.

La FIG. 3 es un diagrama de bloques que muestra un aparato de procesamiento de datos y una tarjeta de memoria según una realización de la presente invención;

la FIG. 4 es un diagrama de un circuito que muestra un circuito de salida en la tarjeta de memoria;

25 la FIG. 5 es un diagrama de tiempos de datos que se comunican entre el aparato de procesamiento de datos y la tarjeta de memoria;

la FIG. 6 es un diagrama de tiempos de datos que se comunican entre el aparato de procesamiento de datos y la tarjeta de memoria;

la FIG. 7 es un diagrama de tiempos de datos que se comunican entre el
30 aparato de procesamiento de datos y la tarjeta de memoria;

la FIG. 8 es un diagrama de tiempos de datos que se comunican entre el aparato de procesamiento de datos y la tarjeta de memoria;

la FIG. 9 es un diagrama de tiempos de datos que se comunican entre el aparato de procesamiento de datos y la tarjeta de memoria;

35 la Fig. 10 es un diagrama de tiempos de datos que se comunican entre el

aparato de procesado de datos y la tarjeta de memoria;

la Fig. 11 es un diagrama de flujo de un proceso que es realizado por el aparato de procesado de datos cuando se leen datos desde la tarjeta de memoria;

la Fig. 12 es un diagrama de flujo de un proceso que es realizado por la tarjeta de memoria cuando se leen datos desde la tarjeta de memoria.

DESCRIPCIÓN DE LAS REALIZACIONES PREFERIDAS

A continuación se describirán, en referencia a los dibujos, un aparato de procesado de datos y una tarjeta de memoria que es un aparato de almacenamiento externo para el aparato de procesado de datos según la presente invención.

10 Tal como se muestra en la Fig. 3, un aparato 10 de procesado de datos incluye, un bloque 11 de procesado de datos, un registro 12, un circuito 13 de interfaz serie del lado del anfitrión y un controlador 14 del lado del anfitrión. Una tarjeta 20 de memoria es un soporte de almacenamiento que tiene una forma de tipo tarjeta y está dispuesta para conectarse al aparato 10 de procesado de datos de manera que la tarjeta 20 de memoria actúa como aparato de almacenamiento externo. La tarjeta 20 de memoria
15 tiene una memoria 21, un registro 22, un circuito 23 de interfaz serie del lado de la tarjeta y un controlador 24 del lado de la tarjeta.

El bloque 11 de procesado de datos del aparato 10 de procesado de datos procesa de forma variada datos almacenados en la tarjeta 20 de memoria. Por otra
20 parte, el bloque 11 de procesado de datos realiza los diversos procesos de datos para generar datos que se deben escribir en la tarjeta 20 de memoria. El bloque 11 de procesado de datos actúa como circuito de procesado de datos para un aparato de ordenador, un aparato para grabar/reproducir una señal de audio digital, un aparato audiovisual, tal como una unidad de cámara, o similares de un tipo que utilicen la
25 tarjeta 20 de memoria.

El registro 12 es una memoria intermedia entre el bloque 11 de procesado de datos y el circuito 13 de interfaz serie del lado del anfitrión. Es decir, el aparato 10 de procesado de datos almacena temporalmente datos en el registro 12, y a continuación suministra datos al circuito 13 de interfaz serie del lado del anfitrión cuando el aparato
30 10 de procesado de datos suministra datos desde el bloque 11 de procesado de datos al circuito 13 de interfaz serie del lado del anfitrión. De modo similar, el aparato 10 de procesado de datos almacena temporalmente datos en el registro 12, y a continuación suministra datos al bloque 11 de procesado de datos cuando el aparato 10 de procesado de datos suministra datos desde el circuito 13 de interfaz serie del lado del
35 anfitrión al bloque 11 de procesado de datos.

El circuito 13 de interfaz serie del lado del anfitrión convierte datos suministrados desde el bloque 11 de procesamiento de datos al registro 12 y una orden suministrada desde el controlador 24 del lado de la tarjeta en señales en serie para suministrar las señales en serie a la tarjeta 20 de memoria. El circuito 13 de interfaz serie del lado del anfitrión convierte datos y la orden suministrada desde la tarjeta 20 de memoria en señales en paralelo para suministrar datos y la orden al bloque 11 de procesamiento de datos y el controlador 24 del lado de la tarjeta.

El circuito 13 de interfaz serie del lado del anfitrión suministra señales de sincronización (CLK) de varios datos y la orden a la tarjeta 20 de memoria. El circuito 13 de interfaz serie del lado del anfitrión captura una señal de estado (ESTADO) que se suministra desde la tarjeta 20 de memoria y que indica un estado del funcionamiento de la tarjeta 20 de memoria.

El controlador 14 del lado del anfitrión controla la operación de procesamiento de datos que es realizada por el bloque 11 de procesamiento de datos y las operaciones de transmisión de datos que son realizadas por el circuito 13 de interfaz serie del lado del anfitrión. El controlador 14 del lado del anfitrión suministra una orden, que es una orden de control para la tarjeta 20 de memoria, a la tarjeta 20 de memoria a través del registro 22.

Por otro lado, la memoria 21 de la tarjeta 20 de memoria incluye, por ejemplo, una memoria flash, en la que se almacenan datos suministrados desde el bloque 11 de procesamiento de datos.

El registro 22 es una memoria intermedia entre la memoria 21 y el circuito 23 de interfaz serie del lado de la tarjeta. Es decir, cuando en la memoria 21 se escriben datos suministrados desde el aparato 10 de procesamiento de datos, en el registro 12 se almacenan temporalmente datos, y a continuación a la memoria 21 se le suministran datos que deben ser escritos. De modo similar, cuando el aparato 10 de procesamiento de datos lee datos desde la memoria 21, se almacenan temporalmente datos en el registro 12, y a continuación se suministran datos leídos al circuito 23 de interfaz serie del lado de la tarjeta. Es decir, el registro 22 es un circuito que tiene una función para actuar como una memoria intermedia denominada de páginas para la memoria flash.

El circuito 23 de interfaz serie del lado de la tarjeta es controlado por el controlador 24 del lado de la tarjeta de tal manera que convierte datos de la señal en paralelo suministrada desde la memoria 21 y la orden suministrada desde el controlador 24 del lado de la tarjeta en señales en serie con el fin de suministrar las señales en serie al aparato 10 de procesamiento de datos. El circuito 23 de interfaz serie

del lado de la tarjeta convierte datos y la orden constituidos en las señales en serie suministradas desde el aparato 10 de procesamiento de datos en señales en paralelo con el fin de suministrar las señales en paralelo a la memoria 21 y el controlador 24 del lado de la tarjeta.

5 El circuito 23 de interfaz serie del lado de la tarjeta captura una señal de sincronización (CLK) o similares de varios datos y la orden desde el aparato 10 de procesamiento de datos. El circuito 23 de interfaz serie del lado de la tarjeta suministra la señal de estado al aparato 10 de procesamiento de datos.

El controlador 24 del lado de la tarjeta controla la operación para almacenar,
10 leer y borrar datos en la memoria 21 según una orden o similar suministrada desde el aparato 10 de procesamiento de datos. El controlador 24 del lado de la tarjeta controla la operación de transmisión de datos que es realizada por el circuito 23 de interfaz serie del lado de la tarjeta. El controlador 14 del lado del anfitrión ejecuta un control de tal manera que suministra la señal de estado de la tarjeta 20 de memoria a la tarjeta 20
15 de memoria. La transmisión de datos antes mencionada entre el aparato 10 de procesamiento de datos y la tarjeta 20 de memoria se realiza a través de una línea de transmisión dispuesta entre el circuito 13 de interfaz serie del lado del anfitrión y el circuito 23 de interfaz serie del lado de la tarjeta.

Entre el circuito 23 de interfaz serie del lado de la tarjeta del aparato 10 de
20 procesamiento de datos y el circuito 23 de interfaz serie del lado de la tarjeta de la tarjeta 20 de memoria están dispuestas tres líneas de señal consistentes en una línea 31 de CLK, una línea 32 de control y una línea 33 de DT.

Hacia la línea 33 de DT se transmiten datos principales, es decir, datos que se deben escribir en la memoria 21 por medio del bloque 11 de procesamiento de datos y
25 datos que se deben leer desde la memoria 21 para suministrarlos al bloque 11 de procesamiento de datos. Hacia la línea 33 de DT se transmiten una orden que es una orden de control dispuesta para ser suministrada desde el aparato 10 de procesamiento de datos a la tarjeta 20 de memoria y una orden que se suministra desde la tarjeta 20 de memoria al aparato 10 de procesamiento de datos. Es decir, hacia la línea 33 de DT se
30 transmiten bidireccionalmente datos principales y la orden constituidos en señales en serie.

Un resistor 33a que tiene un extremo a tierra está unido a la línea 33 de DT. El resistor 33a es un resistor denominado reductor. De este modo, cuando no se realiza la comunicación de la señal entre el circuito 13 de interfaz serie del lado del anfitrión y
35 el circuito 23 de interfaz serie del lado de la tarjeta a través de la línea 33 de DT, se

consigue que el nivel de señal de la línea 33 de DT sea un nivel bajo. Es decir, cuando no se realiza la comunicación de la señal a través de la línea 33 de DT, se consigue que el nivel de señal de la línea 33 de DT sea un nivel predeterminado que queda determinado por el valor de resistencia o similar del resistor 33a.

5 En esta realización, el resistor 33a es el denominado resistor reductor para conseguir que el nivel de señal de la línea 33 de DT sea el nivel bajo cuando no se realiza la comunicación de la señal a través de la línea 33 de DT. El resistor 33a puede ser un resistor denominado elevador para conseguir que el nivel de señal de la línea 33 de DT sea un nivel alto cuando no se realiza la comunicación de la señal a través
10 de la línea 33 de DT.

La señal de sincronización de datos principales y la orden que se debe transmitir hacia la línea 33 de DT se transmite desde el aparato 10 de procesado de datos a la tarjeta 20 de memoria a través de la línea 31 de CLK.

La señal de control se transmite desde el aparato 10 de procesado de datos a
15 la tarjeta 20 de memoria a través de la línea 32 de control. En un periodo de tiempo en el que se suministra la señal de control, es decir, en un periodo en el que el nivel de la señal es, por ejemplo, alto, se transmiten datos principales y la orden.

Además de datos principales y la orden, la señal de estado (ESTADO) que indica el estado del funcionamiento de la tarjeta 20 de memoria se suministra desde la
20 tarjeta 20 de memoria al aparato 10 de procesado de datos a través de la línea 33 de DT. El suministro de la señal de estado se realiza en un periodo de tiempo en el que no se transmiten datos principales y la orden hacia la línea 33 de DT, es decir, en un periodo de tiempo en el que no se suministra la señal de control, por ejemplo, en un periodo de tiempo en el que el nivel de la señal es bajo. La señal de estado incluye
25 una señal de ocupado (OCUPADO) que indica que la tarjeta 20 de memoria está realizando un proceso. Cuando la tarjeta 20 de memoria está realizando, por ejemplo, un proceso de escritura y, por lo tanto, se inhibe un acceso desde el aparato 10 de procesado de datos, la señal de ocupado se suministra desde la tarjeta 20 de memoria al aparato 10 de procesado de datos. La señal de estado incluye una señal de
30 interrupción (INTERRUPCIÓN) que indica una interrupción desde la tarjeta 20 de memoria al aparato 10 de procesado de datos. Por ejemplo, cuando se solicita una orden de interrupción desde la tarjeta 20 de memoria al aparato 10 de procesado de datos, se suministra la señal de interrupción. Obsérvese que la señal de ocupado y la señal de interrupción son ejemplos y, como señal de estado, se puede utilizar
35 cualquier señal que indique el estado del funcionamiento de la tarjeta 20 de memoria.

Tal como se ha descrito anteriormente, la señal de estado se suministra durante un periodo en el que la señal de control no se suministra proporcionando un circuito de salida dispuesto tal como se muestra en la Fig. 4 para la tarjeta 20 de memoria.

5 Entre el circuito 23 de interfaz serie del lado de la tarjeta y un terminal E/S de la línea 33 de DT está dispuesto un circuito 25 de salida de la tarjeta 20 de memoria. El circuito 25 de salida incluye una memoria intermedia 26 de entrada, una memoria intermedia 27 de salida, un conmutador 28 de selección y un circuito OR 29.

10 La memoria intermedia 26 de entrada está conectada a la línea 33 de DT para que se le suministre la señal en serie suministrada desde el aparato 10 de procesamiento de datos. A continuación, la memoria intermedia 26 de entrada suministra la señal en serie al circuito 23 de interfaz serie del lado de la tarjeta.

15 La memoria intermedia 27 de salida produce salidas de la señal en serie, la señal de ocupado y la señal de interrupción suministradas a través del conmutador 28 de selección hacia la línea 33 de DT.

20 La operación OR de la señal de ocupado y la señal de interrupción suministradas desde el controlador 24 del lado de la tarjeta se calcula por medio del circuito OR 29 para ser suministrada a un terminal 28b del conmutador 28 de selección. La señal en serie suministrada desde el circuito 23 de interfaz serie del lado de la tarjeta se suministra a un terminal 28a del conmutador 28 de selección.

25 El conmutador 28 de selección se conmuta al terminal 28a cuando el nivel de señal correspondiente a la señal de control es alto. Cuando el conmutador 28 de selección se ha conmutado al terminal 28a, la señal en serie obtenida desde el circuito 23 de interfaz serie del lado de la tarjeta se suministra a la memoria intermedia 27 de salida. Cuando el nivel de señal correspondiente a la señal de control es bajo, el conmutador 28 de selección se conmuta al terminal 28b. Cuando el conmutador 28 de selección se ha conmutado al terminal 28b, las señales de estado, tales como la señal de ocupado y la señal de interrupción, transmitidas desde el controlador 24 del lado de la tarjeta se suministran a la memoria intermedia 27 de salida.

30 La variedad de las señales se transmite a las líneas de transmisión antes mencionadas según un diagrama de tiempos dispuesto tal como se muestra en la Fig. 5. En referencia al diagrama de tiempos mostrado en la Fig. 5, se describirá a continuación un proceso para leer datos principales almacenados en la tarjeta 20 de memoria.

35 En el instante de tiempo t_{21} , el aparato 10 de procesamiento de datos suministra la

señal de control a la tarjeta 20 de memoria a través de la línea 32 de control. Después de que la tarjeta 20 de memoria haya capturado la señal de control, la tarjeta 20 de memoria realiza una preparación para capturar una orden que se suministrará desde el aparato 10 de procesamiento de datos. El aparato 10 de procesamiento de datos suministra la señal de control. Por otra parte, el aparato 10 de procesamiento de datos suministra una orden de lectura y similares a la tarjeta 20 de memoria a través de la línea 33 de DT. Además de la orden anterior y similares, el aparato 10 de procesamiento de datos suministra una señal de sincronización a la tarjeta 20 de memoria a través de la línea 31 de CLK.

Después de que el aparato 10 de procesamiento de datos haya suministrado la orden de lectura y similares, el aparato 10 de procesamiento de datos detiene el suministro de la orden, la señal de control y la señal de sincronización en el instante de tiempo t_{22} . En t_{22} no es necesario realizar una pausa en la señal de sincronización.

Después de que la tarjeta 20 de memoria haya capturado la orden, la tarjeta 20 de memoria suministra la señal de ocupado al aparato 10 de procesamiento de datos a través de la línea 33 de DT con el fin de realizar un control según la orden suministrada. Como el aparato 10 de procesamiento de datos no está suministrando la señal de control en este instante de tiempo, el aparato 10 de procesamiento de datos puede determinar que la señal suministrada desde la tarjeta 20 de memoria es la señal de ocupado. Después de que la tarjeta 20 de memoria haya suministrado la señal de ocupado, la tarjeta 20 de memoria lee datos principales en la dirección ordenada de la memoria 21 y suministra datos principales al registro 22.

Después de que la tarjeta 20 de memoria haya leído datos principales y suministrado los mismos al registro 22, la tarjeta 20 de memoria realiza una pausa en el suministro de la señal de ocupado a través de la línea 33 de DT en el instante de tiempo t_{23} . Es decir, la tarjeta 20 de memoria comunica al aparato 10 de procesamiento de datos un estado preparado en el que se ha completado una preparación para suministrar datos principales.

Después de que el aparato 10 de procesamiento de datos haya detectado la pausa del suministro de la señal de ocupado en el instante de tiempo t_{24} , el aparato 10 de procesamiento de datos determina que el control que se debe realizar según la orden suministrada desde la tarjeta 20 de memoria se ha completado. De este modo, el aparato 10 de procesamiento de datos suministra la señal de control y la señal de sincronización. Como se ha suministrado la señal de control, la tarjeta 20 de memoria sincroniza datos principales con la señal de sincronización suministrada a través de la

línea 33 de DT para transmitir los datos principales sincronizados al aparato 10 de procesado de datos.

Después de que la tarjeta 20 de memoria haya completado la transmisión de datos principales, el aparato 10 de procesado de datos interrumpe el suministro de la
5 señal de sincronización y la señal de control en el instante de tiempo t_{25} .

Si el estado interno de la tarjeta 20 de memoria cambia debido a un resultado del proceso de lectura o similares, la tarjeta 20 de memoria suministra una señal de interrupción que indica una interrupción para el aparato 10 de procesado de datos a través de la línea 33 de DT en el instante de tiempo t_{25} , si así fuera necesario. El
10 aparato 10 de procesado de datos puede determinar que la señal suministrada desde la tarjeta 20 de memoria es la señal de interrupción ya que el aparato 10 de procesado de datos no está suministrando la señal de control. Si se suministra la señal de interrupción, el aparato 10 de procesado de datos captura el motivo de esta interrupción suministrando una señal de control y una orden correspondiente.

15 Tal como se ha descrito anteriormente, el aparato 10 de procesado de datos y la tarjeta 20 de memoria están estructurados de tal manera que la señal de estado se transmite desde la tarjeta 20 de memoria a través de la línea 33 de DT. Por lo tanto, se puede reducir el número de líneas de señal. De este modo, no se requieren líneas de señal para la señal de ocupado y la señal de interrupción. Como consecuencia, se
20 pueden transmitir datos de una manera fiable por medio de una estructura sencilla. Aunque se requiere que la estructura convencional realice una operación de sondeo durante un periodo de tiempo predeterminado si se realiza una comunicación de datos entre un aparato de procesado de datos y una tarjeta de memoria sin usar la señal de interrupción, la operación de sondeo no es necesaria para el aparato 10 de procesado
25 de datos según la presente invención.

El contenido de las órdenes que se suministran desde el aparato 10 de procesado de datos a la tarjeta 20 de memoria y el de la orden que se suministra desde la tarjeta 20 de memoria al aparato 10 de procesado de datos son determinados previamente por el controlador 24 del lado de la tarjeta. Por ejemplo, se determinan
30 previamente la orden de escritura, la orden de lectura y la orden de borrado. Cuando se transmite a través de la línea 33 de DT una cualquiera de las órdenes antes mencionadas, se determina sin excepción el orden secuencial de los datos, la orden o la señal de estado que se transmite a continuación hacia la línea 33 de DT.

Cuando se ha transmitido la orden de escritura desde el aparato 10 de
35 procesado de datos a la tarjeta 20 de memoria, después de que se haya transmitido la

orden de escritura se transmiten desde el aparato 10 de procesamiento de datos a la tarjeta 20 de memoria datos principales que se pretenden escribir en la tarjeta 20 de memoria. La tarjeta 20 de memoria, a la que se han transmitido la orden de escritura y datos principales, transmite la señal de ocupado al aparato 10 de procesamiento de datos durante un periodo en el que se están escribiendo datos principales. Después de que se hayan escrito los datos principales, la tarjeta 20 de memoria transmite la señal de preparado al aparato 10 de procesamiento de datos. Cuando se ha transmitido la orden de lectura desde el aparato 10 de procesamiento de datos a la tarjeta 20 de memoria, la tarjeta 20 de memoria realiza una operación para leer datos principales que se corresponden con la orden de lectura. En un periodo de tiempo en el que se realiza la operación de lectura, la tarjeta 20 de memoria transmite la señal de ocupado al aparato 10 de procesamiento de datos. Después de que se haya completado la operación de lectura, la tarjeta 20 de memoria transmite la señal de preparado al aparato 10 de procesamiento de datos. Después de que el aparato 10 de procesamiento de datos haya recibido la señal de preparado, se transmiten datos principales desde la tarjeta 20 de memoria al aparato 10 de procesamiento de datos. De este modo, se realiza la operación para leer datos principales.

A continuación se describirá un segundo método de transmisión de datos que se utiliza cuando el contenido y el orden secuencial de datos que se transmiten a través de la línea 33 de DT se han determinado con las órdenes.

El segundo método de transmisión de datos está dispuesto de tal manera que el estado de datos que se transmiten a través de la línea 33 de DT se determina conmutando la señal de control. Es decir, el estado de datos que se deben transmitir se determina conmutando la señal de control, y a continuación se realiza la transmisión de datos.

El estado de datos que se transmiten a través de la línea 33 de DT se determina de la manera siguiente: se hace que un estado en el que no se emite ninguna orden de control, es decir, ninguna orden, desde el aparato 10 de procesamiento de datos a la tarjeta 20 de memoria, y la tarjeta 20 de memoria no está realizando ningún proceso, sea un estado inicial que es el "ESTADO 0". Se hace que un estado en el que se está suministrando una orden desde el aparato 10 de procesamiento de datos a la tarjeta 20 de memoria, por ejemplo, un estado en el que se está suministrando a través de la línea 33 de DT una orden de escritura, una orden de lectura o una orden de borrado, sea el "ESTADO 1". A continuación, el estado prosigue hacia el "ESTADO 2" y el "ESTADO 3" en cada uno de los cuales se realiza el proceso correspondiente a

la orden suministrada en el "ESTADO 1". A continuación, el estado se hace volver a "ESTADO 0" después de que se haya realiza el "ESTADO 3".

La señal de control es una señal para conmutar los estados de "ESTADO 0" a "ESTADO 3". Es decir, el nivel de señal correspondiente a la señal de control es un nivel bajo en el "ESTADO 0". Cuando se ha conseguido que el nivel de señal correspondiente a la señal de control en el "ESTADO 0" sea un nivel alto, el estado se conmuta a "ESTADO 1". Cuando se ha conseguido que el nivel de señal correspondiente a la señal de control en el "ESTADO 1" sea bajo, el estado se conmuta a "ESTADO 2". Cuando se ha conseguido que el nivel de señal correspondiente a la señal de control en el "ESTADO 2" sea alto, el estado se conmuta a "ESTADO 3". Cuando el nivel de señal correspondiente a la señal de control en el "ESTADO 3" se ha conmutado para que sea bajo, el estado se conmuta a "ESTADO 0".

La señal de control se conmuta según se ha descrito anteriormente, de manera que se conmuta el contenido de datos que se transmiten a través de la línea 33 de DT. Según el contenido de la orden transmitida en "ESTADO 1", el aparato 10 de procesado de datos y la tarjeta 20 de memoria determinan el contenido de datos que se transmite en "ESTADO 2" y "ESTADO 3" y realizan los procesos correspondientes al estado.

Si se leen datos principales desde la tarjeta 20 de memoria, se alcanza inicialmente el "ESTADO 1" de manera que se transmite una orden de lectura desde el aparato 10 de procesado de datos a la tarjeta 20 de memoria. A continuación, se alcanza el "ESTADO 2", en el que la tarjeta 20 de memoria realiza una operación para leer datos principales con el fin de seguir la orden de lectura. Durante el proceso anterior, se transmite la señal de ocupado desde la tarjeta 20 de memoria al aparato 10 de procesado de datos. Después de que se haya completado el proceso anterior, se transmite la señal de preparado desde la tarjeta 20 de memoria al aparato 10 de procesado de datos. Cuando el aparato 10 de procesado de datos ha detectado la señal de preparado, se alcanza el "ESTADO 3" de manera que se realiza, a través de la línea 33 de DT, la transmisión de datos principales leídos desde la tarjeta 20 de memoria hacia el aparato 10 de procesado de datos. Después de que se haya completado la transmisión de datos principales, el estado se hace volver a "ESTADO 0".

Si se escriben datos principales en la tarjeta 20 de memoria, se alcanza inicialmente el "ESTADO 1" de manera que se transmite una orden de escritura desde

el aparato 10 de procesado de datos a la tarjeta 20 de memoria. A continuación, se alcanza el "ESTADO 2" de manera que se transmiten datos principales que se escriben en la tarjeta 20 de memoria desde el aparato 10 de procesado de datos hacia la tarjeta 20 de memoria a través de la línea 33 de DT. A continuación, se alcanza el

5 "ESTADO 3" de manera que la tarjeta 20 de memoria realiza el proceso para escribir datos principales con el fin de seguir la orden de escritura. Durante el proceso antes mencionado, se transmite la señal de ocupado desde la tarjeta 20 de memoria al aparato 10 de procesado de datos. Después de que se haya completado el proceso antes mencionado, se transmite la señal de preparado desde la tarjeta 20 de memoria

10 al aparato 10 de procesado de datos. Cuando el aparato 10 de procesado de datos ha detectado la señal de preparado, el estado se hace volver a "ESTADO 0".

Si se borran datos principales escritos en la tarjeta 20 de memoria, una orden de borrado, en el "ESTADO 1", se transmite inicialmente desde el aparato 10 de procesado de datos a la tarjeta 20 de memoria. A continuación, se alcanza el

15 "ESTADO 2" de manera que la tarjeta 20 de memoria realiza un proceso para borrar datos principales con el fin de seguir la orden de borrado. Durante el proceso anterior, se transmite la señal de ocupado desde la tarjeta 20 de memoria al aparato 10 de procesado de datos. Después de que se haya completado el proceso antes mencionado, se transmite la señal de preparado desde la tarjeta 20 de memoria al

20 aparato 10 de procesado de datos. Cuando el aparato 10 de procesado de datos ha detectado la señal de preparado, el estado se hace volver a "ESTADO 0".

A continuación, en referencia a diagramas de tiempos mostrados en las Figs. 6 y 7, se describirá el segundo método de transmisión de datos para controlar un estado de la transmisión de datos conmutando la señal de control según datos que se

25 transmiten hacia la línea 33 de DT. El diagrama de tiempos mostrado en la Fig. 6 es un ejemplo de un diagrama de tiempos con el que el aparato 10 de procesado de datos lee datos principales escritos en la tarjeta 20 de memoria. El diagrama de tiempos mostrado en la Fig. 7 es un ejemplo de un diagrama de tiempos con el que el

aparato 10 de procesado de datos escribe datos principales en la tarjeta 20 de

30 memoria.

A continuación se describirá, en referencia a la Fig. 6, una operación para leer datos principales.

En un estado en el que no se realiza una comunicación de datos entre el aparato 10 de procesado de datos y la tarjeta 20 de memoria, se hace que el nivel de

35 señal correspondiente a la señal de control sea un nivel bajo. De este modo, se

alcanza el estado inicial en el que el estado es "ESTADO 0". El proceso para leer datos principales se inicia en el estado inicial, en el que el estado es "ESTADO 0".

En el instante de tiempo t_{31} en el que se inicia el proceso para leer datos principales, el aparato 10 de procesado de datos conmuta el nivel de señal correspondiente a la señal de control que se suministra a la tarjeta 20 de memoria a través de la línea 32 de control, del nivel bajo al nivel alto. Por lo tanto, el estado de datos que se transmite hacia la línea 33 de DT se conmuta de "ESTADO 0" a "ESTADO 1". Cuando la tarjeta 20 de memoria captura la señal de control anterior, la tarjeta 20 de memoria determina que el estado se ha conmutado de "ESTADO 0" a "ESTADO 1". De este modo, la tarjeta 20 de memoria realiza una preparación para capturar la orden que se suministrará desde el aparato 10 de procesado de datos. En un periodo de tiempo en el que el estado es "ESTADO 1", el aparato 10 de procesado de datos suministra la orden de lectura a la tarjeta 20 de memoria a través de la línea 33 de DT. Por otra parte, el aparato 10 de procesado de datos suministra la señal de sincronización de la orden de lectura a la tarjeta 20 de memoria a través de la línea 31 de CLK. Cuando la tarjeta 20 de memoria, en el estado de "ESTADO 1", captura la orden de lectura, la tarjeta 20 de memoria determina el contenido de datos que se transmite a través de la línea 33 de DT en los siguientes estados "ESTADO 2" y "ESTADO 3".

En el instante de tiempo t_{32} en el que se ha completado el suministro de la orden de lectura, el aparato 10 de procesado de datos conmuta el nivel de señal correspondiente a la señal de control de nivel alto al nivel bajo. Es decir, el aparato 10 de procesado de datos conmuta el estado de "ESTADO 1" a "ESTADO 2".

Cuando se ha alcanzado el "ESTADO 2", la tarjeta 20 de memoria ejecuta un proceso según la orden de lectura suministrada cuando el estado es "ESTADO 1". Específicamente, la tarjeta 20 de memoria realiza un proceso para leer datos principales de la dirección ordenada con la orden de lectura desde la memoria 21 para suministrar datos principales al registro 22. Durante el proceso antes mencionado, la tarjeta 20 de memoria suministra la señal de ocupado al aparato 10 de procesado de datos a través de la línea 33 de DT, suministrándose la señal de ocupado como señal de estado. Es decir, cuando el estado es "ESTADO 2", la tarjeta 20 de memoria transmite inicialmente la señal de ocupado como señal de estado. Como la orden suministrada a la tarjeta 20 de memoria es la orden de lectura y el estado actual es "ESTADO 2", el aparato 10 de procesado de datos determina que la señal que se está transmitiendo desde la tarjeta 20 de memoria es la señal de estado.

Después de que se haya completado la operación para leer y suministrar datos principales al registro 22, la tarjeta 20 de memoria realiza una pausa en la salida de la señal de ocupado que actúa como señal de estado a través de la línea 33 de DT en el instante de tiempo t_{33} en el que se ha completado la operación para leer y suministrar datos principales al registro 22. A continuación, la tarjeta 20 de memoria comienza a producir una salida de la señal de preparado que indica que se ha completado la preparación para suministrar datos principales al aparato 10 de procesamiento de datos. Es decir, cuando se ha completado en el "ESTADO 2" la operación para leer y suministrar datos principales al registro 22, la tarjeta 20 de memoria transmite la señal de preparado que actúa como señal de estado.

Cuando el nivel de señal correspondiente a una señal que se transmite desde la tarjeta 20 de memoria a través de la línea 33 de DT es alto cuando el estado es "ESTADO 2", se transmite la señal de ocupado. Cuando el nivel de señal es bajo cuando el estado es "ESTADO 2", se transmite la señal de preparado. Como la orden suministrada a la tarjeta 20 de memoria es la orden de lectura cuando el estado es "ESTADO 2" y el estado actual es "ESTADO 2", el aparato 10 de procesamiento de datos puede determinar que la señal que se está transmitiendo desde la tarjeta 20 de memoria es la señal de estado. Por lo tanto, cuando el nivel de la señal que se transmite desde la tarjeta 20 de memoria a través de la línea 33 de DT se conmuta simplemente del nivel alto al nivel bajo, el aparato 10 de procesamiento de datos puede detectar el hecho de que la señal se ha conmutado de la señal de ocupado a la señal de preparado.

Después de que el aparato 10 de procesamiento de datos haya recibido la señal de preparado desde la tarjeta 20 de memoria, el aparato 10 de procesamiento de datos determina que se ha completado el proceso de la tarjeta 20 de memoria que se realiza según la orden de lectura. En el instante de tiempo t_{34} en el que se ha determinado que se ha completado el proceso de la tarjeta 20 de memoria que se realiza según la orden de lectura, el nivel de señal correspondiente a la señal de control se conmuta del nivel bajo al nivel alto. Es decir, el estado se conmuta de "ESTADO 2" a "ESTADO 3".

Cuando se ha alcanzado el "ESTADO 3", la tarjeta 20 de memoria transmite datos principales leídos y suministrados al registro 22, cuando el estado es "ESTADO 2", al aparato 10 de procesamiento de datos a través de la línea 33 de DT. En el instante de tiempo t_{35} en el que se ha completado la transmisión de datos principales desde la tarjeta 20 de memoria al aparato 10 de procesamiento de datos, el aparato 10 de

procesado de datos realiza una pausa en el suministro de la señal de sincronización. Por otra parte, el aparato 10 de procesado de datos conmuta el nivel de señal correspondiente a la señal de control del nivel alto al nivel bajo. Es decir, el estado se hace volver de "ESTADO 3" para transmitir datos principales a "ESTADO 0", que es el estado inicial.

Si cambia el estado interno de la tarjeta 20 de memoria debido a la influencia del proceso de lectura o similares y, por lo tanto, se debe realizar un proceso de interrupción, la tarjeta 20 de memoria suministra la señal de interrupción que indica la interrupción al aparato 10 de procesado de datos a través de la línea 33 de DT en el instante de tiempo t_{36} cuando el estado es "ESTADO 0". El aparato 10 de procesado de datos se dispone previamente de tal manera que determina que cuando se suministra una señal desde la tarjeta 20 de memoria a través de la línea 33 de DT en un estado en el que el estado es "ESTADO 0", el aparato 10 de procesado de datos se dispone previamente de tal manera que la señal suministrada es la señal de interrupción. Como consecuencia, el aparato 10 de procesado de datos determina que la señal suministrada es la señal de interrupción. El aparato 10 de procesado de datos, que ha recibido la señal de interrupción, realiza un proceso requerido en respuesta a la señal de interrupción.

A continuación se describirá, en referencia a la Fig. 7, una operación para escribir datos principales.

En un estado en el que no se realiza una transmisión de datos entre el aparato 10 de procesado de datos y la tarjeta 20 de memoria, se hace que el nivel de señal correspondiente a la señal de control sea el nivel bajo. De este modo, el estado es "ESTADO 0", que es el estado inicial. El proceso para escribir datos principales se inicia en "ESTADO 0", que es el estado inicial.

En el instante de tiempo t_{41} en el que se inicia el proceso para escribir datos principales, el aparato 10 de procesado de datos conmuta el nivel de señal correspondiente a la señal de control que se suministra a la tarjeta 20 de memoria a través de la línea 32 de control, del nivel bajo al nivel alto. Por lo tanto, el estado de datos que se transmite hacia la línea 33 de DT se conmuta de "ESTADO 0" a "ESTADO 1". Cuando la tarjeta 20 de memoria ha capturado la señal de control anterior, la tarjeta 20 de memoria determina que el estado se ha conmutado de "ESTADO 0" a "ESTADO 1". De este modo, la tarjeta 20 de memoria realiza una preparación para capturar una orden que se suministrará desde el aparato 10 de procesado de datos. Cuando el estado es "ESTADO 1", el aparato 10 de procesado de

datos suministra la orden de escritura a la tarjeta 20 de memoria a través de la línea 33 de DT. Por otra parte, el aparato 10 de procesamiento de datos suministra su señal de sincronización a la tarjeta 20 de memoria a través de la línea 31 de CLK. Como la tarjeta 20 de memoria captura la orden de escritura cuando el estado es "ESTADO 1",
5 la tarjeta 20 de memoria determina el contenido de datos que se suministrará a través de la línea 33 de DT en los siguientes "ESTADO 2" y "ESTADO 3".

En el instante de tiempo t_{42} en el que se ha completado el suministro de la orden de escritura, el aparato 10 de procesamiento de datos conmuta la señal de control del nivel alto al nivel bajo. Es decir, el aparato 10 de procesamiento de datos conmuta el
10 estado de "ESTADO 1" a "ESTADO 2".

Cuando el estado es "ESTADO 2", el aparato 10 de procesamiento de datos transmite datos principales que se pretenden escribir en la tarjeta 20 de memoria hacia la tarjeta 20 de memoria a través de la línea 33 de DT. En el instante de tiempo t_{43} en el que se ha completado la transmisión de datos principales hacia la tarjeta 20 de memoria, el aparato 10 de procesamiento de datos conmuta el nivel de señal correspondiente a la señal de control del nivel bajo al nivel alto. Es decir, el aparato 10 de procesamiento de datos conmuta el estado de "ESTADO 2" a "ESTADO 3".
15

Cuando se ha alcanzado el "ESTADO 3", la tarjeta 20 de memoria realiza un proceso, que se realiza según la orden de escritura suministrada cuando el estado es "ESTADO 1", es decir, el proceso para escribir, en la memoria 21, datos principales transmitidos desde el aparato 10 de procesamiento de datos cuando el estado es "ESTADO 2". Durante el proceso anterior, la tarjeta 20 de memoria suministra la señal de ocupado, que es una señal de estado, al aparato 10 de procesamiento de datos a través de la línea 33 de DT. Es decir, cuando el estado es "ESTADO 3", la tarjeta 20 de memoria transmite inicialmente la señal de ocupado como señal de estado. Llegado este momento, el aparato 10 de procesamiento de datos determina que la señal que se está transmitiendo desde la tarjeta 20 de memoria es la señal de estado ya que la orden suministrada a la tarjeta 20 de memoria es la orden de escritura y el estado actual es "ESTADO 3".
20
25

Después de que se haya completado la operación para escribir datos principales en el registro 22, la tarjeta 20 de memoria realiza una pausa en la salida de la señal de ocupado, que es la señal de estado, en el instante de tiempo t_{44} en el que se ha completado la operación para escribir datos principales en el registro 22. Por otra parte, la tarjeta 20 de memoria comienza a producir la salida de la señal de preparado que indica el hecho de que se ha completado la escritura de datos
30
35

principales. Es decir, cuando el estado es "ESTADO 3", la tarjeta 20 de memoria transmite la señal de preparado que es la señal de estado después de que se hayan escrito datos principales en el registro 22.

En esta realización, la señal de ocupado se transmite cuando el nivel de señal correspondiente a la señal que se transmite desde la tarjeta 20 de memoria a través de la línea 33 de DT es el nivel alto en un caso en el que el estado es "ESTADO 3". Cuando el nivel de señal es bajo, se transmite la señal de preparado. Cuando el estado es "ESTADO 3", el aparato 10 de procesamiento de datos puede determinar que la señal que se está transmitiendo desde la tarjeta 20 de memoria es la señal de estado ya que la orden suministrada a la tarjeta 20 de memoria es la orden de escritura y el estado actual es "ESTADO 3". Por lo tanto, cuando el nivel de señal correspondiente a la señal que se transmite desde la tarjeta 20 de memoria a través de la línea 33 de DT se conmuta simplemente del nivel alto al nivel bajo, el aparato 10 de procesamiento de datos puede detectar el hecho de que la señal anterior se ha conmutado de la señal de ocupado a la señal de preparado.

Cuando el aparato 10 de procesamiento de datos ha recibido la señal de preparado desde la tarjeta 20 de memoria, el aparato 10 de procesamiento de datos determina que se ha completado el proceso que realiza la tarjeta 20 de memoria según la orden de escritura. En el instante de tiempo t_{45} en el que se ha determinado que se ha completado el proceso que realiza la tarjeta 20 de memoria según la orden de escritura, el aparato 10 de procesamiento de datos realiza una pausa en el suministro de la señal de sincronización. Por otra parte, el aparato 10 de procesamiento de datos conmuta el nivel de señal correspondiente a la señal de control, del nivel alto al nivel bajo. Es decir, el estado se hace volver de "ESTADO 3", en el que se escriben datos principales, a "ESTADO 0", que es el estado inicial.

Si el estado interno de la tarjeta 20 de memoria cambia como consecuencia de la influencia del proceso de escritura y similares y, por lo tanto, se debe realizar un proceso de interrupción, la tarjeta 20 de memoria, en el instante de tiempo t_{46} , suministra la señal de interrupción que indica la interrupción al aparato 10 de procesamiento de datos a través de la línea 33 de DT cuando el estado es "ESTADO 0". El aparato 10 de procesamiento de datos se dispone previamente de tal manera que cuando se suministra una señal desde la tarjeta 20 de memoria a través de la línea 33 de DT cuando el estado es "ESTADO 0", el aparato 10 de procesamiento de datos determina que la señal suministrada es la señal de interrupción. Como consecuencia, el aparato 10 de procesamiento de datos determina que la señal suministrada es la señal de

interrupción. El aparato 10 de procesado de datos que ha recibido la señal de interrupción realiza el proceso requerido en respuesta a la señal de interrupción.

Tal como se ha descrito anteriormente, el aparato 10 de procesado de datos y la tarjeta 20 de memoria según la presente invención tienen una estructura tal que el contenido de los datos que se transmite hacia la línea 33 de DT se determina conmutando la señal de control. De este modo, la línea 33 de DT puede transmitir la señal de estado y la señal de interrupción así como las órdenes y datos principales. Por lo tanto, se puede reducir el número de líneas de señal requeridas entre el aparato 10 de procesado de datos y la tarjeta 20 de memoria. Por ejemplo, no se requieren líneas de señal para transmitir únicamente la señal de ocupado y la señal de interrupción. Por lo tanto, se puede realizar una transmisión fiable de datos por medio de una estructura sencilla. Por otra parte, se puede evitar un gasto en datos de conmutación que se deben transmitir a través de la línea 33 de DT. Como consecuencia, se puede aumentar la eficacia para transmitir datos.

Aunque como realizaciones de la presente invención se han descrito el aparato 10 de procesado de datos y la tarjeta 20 de memoria, la presente invención se puede aplicar a otro aparato de procesado de datos en lugar de la tarjeta 20 de memoria. En este caso, las órdenes y similares que se deben transmitir se deben fijar previamente en otro aparato de procesado de datos. Además en este caso, se puede transmitir cualquier orden así como las órdenes que se emiten hacia la tarjeta 20 de memoria.

El segundo método para comunicar datos entre el aparato 10 de procesado de datos y la tarjeta 20 de memoria tiene una estructura tal que el contenido de datos que se debe transmitir hacia la línea 33 de DT y que se conmuta según la señal de control se clasifica en cuatro modelos consistentes en "ESTADO 0", "ESTADO 1", "ESTADO 2" y "ESTADO 3". Los modelos no se limitan a los cuatro modelos antes mencionados. Se puede proporcionar un número mayor de modelos para conmutar entre ellos de manera que se correspondan con el contenido de las órdenes que se deben transmitir.

El segundo método de transmisión de datos entre el aparato 10 de procesado de datos y la tarjeta 20 de memoria tiene una estructura tal que el estado de datos a transmitir hacia la línea 33 de DT se conmuta activando/desactivando la señal de control. No obstante, el estado anterior se puede conmutar en respuesta a una señal de impulsos tal como se muestra en las Figs. 8 y 9. Las Figs. 8 y 9 son diagramas de tiempos que se utilizan cuando, como señal de control, se usa la señal de impulsos. De modo similar a la Fig. 6, la Fig. 8 es un diagrama de tiempos para ser usado cuando el aparato 10 de procesado de datos lee datos principales escritos en la tarjeta

20 de memoria. De modo similar a la Fig. 7, la Fig. 9 es un diagrama de tiempos para ser usado cuando el aparato 10 de procesamiento de datos escribe datos principales en la tarjeta 20 de memoria.

La tarjeta 20 de memoria puede estar provista de una línea de suministro de alimentación, tres líneas de tierra y tres líneas de reserva además de la línea 31 de CLK, la línea 32 de control y la línea 33 de DT de manera que la tarjeta 20 de memoria se constituya en una tarjeta de memoria de tamaño reducido con diez líneas de señal. Cuando se proporcionan tres líneas de reserva, las tres líneas de reserva se pueden utilizar como líneas de DT además de la línea de DT individual de manera que se proporcionan cuatro líneas de DT que están dispuestas para ser usadas en paralelo entre sí. Cuando se proporcionan las tres líneas de reserva, las tres líneas de reserva se pueden utilizar como línea de CLK, línea de control y línea de DT, respectivamente. De este modo, las tres líneas de reserva se combinan con la línea 31 de CLK, la línea 32 de control y la línea 33 de DT de manera que se forma un par de líneas de CLK, la de las líneas de control y la de las líneas de DT.

Se posibilita que las órdenes y los datos principales que se transmiten a través de la línea 33 de DT por medio del segundo método de transmisión de datos queden libres de la influencia de ruido externo o similares mediante la transmisión de un código de corrección de errores o similar junto con las órdenes y los datos principales. No obstante, la transición entre “ESTADO 0”, “ESTADO 1”, “ESTADO 2” y “ESTADO 3” de la señal de control dispuesta para ser transmitida a través de la línea 31 de CLK se indica únicamente conmutando el nivel de señal del nivel alto al nivel bajo o del nivel bajo al nivel alto. Por lo tanto, existe la preocupación de que el ruido externo o similares ejerza una influencia sobre la señal de control.

Los ejemplos mostrados en las Figs. 6 y 7 tienen una estructura tal que el nivel de señal correspondiente a la señal de control se hace que sea el nivel bajo cuando el estado es “ESTADO 0” o “ESTADO 2”. Cuando el estado es “ESTADO 1” o “ESTADO 3”, se hace que el nivel de señal correspondiente a la señal de control sea el nivel alto. Por otra parte, la determinación de si el estado es el “ESTADO 0” o el “ESTADO 2” y de si el estado es el “ESTADO 1” o el “ESTADO 3” se realiza detectando la transición de los estados antes mencionados. Por lo tanto, si la transición de los estados antes mencionados no se puede detectar correctamente, existe la preocupación de que la tarjeta 20 de memoria tome una determinación incorrecta entre el “ESTADO 0” y el “ESTADO 2” y entre el “ESTADO 1” y el “ESTADO 3”.

Si el ruido ejerce una influencia sobre la señal de control durante una operación

de lectura de datos principales tal como se muestra en la Fig. 6, existe la preocupación de que la tarjeta 20 de memoria tome una determinación incorrecta entre el “ESTADO 1” y el “ESTADO 3”. En este caso, existe una posibilidad de que una orden que se transmite desde el aparato 10 de procesamiento de datos a la tarjeta 20 de memoria y datos principales leídos de la tarjeta 20 de memoria entren en conflicto entre ellos.

Si el ruido ejerce una influencia sobre la señal de control durante una operación de lectura de datos principales tal como se muestra en la Fig. 6, existe la preocupación de que la tarjeta 20 de memoria tome una determinación incorrecta entre el “ESTADO 0” y el “ESTADO 2”. En este caso, existe una posibilidad de que una señal de ocupado y una señal de preparado que se deben transmitir cuando el estado es “ESTADO 2” se transmitan de forma no deseable cuando el estado es “ESTADO 0”. Existe otra posibilidad de que la señal de interrupción que se debe transmitir cuando el estado es “ESTADO 0” se transmita de forma no deseable cuando el estado es “ESTADO 2”.

Si el ruido ejerce una influencia sobre la señal de control durante una operación de escritura de datos principales tal como se muestra en la Fig. 7, existe la preocupación de que la tarjeta 20 de memoria tome una determinación incorrecta entre el “ESTADO 1” y el “ESTADO 3”. En este caso existe una posibilidad de que una orden que se transmita desde el aparato 10 de procesamiento de datos a la tarjeta 20 de memoria y una señal de estado que se transmita desde la tarjeta 20 de memoria entren en conflicto entre ellas. Existe otra posibilidad de que el aparato 10 de procesamiento de datos espere la señal de preparado que se suministrará desde la tarjeta 20 de memoria y que la tarjeta 20 de memoria espere la orden que se emite desde el aparato 10 de procesamiento de datos. En este caso, existe la posibilidad de que la comunicación de datos a través de la línea 33 de DT no pueda llevarse a cabo.

Si el ruido ejerce una influencia sobre la señal de control durante una operación de escritura de datos principales tal como se muestra en la Fig. 7, existe la preocupación de que la tarjeta 20 de memoria tome una determinación incorrecta entre el “ESTADO 0” y el “ESTADO 2”. En este caso, existe una posibilidad de que los datos principales que se transmiten desde el aparato 10 de procesamiento de datos a la tarjeta 20 de memoria y la señal de interrupción transmitida desde la tarjeta 20 de memoria entren en conflicto entre ellos en la línea 33 de DT.

Para evitar los problemas antes mencionados, se puede utilizar una disposición en la que, por ejemplo, la señal de lectura es una señal cuyo nivel se hace cambiar repetidamente en ciclos predeterminados. Por otra parte, un estado en el que no se produce ninguna salida de una señal desde la tarjeta 20 de memoria se detecta como

señal de ocupado. A continuación se describirá una disposición en la que se detectan la señal de preparado y la señal de ocupado.

A continuación, en referencia a un diagrama de flujo mostrado en la Fig. 10 y los diagramas de flujo mostrados en las Figs. 11 y 12, se describirá un proceso para leer datos principales escritos en la tarjeta 20 de memoria. Obsérvese que la Fig. 10, que es un diagrama de tiempos para ser usado con el fin de leer datos principales escritos en la tarjeta 20 de memoria, es diferente al diagrama de tiempo mostrado en la Fig. 6 en el contenido de la señal de ocupado y la señal de preparado. La Fig. 11 es un diagrama de flujo de un proceso que es realizado por el aparato 10 de procesamiento de datos cuando se leen datos principales escritos en la tarjeta 20 de memoria. La Fig. 12 es un diagrama de flujo de un proceso que es realizado por la tarjeta 20 de memoria cuando se leen datos principales escritos en la tarjeta 20 de memoria.

En referencia a las Figs. 10 y 11, se describirá a continuación el proceso que realiza el aparato 10 de procesamiento de datos.

Cuando se leen datos principales desde la tarjeta 20 de memoria, el aparato 10 de procesamiento de datos inicialmente escribe, en el registro 12, una orden de lectura, que es una orden para leer datos principales desde la tarjeta 20 de memoria. En la etapa S1, el aparato 10 de procesamiento de datos es controlado por el controlador 14 del lado del anfitrión de manera que el aparato 10 de procesamiento de datos provoca que el nivel de señal correspondiente a la señal de control que se transmite desde el circuito 13 de interfaz serie del lado del anfitrión sea un nivel alto de modo que se llega al "ESTADO 1" (en el instante de tiempo t_{s1} mostrado en la Fig. 10). Cuando el estado es "ESTADO 1", el aparato 10 de procesamiento de datos lee una orden de lectura desde el registro 12 para suministrar la orden de lectura al circuito 13 de interfaz serie del lado del anfitrión. A continuación, el aparato 10 de procesamiento de datos añade un código de corrección de errores y similares a la orden de lectura para transmitir la orden de lectura hacia la tarjeta 20 de memoria a través de la línea 33 de DT.

Después de que se haya transmitido la orden de lectura, el aparato 10 de procesamiento de datos es controlado por el controlador 14 del lado del anfitrión de manera que el aparato 10 de procesamiento de datos hace que el nivel de señal correspondiente a la señal de control que se transmite desde el circuito 13 de interfaz serie del lado del anfitrión sea un nivel bajo para alcanzar el "ESTADO 2" (en el instante de tiempo t_{s2} mostrado en la Fig. 10). Cuando el estado es "ESTADO 2", el aparato 10 de procesamiento de datos detecta la señal de estado transmitida desde la tarjeta 20 de memoria. En la etapa S2, el aparato 10 de procesamiento de datos determina

si se ha detectado o no la señal de ocupado.

Si la señal transmitida a través de la línea 33 de DT es una señal (a la que en lo sucesivo se denominará como “señal DC”) que tiene el nivel de señal que no ha cambiado de forma particular, el circuito 13 de interfaz serie del lado del anfitrión determina que la señal DC es una señal de ocupado que indica un estado en el que la tarjeta 20 de memoria no recibe ninguna entrada de señal. Si la señal transmitida a través de la línea 33 de DT es una señal (a la que en lo sucesivo se denominará como “señal AC) que presenta el nivel de señal que cambia de forma repetida con ciclos predeterminados, el circuito 13 de interfaz serie del lado del anfitrión determina que la señal es una señal de preparado que indica el hecho de que la tarjeta 20 de memoria se encuentra en un estado de espera de señales.

Llegado este momento, el circuito 13 de interfaz serie del lado del anfitrión determina simplemente si la señal transmitida a través de la línea 33 de DT es la señal DC o la señal AC. Cuando, desde la tarjeta 20 de memoria, se transmite una señal que presenta un nivel constante, el circuito 13 de interfaz serie del lado del anfitrión detecta la señal como señal de ocupado. Por otra parte, el circuito 13 de interfaz serie del lado del anfitrión determina también que la señal de estado es la señal de ocupado en un periodo de tiempo en el que la tarjeta 20 de memoria realiza una pausa sobre la salida de la señal.

Si, en la etapa S2, se detecta la señal de ocupado, el funcionamiento prosigue hacia la etapa S3. En la etapa S3, el aparato 10 de procesamiento de datos determina si la señal de ocupado ha proseguido o no durante un periodo de tiempo predeterminado. Si la señal de ocupado ha proseguido durante un periodo de tiempo predeterminado, el aparato 10 de procesamiento de datos determina que se ha llegado a un tiempo límite. Entonces, la operación se hace volver a la etapa S1 de manera que el aparato 10 de procesamiento de datos repite la operación. Es decir, si la señal de ocupado prosigue durante un periodo de tiempo no menor que un periodo de tiempo predeterminado, el aparato 10 de procesamiento de datos determina que, en la tarjeta 20 de memoria, se ha producido un error de algún tipo. De este modo, el aparato 10 de procesamiento de datos hace volver el estado a “ESTADO 1” de manera que el aparato 10 de procesamiento de datos transmite nuevamente la orden de lectura.

Si el periodo de tiempo en el que la señal de ocupado persiste es menor que un periodo de tiempo predeterminado, la operación se hace volver a la etapa S2 de manera que se repite el proceso. Es decir, el aparato 10 de procesamiento de datos repite las etapas S2 y S3 hasta que la señal de estado suministrada desde la tarjeta 20 de

memoria cambia de señal de ocupado a señal de preparado.

Obsérvese que la tarjeta 20 de memoria está dispuesta para realizar una pausa sobre una salida de una señal cuando se ha realizado un error de algún tipo. Como el resistor 33a que actúa como resistor denominado de reducción está conectado a la línea 33 de DT, el nivel de señal de la línea 33 de DT se dispone de tal manera que se mantiene un nivel de señal bajo cuando el nivel de señal previo es el nivel bajo. Cuando el nivel de señal previo es un nivel alto, el nivel de señal se cambia gradualmente al nivel bajo. El aparato 10 de procesamiento de datos detecta uno cualquiera de los estados anteriores como señal DC, es decir, una señal de ocupado. Es decir, si se comete un error en la tarjeta 20 de memoria, se continúa con la transmisión de las señales de ocupado. Por lo tanto, si se comete un error en la tarjeta 20 de memoria, el error se puede detectar de acuerdo con las determinaciones realizadas en las etapas S2 y S3.

Es decir, el aparato 10 de procesamiento de datos y la tarjeta 20 de memoria según esta realización tienen unas estructuras tales que, desde la tarjeta 20 de memoria, no se transmite ninguna señal especial que indique generación de un error hacia el aparato 10 de procesamiento de datos, si se comete un error en la tarjeta 20 de memoria. La generación del error puede ser detectada por el aparato 10 de procesamiento de datos.

Si no se produce ningún error en el proceso que realiza la tarjeta 20 de memoria, es decir, si el proceso se completa normalmente, la tarjeta 20 de memoria se lleva a un estado en el que la tarjeta 20 de memoria puede recibir la entrada de una señal desde el exterior. En este estado, la señal de estado que se transmite desde la tarjeta 20 de memoria cambia desde la señal de ocupado a la señal de preparado (en el instante de tiempo t_{53} mostrado en la Fig. 10). La señal de preparado es la señal AC que presenta el nivel de señal que cambia repetidamente con ciclos predeterminados. Es preferible que la señal de preparado sea una señal que presente el nivel de señal que cambia con una frecuencia no mayor que la frecuencia de la señal de sincronización de manera que sea detectada de forma rápida y fiable por el aparato 10 de procesamiento de datos. Específicamente, se utiliza una señal cuyo nivel de señal cambia entre el nivel alto y el nivel bajo con una frecuencia que es la mitad de la señal de sincronización.

Cuando en la etapa S2 no se detecta ninguna señal de ocupado, es decir, cuando se detecta la señal de preparado, el funcionamiento prosigue hacia la etapa S4. En la etapa S4, el aparato 10 de procesamiento de datos es controlado por el controlador 14 del lado del anfitrión de manera que el aparato 10 de procesamiento de datos hace que el nivel de señal correspondiente a la señal de control que se transmite

desde el circuito 13 de interfaz serie del lado de anfitrión sea un nivel alto para alcanzar el “ESTADO 3” (en el instante de tiempo t_{54} mostrado en la Fig. 10). Cuando el estado es “ESTADO 3”, el aparato 10 de procesamiento de datos recibe datos principales leídos desde la tarjeta 20 de memoria por el circuito 13 de interfaz serie del lado del anfitrión de dicho aparato. Los datos principales recibidos por el circuito 13 de interfaz serie del lado del anfitrión se transfieren al bloque 11 de procesamiento de datos a través del registro 12 debido a control realizado por el controlador 14 del lado del anfitrión.

Después de que se haya completado la recepción de datos principales leídos desde la tarjeta 20 de memoria, el aparato 10 de procesamiento de datos hace que el nivel de señal correspondiente a la señal de control que se transmite desde el circuito 13 de interfaz serie del lado del anfitrión sea el nivel bajo de manera que se alcanza el “ESTADO 0” (en el instante de tiempo t_{55} mostrado en la Fig. 10) debido al control realizado por el controlador 14 del lado del anfitrión.

A continuación, el aparato 10 de procesamiento de datos determina, en la etapa S5, si se ha detectado o no la señal de interrupción. La señal de interrupción es una señal que indica el hecho de que la tarjeta 20 de memoria requiere un proceso de interrupción de algún tipo. Si se detecta la señal de interrupción, el funcionamiento prosigue hacia la etapa S6 (en el instante de tiempo t_{56} mostrado en la Fig. 10). En la etapa S6, el aparato 10 de procesamiento de datos transmite la señal de interrupción detectada hacia el bloque 11 de procesamiento de datos. A continuación, el aparato 10 de procesamiento de datos realiza el proceso de interrupción correspondiente a la señal de interrupción detectada haciendo que el proceso vuelva a la etapa S1 de manera que el aparato 10 de procesamiento de datos repite el proceso.

Si, en la etapa S5, no se detecta ninguna señal de interrupción, el funcionamiento prosigue hacia la etapa S7. En la etapa S7, el aparato 10 de procesamiento de datos determina si el aparato 10 de procesamiento de datos debe realizar o no algún proceso para la tarjeta 20 de memoria. Es decir, el aparato 10 de procesamiento de datos determina si existe o no una orden que deba ser emitida hacia la tarjeta 20 de memoria. Si no se debe emitir ninguna orden hacia la tarjeta 20 de memoria, el proceso se hace volver a la etapa S5 de manera que el aparato 10 de procesamiento de datos repite el proceso. Si existe una orden que se deba emitir hacia la tarjeta 20 de memoria, el proceso se hace volver a la etapa S1 de manera que el aparato 10 de procesamiento de datos repite el proceso que se inicia transmitiendo la orden. Es decir, si se realiza una solicitud para que la tarjeta 20 de memoria realice un proceso de algún

tipo, por ejemplo, si se realiza una solicitud para realizar un proceso con el fin de detectar el estado interno de la tarjeta 20 de memoria, antes de que se genere la señal de interrupción, el funcionamiento se hace volver a la etapa S1 de manera que se emite la orden correspondiente al proceso.

5 A continuación, en referencia a las Figs. 10 y 12, se describirá el proceso que debe realizar la tarjeta 20 de memoria.

 Cuando el aparato 10 de procesamiento de datos lee datos principales, la tarjeta 20 de memoria, en la etapa S11, recibe datos transmitidos desde el circuito 13 de interfaz serie del lado del anfitrión a través de la línea 33 de DT en forma de una orden (en el
10 instante de tiempo t_{51} mostrado en la Fig. 10). Obsérvese que los datos son recibidos por la tarjeta 20 de memoria en forma de la orden cuando el nivel de señal del control transmitido desde el circuito 13 de interfaz serie del lado del anfitrión es el nivel alto y la tarjeta 20 de memoria reconoce que el estado actual es "ESTADO 1". Después de que se haya completado la transmisión de datos desde el aparato 10 de procesamiento de
15 datos, el nivel de señal correspondiente a la señal de control se conmuta desde el nivel bajo al nivel alto.

 En la etapa S12, se determina si se ha producido o no un error cuando se ha recibido la orden en la etapa S11. El error se produce cuando, por ejemplo, los datos transmitidos no son la orden debido a que, por ejemplo, la tarjeta 20 de memoria
20 reconoce que el estado es el "ESTADO 1" y el aparato 10 de procesamiento de datos reconoce que el estado es el "ESTADO 3".

 Si se produce un error cuando se recibe la orden, el funcionamiento prosigue hacia la etapa S13 de manera que se realiza una pausa en la salida de la señal desde la tarjeta 20 de memoria. A continuación, el funcionamiento se hace volver a la etapa
25 S11 de manera que se alcanza un estado de espera de una nueva entrada de la orden desde el aparato 10 de procesamiento de datos. Es decir, el circuito 23 de interfaz serie del lado de la tarjeta realiza una pausa en la salida de la señal si se produce un error durante la recepción de la orden desde el circuito 13 de interfaz serie del lado del anfitrión. Obsérvese que el aparato 10 de procesamiento de datos se lleva a un estado
30 para detectar una señal de ocupado en un periodo de tiempo en el que se realiza una pausa en la salida de la señal desde la tarjeta 20 de memoria.

 Si no se produce ningún error durante la recepción de la orden, el estado cambia al "ESTADO 2" (en el instante de tiempo t_{52} mostrado en la Fig. 10). A continuación, el funcionamiento prosigue hacia la etapa S14 de manera que la tarjeta
35 20 de memoria realiza el proceso correspondiente a la orden recibida en la etapa S11.

Por otra parte, la tarjeta 20 de memoria determina si se ha completado o no la preparación para transmitir datos principales hacia el aparato 10 de procesado de datos. Si no se ha completado la preparación, el funcionamiento prosigue hacia la etapa S15. Después de que se haya completado la preparación, el funcionamiento prosigue hacia la etapa S16.

En la etapa S15, el circuito 23 de interfaz serie del lado de la tarjeta transmite una señal de ocupado que tiene un nivel de señal constante. A continuación, el funcionamiento se hace volver a la etapa S14 de manera que el circuito 23 de interfaz serie del lado de la tarjeta determina si se ha completado o no la preparación para transmitir datos principales hacia el aparato 10 de procesado de datos. El circuito 23 de interfaz serie del lado de la tarjeta repite los procesos antes mencionados. Es decir, el circuito 23 de interfaz serie del lado de la tarjeta transmite continuamente la señal de ocupado que tiene el nivel de señal constante hasta que se completa la preparación para transmitir datos principales hacia el aparato 10 de procesado de datos.

Cuando se ha completado la preparación para transmitir datos principales hacia el aparato 10 de procesado de datos, el funcionamiento prosigue hacia la etapa S16 de manera que el circuito 23 de interfaz serie del lado de la tarjeta transmite la señal de preparado al circuito 13 de interfaz serie del lado del anfitrión (en el instante de tiempo t_{53} mostrado en la Fig. 10). Tal como se ha descrito anteriormente, la señal de preparado es la señal que tiene la frecuencia que es la mitad de la frecuencia de la señal de sincronización.

Cuando el aparato 10 de procesado de datos ha detectado la señal de preparado, el nivel de señal correspondiente a la señal de control se conmuta del nivel bajo al nivel alto. Es decir, el estado se conmuta de "ESTADO 2" a "ESTADO 3" (en el instante de tiempo t_{54} mostrado en la Fig. 10). Cuando se ha alcanzado el "ESTADO 3", el controlador 24 del lado de la tarjeta, en la etapa S17, transmite datos principales, cuya lectura ha sido ordenada con la orden recibida en la etapa S11, hacia el circuito 13 de interfaz serie del lado del anfitrión a través del circuito 23 de interfaz serie del lado de la tarjeta y la línea 33 de DT. La transmisión de datos principales se realiza en sincronización con la señal de sincronización transmitida a través de la línea 31 de CLK. Después de que el aparato 10 de procesado de datos haya recibido todos los elementos de datos principales, el nivel de señal correspondiente a la señal de control se conmuta del nivel alto al nivel bajo. Es decir, el estado se conmuta de "ESTADO 3" a "ESTADO 0" (en el instante de tiempo t_{55} mostrado en la Fig. 10).

En la etapa S18, el controlador 24 del lado de la tarjeta determina si existe o no

una solicitud para realizar una interrupción de algún tipo. Si no se produce ninguna solicitud de una interrupción, el funcionamiento prosigue hacia la etapa S19. Si se produce una solicitud de realizar una interrupción, el funcionamiento prosigue hacia la etapa S20.

5 En la etapa S19, el controlador 24 del lado de la tarjeta determina si el nivel de señal correspondiente a la señal de control suministrada desde el circuito 13 de interfaz serie del lado del anfitrión se ha conmutado o no desde el nivel bajo al nivel alto, es decir, si el estado se ha conmutado o no desde "ESTADO 0" a "ESTADO 1". Si el estado se conmuta al "ESTADO 1", el funcionamiento se hace volver a la etapa S11
10 de manera que se repite el proceso recibiendo inicialmente la orden. Si se mantiene el "ESTADO 0", el funcionamiento se hace volver a la etapa S18 de manera que se repite el proceso. Es decir, la tarjeta 20 de memoria repite las etapas S18 y S19 hasta que se requiere el proceso de interrupción o el estado se conmuta de "ESTADO 0" a "ESTADO 1".

15 Si, en la etapa S18, se determina que se produce una solicitud de realización de un proceso de interrupción, el circuito 23 de interfaz serie del lado de la tarjeta, en las etapas S20 y S21, transmite la señal de interrupción hasta que el estado se conmuta de "ESTADO 0" a "ESTADO 1". Si la tarjeta 20 de memoria detecta la señal de interrupción, el nivel de señal correspondiente a la señal de control suministrada
20 desde el circuito 13 de interfaz serie del lado del anfitrión se conmuta desde el nivel bajo al nivel alto de manera que el estado se conmuta desde "ESTADO 0" a "ESTADO 1". Después de que el estado se haya conmutado desde "ESTADO 0" a "ESTADO 1", el funcionamiento se hace volver a la etapa S11 de manera que la tarjeta 20 de memoria repite el proceso que se inicia recibiendo la orden. Obsérvese que se recibe
25 la orden con la que se realiza el proceso correspondiente a la señal de interrupción transmitida en la etapa S20.

Tal como se ha descrito anteriormente, se hace que la señal que se transmite durante un periodo en el que la tarjeta 20 de memoria está realizando un proceso sea la señal de ocupado. Por otra parte, se detecta como señal de ocupado también un
30 estado en el que no se produce ninguna salida de señal desde la tarjeta 20 de memoria. Por lo tanto, no se puede realizar un proceso no deseable para transmitir datos que se ejecute mientras la tarjeta 20 de memoria determina incorrectamente el estado. Por lo tanto, se puede evitar el conflicto de datos transmitidos desde la tarjeta 20 de memoria con datos transmitidos desde el aparato 10 de procesamiento de datos
35 entre ellos. Por otra parte, se puede evitar la comunicación incorrecta de datos entre la

tarjeta 20 de memoria y el aparato 10 de procesado de datos. Adicionalmente, se puede evitar la inhibición no deseable de la comunicación de datos que tiene lugar debido a que tanto la tarjeta 20 de memoria como el aparato 10 de procesado de datos se llevan al estado de espera.

- 5 Aunque la invención se ha descrito en su forma preferida con un cierto grado de especificidad, se entiende que la presente descripción de la forma preferida puede cambiar en cuanto a los detalles de construcción y en cuanto a la combinación y disposición de partes sin desviarse con respecto al alcance de la invención tal como se reivindica a continuación en el presente documento.

REIVINDICACIONES

1. Aparato externo que comprende:

una E/S de señales para comunicar datos hacia/desde un aparato (10) de
procesado de datos usando señales en serie a través de una primera línea (33) de
5 señal;

una entrada de señales de sincronización para capturar una señal de
sincronización de dichos datos desde dicho aparato (10) de procesado de datos a
través de una tercera línea (31) de señal, caracterizado porque dicho aparato externo
comprende además

10 una entrada de señales de control para capturar una señal de control con el fin
de controlar la temporización de la transmisión de dichos datos desde dicho aparato
(10) de procesado de datos a través de una segunda línea (32) de señal, en el que

dicha E/S de señales está adaptada para transmitir datos a través de dicha
primera línea (33) de señal en un periodo de tiempo en el que a dicha entrada de
15 señales de control se le suministra dicha señal de control y para transmitir una señal
de estado que indica un estado del funcionamiento de dicho aparato externo (20) a
través de dicha primera línea (33) de señal en un periodo de tiempo en el que a dicha
entrada de señales de control no se le suministra dicha señal de control.

2. Aparato externo de la reivindicación 1, en el que

20 dicha E/S de señales está adaptada para transmitir una señal de interrupción
(INT) que indica una interrupción desde dicho aparato externo (20) a través de dicha
primera línea (33) de señal en un periodo de tiempo en el que a dicha entrada de
señales de control y a dicha entrada de señales de sincronización no se les suministra
respectivamente dicha señal de control y dicha señal de sincronización.

25 3. Aparato externo de la reivindicación 1 ó 2, en el que

dicha E/S de señales está adaptada para transmitir dichos datos en un periodo
de tiempo en el que a dicha entrada de señales de control se le suministra dicha señal
de control y para transmitir, en un periodo de tiempo en el que a dicha entrada de
señales de control no se le suministra dicha señal de control, una señal de ocupado
30 que indica que se realiza un proceso basándose en dicha orden de control.

4. Aparato externo de una cualquiera de las reivindicaciones 1 a 3, en el que

dicha E/S de señales está adaptada para transmitir y recibir datos a través de
tres líneas de señal de reserva en paralelo con dicha primera línea (33) de señal, en
donde dichas líneas de señal de reserva se usan además de dicha primera línea (33)
35 de señal para transmitir dichos datos, cuando dicho aparato externo (20) y dicho

aparato (10) de procesado de datos están en comunicación paralela.

5. Aparato externo de la reivindicación 4, en el que

dicha E/S de señales está adaptada para transmitir y recibir datos a través de cuatro líneas paralelas formadas por dichas líneas de señal de reserva y dicha primera
5 línea (33) de señal, cuando dicho aparato externo (20) y dicho aparato (10) de procesado de datos están en comunicación paralela.

6. Aparato externo de una cualquiera de las reivindicaciones 1 a 5, que comprende además:

un circuito (21) de almacenamiento para almacenar dichos datos;
10 una memoria intermedia (22) para almacenar temporalmente datos leídos de dicho circuito (21) de almacenamiento y datos recibidos desde dicho aparato (10) de procesado de datos mediante dicha E/S de señales; y

un circuito (24) de control para controlar dicha E/S de señales con el fin de transmitir/recibir dichos datos hacia/desde dicho aparato (10) de procesado de datos y
15 para controlar dicha unidad (21) de almacenamiento con el fin de realizar una operación para almacenar, leer y borrar datos.

7. Aparato externo de una cualquiera de las reivindicaciones 1 a 6, en el que

el aparato externo (20) está adaptado para determinar, sobre la base de la señal de control, si desde dicho aparato (10) de procesado de datos se transmiten
20 datos de órdenes de control y datos principales o dicho aparato (10) de procesado de datos espera una señal de preparado (RDY) que indica que se ha completado una preparación del aparato externo (20) para transmitir o recibir datos.

8. Aparato externo de una cualquiera de las reivindicaciones 1 a 7, en el que

el aparato externo es una tarjeta de memoria que tiene una forma de tipo
25 tarjeta.

9. Sistema de procesado de datos para comunicar datos entre un aparato (10) de procesado de datos y el aparato externo de la reivindicación 1, en el que

dicho aparato (10) de procesado de datos comprende un controlador (14) para generar órdenes hacia dicho aparato externo (20) con el fin de controlar la transmisión
30 de datos hacia y la recepción de datos desde dicho aparato externo (20).

10. Método de comunicación de datos entre un aparato (10) de procesado de datos y un aparato externo (20) con forma de tipo tarjeta, que comprende la etapa de:

generar una señal de control para controlar la temporización de la transmisión de datos;

generar una señal de sincronización de dichos datos;

transmitir dichos datos a través de una primera línea (33) de señal en un periodo de tiempo en el que dicha señal de control se transmite a través de una segunda línea (32) de señal y dicha señal de sincronización a través de una tercera
5 línea (31) de señal; y

transmitir una señal de estado que indica un estado del funcionamiento de dicho aparato externo (20) a través de dicha primera línea (33) de señal en un periodo de tiempo en el que dicha señal de control no se transmite a través de dicha segunda línea (32) de señal.

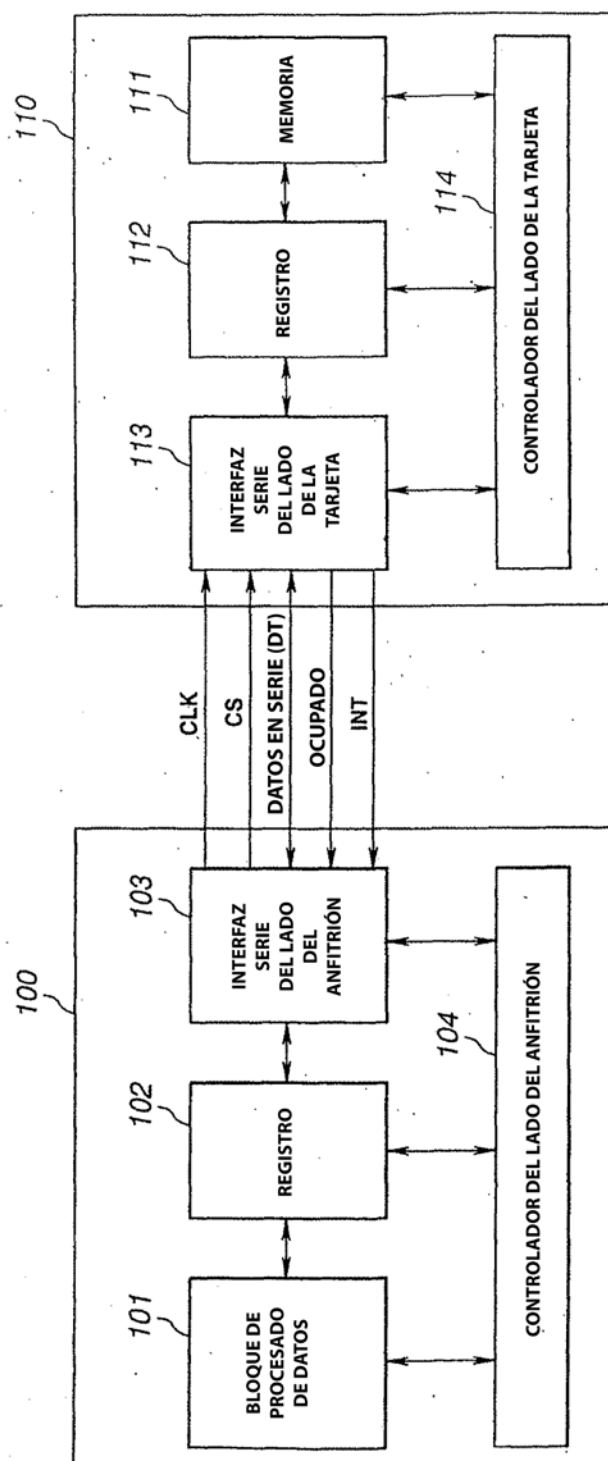


FIG.1

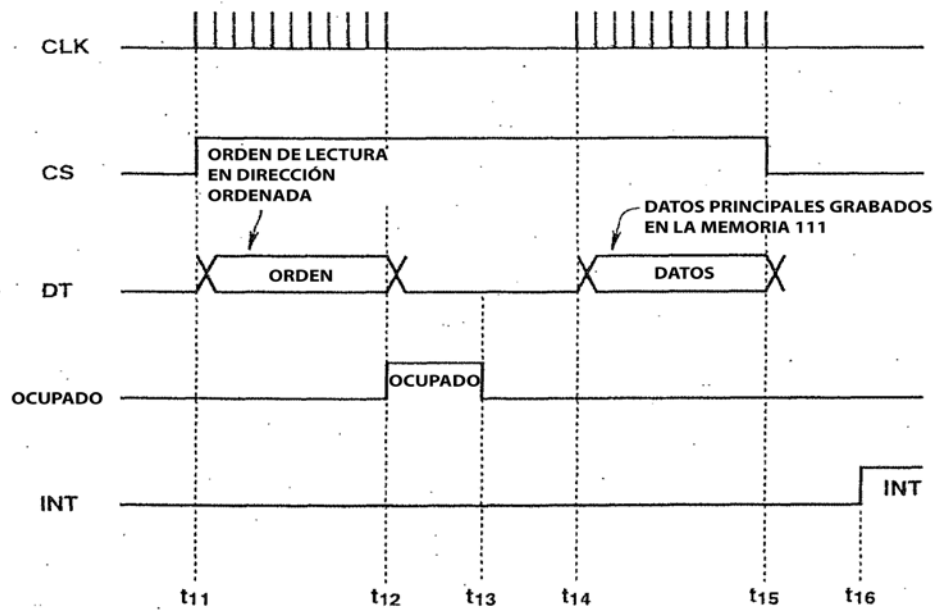


FIG.2

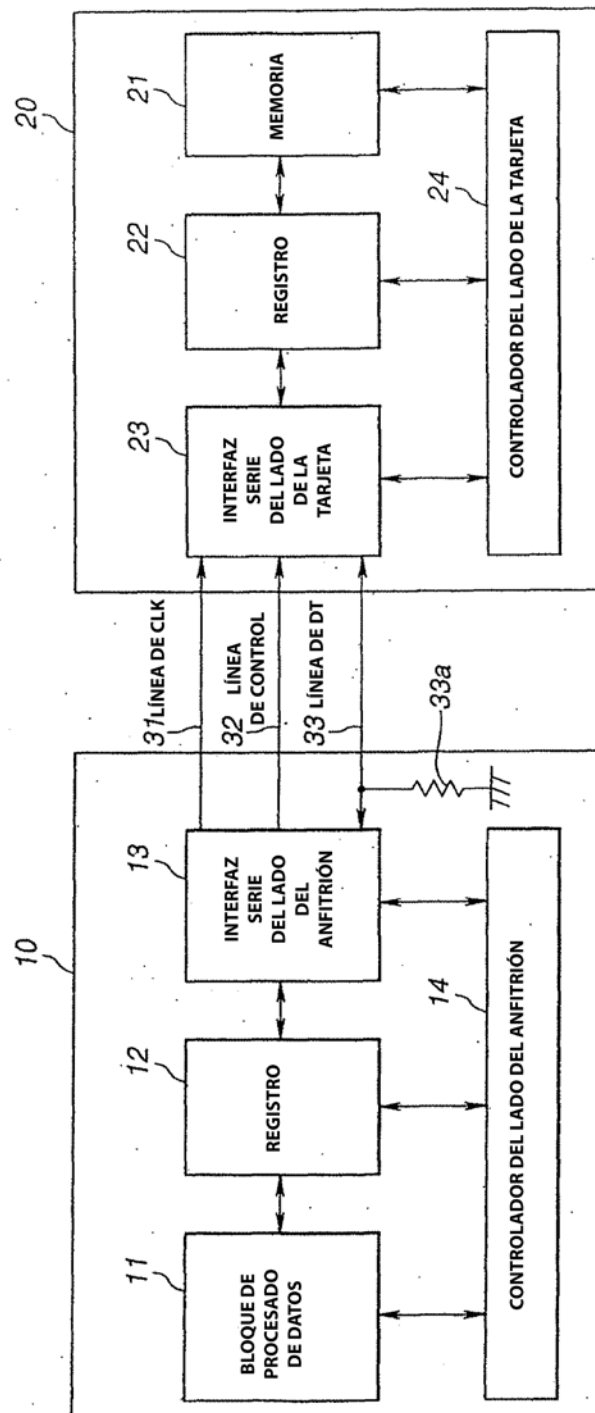
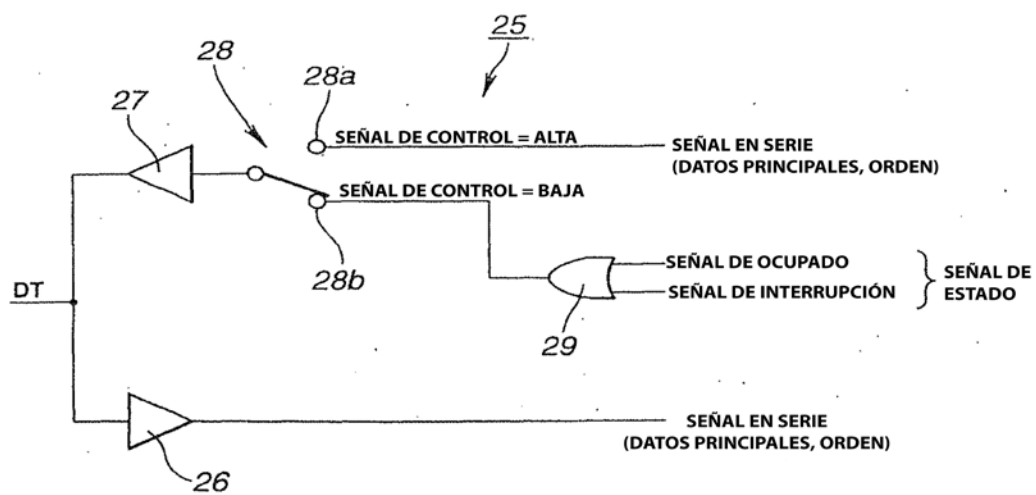


FIG.3

**FIG.4**

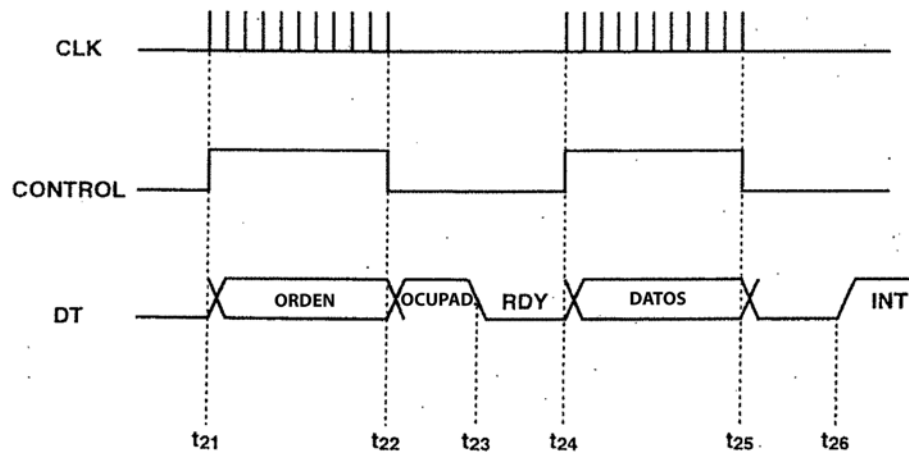


FIG.5

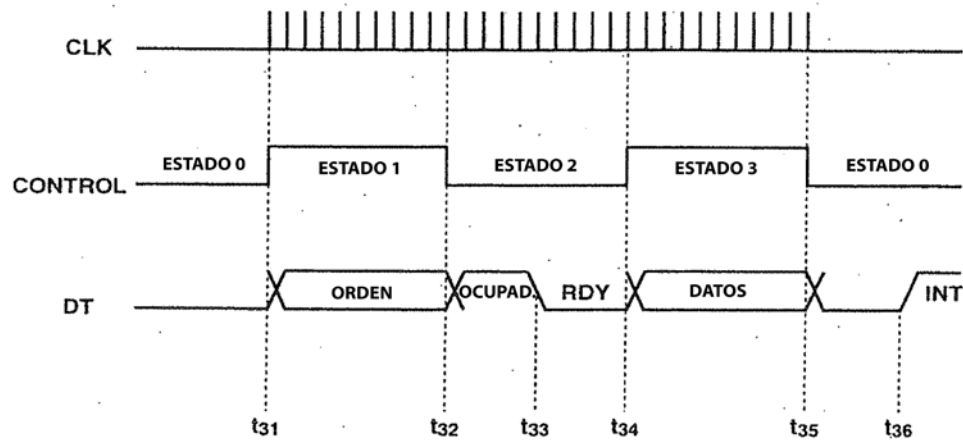


FIG.6

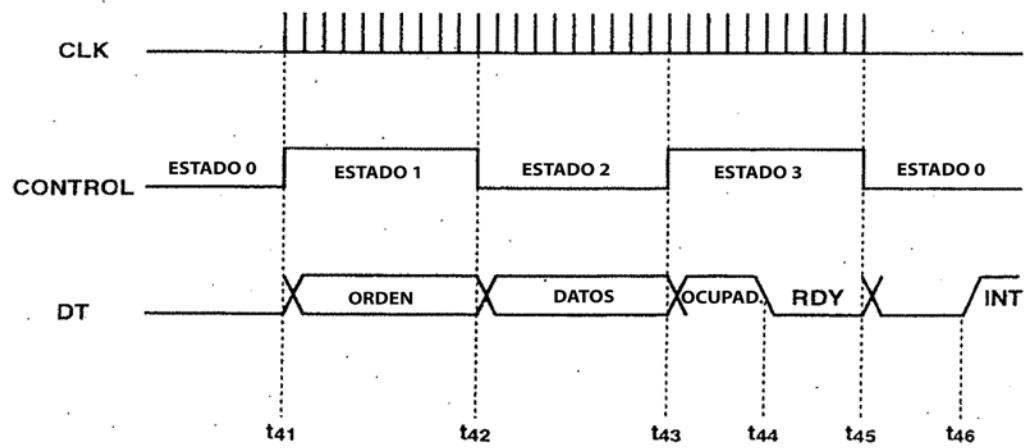


FIG.7

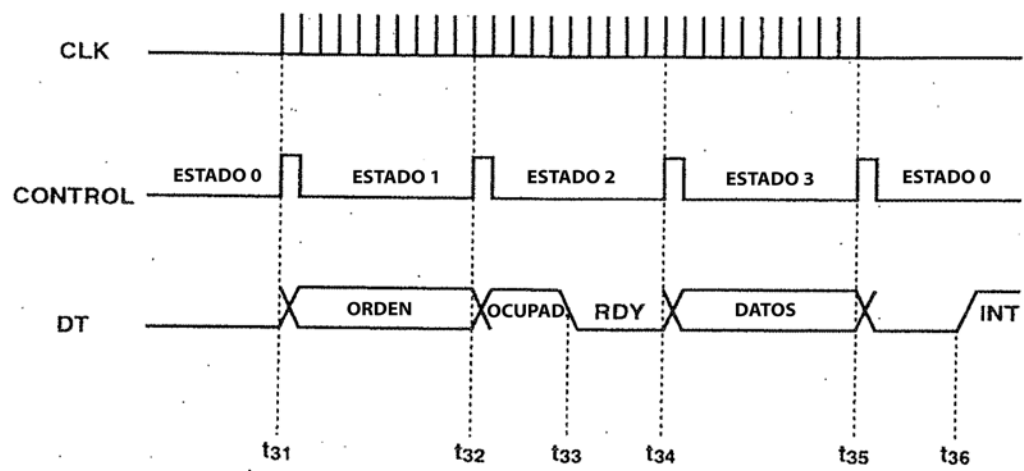


FIG.8

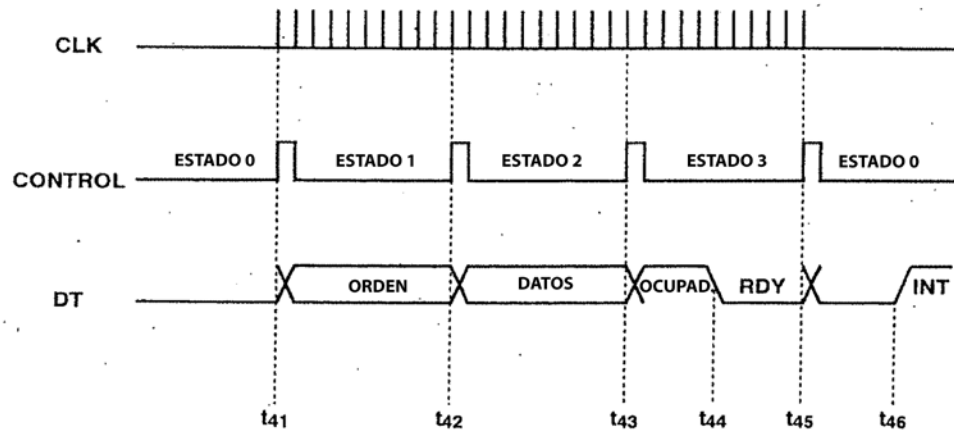


FIG.9

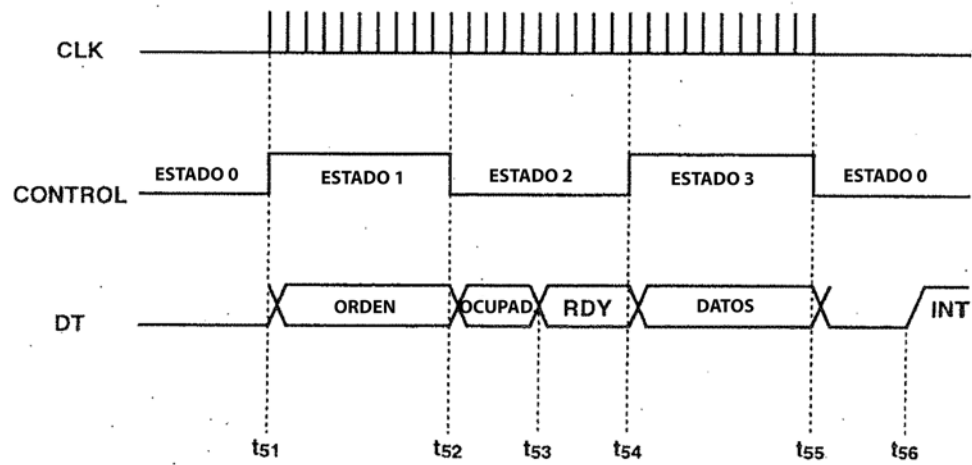


FIG.10

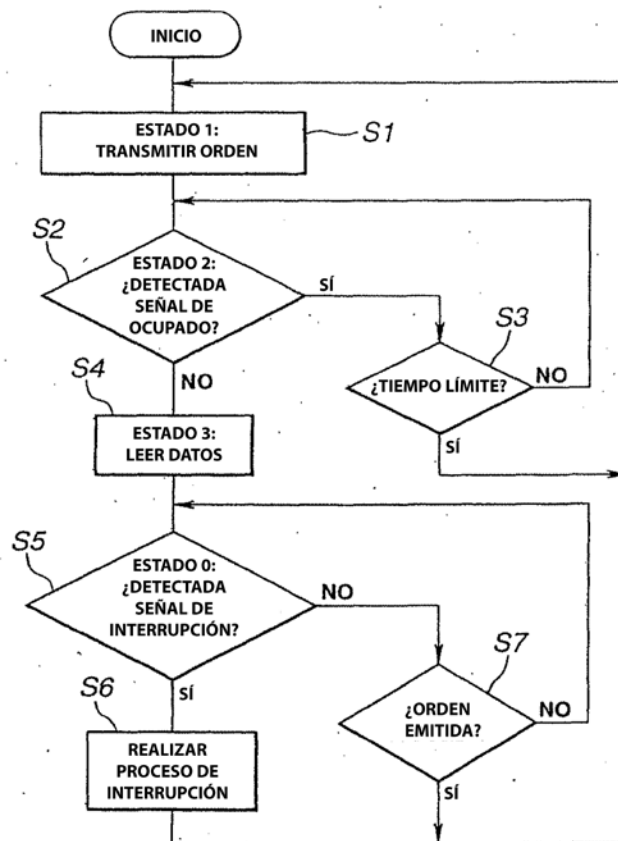


FIG.11

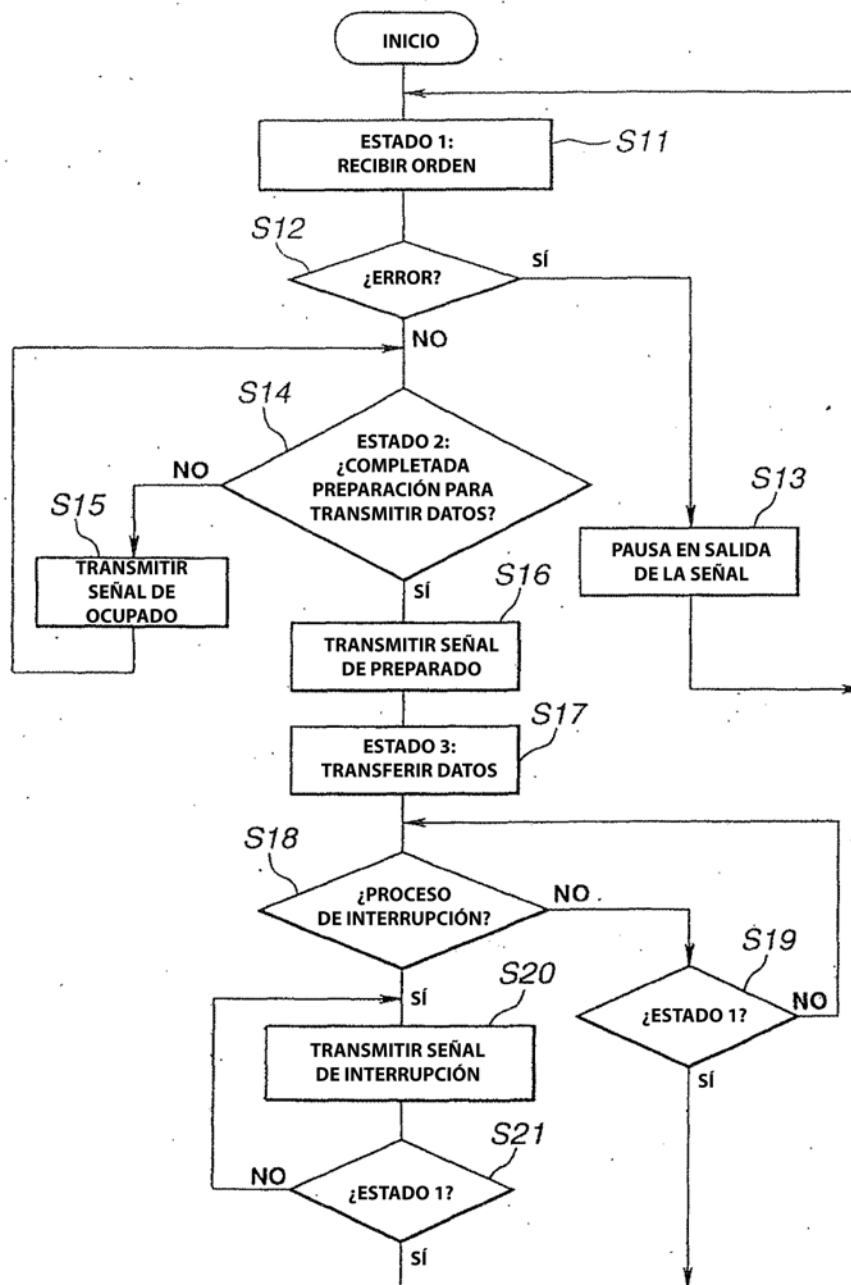


FIG.12