

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 11 月 14 日 (14.11.2019)



(10) 国际公布号
WO 2019/214140 A1

(51) 国际专利分类号:

H04L 1/00 (2006.01)

(21) 国际申请号:

PCT/CN2018/107469

(22) 国际申请日:

2018 年 9 月 26 日 (26.09.2018)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

201810451075.X 2018年5月11日 (11.05.2018) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 赵斌(ZHAO, Bin); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。张裕桦(CHANG, Yu-Hua); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。周明忠(JOU, Ming-Jong); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。曹丹(CAO, Dan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。王拂依(WANG, Fuyi); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所(普通合伙)(CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高

新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

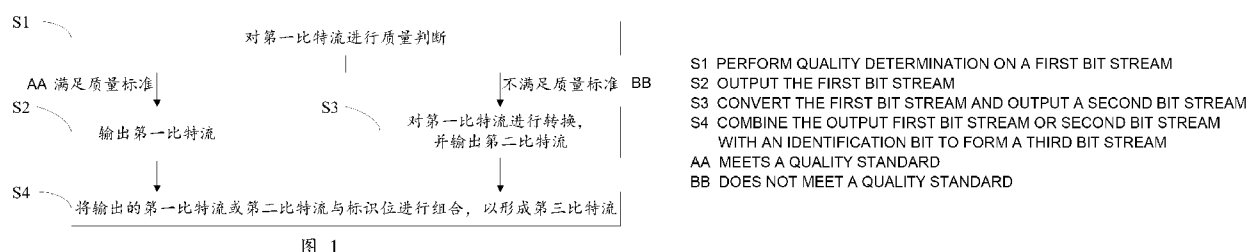
(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条 (3))。

(54) Title: CODING METHOD, DEVICE AND READABLE STORAGE MEDIUM

(54) 发明名称: 编码方法、设备及可读存储介质



(57) Abstract: Disclosed is a coding method, the method comprising: performing quality determination on a first bit stream; if the first bit stream meets a pre-set quality standard, outputting the first bit stream; if the first bit stream does not meet the pre-set quality standard, converting the first bit stream and outputting a second bit stream; and combining the output first bit stream or second bit stream with an identification bit to form a third bit stream. Further disclosed is a coding device and a readable storage medium.

(57) 摘要: 本申请公开了一种编码方法, 该方法包括: 对第一比特流进行质量判断; 若第一比特流满足预设的质量标准, 则输出第一比特流; 若第一比特流不满足预设的质量标准, 则对第一比特流进行转换, 并输出第二比特流; 将输出的第一比特流或第二比特流与标识位进行组合, 以形成第三比特流。本申请还公开了一种编码装置和可读存储介质。

WO 2019/214140 A1

编码方法、设备及可读存储介质

【技术领域】

本申请涉及数据传输领域，特别是涉及一种编码方法、设备及可读存储介质。

【背景技术】

在串行数据传输中，传输的数据可以被编码成包含有时钟频率分量的码流，使得接收端可以从码流中提取时钟同步信息，时钟同步信息可以保证接收端按照正确的时序从接收到的信号中再生出原始数据。

4B5B 是常用的编码，将输入的 4 位数据转换为 5 位后输出。一般使用查找设计好的码表来完成编码和译码工作，因此发送端和接收端都需要额外的存储器来存储码表。4B5B 编码还可能降低编码质量，即逻辑值相同的连续位数量过多，例如在使用 4B5B 编码传输 8 位数据时。低质量的编码不利于接收端提取时钟同步信息，并且带来较大的直流分量，提高误码率。

【发明内容】

本申请主要解决的技术问题是提供一种编码方法、设备及可读存储介质，能够解决现有技术中的编码可能降低编码质量的问题。

为了解决上述技术问题，本申请提供了一种可读存储介质，存储有指令，指令被执行时实现以下方法：对第一比特流进行质量判断；若第一比特流满足预设的质量标准，则输出第一比特流；若第一比特流不满足预设的质量标准，则对第一比特流进行转换，并输出第二比特流；将输出的第一比特流或第二比特流与标识位进行组合，以形成第三比特流；其中第一比特流为 8 位比特流，对第一比特流进行质量判断的步骤包括：若第一比特流满足以下条件中的至少一个，则判定第一比特流不满足质量标准：第一比特流中的第 4 位至第 7 位的逻辑值相同；第一比特流中的第 1 位至第 6 位的逻辑值相同；第一比特流中的第 0 位至第 5 位的逻辑值相同；第一比特流中的第 6 位和第 7 位的逻辑值相同，第 0 位至第 4 位的逻辑值相同，且与第 6 位和第 7 位的逻辑值相反；或，若第

一比特流同时满足以下条件，则判定第一比特流满足质量标准：第一比特流中的第 4 位至第 7 位中的至少两位的逻辑值不同；第一比特流中的第 1 位至第 6 位中的至少两位的逻辑值不同；第一比特流中的第 0 位至第 5 位中的至少两位的逻辑值不同；并且满足以下子条件中的至少一个：第一比特流中的第 6 位和第 7 位的逻辑值不同；第一比特流中的第 0 位至第 4 位的逻辑值不同；或者第一比特流中的第 6 位和第 7 位的逻辑值相同，第 0 位至第 4 位的逻辑值相同，且与第 6 位和第 7 位的逻辑值相同；对第一比特流进行转换，并输出第二比特流的步骤包括：对第一比特流中的第一特定位集进行逻辑运算；若逻辑运算的结果为第一结果，则对第一比特流中的第二特定位集进行取反；若逻辑运算的结果为第二结果，则对第一比特流中的第三特定位集进行取反。

为了解决上述技术问题，本申请提供了一种编码方法，该方法包括：对第一比特流进行质量判断；若第一比特流满足预设的质量标准，则输出第一比特流；若第一比特流不满足预设的质量标准，则对第一比特流进行转换，并输出第二比特流；将输出的第一比特流或第二比特流与标识位进行组合，以形成第三比特流。

为了解决上述技术问题，本申请提供了一种编码装置，该装置包括处理器，处理器用于执行指令以实现前述的方法。

本申请的有益效果是：在编码过程中先判断第一比特流是否满足预设的质量标准，对不满足质量标准的第一比特流进行转换，并输出第二比特流，然后将输出的所述第一比特流或所述第二比特流与标识位进行组合，以形成第三比特流，转换之后第二比特流相比于第一比特流的编码质量得到了提升，第三比特流的编码质量得到保障。

【附图说明】

图1是本申请编码方法一实施例的流程示意图；

图2是本申请编码方法一具体实施例中的图 1 中 S3 的具体流程示意图；

图3是本申请编码方法又一具体实施例中的图 1 中 S3 的具体流程示意图；

图4是本申请编码方法又一具体实施例中的图 1 中 S4 的具体流程示意图；

图5是本申请编码方法又一具体实施例的流程示意图；

图6是本申请编码方法又一具体实施例的流程示意图；

图7是本申请编码方法又一具体实施例的流程示意图;

图8是本申请编码方法又一具体实施例的流程示意图;

图9是本申请编码设备一实施例的结构示意图;

图10是本申请可读存储介质一实施例的结构示意图。

【具体实施方式】

下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,以下各实施例中不冲突的可以相互结合。显然,所描述的实施例仅是本申请的一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

如图1所示,本申请编码方法一实施例包括:

S1: 对第一比特流进行质量判断。

第一比特流可以为未经编码的数据,其位数可以根据实际传输需求而定,例如8位、16位等。质量判断可以为判断第一比特流的质量是否满足预设的质量标准。该质量标准可以与第一比特流中逻辑值相同的连续位有关。一般来说,满足质量标准的第一比特流中的逻辑值相同的连续位数不超过一阈值,该阈值的大小可以与第一比特流的位数相关,例如第一比特流的位数的一半加上一个正整数。

在本申请一具体实施例中,第一比特流为8位比特流的情况下,若第一比特流满足以下条件a、b、c和d中的至少一个,则判定第一比特流不满足质量标准:

- a.第一比特流中的第4位至第7位的逻辑值相同;
- b.第一比特流中的第1位至第6位的逻辑值相同;
- c.第一比特流中的第0位至第5位的逻辑值相同;
- d.第一比特流中的第6位和第7位的逻辑值相同,第0位至第4位的逻辑值相同,且与第6位和第7位的逻辑值相反。

可选的,可以将上述判断方式转换为对以下逻辑表达式计算结果的判断:

$$\text{NAND}(\text{NAND}(\text{bm}[4\sim7]), \text{NAND}(\text{bm}[1\sim6]), \text{NAND}(\text{bm}[0\sim5]), \text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4])), \text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4])), \text{OR}(\text{bm}[4\sim7]), \text{OR}(\text{bm}[1\sim6]), \text{OR}(\text{bm}[0\sim5]))(1)$$

其中, NAND 为与非操作, OR 为或操作, $bm[i \sim j]$ 为第一比特流的第 i 位至第 j 位, i 和 j 均为 0 至 7 中的整数且 $i < j$ 。

在式(1)中, 当第一比特流的第 4 位至第 7 位均为 1 时, $NAND(bm[4 \sim 7])$ 为 0。

当第一比特流的第 1 位至第 6 位均为 1 时, $NAND(bm[1 \sim 6])$ 为 0。

当第一比特流的第 0 位至第 5 位均为 1 时, $NAND(bm[0 \sim 5])$ 为 0。

当第一比特流的第 6 位至第 7 位均为 1 且第一比特流的第 0 位至第 4 位均为 0 时, $NAND(bm[6 \sim 7])$ 为 0, $OR(bm[0 \sim 4])$ 为 0, $OR(NAND(bm[6 \sim 7]), OR(bm[0 \sim 4]))$ 为 0。

当第一比特流的第 6 位至第 7 位均为 0 且第一比特流的第 0 位至第 4 位均为 1 时, $OR(bm[6 \sim 7])$ 为 0, $NAND(bm[0 \sim 4])$ 为 0, $OR(OR(bm[6 \sim 7]), NAND(bm[0 \sim 4]))$ 为 0。

当第一比特流的第 4 位至第 7 位均为 0 时, $OR(bm[4 \sim 7])$ 为 0。

当第一比特流的第 1 位至第 6 位均为 0 时, $OR(bm[1 \sim 6])$ 为 0。

当第一比特流的第 0 位至第 5 位均为 0 时, $OR(bm[0 \sim 5])$ 为 0。

若式(1)的计算结果为 1, 意味着 $NAND(bm[4 \sim 7])$, $NAND(bm[1 \sim 6])$, $NAND(bm[0 \sim 5])$, $OR(NAND(bm[6 \sim 7]), OR(bm[0 \sim 4]))$, $OR(OR(bm[6 \sim 7]), NAND(bm[0 \sim 4]))$, $OR(bm[4 \sim 7])$, $OR(bm[1 \sim 6])$, $OR(bm[0 \sim 5])$ 中的至少一个为 0, 结合上面的各个逻辑式为 0 的条件, 可以得到第一比特流满足条件 a、b、c 和 d 中的至少一个, 则第一比特流不满足质量标准。若式(1)的计算结果为 0, 则第一比特流满足质量标准。

在本申请另一具体实施例中, 第一比特流为 8 位比特流的情况下, 若第一比特流同时满足以下所有条件 e、f、g 和 h, 则判定第一比特流满足质量标准:

e. 第一比特流中的第 4 位至第 7 位中的至少两位的逻辑值不同;

f. 第一比特流中的第 1 位至第 6 位中的至少两位的逻辑值不同;

g. 第一比特流中的第 0 位至第 5 位中的至少两位的逻辑值不同;

h. 满足以下子条件中的至少一个:

h1. 第一比特流中的第 6 位和第 7 位的逻辑值不同。

h2. 第一比特流中的第 0 位至第 4 位的逻辑值不同。

h3. 第一比特流中的第 6 位和第 7 位的逻辑值相同, 第 0 位至第 4 位的逻辑值相同, 且与第 6 位和第 7 位的逻辑值相同。

可选的, 可以将上述判断方式转换为对以下逻辑表达式计算结果的判断:

$$\text{AND}(\text{XOR}(\text{bm}[4\sim7]), \text{XOR}(\text{bm}[1\sim6]), \text{XOR}(\text{bm}[0\sim5]), \text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4]))) \text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4]))) \quad (2)$$

其中, AND 为与操作, NAND 为与非操作, OR 为或操作, XOR 为异或操作; $\text{bm}[i\sim j]$ 为第一比特流的第 i 位至第 j 位, i 和 j 均为 0 至 7 中的整数且 $i < j$ 。

在式(2)中, 当第一比特流的第 4 位至第 7 位的逻辑值不同 (即其中至少两位的逻辑值不同) 时, $\text{XOR}(\text{bm}[4\sim7])$ 为 1。

当第一比特流的第 1 位至第 6 位的逻辑值不同时, $\text{XOR}(\text{bm}[1\sim6])$ 为 1。

当第一比特流的第 0 位至第 5 位的逻辑值不同时, $\text{XOR}(\text{bm}[0\sim5])$ 为 1。

$\text{bm}[6\sim7]$ 和 $\text{bm}[0\sim4]$ 可以联合讨论。

当第一比特流的第 6 位和第 7 位的逻辑值不同时, $\text{NAND}(\text{bm}[6\sim7])$ 和 $\text{OR}(\text{bm}[6\sim7])$ 均为 1, 无论第一比特流的第 0 位至第 4 位的逻辑值是否相同, $\text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4]))$ 和 $\text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4]))$ 均为 1。

当第一比特流的第 0 位至第 4 位的逻辑值不同时, $\text{NAND}(\text{bm}[0\sim4])$ 和 $\text{OR}(\text{bm}[0\sim4])$ 均为 1, 无论第一比特流的第 6 位和第 7 位的逻辑值是否相同, $\text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4]))$ 和 $\text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4]))$ 均为 1。

在第一比特流的第 6 位和第 7 位的逻辑值相同且第一比特流的第 0 位至第 4 位的逻辑值相同的情况下: 当第一比特流第 6 位和第 7 位均为 0 时, $\text{NAND}(\text{bm}[6\sim7])$ 为 1, $\text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4]))$ 为 1, 同时 $\text{OR}(\text{bm}[6\sim7])$ 为 0, 要满足 $\text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4]))$ 为 1, $\text{NAND}(\text{bm}[0\sim4])$ 应为 1, 即第一比特流的第 0 位至第 4 位均为 0; 当第一比特流第 6 位和第 7 位均为 1 时, $\text{OR}(\text{bm}[6\sim7])$ 为 1, $\text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4]))$ 为 1, 同时 $\text{NAND}(\text{bm}[6\sim7])$ 为 0, 要满足 $\text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4]))$ 为 1, $\text{OR}(\text{bm}[0\sim4])$ 应为 1, 即第一比特流的第 0 位至第 4 位均为 1。

若式(2)的计算结果为 1, 意味着 $\text{XOR}(\text{bm}[4\sim7]), \text{XOR}(\text{bm}[1\sim6]), \text{XOR}(\text{bm}[0\sim5]), \text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4])), \text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4]))$ 均为 1, 结合前一段的描述可以得到第一比特流同时满足所有条件 e、f、g 和 h, 则第一比特流满足质量标准。若式(2)的计算结果为 0, 则第一比特流不满足质量标准。

经过质量判断后, 若第一比特流满足质量标准, 则跳转到 S2; 若第一比特流不满足质量标准, 则跳转到 S3。

S2: 输出第一比特流。

第一比特流满足预设的质量标准的情况下，不需要提高第一比特流的编码质量，可以直接输出。

跳转到 S4。

S3: 对第一比特流进行转换，并输出第二比特流。

转换的目的是为了提高第一比特流的编码质量。一般而言，转换之后得到的第二比特流可以满足预设的质量标准。输出第二比特流后跳转到 S4。

如图 2 所示，在本申请一具体实施例中，本步骤可以具体包括：

S31: 对第一比特流中的第一特定位集进行逻辑运算。

逻辑运算的结果可以为第一结果或第二结果，第一结果与第二结果不同。

若逻辑运算的结果为第一结果，则跳转到 S32；若逻辑运算的结果为第二结果，则跳转到 S33。

S32: 对第一比特流中的第二特定位集进行取反。

S33: 对第一比特流中的第三特定位集进行取反。

第一特定位集、第二特定位集、第三特定位集中包括至少一位。一般而言，第二特定位集和第三特定位集中的至少部分位不同。

完成取反之后的第一比特流即可作为第二比特流输出。

举例说明，第一比特流为 8 位比特流时，可以对第一比特流中的第 0 位和第 1 位进行异或操作。若异或操作的结果为 1，意味着第一比特流中的第 0 位和第 1 位不同，第一比特流中的高位中连续多位逻辑值相同的可能性较大，则对第一比特流中的第 4 位、第 5 位和第 7 位进行取反；若异或操作的结果为 0，意味着第一比特流中的第 0 位和第 1 位相同，第一比特流中的低位中连续多位逻辑值相同的可能性较大，则对第一比特流中的第 0 位、第 3 位、第 5 位和第 6 位进行取反。

如图 3 所示，在本申请又一具体实施例中，本方法可以包括：

S35: 利用第一比特流或第二比特流对第三比特流进行赋值。

S36: 对赋值后的第三比特流中与至少部分第一特定位集、第二特定位集或第三特定位集对应的位进行逻辑运算或进行取反。

本实施例与图 2 对应的实施例的主要区别在于对第三比特流进行了逻辑运算或取反操作。例如可以先对第一比特流中的第一特定位集进行逻辑运算，然后将第一比特流赋值给第三比特流，再对第三比特流进行取反。又或者先对第

一比特流中的第一特定位集进行逻辑运算，然后对第一比特流中的第二/第三特定位集中的一部分进行取反得到第二比特流，然后将第二比特流赋值给第三比特流，再对第三比特流中与第二/第三特定位集的剩余部分对应的位进行取反。在最后一种情况中，取反操作分为两步，分别对第一比特流和第三比特流进行。在其他实施例中，取反操作也可以对第一比特流和第二比特流进行、或者第一、第二和第三比特流进行。

举例说明，第一比特流为 8 位比特流时，可以对第一比特流中的第 0 位和第 1 位进行异或操作。若异或操作的结果为 1，意味着第一比特流中的第 0 位和第 1 位不同，第一比特流中的高位中连续多位逻辑值相同的可能性较大，则对第一比特流中的第 4 位和第 7 位进行取反；若异或操作的结果为 0，意味着第一比特流中的第 0 位和第 1 位相同，第一比特流中的低位中连续多位逻辑值相同的可能性较大，则对第一比特流中的第 0 位、第 3 位和第 6 位进行取反。第一比特流经过第一次取反之后得到第二比特流，然后将第二比特流赋值给第三比特流，再对第三比特流中的第 6 位（相当于第一/第二比特流中的第 5 位）进行取反（无论异或操作的结果是 0 还是 1）。

S4：将输出的第一比特流或第二比特流与标识位进行组合，以形成第三比特流。

标识位的位数可以为 1，也可以为更多。具体的，可以将标识位直接插入第一/第二比特流前/中/后以形成第三比特流，也可以将第一/第二比特流的至少部分位进行逻辑运算后插入标识位，也可以采用其他组合方式，在此不做限制。一般而言，标识位与第一/第二比特流的组合不应影响编码质量，即第三比特流仍满足预设的质量标准。为实现这一目标，标识位的逻辑值可以与其插入之后的相邻位（一位或者两位）中的至少一位的逻辑值不同。例如，标识位插入在第一/第二比特流的第 0 位之前，标识位的逻辑值与第一/第二比特流的第 0 位的逻辑值不同。

如图 4 所示，在本申请又一具体实施例中，本步骤可以具体包括：

S41：若输出的为第一比特流，则利用第一比特流的特定位以第二赋值方式对标识位赋值并将标识位与第一比特流进行组合；若输出的为第二比特流，则利用第二比特流的特定位以第一赋值方式对标识位赋值，并将标识位与第二比特流进行组合。

标识位可以是第一/第二比特流中的任意位。组合之后的第三比特流中，标

识位可以与特定位对应的位相邻，也可以不相邻。第一赋值方式不同于第二赋值方式，以通过标识位和特定位能够区分第三比特流是否进行过质量调整。例如，第一赋值方式可以为直接赋值和取反赋值中的一种，第二赋值方式可以为直接赋值和取反赋值中的另一种。接收端可以通过标识位和特定位的异或结果来判断收到的第三比特流是否经过质量调整，从而选择不同的解码方式。

实际应用中，可以将第一/第二比特流的特定位直接或者取反之后赋值给标识位，也可以采用其他等效的方式，例如判断特定位的逻辑值是否为 0/1，根据判断结果结合是否需要取反来设置标识位的逻辑值。

举例说明，若输出的为第一比特流，则可以将第三比特流的第 0 位（即标识位）的逻辑值设置为等于第一比特流的第 0 位的取反结果，其中第三比特流的第 1 位及后续位由第一比特流的第 0 位及后续位进行赋值获得。赋值和标识位设置之间的顺序并无限制，可以先将第一比特流的第 0 位的取反结果赋值给标识位，然后再将第一比特流的第 0 位及后续位赋值给第三比特流的第 1 位及后续位；也可以先将第一比特流的第 0 位及后续位赋值给第三比特流的第 1 位及后续位，然后再将第一比特流的第 0 位的取反结果或者第三比特流的第 1 位的取反结果赋值给标识位。

若输出的为第二比特流，则可以将第三比特流的第 0 位（即标识位）的逻辑值设置为等于第二比特流的第 0 位，其中第三比特流的第 1 位及后续位由第二比特流的第 0 位及后续位进行赋值获得。赋值和标识位设置之间的顺序并无限制，可以先将第二比特流的第 0 位赋值给标识位，然后再将第二比特流的第 0 位及后续位赋值给第三比特流的第 1 位及后续位；也可以先将第二比特流的第 0 位及后续位赋值给第三比特流的第 1 位及后续位，然后再将第二比特流的第 0 位或者第三比特流的第 1 位赋值给标识位。

在上面的例子中，标识位的逻辑值设置为等于第一比特流的第 0 位的取反结果或者等于第二比特流的第 0 位。实际也可以反过来，即标识位的逻辑值设置为等于第一比特流的第 0 位或者等于第二比特流的第 0 位的取反结果。

通过本实施例的实施，在编码过程中先判断第一比特流是否满足预设的质量标准，对不满足质量标准的第一比特流进行转换，并输出第二比特流，然后将输出的第一比特流或第二比特流与标识位进行组合，以形成第三比特流，转换之后第二比特流相比于第一比特流的编码质量得到了提升，从而保证了第三比特流的编码质量。

下面结合附图举例说明完整的编码过程。

如图 5 所示, 在本申请又一具体实施例中, 编码方法包括:

S101: 获取第一比特流 $bm[0\sim7]$ 。

S102: 判断逻辑表达式(1)的计算结果是否为 1。

图中的 $==$ 表示等于, $=$ 表示赋值。

若逻辑表达式(1)的计算结果为 1, 则跳转到 S103; 若逻辑表达式(1)的计算结果为 0, 则跳转到 S107。

S103: 判断 $XOR(bm[0\sim1])$ 的计算结果是否为 1。

若 $XOR(bm[0\sim1])$ 的计算结果为 1, 则跳转到 S104; 若 $XOR(bm[0\sim1])$ 的计算结果为 0, 则跳转到 S105。

S104: 对 $bm[4]$ 和 $bm[7]$ 取反。

$bm[]$ 或 $bn[]$ 前的 $\sim$ 表示取反。

其余位不变, 得到第二比特流, 跳转到 S106。

S105: 对 $bm[0]$ 、 $bm[3]$ 和 $bm[6]$ 取反。

其余位不变, 得到第二比特流, 跳转到 S106。

S106: 将第二比特流赋值给第三比特流的第 1~8 位, 对第三比特流的第 6 位 ($bn[6]$, 等于第一和第二比特流的第 5 位) 取反, 将第二比特流的第 0 位赋值给第三比特流的第 0 位 ($bn[0]$, 为标识位)。

得到第三比特流 $bn[0\sim8]$ 。

S107: 将第一比特流赋值给第三比特流的第 1~8 位。

S108: 将第一比特流的第 0 位 (等于第三比特流的第 1 位) 的取反结果赋值给第三比特流的第 0 位 (即标识位)。

得到第三比特流 $bn[0\sim8]$ 。

如图 6 所示, 在本申请又一具体实施例中, 编码方法包括:

S201: 获取第一比特流 $bm[0\sim7]$ 。

S202: 判断逻辑表达式(2)的计算结果是否为 1。

图中的 $==$ 表示等于, $=$ 表示赋值。

若逻辑表达式(2)的计算结果为 1, 则跳转到 S203; 若逻辑表达式(2)的计算结果为 0, 则跳转到 S207。

S203: 将第一比特流赋值给第三比特流的第 1~8 位。

S204: 将第一比特流的第 0 位 (等于第三比特流的第 1 位) 的取反结果赋

值给第三比特流的第 0 位（即标识位）。

得到第三比特流 $bn[0\sim8]$ 。

S205: 判断 $XOR(bm[0\sim1])$ 的计算结果是否为 1。

若 $XOR(bm[0\sim1])$ 的计算结果为 1, 则跳转到 S206; 若 $XOR(bm[0\sim1])$ 的计算结果为 0, 则跳转到 S207。

S206: 对 $bm[4]$ 和 $bm[7]$ 取反。

$bm[]$ 或 $bn[]$ 前的 $\sim$ 表示取反。

其余位不变, 得到第二比特流, 跳转到 S208。

S207: 对 $bm[0]$ 、 $bm[3]$ 和 $bm[6]$ 取反。

其余位不变, 得到第二比特流, 跳转到 S208。

S208: 将第二比特流赋值给第三比特流的第 1~8 位, 对第三比特流的第 6 位 ($bn[6]$, 等于第一和第二比特流的第 5 位) 取反, 将第二比特流的第 0 位赋值给第三比特流的第 0 位 ($bn[0]$, 为标识位)。

得到第三比特流 $bn[0\sim8]$ 。

如图 7 所示, 在本申请又一具体实施例中, 编码方法包括:

S301: 获取第一比特流 $bm[0\sim7]$ 。

S302: 判断逻辑表达式(1)的计算结果是否为 1。

图中的 $==$ 表示等于, $=$ 表示赋值。

若逻辑表达式(1)的计算结果为 1, 则跳转到 S303; 若逻辑表达式(1)的计算结果为 0, 则跳转到 S308。

S303: 判断 $XOR(bm[0\sim1])$ 的计算结果是否为 1。

若 $XOR(bm[0\sim1])$ 的计算结果为 1, 则跳转到 S304; 若 $XOR(bm[0\sim1])$ 的计算结果为 0, 则跳转到 S305。

S304: 对 $bm[4]$ 和 $bm[7]$ 取反。

$bm[]$ 或 $bn[]$ 前的 $\sim$ 表示取反。

跳转到 S306。

S305: 对 $bm[0]$ 、 $bm[3]$ 和 $bm[6]$ 取反。

跳转到 S306。

S306: 对 $bm[5]$ 取反。

其余位不变, 得到第二比特流。

S307: 将第二比特流的第 0 位的取反结果赋值给第三比特流的第 0 位 ($bn[0]$,

为标识位), 并将第二比特流赋值给第三比特流的第 1~8 位。

得到第三比特流 $bn[0\sim8]$ 。

S308: 将第一比特流赋值给第三比特流的第 1~8 位。

S309: 判断第三比特流的第 1 位 (等于第一比特流的第 0 位) 是否为 1。

若第三比特流的第 1 位为 1, 则跳转到 S310; 若第三比特流的第 1 位为 0, 则跳转到 S311。

S310: 将第三比特流的第 0 位 (即标识位) 设置为 1。

得到第三比特流 $bn[0\sim8]$ 。

S311: 将第三比特流的第 0 位 (即标识位) 设置为 0。

得到第三比特流 $bn[0\sim8]$ 。

如图 8 所示, 在本申请又一具体实施例中, 编码方法包括:

S401: 获取第一比特流 $bm[0\sim7]$ 。

图中的==表示等于, =表示赋值。

S402: 判断逻辑表达式(1)的计算结果是否为 1。

若逻辑表达式(1)的计算结果为 1, 则跳转到 S403; 若逻辑表达式(2)的计算结果为 0, 则跳转到 S407。

S403: 判断 $XOR(bm[0\sim1])$ 的计算结果是否为 1。

若 $XOR(bm[0\sim1])$ 的计算结果为 1, 则跳转到 S404; 若 $XOR(bm[0\sim1])$ 的计算结果为 0, 则跳转到 S405。

S404: 对 $bm[4]$ 、 $bm[5]$ 和 $bm[7]$ 取反。

$bm[]$ 或 $bn[]$ 前的~表示取反。

其余位不变, 得到第二比特流, 跳转到 S406。

S405: 对 $bm[0]$ 、 $bm[3]$ 、 $bm[5]$ 和 $bm[6]$ 取反。

其余位不变, 得到第二比特流, 跳转到 S406。

S406: 将第二比特流的第 0 位的取反结果赋值给第三比特流的第 0 位($bn[0]$, 为标识位), 并将第二比特流赋值给第三比特流的第 1~8 位。

得到第三比特流 $bn[0\sim8]$ 。

S407: 将第一比特流赋值给第三比特流的第 1~8 位。

S408: 判断第三比特流的第 1 位 (等于第一比特流的第 0 位) 是否为 1。

若第三比特流的第 1 位为 1, 则跳转到 S409; 若第三比特流的第 1 位为 0, 则跳转到 S410。

S409: 将第三比特流的第 0 位 (即标识位) 设置为 1。

得到第三比特流 $bn[0\sim8]$ 。

S410: 将第三比特流的第 0 位 (即标识位) 设置为 0。

得到第三比特流 $bn[0\sim8]$ 。

如图 9 所示, 本申请编码设备一实施例包括: 处理器 110。除此之外, 编码设备还可以包括存储器 (图中未画出)。

处理器 110 控制编码设备的操作, 处理器 110 还可以称为 CPU (Central Processing Unit, 中央处理单元)。处理器 110 可能是一种集成电路芯片, 具有信号序列的处理能力。处理器 110 还可以是通用处理器、数字信号序列处理器 (DSP)、专用集成电路 (ASIC)、现成可编程门阵列 (FPGA) 或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件。通用处理器可以是微处理器或者该处理器也可以是任何常规的处理器等。

处理器 110 用于执行指令以实现本申请编码方法任一实施例及可能的组合所提供的方法。

如图 10 所示, 本申请可读存储介质一实施例包括存储器 210, 存储器 210 存储有指令, 该指令被执行时实现本申请编码方法任一实施例及可能的组合所提供的方法。

存储器 210 可以包括只读存储器 (ROM, Read-Only Memory)、随机存取存储器 (RAM, Random Access Memory)、闪存 (Flash Memory)、硬盘、光盘等。

在本申请所提供的几个实施例中, 应该理解到, 所揭露的方法和装置, 可以通过其它的方式实现。例如, 以上所描述的装置实施方式仅仅是示意性的, 例如, 所述模块或单元的划分, 仅仅为一种逻辑功能划分, 实际实现时可以有另外的划分方式, 例如多个单元或组件可以结合或者可以集成到另一个系统, 或一些特征可以忽略, 或不执行。另一点, 所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口, 装置或单元的间接耦合或通信连接, 可以是电性, 机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的, 作为单元显示的部件可以是或者也可以不是物理单元, 即可以位于一个地方, 或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施方式方案的目的。

另外, 在本申请各个实施例中的各功能单元可以集成在一个处理单元中,

也可以是各个单元单独物理包括，也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现，也可以采用软件功能单元的形式实现。

所述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用时，可以存储在一个计算机可读取存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备等等）或处理器（processor）执行本申请各个实施方式所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（ROM，Read-Only Memory）、随机存取存储器（RAM，Random Access Memory）、磁碟或者光盘等各种可以存储程序代码的介质。

以上所述仅为本申请的实施方式，并非因此限制本申请的专利范围，凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本申请的专利保护范围内。

权利要求

1、一种可读存储介质，存储有指令，其中，所述指令被执行时实现以下方法：

对第一比特流进行质量判断；

若所述第一比特流满足预设的质量标准，则输出所述第一比特流；

若所述第一比特流不满足预设的质量标准，则对所述第一比特流进行转换，并输出第二比特流；

将输出的所述第一比特流或所述第二比特流与标识位进行组合，以形成第三比特流；

其中所述第一比特流为 8 位比特流，所述对第一比特流进行质量判断的步骤包括：

若所述第一比特流满足以下条件中的至少一个，则判定所述第一比特流不满足所述质量标准：

所述第一比特流中的第 4 位至第 7 位的逻辑值相同；

所述第一比特流中的第 1 位至第 6 位的逻辑值相同；

所述第一比特流中的第 0 位至第 5 位的逻辑值相同；

所述第一比特流中的第 6 位和第 7 位的逻辑值相同，第 0 位至第 4 位的逻辑值相同，且与所述第 6 位和第 7 位的逻辑值相反；

或，若所述第一比特流同时满足以下条件，则判定所述第一比特流满足所述质量标准：

所述第一比特流中的第 4 位至第 7 位中的至少两位的逻辑值不同；

所述第一比特流中的第 1 位至第 6 位中的至少两位的逻辑值不同；

所述第一比特流中的第 0 位至第 5 位中的至少两位的逻辑值不同；

并且满足以下子条件中的至少一个：

所述第一比特流中的第 6 位和第 7 位的逻辑值不同；

所述第一比特流中的第 0 位至第 4 位的逻辑值不同；或者

所述第一比特流中的第 6 位和第 7 位的逻辑值相同，第 0 位至第 4 位的逻辑值相同，且与所述第 6 位和第 7 位的逻辑值相同；

所述对所述第一比特流进行转换，并输出第二比特流的步骤包括：

对所述第一比特流中的第一特定位集进行逻辑运算；

若所述逻辑运算的结果为第一结果，则对所述第一比特流中的第二特定位置进行取反；

若所述逻辑运算的结果为第二结果，则对所述第一比特流中的第三特定位置进行取反。

2、一种编码方法，其中，所述方法包括：

对第一比特流进行质量判断；

若所述第一比特流满足预设的质量标准，则输出所述第一比特流；

若所述第一比特流不满足预设的质量标准，则对所述第一比特流进行转换，并输出第二比特流；

将输出的所述第一比特流或所述第二比特流与标识位进行组合，以形成第三比特流。

3、根据权利要求2所述的方法，其中，所述第一比特流为8位比特流；

所述对第一比特流进行质量判断的步骤包括：

若所述第一比特流满足以下条件中的至少一个，则判定所述第一比特流不满足所述质量标准：

所述第一比特流中的第4位至第7位的逻辑值相同；

所述第一比特流中的第1位至第6位的逻辑值相同；

所述第一比特流中的第0位至第5位的逻辑值相同；

所述第一比特流中的第6位和第7位的逻辑值相同，第0位至第4位的逻辑值相同，且与所述第6位和第7位的逻辑值相反。

4、根据权利要求2所述的方法，其中，所述第一比特流为8位比特流，所述对第一比特流进行质量判断的步骤包括：

若以下逻辑表达式的计算结果等于1，则所述第一比特流不满足所述质量标准：

$$\text{NAND}(\text{NAND}(\text{bm}[4\sim7]), \text{NAND}(\text{bm}[1\sim6]), \text{NAND}(\text{bm}[0\sim5]), \text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4])), \text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4])), \text{OR}(\text{bm}[4\sim7]), \text{OR}(\text{bm}[1\sim6]), \text{OR}(\text{bm}[0\sim5]))$$

其中，NAND为与非操作，OR为或操作，bm[i-j]为所述第一比特流的第i位至第j位。

5、根据权利要求2所述的方法，其中，所述第一比特流为8位比特流；所述对第一比特流进行质量判断的步骤包括：

若所述第一比特流同时满足以下条件，则判定所述第一比特流满足所述质量标准：

所述第一比特流中的第 4 位至第 7 位中的至少两位的逻辑值不同；

所述第一比特流中的第 1 位至第 6 位中的至少两位的逻辑值不同；

所述第一比特流中的第 0 位至第 5 位中的至少两位的逻辑值不同；

并且满足以下子条件中的至少一个：

所述第一比特流中的第 6 位和第 7 位的逻辑值不同；

所述第一比特流中的第 0 位至第 4 位的逻辑值不同；或者

所述第一比特流中的第 6 位和第 7 位的逻辑值相同，第 0 位至第 4 位的逻辑值相同，且与所述第 6 位和第 7 位的逻辑值相同。

6、根据权利要求 2 所述的方法，其中，所述对第一比特流进行质量判断的步骤包括：

若以下逻辑表达式的计算结果等于 1，则所述第一比特流满足所述质量标准：

$$\text{AND}(\text{XOR}(\text{bm}[4\sim7]), \text{XOR}(\text{bm}[1\sim6]), \text{XOR}(\text{bm}[0\sim5]), \text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4])), \text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4])))$$

其中，AND 为与操作，NAND 为与非操作，OR 为或操作，XOR 为异或操作；bm[i-j]为所述第一比特流的第 i 位至第 j 位。

7、根据权利要求 2 所述的方法，其中，所述对所述第一比特流进行转换，并输出第二比特流的步骤包括：

对所述第一比特流中的第一特定位集进行逻辑运算；

若所述逻辑运算的结果为第一结果，则对所述第一比特流中的第二特定位集进行取反；

若所述逻辑运算的结果为第二结果，则对所述第一比特流中的第三特定位集进行取反。

8、根据权利要求 7 所述的方法，其中，所述方法进一步包括：

利用所述第一比特流或第二比特流对所述第三比特流进行赋值；

其中所述对所述第一比特流中的第一特定位集进行逻辑运算的步骤、所述对所述第一比特流中的第二特定位集进行取反的步骤或者所述对所述第一比特流中的第三特定位集进行取反的步骤包括：

对赋值后的所述第三比特流中与至少部分所述第一特定位集、所述第二特定位集或所述第三特定位集对应的位进行逻辑运算或进行取反。

9、根据权利要求 2 所述的方法，其中，所述第一比特流为 8 位比特流；所述对所述第一比特流进行转换，并输出第二比特流的步骤包括：

对所述第一比特流中的第 0 位和第 1 位进行异或操作；

若异或操作的结果为 1，则对所述第一比特流中的第 4 位、第 5 位和第 7 位进行取反；

若异或操作的结果为 0，则对所述第一比特流中的第 0 位、第 3 位、第 5 位和第 6 位进行取反。

10、根据权利要求 9 所述的方法，其中，所述方法进一步包括：

利用所述第二比特流的第 0 位及后续位对所述第三比特流的第 1 位及后续位进行赋值；

其中，对所述第一比特流中的第 0 位、第 3 位、第 4 位、第 6 位、第 7 位进行取反是针对所述第一比特流进行操作，对所述第一比特流中的第 5 位进行取反是针对所述第三比特流中的第 6 位进行操作。

11、根据权利要求 2 所述的方法，其中，所述将输出的所述第一比特流或所述第二比特流与标识位进行组合的步骤包括：

若输出的为所述第二比特流，则利用所述第二比特流的特定位置以第一赋值方式对所述标识位赋值，并将所述标识位与所述第二比特流进行组合；

若输出的为所述第一比特流，则利用所述第一比特流的特定位置以第二赋值方式对所述标识位赋值并将所述标识位与所述第一比特流进行组合；其中所述第一赋值方式不同于所述第二赋值方式，以通过所述标识位和所述特定位置能够区分所述第三比特流是否进行过质量调整。

12、根据权利要求 11 所述的方法，其中，所述第一赋值方式为直接赋值和取反赋值中的一种，所述第二赋值方式为直接赋值和取反赋值中的另一种。

13、根据权利要求 12 所述的方法，其中，所述若输出的为所述第二比特流，则利用所述第二比特流的特定位置以第一赋值方式对所述标识位赋值的步骤包括：

将所述第三比特流的第 0 位的逻辑值设置为等于所述第二比特流的第 0 位，其中所述第三比特流的第 1 位及后续位由所述第二比特流的第 0 位及后续位进行转换和赋值获得。

14、根据权利要求 12 所述的方法，其中，所述若输出的为所述第一比特流，则利用所述第一比特流的特定位置以第二赋值方式对所述标识位赋值的步骤包括：

将所述第三比特流的第 0 位的逻辑值设置为等于所述第一比特流的第 0 位

的取反结果，其中所述第三比特流的第 1 位及后续位由所述第一比特流的第 0 位及后续位进行赋值获得。

15、一种编码设备，其中，包括处理器，所述处理器用于执行指令以对第一比特流进行质量判断；若所述第一比特流满足预设的质量标准，则输出所述第一比特流；若所述第一比特流不满足预设的质量标准，则对所述第一比特流进行转换，并输出第二比特流；将输出的所述第一比特流或所述第二比特流与标识位进行组合，以形成第三比特流。

16、根据权利要求 15 所述的编码设备，其中，所述第一比特流为 8 位比特流；所述处理器具体用于执行指令以在以下逻辑表达式的计算结果等于 1 的情况下判定所述第一比特流不满足所述质量标准：

$$\text{NAND}(\text{NAND}(\text{bm}[4\sim7]), \text{NAND}(\text{bm}[1\sim6]), \text{NAND}(\text{bm}[0\sim5]), \text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4])), \text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4])), \text{OR}(\text{bm}[4\sim7]), \text{OR}(\text{bm}[1\sim6]), \text{OR}(\text{bm}[0\sim5]))$$

其中，NAND 为与非操作，OR 为或操作，bm[i-j]为所述第一比特流的第 i 位至第 j 位。

17、根据权利要求 15 所述的编码设备，其中，所述第一比特流为 8 位比特流；所述处理器具体用于执行指令以在以下逻辑表达式的计算结果等于 1 的情况下判定所述第一比特流满足所述质量标准：

$$\text{AND}(\text{XOR}(\text{bm}[4\sim7]), \text{XOR}(\text{bm}[1\sim6]), \text{XOR}(\text{bm}[0\sim5]), \text{OR}(\text{NAND}(\text{bm}[6\sim7]), \text{OR}(\text{bm}[0\sim4])), \text{OR}(\text{OR}(\text{bm}[6\sim7]), \text{NAND}(\text{bm}[0\sim4])))$$

其中，AND 为与操作，NAND 为与非操作，OR 为或操作，XOR 为异或操作；bm[i-j]为所述第一比特流的第 i 位至第 j 位。

18、根据权利要求 15 所述的编码设备，其中，所述处理器具体用于执行指令以对所述第一比特流中的第一特定位集进行逻辑运算；若所述逻辑运算的结果为第一结果，则对所述第一比特流中的第二特定位集进行取反；若所述逻辑运算的结果为第二结果，则对所述第一比特流中的第三特定位集进行取反。

19、根据权利要求 15 所述的编码设备，其中，所述处理器具体用于执行指令以在输出的为所述第二比特流的情况下利用所述第二比特流的特定位以第一赋值方式对所述标识位赋值，并将所述标识位与所述第二比特流进行组合；输出的为所述第一比特流的情况下利用所述第一比特流的特定位以第二赋值方式对所述标识位赋值并将所述标识位与所述第一比特流进行组合；其中所述第一

赋值方式不同于所述第二赋值方式，以通过所述标识位和所述特定位能够区分所述第三比特流是否进行过质量调整。

20、根据权利要求 19 所述的编码设备，其中，所述第一赋值方式为直接赋值和取反赋值中的一种，所述第二赋值方式为直接赋值和取反赋值中的另一种。

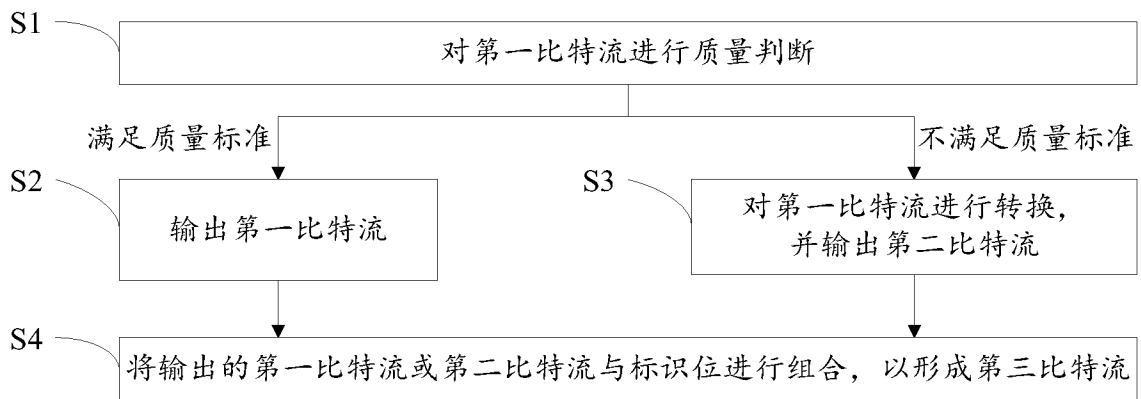


图 1

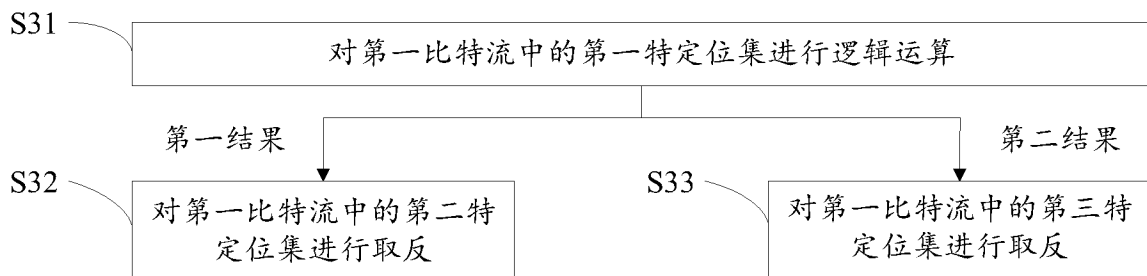


图 2

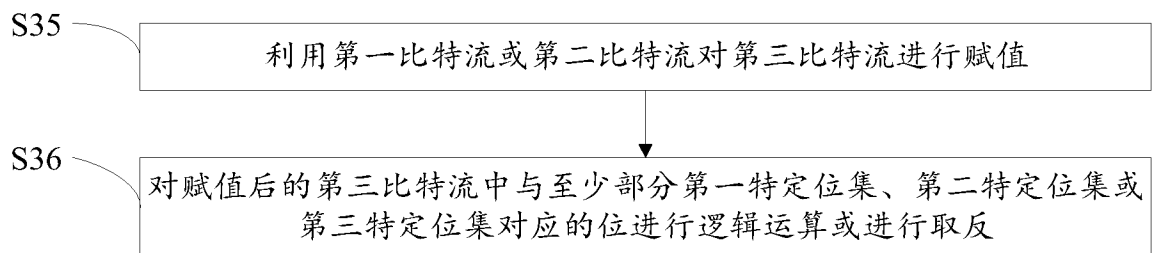


图 3

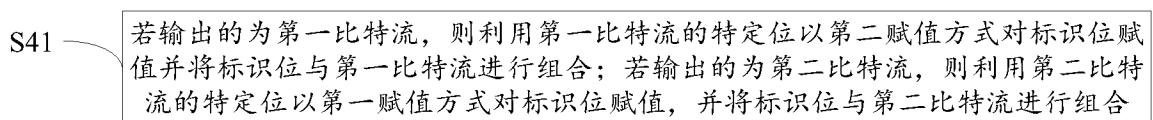


图 4

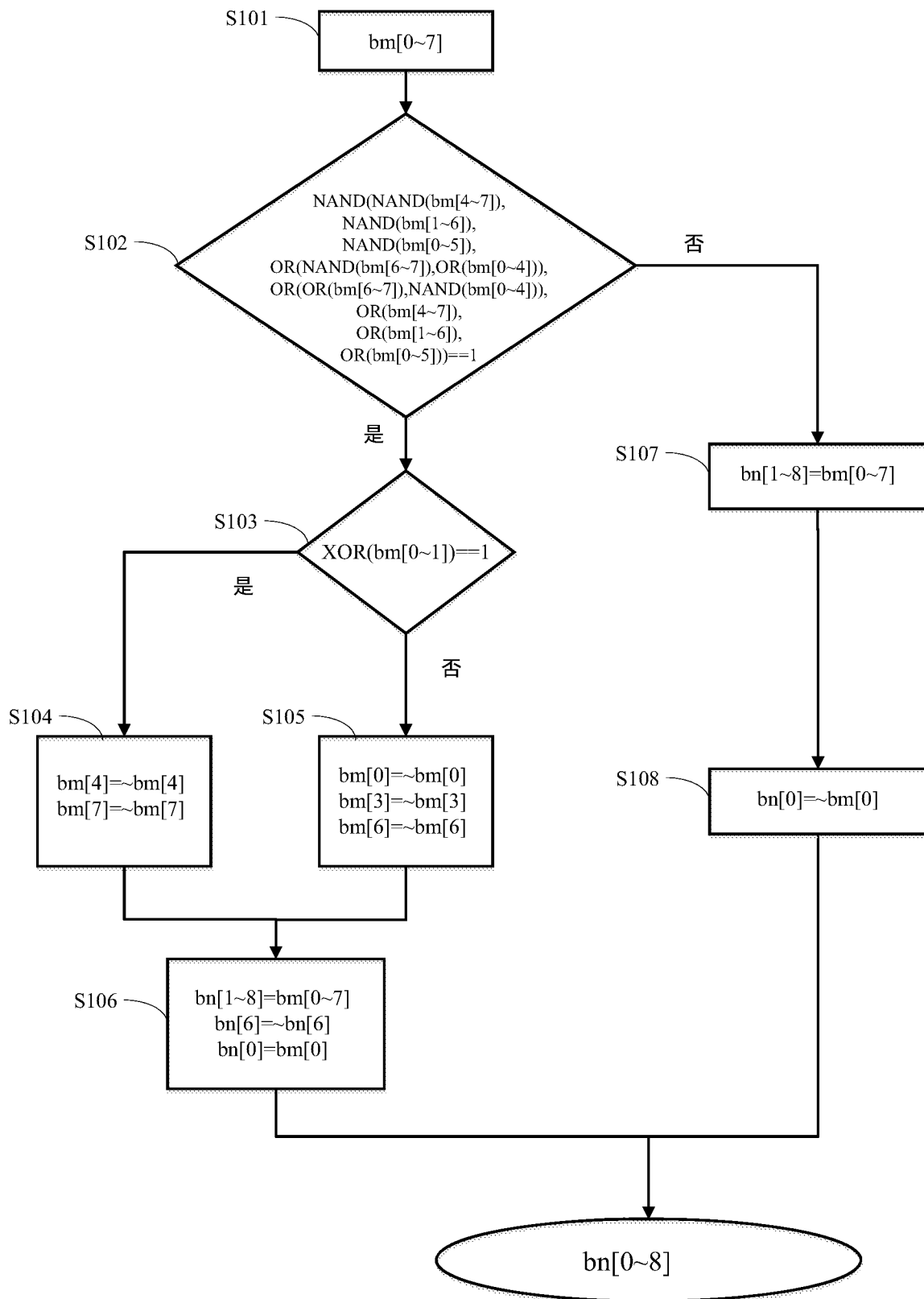


图 5

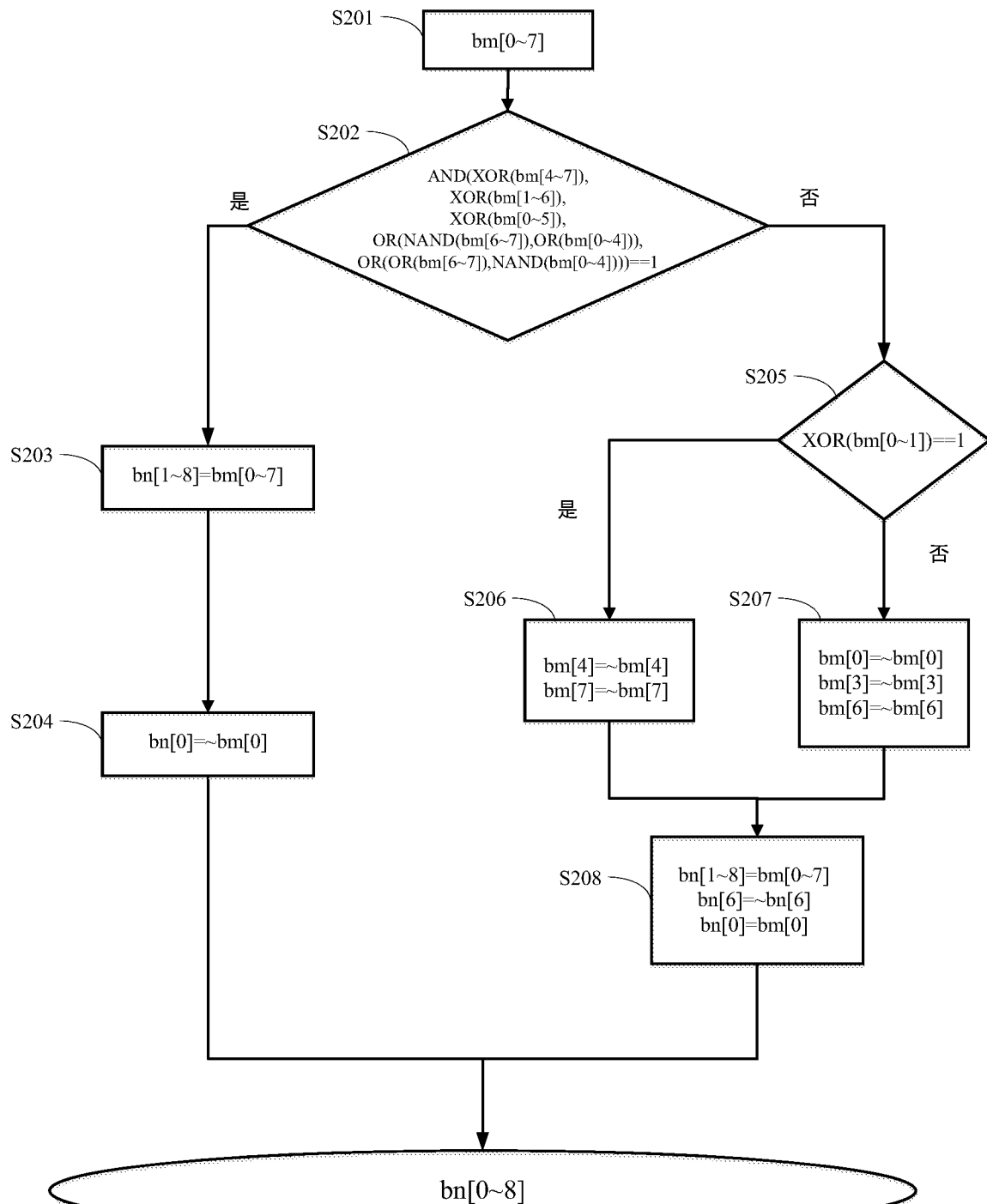


图 6

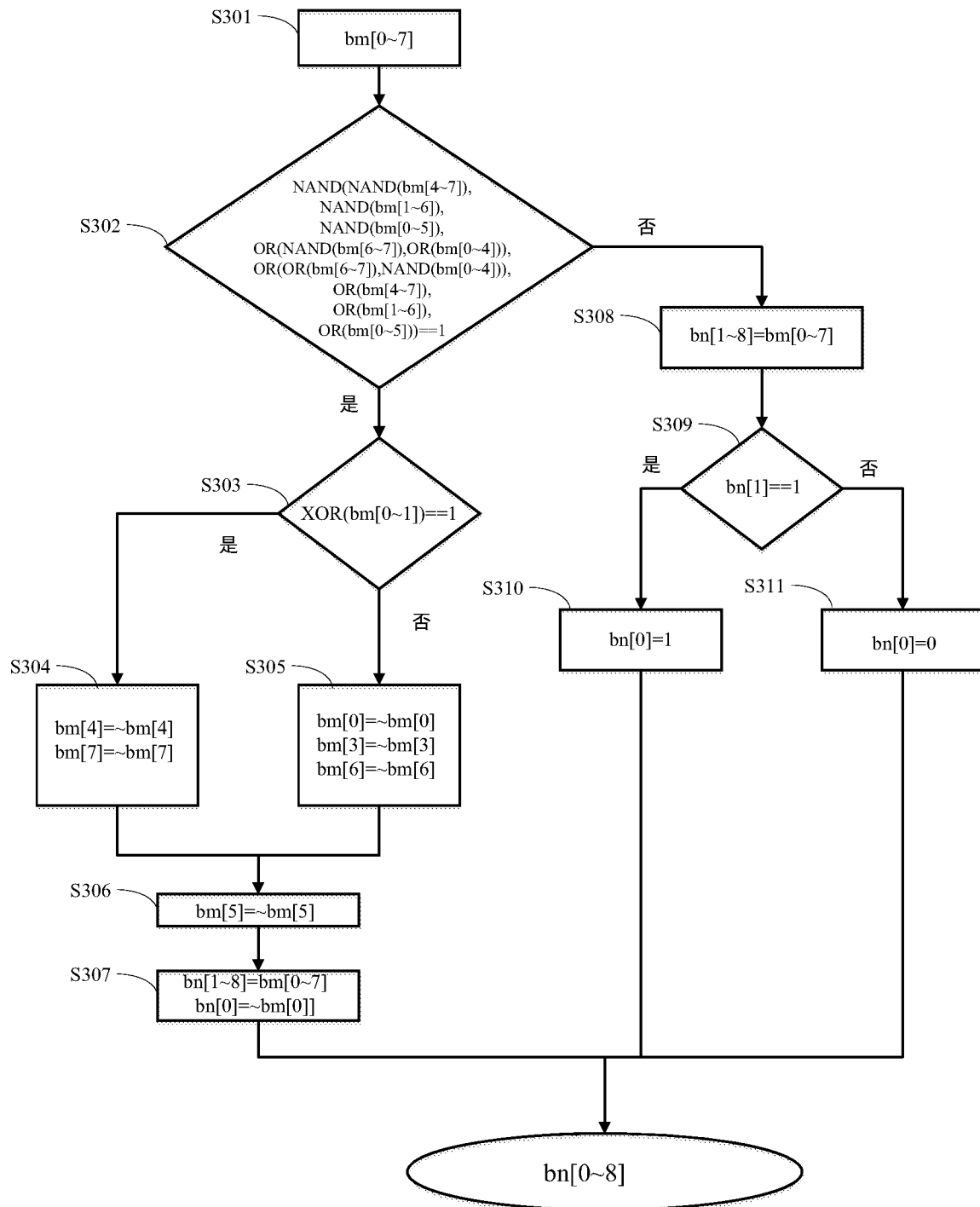


图 7

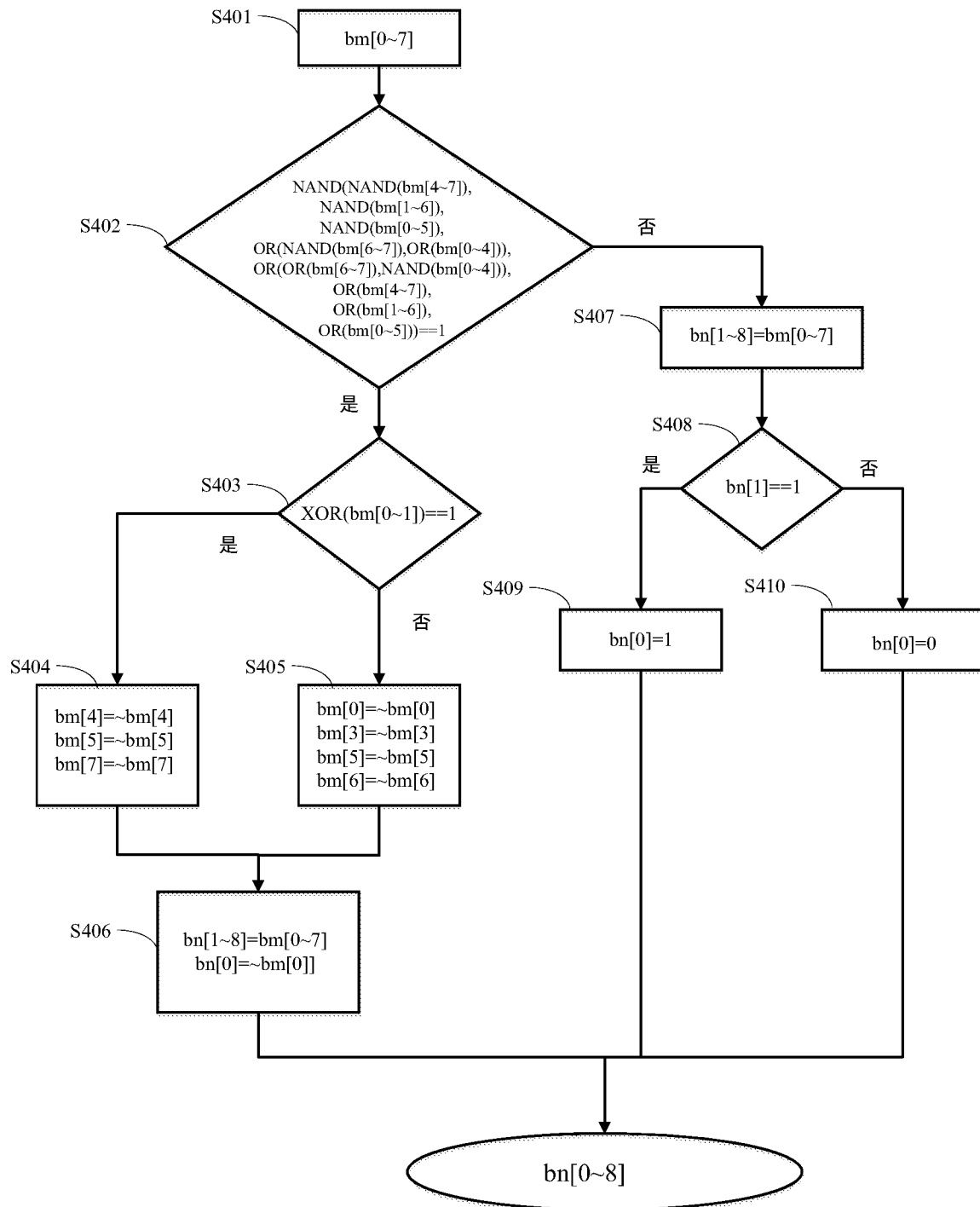


图 8

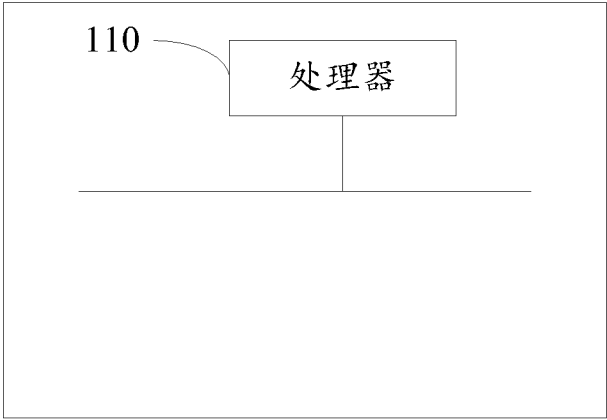


图 9

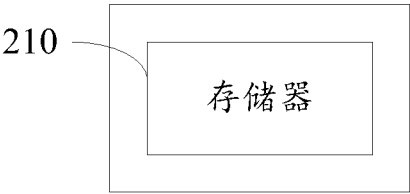


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/107469

A. CLASSIFICATION OF SUBJECT MATTER

H04L 1/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; CNKI; WOTXT; EPTXT; USTXT: 流, 连续, 逻辑值, 编码, 比特, 转换, 标识位, continue, logical, code, convert, flag bit

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102497249 A (AU OPTRONICS CORP.) 13 June 2012 (2012-06-13) description, paragraphs 70-95, and figure 5	1-20
A	CN 101847997 A (RAISECOM TECHNOLOGY CO., LTD.) 29 September 2010 (2010-09-29) entire document	1-20
A	JP 2009017232 A (TOSHIBA CORP) 22 January 2009 (2009-01-22) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 December 2018

Date of mailing of the international search report

21 January 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/107469

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102497249	A	13 June 2012	TW	I489814	B	21 June 2015
				TW	201316718	A	16 April 2013
				CN	102497249	B	14 January 2015
CN	101847997	A	29 September 2010	CN	101847997	B	05 February 2014
JP	2009017232	A	22 January 2009	None			

国际检索报告

国际申请号

PCT/CN2018/107469

A. 主题的分类

H04L 1/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H04L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN;CNKI;WOTXT;EPTXT;USTXT: 流,连续,逻辑值,编码,比特,转换,标识位, continue, logical, code, convert, flag bit

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102497249 A (友达光电股份有限公司) 2012年 6月 13日 (2012 - 06 - 13) 说明书第70-95段, 图5	1-20
A	CN 101847997 A (瑞斯康达科技发展股份有限公司) 2010年 9月 29日 (2010 - 09 - 29) 全文	1-20
A	JP 2009017232 A (TOSHIBA CORP) 2009年 1月 22日 (2009 - 01 - 22) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 12月 1日

国际检索报告邮寄日期

2019年 1月 21日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

薛乐梅

电话号码 86-(20)-28950448

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/107469

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102497249	A	2012年 6月 13日	TW	I489814	B	2015年 6月 21日
				TW	201316718	A	2013年 4月 16日
				CN	102497249	B	2015年 1月 14日
CN	101847997	A	2010年 9月 29日	CN	101847997	B	2014年 2月 5日
JP	2009017232	A	2009年 1月 22日	无			

表 PCT/ISA/210 (同族专利附件) (2015年1月)