

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-61801

(P2010-61801A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 15/04 (2006.01)	G 1 1 C 15/04 6 O 1 W	5 F O 8 3
H O 1 L 21/8242 (2006.01)	G 1 1 C 15/04 6 O 1 A	
H O 1 L 27/108 (2006.01)	G 1 1 C 15/04 C	
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 3 2 1	
	H O 1 L 27/10 4 8 1	

審査請求 有 請求項の数 5 O L (全 16 頁)

(21) 出願番号	特願2009-278793 (P2009-278793)	(71) 出願人	500400227
(22) 出願日	平成21年12月8日 (2009.12.8)		モサイド・テクノロジーズ・インコーポレ イテッド
(62) 分割の表示	特願2000-610011 (P2000-610011) の分割		カナダ、ケイ・2・ケイ 2・エックス・ 1 オンタリオ州、オタワ、ハインズ・ロ ード、11、スイート・203
原出願日	平成12年3月30日 (2000.3.30)	(74) 代理人	100090583
(31) 優先権主張番号	2,266,062		弁理士 田中 清
(32) 優先日	平成11年3月31日 (1999.3.31)	(74) 代理人	100098110
(33) 優先権主張国	カナダ (CA)		弁理士 村山 みどり
		(72) 発明者	ラインズ, ヴァレリエ
			カナダ国 ケイ2エイ1ティー7 オンタ リオ オタワ ロイヤルアベニュー 22 8

最終頁に続く

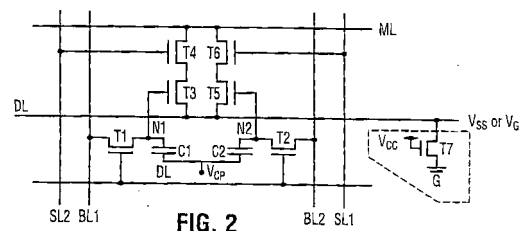
(54) 【発明の名称】 ダイナミック連想メモリセル

(57) 【要約】

【課題】 2 値または 3 値保存性能を有するダイナミック連想メモリを提供する。

【解決手段】 ダイナミック連想メモリは、ビット・ラインとワード・ラインの交差部に位置する複数のダイナミック連想メモリセルを備える。各セルは、ワード・ラインに接続されるゲート端子およびビット・ラインに接続される第 1 ソース/ドレイン端子を有するアクセス・トランジスタと、アクセス・トランジスタの第 2 ソース/ドレイン端子に接続される第 1 プレートに有する第 1 メモリセル・キャパシタと、ポリシリコン相互接続層だけを介してアクセス・トランジスタの第 2 ソース/ドレイン端子に接続されるゲート端子を有する、マッチ・ラインの整合結果または不整合結果を示すための比較トランジスタとを含む。

【選択図】 図 2



【特許請求の範囲】**【請求項 1】**

第 1 の方向に伸びる複数のビット・ラインと、
前記第 1 の方向と直交する第 2 の方向に伸びる複数のワード・ラインと、
前記第 2 の方向に伸びる複数のマッチ・ラインと、
前記ビット・ラインとワード・ラインの交差部に位置する複数のダイナミック連想メモリセルとを備え、前記各セルが、

ワード・ラインに接続されるゲート端子およびビット・ラインに接続される第 1 ソースノドレイン端子を有するアクセス・トランジスタと、

前記アクセス・トランジスタの第 2 ソースノドレイン端子に接続される第 1 プレート
を有する第 1 メモリセル・キャパシタと、

ポリシリコン相互接続層だけを介して前記アクセス・トランジスタの第 2 ソースノドレイン端子に接続されるゲート端子を有する、マッチ・ラインの整合結果または不整合結果を示すための比較トランジスタとを含む、ダイナミック連想メモリ。

【請求項 2】

前記ビット・ラインが、前記ポリシリコン相互接続層で形成される請求項 1 記載のダイナミック連想メモリ。

【請求項 3】

第 2 プレート
を有する第 2 メモリセル・キャパシタをさらに備え、前記第 1 および第 2 プレートが前記ポリシリコン相互接続層で形成される請求項 1 記載のダイナミック連想メモリ。

【請求項 4】

ビット・ラインとワード・ラインの前記交差部に位置する連想メモリセルの対が 3 値連想メモリセルを構成する請求項 1 記載のダイナミック連想メモリ。

【請求項 5】

前記第 1 の方向に伸びる複数の探索ラインをさらに備え、前記各ダイナミック連想メモリセルが、探索ラインに接続されるゲート端子を有するプルダウン・トランジスタをさらに備え、前記プルダウン・トランジスタおよび前記比較トランジスタのソースノドレイン端子がマッチ・ラインとディスチャージ・ライン間に直列接続される請求項 1 記載のダイナミック連想メモリ。

【発明の詳細な説明】**【技術分野】****【0001】**

(発明の背景)

(1. 発明の分野)

本発明は、ダイナミック動作をする連想メモリ (CAM) に関し、さらに特定すると高速で大容量のダイナミック CAM アレイを形成するのに適したダイナミック連想メモリセルに関する。

【背景技術】**【0002】**

(2. 背景技術の説明)

連想メモリ (CAM) はメモリ素子のグループが物理的な位置よりもむしろその内容で選択または識別されるメモリである。概して、CAM は縦列および横列に配置された CAM セルのマトリクスを含む。それぞれの CAM セルは 1 ビットのデジタル・データを保存し、保存したデータと外部から供給される探索データとを比較することのできる回路を含む。1 つまたは複数ビットの横列が 1 つのワードを構成する。連想メモリは探索ワードを CAM 内部に保存したワードのセットと比較する。探索および比較の作業の間において、それぞれのワードに組み込まれた表示装置が比較結果を生み出し、探索ワードが保存ワードと一致するかどうかを表示する。

【0003】

当該技術においてCAMセルへの取り組みはいくつかある。Kenneth J. Schultzにより「A Survey of Content-addressable Memory Cells」というタイトルでIntegration, the VLSI Journal, Vol. 23, pp. 171~188, 1997に発表された論文にはいくつかのCAMセルの設計が記述されており、それぞれの長所と短所が要約されている。従来技術によるCAMセルのいくつかはスタティック動作の保存素子を使用しており、その他のものはダイナミック動作の保存素子を使用している。ダイナミック動作の保存素子は半導体基板上に占める面積がより小さくなり、それゆえに単一の集積回路チップ上でより大きなメモリ容量を得るのに好適である。ダイナミック動作の保存素子の別の利点は、0および1に加えて、2つの保存用キャパシタが同様に変化することで「ドントケア」状態を保存できる3値保存の可能性である。最初の5トランジスタ型のダイナミックCAMセルはMundyらによって「Low-cost associative memory, IEEE Journal of Solid-State Circuits SC-7(1972)364~369」で発表された。Mundyの米国特許第3,701,980号もまた参照されたい。図1はMundyらのダイナミックCAMセルを具体的に説明するものであり、図2に示した本発明の図解説明との一貫性を得るために再作図および再番号付けを施してある。図1に示したように、従来技術による第1のCAMセル1はそれぞれトランジスタT1およびT2を経由してビット・ラインBL1およびBL2においてアクセスされるキャパシタC1およびC2という形になったダイナミック動作の保存素子を有する。書き込みまたは読み出しの動作はワード・ラインWLを使用してトランジスタT1およびT2をオンにさせ、マッチ・ラインML_iを低電位に保持してBL1およびBL2からC1およびC2へのデータ伝送、またはその逆を可能にすることによって実行される。探索および比較動作では、WL信号によってT1およびT2はオフに保たれ、BL1、BL2およびML_iは予め高電位にされている。その後、探索データがBL1およびBL2に加えられる。もしもC1に保存されたデータが高電位であってBL1に加えられた探索データが低電位である場合、T4およびT3を経由して電流i_iがML_iを放電させる。同様にして、もしもC2に保存されたデータが高電位であってBL2に加えられた探索データが低電位である場合、ML_iは放電されるであろう。もしもBL1およびBL2に加えられた探索データがC1およびC2に保存されたデータとそれぞれ合致する場合、ML_iからBL1またはBL2に至るいずれの径路にも電流は流れず、ML_iは予め充電された高電位を維持する。図1は別のワードである第2のCAMセル2をも示しており、これは別のマッチ・ラインML_{i-1}を有している。探索動作におけるML_{i-1}の電位もやはりBL1とBL2に加えられた探索データおよびC3とC4に保存された値により影響される。

【0004】

図1の従来技術によるCAMセルには2つの欠点が付随する。第1は、ビット・ラインBL1およびBL2のキャパシタンスがそれらのビット・ラインに接続されたそれぞれのCAMセルに保存されたデータに依存して変化することである。第2は、探索および比較動作の間におけるいずれのマッチ・ライン（例えばML_iまたはML_{i-1}）の電圧も1つのワードにある保存データばかりでなく、CAMセルの一定のサブアレイ内部にある他のワードの保存データにまで依存性があることである。これはビット・ラインのドライバであるT3およびT4の電流性能には限界があるが、BL1およびBL2に付随したセルのデータ内容（例えば第1のセル1および第2のセル2に保存されたデータ）によってはいくつかのマッチ・ラインを放電させることを要求されるために生じるものである。

【0005】

これらの欠点は1つの特定のビット・ラインに接続できるセルの数に制限を与え、それゆえにサブアレイのサイズを制限し、マッチ・ラインの電圧レベルを検出するために信頼性のある回路を設計することが一層困難になる。

【0006】

Mundyらによる最初の提案から変形されたものがいくつか文献に存在する。これら

にはWadeとSodiniによって発表された「Dynamic cross-coupled bit line content addressable memory cell for high density arrays, IEDM Digital Technology Papers (1985) 284~287」が含まれる。WadeとSodiniの米国特許第4,831,585号も参照されたい。また別の、ダイナミック動作のラッチ回路を使用する改良型のCAMセルがJonesによる「Design, Selection and Implementation of a content-addressable memory: alternatives to the ubiquitous RAM, IEEE Computers 22(1989)51~64」で発表された。これら引用した改良にはマッチ・ライン電圧検出およびビット・ラインのキャパシタンスにおける変動の問題について充分に向けられたものはない。

10

20

30

40

50

【0007】

Kadotaらは「An 8-Kbit content-addressable and reentrant memory」, IEEE Journal on Solid State Circuits SC-20(1985)951~957の中で1つのスタティックCAMの設計を提示した。Kadotaの米国特許第4,823,313号もまた参照されたい。この設計では、マッチ・ラインとグラウンド端子との間に1対の能動的プル・ダウン回路が使用されており、それぞれが直列接続された2つのトランジスタから成っている。一方のトランジスタのゲート電極は2つのセルのノードの一方に接続され、他方のトランジスタのゲート電極は対応するビット・ラインに接続されている。保存素子がスタティック型であるために、Kadotaの設計によるCAMセルは2値保存に限定される。第3の「ドントケア」状態を可能にするためには、追加の保存装置が必要とされるであろう。

【0008】

以上に参照したすべてのCAMセルはそのビット・ラインを探索および比較動作のための書き込みおよび読み出し動作の両方に使用している。そのような配置はCAMセルのアレイの全体的な動作スピードをある程度束縛するものとなる。この問題は、Berghらによって「A fault-tolerant associative memory with high-speed operation, IEEE Journal on Solid-State Circuits SC-25(1990)912~919」の中で発表された設計のように、探索および比較動作の間において探索データを搬送するのに探索ラインを使用し、ビット・ラインを書き込みだけおよび読み出しだけに使用することによって軽減することができる。この設計はやはり2値保存性能に限定されるスタティック・メモリを使用している。さらに、この設計の探索ラインは比較回路のソースまたはドレイン端子に接続されており、そのために探索ラインの負荷が重くなり、したがって相対的に高い電力消費と遅い探索および比較動作の原因となっている。同様の回路がShindoのJP-A-10050076に開示されている。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】米国特許第4,831,585号

【特許文献2】米国特許第4,823,313号

【特許文献3】JP-A-10050076

【非特許文献】

【0010】

【非特許文献1】Kenneth J. Schulutzにより「A Survey of Content-addressable Memory Cells」というタイトルでIntegration, the VLSI Journal, Vol. 23, p. 171~188, 1997

【非特許文献2】Mundy 「Low - cost associative memory, IEEE Journal of Solid - State Circuits SC - 7 (1972) 364 ~ 369」

【非特許文献3】Wade, Sodini 「Dynamic cross - coupled bit line content addressable memory cell for high density arrays, IEDM Digital Technology Papers (1985) 284 ~ 287」

【非特許文献4】Jones 「Design, Selection and Implementation of a content - addressable memory: alternatives to the ubiquitous RAM, IEEE Computers 22 (1989) 51 ~ 64」

10

【非特許文献5】Kadota 「An 8 - Kbit content - addressable and reentrant memory」, IEEE Journal on Solid State Circuits SC - 20 (1985) 951 ~ 957

【非特許文献6】Bergh 「A fault - tolerant associative memory with high - speed operation, IEEE Journal on Solid - State Circuits SC - 25 (1990) 912 ~ 919」

【発明の概要】

20

【発明が解決しようとする課題】

【0011】

以上の観点から、比較的低消費電力しか必要とせず、比較的高速の探索および比較動作ができて、マッチ・ラインの電圧およびビット・ラインのキャパシタンスが比較的安定しており、しかも3値の保存性能を提供するCAMセル構造が必要とされることは明らかである。

【0012】

(発明の概要)

本発明の目的は、改良したダイナミック連想メモリ(CAM)セルを提供することであり、これは、2値および3値の記憶能力を有する、比較的高速で大容量のCAMアレイを構築するのに適している。

30

【0013】

本発明の他の目的は、マッチ・ラインにおいて比較的安定な電圧レベルを有するCAMセルを提供することである。本発明のさらに他の目的は、ビット・ラインにおいて比較的安定なキャパシタンスを有するCAMアレイを提供することである。

【課題を解決するための手段】

【0014】

本発明の態様によれば、3値データを記憶し及びアクセスするためのダイナミック連想メモリセルであって、

第1のデータ・ビットを記憶するための第1の記憶装置と、

40

第1のデータ・ビットと無関係の値を有する第2のデータ・ビットを記憶するための第2の記憶装置と、

第1および第2のデータ・ビットを独立して第1および第2のデータ記憶装置に書き込むための、第1および第2の記憶装置に接続される第1および第2のビット・ラインと、

第1および第2の記憶装置及び第2および第1の探索ラインにそれぞれ接続される第1および第2のプルダウン回路を有する比較手段とを含み、第1および第2のプルダウン回路がマッチ・ラインとディスチャージ・ラインとの間に接続され、前記比較手段が第2および第1の探索ライン上に搬送されてくる第2および第1の探索ビットを第1および第2の記憶装置の中に記憶された第1および第2のデータ・ビットとそれぞれ比較するものであり、第1および第2の探索ビットと第1および第2のデータ・ビットとの間に不整合が

50

あった場合、および第 1 および第 2 のデータ・ビットが相補的な値を有するとき、前記比較手段がマッチ・ラインをディスチャージ・ラインに結合させることを特徴とするダイナミック連想メモリセルが提供される。

【 0 0 1 5 】

第 1 および第 2 記憶装置の各々は、キャパシタを備え、第 1 および第 2 アクセス装置の各々は、ワード・ラインに結合されているゲートを有するトランジスタを備え、比較手段は、第 1 記憶手段と第 2 探索ラインに結合されているゲートを有する直列のトランジスタの第 1 対を有する第 1 プルダウン回路と、第 2 記憶手段と第 1 探索ラインに結合されているゲートを有する直列のトランジスタの第 2 対を有する第 2 プルダウン回路とを備えることが好ましい。

10

【 0 0 1 6 】

本発明の他の実施形態では、ディスチャージ・ラインは、選択的に、

(a) 電源端子と接地端子の間で所定の電圧レベルを有する低電圧端子に結合されているか、

(b) 電源に端子に結合されているゲートを有するトランジスタで形成されていることが好ましい電流制限器を介して接地端子に結合されている。

【 0 0 1 7 】

本発明の実施形態では、各トランジスタは、ドレイン端子、ソース端子、およびゲート端子を有する、絶縁ゲート電界効果トランジスタ (F E T) である。そのような実施形態では、記憶セルは、

20

a) 少なくとも 1 つの高度にドーピングされたエリアが、各前記 F E T のドレイン端子とソース端子を形成する活性領域と、

b) 各前記 F E T のゲート端子を形成する第 1 ポリシリコン導電層と、

c) 第 1 および第 2 ビット・ラインと、前記活性領域と前記第 1 ポリシリコンの間の少なくとも 1 つの相互接続とを形成する第 2 ポリシリコン導電層と、

d) 前記活性領域の高度にドーピングされたエリアにおいて選択された点へのコンタクトを提供し、かつ、前記第 1 および第 2 ポリシリコン導電層の間の相互接続を提供する金属導電層と、

e) 各前記キャパシタの第 1 および第 2 プレートをそれぞれ形成する第 3 および第 4 ポリシリコン導電層とを備える複数の半導体層を使用して、集積回路内において製作されており、

30

前記活性領域が、前記第 2 ポリシリコン導電層と前記金属導電層によって形成された相互接続を介して、前記比較手段のゲートを形成する前記第 1 ポリシリコン導電層のエリアに結合されている。

【 0 0 1 8 】

記憶セルは、

a) 少なくとも 1 つの高度にドーピングされたエリアが、各前記 F E T のドレイン端子とソース端子を形成する活性領域と、

b) 各前記 F E T のゲート端子を形成する第 1 ポリシリコン導電層と、

c) 第 1 および第 2 ビット・ラインと、前記活性領域と前記第 1 ポリシリコンの間の少なくとも 1 つの相互接続とを形成する第 2 ポリシリコン導電層と、

40

d) 各前記キャパシタの第 1 および第 2 プレートをそれぞれ形成する第 3 および第 4 ポリシリコン導電層とを備える複数の半導体層を使用して、集積回路内において製作されており、

前記活性領域が、前記第 2 ポリシリコン導電層と前記金属導電層によって形成された相互接続を介して、前記比較手段のゲートを形成する前記第 1 ポリシリコン導電層のエリアに結合されている。

【 0 0 1 9 】

第 1 および第 2 ビット・ラインの各々は、オープン・ライン構成で形成されていることが好ましい。

50

【 0 0 2 0 】

本発明の他の態様によれば、以下の方法が提供されている。

1. ダイナミック連想メモリセルにビット・データを書き込む方法であって、
 - a) マッチ・ラインを予め設定した事前充電電圧レベルに保つステップと、
 - b) 第1および第2探索ラインをロー・ロジック・レベルに保つステップと、
 - c) 前記ビット・データを第1および第2ビット・ライン上に配置するステップと、
 - d) ワード・ラインをハイ・ロジック・レベルに上げるステップと、
 - e) ワード・ラインをロー・ロジック・レベルに下げ、それにより、前記データを第1および第2記憶装置に記憶するステップとを含む方法。
2. ダイナミック連想メモリセルの中で探索データを記憶データと比較する方法であって、
 - a) ワード・ラインをロー・ロジック・レベルに保つステップと、
 - b) マッチ・ラインを予め設定した事前充電電圧レベルに事前充電するステップと、
 - c) 前記探索データを第1および第2探索ライン上に配置するステップと、
 - d) マッチ・ライン上の電圧変化を、探索データと記憶データの比較の結果を示すものとして検出するステップとを含む方法。
3. ダイナミック連想メモリセルから記憶データを読み出す方法であって、
 - a) マッチ・ラインを予め設定した事前充電電圧レベルに保つステップと、
 - b) 第1および第2探索ラインをロー・ロジック・レベルに保つステップと、
 - c) 第1および第2ビット・ラインが、中間電圧レベルで浮動することを可能にするステップと、
 - d) ワード・ラインをハイ・ロジック・レベルに上げるステップと、
 - e) 読み出しデータを示すために、前記中間電圧レベルから、第1および第2ビット・ラインの各々における電圧レベルの差を感知して増幅するステップと、
 - f) 読み出しデータを第1および第2記憶装置に再記憶するステップとを含む方法。

【 0 0 2 1 】

本発明の他の態様によれば、ダイナミック連想メモリセルにおいて、探索と比較のオペレーションを実施する方法が提供されており、

- a) 複数の記憶セルに結合されているマッチ・ラインを、事前充電電圧レベルまで事前充電するステップと、
- b) 反対または同じレベルの探索データを、複数の記憶セルに結合されている第1および第2探索ライン上に配置するステップと、
- c) 前記マッチ・ラインに結合されている前記複数の記憶セルに記憶されているデータを探索し、前記探索データと比較するステップと、
- d) 前記複数の記憶セルの少なくとも1つが、反対のロジック位相のデータを前記探索データに記憶する場合、比較手段を介してディスチャージ・ラインに結合するステップとを含む。

【 0 0 2 2 】

本発明の他の態様によれば、ダイナミック連想メモリセルが提供されており、

- a) 第1および第2データ・ビットをそれぞれ記憶する第1および第2記憶手段と、
- b) 第1および第2ビット・ライン上で搬送された第1および第2探索ビットを、前記第1および第2記憶手段に記憶されている第1および第2データ・ビットと比較する比較手段であって、前記第1および第2探索ビットと前記第1および第2データ・ビットとの間で不整合が生じる場合、および前記第1および第2データ・ビットが反対のレベルを有するとき、マッチ・ラインをディスチャージ・ラインに結合する比較手段と、
- c) ワード・ラインによって起動されるとき、前記第1および第2記憶手段を前記第1および第2ビット・ラインにそれぞれ結合する第1および第2アクセス手段とを備える。

【 0 0 2 3 】

ここで、本発明の例示的な実施形態について、図面を参照してさらに記述する。

【図面の簡単な説明】

【 0 0 2 4 】

【図 1】従来技術による、ダイナミック C A M セルの回路図である。

【図 2】本発明の好ましい実施形態による、ダイナミック C A M セルの回路図である。

【図 3】A、B、C は、図 2 のダイナミック C A M セルに対する代替書込みシーケンスの図である。

【図 4】図 2 のダイナミック C A M セルの探索シーケンスに対する信号レベルとタイミングの図である。

【図 5】図 2 のダイナミック C A M セルの読取りシーケンスに対する信号レベルとタイミングの図である。

【図 6】A は本発明の実施形態による、図 2 のダイナミック C A M セルを製作するためのマスク・レイアウトの図、B は図 6 A の線 A - A ' に相当する線に沿って取った、ダイナミック C A M セルの断面図である。

【図 7】A は本発明の好ましい実施形態による、図 2 のダイナミック C A M セルを製作するためのマスク・レイアウトの図、B は図 7 A の線 A - A ' に相当する線に沿って取った、C A M セルの断面図である。

【図 8】本発明による、図 1 のダイナミック C A M セルを接続するために使用するオープン・ビット・ライン構成の図である。

【発明を実施するための形態】

【 0 0 2 5 】

(発明の詳細な説明)

本発明の好ましい実施形態によるダイナミック C A M セルを図 2 のトランジスタ回路構成に示す。この図に示したように、C A M セルは、キャパシタ C 1 および C 2 の形態にある、第 1 および第 2 記憶装置を含む。各記憶装置は、「 1 」(記憶されている電圧が V_{cp} より高い) または「 0 」(記憶されている電圧が V_{cp} より低い) を記憶することができる。2 値の構成では、C A M セルは、C 1 上の「 0 」と C 2 上の「 1 」、または C 1 上の「 1 」と C 2 上の「 0 」として、2 値ビットのデジタル情報を記憶する。さらに、3 値の構成では、C A M セルは、両方の記憶装置が、C 1 と C 2 の両方で「 0 」を記憶するなど、「 0 」を記憶するとき、追加の「ドントケア」状態を獲得する。

【 0 0 2 6 】

これらのキャパシタは、通常、各々 70 fF の値を有し、従来技術を使用して、C A M セル・アレイ全体の集積回路実装の一部として製作される。

【 0 0 2 7 】

図 2 に示した C A M セル回路では、以下のように、いくつかの電圧端子を使用して、異なる電圧レベルを回路の異なる部分に供給する。

電源端子 V_{DD}

接地端子 V_{SS}

それらの V_{DD} と V_{SS} の間にある電圧レベルを有するセル・プレート電圧端子 V_{cp}

それらの V_{DD} と V_{SS} の間にある電圧レベルを有する低電圧端子 V_G 、または接地 V_{SS}

V_{DD} 、 V_{cp} 、および V_{SS} の通常の値は、それぞれ、 3.3 V 、 1.65 V 、および 0 V である。

【 0 0 2 8 】

以下で与える記述では、図 2 の回路の様々な点は、接地端子 V_{SS} にレベルの近傍であるように取られているロジック・ロー・レベル(「 0 」レベル)と、電源端子 V_{DD} のレベルの近傍であるように取られているロジック・ハイ・レベル(「 1 」レベル)との間で変動する電圧を有する。

【 0 0 2 9 】

図 2 に示したように、第 1 記憶装置 C 1 と第 2 記憶装置 C 2 は、それぞれ、C A M セルに記憶されているデータに対応する信号レベル、すなわち「 0 」、「 1 」、または「ドントケア」メモリ・コンテンツを搬送する第 1 セルノード N 1 と第 2 セル・ノード N 2 を有

10

20

30

40

50

する。これらの２つのセル・ノード N_1 および N_2 は、それぞれ第１アクセス装置 T_1 と第２アクセス装置 T_2 を介して、書込みオペレーションと読取りオペレーションのためにアクセス可能である。記憶装置 C_1 および C_2 の残りの２つの端子は、セル・プレート電圧端子 V_{cp} に接続されている。 T_1 および T_2 のソース端子は、それぞれ N_1 および N_2 に接続されており、一方、それらのドレイン端子は、それぞれ第１ビット・ライン BL_1 と第２ビット・ライン BL_2 に接続されている。第１アクセス装置 T_1 と第２アクセス装置 T_2 は、それらのゲート端子をワード・ライン WL に接続することによって、 WL に応答する。記憶装置 C_1 および C_2 に書き込まれるデータは、ワード・ライン WL 上の電圧レベルを電圧 V_{DD} より高い電圧 V_{pp} まで上げることによって、ゲート端子を介して、第１アクセス装置 T_1 と第２アクセス装置を起動しながら、第１ビット・ライン BL_1 と第２ビット・ライン BL_2 の上に配置される。このようにして書き込まれたデータは、以下でさらに説明するように、やはり第１アクセス装置 T_1 と第２アクセス装置 T_2 を起動することによって、第１ビット・ライン BL_1 と第２ビット・ライン BL_2 において、読み取ることができる。

【００３０】

CAM セルは、さらに、第１および第２プルダウン回路を有する比較手段を含む。第１プルダウン回路は、マッチ・ライン ML とディスチャージ・ライン DL の間で直列に接続されている第３プルダウン装置 T_3 と第４プルダウン装置 T_4 からなり、 T_3 のドレイン端子は、 T_4 のソース端子に接続されている。第３プルダウン装置 T_3 は、そのゲートを N_1 に接続することによって、第１セル・ノード N_1 に応答し、一方、 T_4 のゲートは、第２探索ライン SL_2 に接続されている。同様に、第２プルダウン回路は、それぞれ ML と DL の間で接続されている第５プルダウン装置 T_5 と第６プルダウン装置 T_6 からなり、 T_5 のドレイン端子は、 T_6 のソース端子に接続され、 T_5 のゲート端子は、 N_2 に接続され、 T_6 のゲートは、第１探索ライン SL_1 に接続されている。第１プルダウン回路と第２プルダウン回路の組合せは、 C_1 と C_2 に記憶されている相補的データ・ビットと、 SL_1 および SL_2 の上で搬送された相補的な探索ビットとの比較を提供する。そのような比較の結果は、以下でさらに記述するように、データの不整合が存在する場合、第１プルダウン回路または第２プルダウン回路によってディスチャージされている ML に反映されている。代替として、 T_3 と T_4 および T_5 と T_6 の直列接続は、比較オペレーションに影響を与えずに、反対にすることができる。

【００３１】

一実施形態では、ディスチャージ・ライン DL は、接地端子 V_{SS} に直接結合されている。代替実施形態では、ディスチャージ・ライン DL は、電源端子 V_{DD} に結合されているゲート端子を有する電流制限器トランジスタ T_7 を介して、接地端子 V_{SS} に間接的に結合されている。このトランジスタは、不整合が存在する場合、 CAM セルから接地に流れる電流を制限するように作用する。さらに他の実施形態では、ディスチャージ・ラインは、電力消費を節約するために、制御回路（図示せず）によって選択的に設置される電圧端子に結合されている。

【００３２】

CAM セル回路は、回路の異なる点において、２値信号レベル（ハイまたはロー）を課すことによって、書込み、読取り、および探索と比較のオペレーションのいずれかを行うように動作される。以下の表は、以下で記述するオペレーションの際の、様々な点における異なる信号レベルの概要を提供する。

【００３３】

【表 1】

表 1

オペレーション	WL	BL1	BL2	N1	N2	SL1	SL2	ML
書込み	1+	0	1	0	1	0	0	1
バースト書込み	1+	1	0	1	0	0	0	1
3 値 書込み	1+	0	0	0	0	0	0	1
読出し	1+	N1	N2	N1	N2	0	0	1
探索 (整合)	0	X	X	1	0	1	0	1
	0	X	X	0	1	0	1	1
	0	X	X	0	1	0	0	1
	0	X	X	0	0	X	X	1
記憶された「ドントケア」								
探索 (不整合)	0	X	X	1	0	0	1	V_G
	0	X	X	0	1	1	0	V_G

10

20

【0034】

書込み、読取り、または探索と比較のオペレーションを開始する前に、マッチ・ライン ML は、所定の事前充電レベルまで事前充電され、この実施形態では、 V_{DD} よりわずかに低い電圧まで事前充電される。

【0035】

図 3 A、3 B、および 3 C は、図 2 のダイナミック CAM セルに対する 3 つの代替書込みシーケンスを示す。これらの図に示したように、書込みシーケンスは、以下のステップからなる。

(a) マッチ・ライン ML を所定のレベルに保ち、第 1 探索ライン SL1 と第 2 探索ライン SL2 をロー・レベルに保つ。

30

(b) CAM セルに書き込まれるデータに対応する 2 値信号レベル (ロジック・ハイおよびロジック・ロー) を第 1 ビット・ライン BL1 と第 2 ビット・ライン BL2 の上に配置する。

(c) ワード・ライン WL を V_{PP} レベル (V_{DD} より高い) まで上げ、第 1 セル・ノード N1 が BL1 において信号レベルを獲得するように、第 1 記憶キャパシタ C1 を充電し、第 2 セル・ノード N2 が、BL2 の上において信号レベルを獲得するように、第 2 記憶キャパシタ C2 を充電する。

(d) 次いで、ワード・ライン WL の信号レベルを V_{SS} まで下げ、第 1 ノード N1 と第 2 ノード N2 において獲得された信号レベルを、それぞれ第 1 キャパシタ C1 と第 2 キャパシタ C2 に記憶する。

40

【0036】

図 3 A と 3 B に示したシーケンスは、BL1 と BL2 の上に配置されたロー (0) 信号とハイ (1) 信号の相補的な対によって表された 2 値ビットの書込みに関する。BL1、BL2、N1、および N2 に対する実線は、1 つの相補的な信号の対を示し、点線は、実線によって示したものと反対の他の相補的な対を示す。図 3 A は、ハイとローの間にある中間レベルの BL1 と BL2 で開始される書込みシーケンスに関する。中間レベルは、通常、 V_{SS} の 2 分の 1 である V_{DD} である。

【0037】

図 3 B は、中間レベル以外の状態の BL1 と BL2 で開始される書込みシーケンスに関する。これは、例えば、所定の数の CAM セルが順次書き込まれているバースト書込みオ

50

ペレーション中に、B L 1 と B L 2 が、中間レベルに戻るには十分な時間がない、先行する書込みシーケンスが書込みシーケンスの直前である場合などである。

【 0 0 3 8 】

図 3 C を参照すると、3 値のデータ書込み例が示されている。このシーケンスでは、B L 1 と B L 2 の両方が、それぞれノード N 1 と N 2 の上にあるセルの 2 つの半分ずつに書き込まれる「0」を搬送する。3 値データ書込みシーケンスに含まれるステップは、上述した通常の 2 値書込みシーケンスに含まれているステップと同じである。すなわち、

(a) マッチ・ライン M L を事前充電レベルに保ち、第 1 探索ライン S L 1 と第 2 探索ライン S L 2 をロー・レベルに保つ。

(b) ロー・ロジック・レベル信号「0」を、それぞれ B L 1 と B L 2 の上に配置する。

(c) ワード・ライン W L を V_{pp} まで上げ、アクセス・トランジスタ T 1 と T 2 が完全に導通して、ビット・ライン・データをそれぞれノード N 1 および N 2 上に渡す。

(d) ワード・ライン W L を V_{ss} まで下げ、ノード N 1 と N 2 の上の「0」データを、それぞれキャパシタ C 1 と C 2 に記憶する。

【 0 0 3 9 】

ノード N 1 と N 2 の両方ともロジック・ローまたは「0」なので、プルダウン・トランジスタ T 3 または T 5 のどちらもイネーブルにはならない。その結果、探索と比較のオペレーション中に、プルダウン・トランジスタ T 4 と T 6 のゲートに対して提示されたあらゆる探索データは事実上無視され、マッチ・ライン M L とディスチャージ・ライン D L の間で経路を創出することができず、したがって、ノード N 1 と N 2 の両方の上に記憶されているこのデータ「0」は、C A M セルの「ドントケア」状態、すなわち、セルによって記憶することができる第 3 のタイプの状態を表す。

【 0 0 4 0 】

図 4 は、図 2 のダイナミック C A M セルに対する探索と比較のシーケンスを示し、以下のステップからなる。

(a) 探索と比較の全シーケンス中に、ワード・ライン W L をロー・レベルに保ち、一方、第 1 ビット・ライン B L 1 と第 2 ビット・ライン B L 2 を事前充電レベルに保つこと、または「0」あるいは「1」に駆動すること、または浮動させることが可能である、

(b) マッチ・ライン M L が、 V_{DD} または V_{DD} よりわずかに低い事前充電レベルで開始される。

(c) C A M セルに記憶されているデータと比較される探索データに対応する 2 値信号レベル（ハイおよびロー）を、この場合、S L 1 = 「1」、S L 2 = 「2」である、第 1 探索ライン S L 1 と第 2 探索ライン S L 2 の上に配置する。

(d) 探索データと記憶されているデータの比較の結果を、M L 上の後続信号レベルによって示す。探索データが記憶データと同じである場合、すなわち、整合している場合、第 1 プルダウン回路または第 2 プルダウン回路のいずれも、導通しているトランジスタを有していないので、M L は、事前充電レベルに留まる。探索レベルが記憶データと異なる場合、すなわち整合していない場合、両方のトランジスタとも導通しており、電流が流れ、M L を事前充電レベルより低い信号レベルまで下げることが可能になるので、2 つのプルダウン回路の一方が起動される。この場合、例えば、S L 1 = 「0」、S L 2 = 「1」、および N 1 = 「1」である場合、不整合が存在し、トランジスタ T 3 と T 4 は導通して、それにより、図 4 の点線によって示したように、事前充電から M L を引き離す。

【 0 0 4 1 】

第 1 プルダウン回路と第 2 プルダウン回路は、第 1 探索ライン S L 1 と第 2 探索ライン S L 2 の上で搬送された探索データと、第 1 ノード N 1 と第 2 ノード N 2 において提示された記憶データの比較を実施することに留意されたい。整合させるには、第 1 プルダウン回路と第 2 プルダウン回路のいずれも、導通すべきではない。不整合を生じさせるためには、第 1 プルダウン回路と第 2 プルダウン回路のどちらかが、導通すべきである。図 4 では、実線は、探索データが記憶データと整合する場合に関し、点線は、探索データが記憶

10

20

30

40

50

データ塗布整合する場合に関する。

【0042】

図5は、図2のダイナミックCAMセルに対する読取りシーケンスを示し、以下のステップからなる。

(a) 全読取りシーケンス中、MLを事前充電レベルに保ち、探索ラインSL1とSL2をロー・レベルに保つ。

(b) ビット・ラインBL1とBL2が、中間レベル($V_{DD}/2$)まで事前充電することによって開始される。

(c) ワード・ラインWLを、BL1とC1の間、およびBL2とC2の間で電荷を共有することを可能にするVppレベルまで上げ、したがって、BL1とBL2の電圧レベルが、C1とC2に記憶されているデータを追跡するために、当初の事前充電レベルから逸脱し始める。

(d) 事前充電レベルから逸脱したBL1とBL2の信号レベルの差を感知して、第1および第2ビット・ラインのセンスアンプ(それぞれ図8でSA1およびSA2として示す)によって増幅し、読取りシーケンスの出力を提供する。

(e) 次いで、増幅した読取りシーケンスの出力を使用して、C1とC2を読取りシーケンス直前の状態まで再充電することによって、当初記憶されていたCAMセルにデータを再記憶する。

【0043】

従来技術の回路とは異なり、上述した本発明の実施形態は、オープン・ビット・ライン・アーキテクチャを有すること、すなわち、BL1とBL2は必ずしも「反対の」位相ではなく、実際別々のセンスアンプを有することに留意することが重要である。オープン・ビット・ライン・アーキテクチャは、3値のデータ記憶とアクセスを見込んでいる。

【0044】

本発明の他の実施形態では、ビット・ラインは、図8に示したように、オープン・ビット・ライン構成に配置されており、それにより、BL1の右側BL1_RとBL2の右側BL2_Rは、それぞれ、BL1の左側BL1_LとBL2の左側BL2_Lから、比較的離れて配置されている。センスアンプの各側面上のビット・ラインは、感知中に均衡したロードを提供するように、等しい長さである。この構造により、図1に関連して上述したCAMセル内における3値のデータ記憶機能が可能になる。

【0045】

図6Aと6Bは、図2のダイナミックCAMセルに関する一実施形態の集積回路を製作するためのマスク・レイアウトと断面図を示す。ここでは、図2に示したトランジスタ装置T1~T7の各々は、ドレイン端子、ソース端子、ゲート端子、およびドレイン端的とソース端子の間のチャンネルを有する絶縁ゲート電界効果トランジスタ(FET)であり、記憶装置C1とC2の各々は、DRAM産業において知られているように、誘電体によって分離されている2つのポリシリコン層P3とP4から作成されている。図6Aと6Bに示した集積回路のレイアウトは、

(a) ドレイン端子とソース端子、および各FET T1~T7のチャンネルを形成するための、高度にドーパされた半導体活性(ACI)領域、

(b) 各FETのゲート端子を形成するための第1ポリシリコン層(p1)、

(c) 第1ビット・ラインBL1と第2ビット・ラインBL2および局所的な相互接続を形成するための第2ポリシリコン層(P2)、

(d) セル・キャパシタC1とC2の底部プレートを形成するための第3ポリシリコン層(P3)、

(e) セル・キャパシタC1とC2の上部プレートを形成するための第4ポリシリコン層(P4)、

(f) さらに局所的な相互接続と、ならびに、以下で記述するように、活性領域へのコンタクトを提供するための導電金属層(M1)からなる。

【0046】

図 6 A と 6 B を参照すると、本発明の一実施形態によるセル構造が、スタック化キャパシタ D R A M 製作プロセスのコンテキストで記述されている。図 6 A の要素は、図 2 に示した C A M セル全体の半分のみ、具体的にはトランジスタ T 1、T 3、および T 4 と第 1 キャパシタ C 1 を含む、図 2 の左半分に対応する。図 6 A の左半分は、トランジスタ T 1 とキャパシタ C 1 からなる C A M セルの記憶部分である。図 6 A の右半分は、トランジスタ T 3 と T 4 からなる C A M セルの探索部分である。T 1 のソース/ドレイン端子の一方は、第 2 ポリシリコン層 (P 2) の第 1 ビット・ラインに接続されている。「 1 / 2 セル・アウトライン」という名称の破線によって示したように、B L 1 コンタクトは、実際には、T 1 と図 6 A に示した構造の左側に隣接するセルとの間で共有されている。第 1 ポリシリコン層 (P 1) は、T 1 のゲートを形成する。T 1 の他のソース/ドレイン端子 (N 1) は、P 3 コンタクトを経てキャパシタ C 1 に接続され、かつ、局所的な内部接続 P 2 セグメントに接続されている。第 1 キャパシタ C 1 は、図 6 A に示した P 3 と P 4 の構造によって、トランジスタ T 1 の上部に形成されている (セクション A - A ' を通る断面図について図 6 B も参照)。図 6 B では、P 4 と P 3 は、明示していないが、当業者にはよく知られている、誘電体材料によって分離されている。次いで、第 1 セル・ノード N 1 は、第 1 金属層 (M 1) の金属接続によって、局所的な内部接続 P C から T 3 のゲートに接続されている。この M 1 コンタクトは、図 6 B に示すように、P 4 層のエリアの外部に配置されていなければならないが、P 3 を直接 P 1 に接続する、または P 1 を直接 P 2 に接続するために必要な追加のプロセスのステップ (これは、以下で図 7 A と 7 B に関して詳細に記述する好ましい実施形態である) が、利用可能でない場合、適切な接続の解決法を表している。トランジスタ T 3 は、活性領域 (A C T) と P 1 ゲートによって形成され、トランジスタ T 4 は、活性領域と他の隣接セルとも共有される第 1 探索ライン S L 2 へのコンタクトを有する他の P 1 ゲートとによって形成される。ディスチャージ・ライン D L とマッチ・ライン M L への T 3 と T 4 の M 1 コンタクトは、B L 1 コンタクトに関して記述したように、隣接セルと共有されている。

10

20

30

40

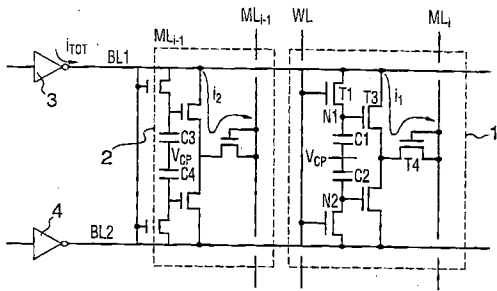
【 0 0 4 7 】

図 7 A と 7 B に示した本発明の好ましい実施形態によれば、セル構造は、図 6 A に示したセルと比較して、かなり低減されている。図 6 A の構造に対する改良は、本質的に、マッチ・ライン M L とディスチャージ・ライン D L の位置を交換し、次いで、P 2 のノード N 1 から P 1 の T 3 のゲートまで、直接コンタクトを作成することからなる。その結果、図 6 A に示した以前の実施形態の M 1 コンタクトは必要でなくなり、したがって、N 1 から T 3 のゲートへの接続を P 3 ~ P 4 キャパシタの下に配置することができ、セルをさらにより密に詰めることが可能になる。これは、2 つのポリシリコン層を接続する追加のプロセス・ステップを必要とする。この追加のプロセス・ステップが利用可能である場合、この好ましい実施形態を使用して、より密なアレイを達成すべきである。ビット・ラインの長さが低減されているので、ビット・ライン・キャパシタンスに対する D R A M セルは低減され、それに応じて、オペレーションの速度は増大する。P 3 から P 1 への直接コンタクトが利用可能である場合、T 3 への N 1 のコンタクトを P 3 ~ P 4 キャパシタの下に配置することができる。そのような追加のプロセス・ステップが利用可能でない場合、図 6 A と 6 B の実施形態を使用すべきである。

【 0 0 4 8 】

図 2 の回路設計は、本発明の好ましい実施形態であり、単に例示のために提示されている。

【図 1】

FIG. 1
PRIOR ART

【図 2】

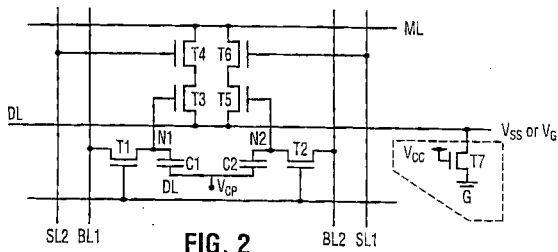


FIG. 2

【図 3】

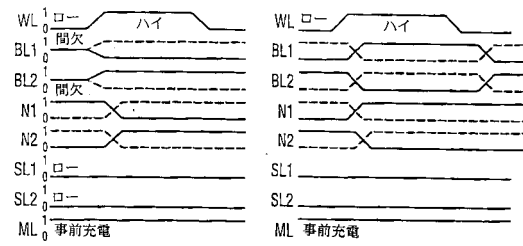


FIG. 3A

FIG. 3B

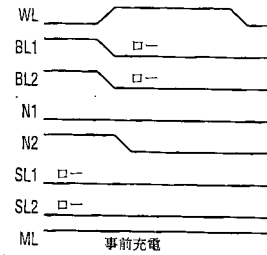


FIG. 3C

【図 4】

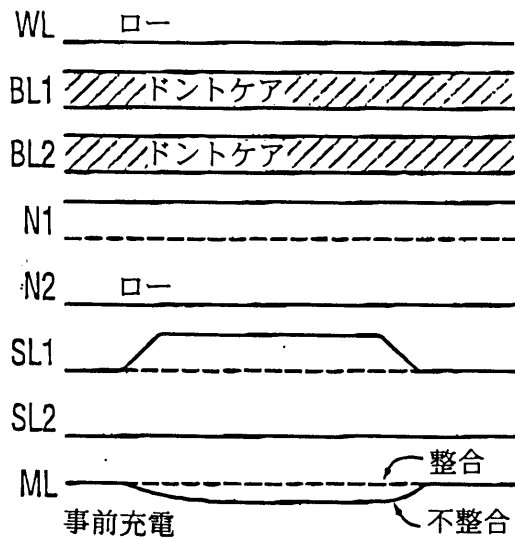


FIG. 4

【図 5】

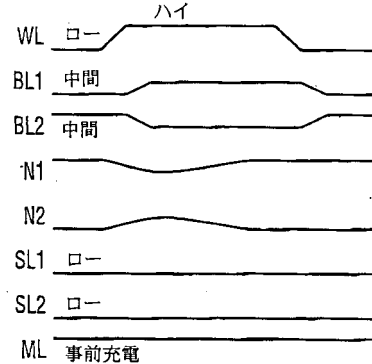


FIG. 5

【図 6】

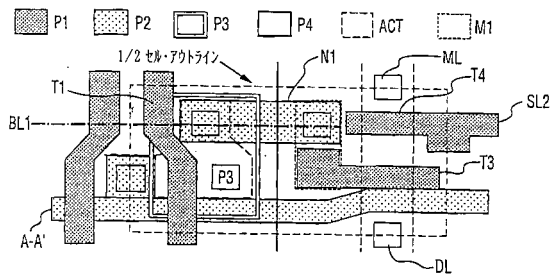


FIG. 6B

【図 7】

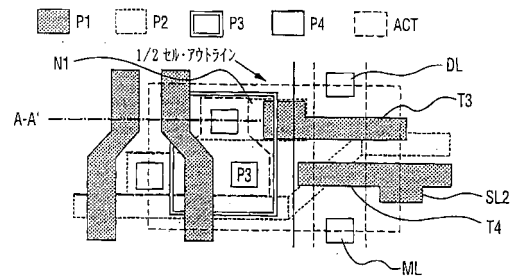


FIG. 7A

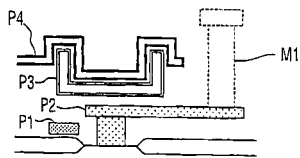


FIG. 6A

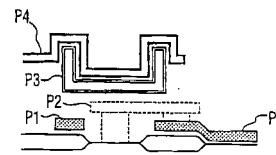


FIG. 7B

【図 8】

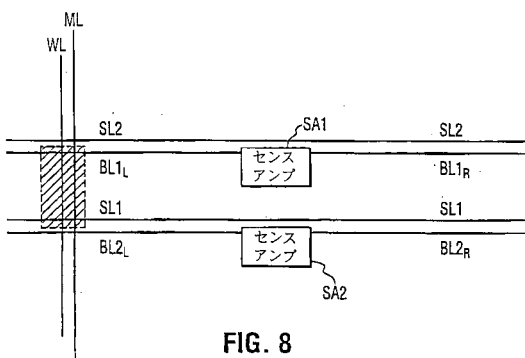


FIG. 8

フロントページの続き

(72)発明者 ジリンガム, ピーター

カナダ国 ケイ2ケイ2ケイ9 オンタリオ カナタ スレイドクレッセント 43

(72)発明者 アーメド, アブドゥラーフ

カナダ国 エム1ビー5エヌ9 オンタリオ スカーバラ マクレヴィンアベニュー 609-480

(72)発明者 ウォジシキキー, トーマツ

カナダ国 ケイ2ケイ2ピー1 オンタリオ カナタ クヌドソンドライブ 323

Fターム(参考) 5F083 AD24 AD48 AD49 AD69 GA01 GA05 GA09 LA01 LA11 LA13

LA16 MA06 MA16 MA17 MA20 ZA21