【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第２区分
【発行日】平成22年9月2日(2010.9.2)

【公開番号】特開2008-181081(P2008-181081A)
【公開日】平成20年8月7日(2008.8.7)
【年通号数】公開・登録公報2008-031
【出願番号】特願2007-295499(P2007-295499)
【国際特許分類】
Ｇ０９Ｇ　3/36　(2006.01)
Ｇ０９Ｇ　3/20　(2006.01)
Ｇ０２Ｆ　1/133　(2006.01)
【ＦＩ】
Ｇ０９Ｇ　3/36
Ｇ０９Ｇ　3/20　６１２Ｆ
Ｇ０９Ｇ　3/20　６２３Ｆ
Ｇ０９Ｇ　3/20　６１２Ｕ
Ｇ０９Ｇ　3/20　６２３Ｋ
Ｇ０９Ｇ　3/20　６２１Ｍ
Ｇ０２Ｆ　1/133　５０５
Ｇ０２Ｆ　1/133　５５０
Ｇ０２Ｆ　1/133　５７５
Ｇ０２Ｆ　1/133　５２０

【手続補正書】
【提出日】平成22年7月21日(2010.7.21)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】請求項９
【補正方法】変更
【補正の内容】
【請求項９】
請求項２の画像表示装置の駆動装置であって、
それぞれ、上記演算部、基準電圧発生部、基準電圧選択部、および保持部を有し、表示ラインが複数に分割された各部分ラインの画素について駆動電圧信号を出力する複数の単位駆動装置を備えて構成されたことを特徴とする画像表示装置の駆動装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【００１４】
データバッファ１０３は、ラインクロック信号に応じて、データバッファ１０２に保持された複数画素分の画像データを一括して保持するようになっている。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１６
【補正方法】変更
【補正の内容】
【００１６】

データ演算回路１０５は、加算回路１１１と、保持回路１１２（例えばフリップフロップ）とを備え、図２に示すように、６ビット（ｂ５～ｂ０）の入力画像データに、保持回路１１２に保持されている２ビット（ｂ１～ｂ０）のデータ（繰り越しデータ）を加算し、加算結果の上位４ビット（ｂ５～ｂ２）を出力するとともに、下位２ビット（ｂ１～ｂ０）を次の繰り越しデータとして保持回路１１２に保持させるようになっている。すなわち、６ビットの入力画像データに対して、４ビットの画像データが出力され、下位２ビットは順次次の画素の画像データに繰り越されて加算されるようになっている。ただし、同図に＊印で示すように、加算時に最上位ビット（ｂ５）からのキャリー（オーバフロー）が生じる場合には、加算回路１１１から出力される加算結果の上位４ビット（ｂ５～ｂ２）の値は全て１にされるとともに、下位２ビットとしては元の繰り越しデータの値がそのまま次の繰り越しデータとされるようになっている（保持回路１１２で新たな下位２ビットの保持が抑制されて元の値が保持されるようにしてもよい。）。なお、図１において加算結果の上位４ビットも一旦保持回路１１２に保持されるようになっているのは、例えば出力タイミングを調整するためで、タイミングが問題とならない場合には、必ずしも保持させなくてもよい。

【手続補正４】
【補正対象書類名】図面
【補正対象項目名】図２４
【補正方法】変更
【補正の内容】

【図２４】

入力画像データ		保持回路データ(繰越データ)	通常の加算結果			デコーダ出力	実際の加算回路出力 (＊印を調整)		駆動電圧
(10進)	(2進 b5-b0)	b1-b0	キャリー	b5-b2	b1-b0		出力画像データ b5-b2	次の繰越データ b1-b0	
0	000000	00		0000	00	1	—	＊00	V1
		01		0000	01			＊01	
		10		0000	10			＊10	
		11		0000	11			＊11	
1	000001	00		0000	01	0	0000	01	V1
		01		0000	10			10	
		10		0000	11			11	
		11		0001	00		0001	00	V4
2	000010	00		0000	10	0	0000	10	V1
		01		0000	11			11	
		10		0001	00		0001	00	V4
		11		0001	01			01	
3	000011	00		0000	11	0	0000	11	V1
		01		0001	00		0001	00	V4
		10		0001	01			01	
		11		0001	10			10	
4	000100	00		0001	00	0	0001	00	V4
		01		0001	01			01	
		10		0001	10			10	
		11		0001	11			11	
5	000101	00		0001	01	0	0001	01	V4
		01		0001	10			10	
		10		0001	11			11	
		11		0010	00		0010	00	V8
・ ・ ・									
57	111001	00		1110	01	0	1110	01	V56
		01		1110	10			10	
		10		1110	11			11	
		11		1111	00		1111	00	V60
58	111010	00		1110	10	0	1110	10	V56
		01		1110	11			11	
		10		1111	00		1111	00	V60
		11		1111	01			01	
59	111011	00		1110	11	0	1110	11	V56
		01		1111	00		1111	00	V60
		10		1111	01			01	
		11		1111	10			10	
60	111100	00		1111	00	0	1111	00	V60
		01		1111	01			01	
		10		1111	10			10	
		11		1111	11			11	
61	111101	00		1111	01	1	—	＊00	V61
		01		1111	10			＊01	
		10		1111	11			＊10	
		11	1	0000	00			＊11	
62	111110	00		1111	10	1	—	＊00	V62
		01		1111	11			＊01	
		10	1	0000	00			＊10	
		11	1	0000	01			＊11	
63	111111	00		1111	11	1	—	＊00	V63
		01	1	0000	00			＊01	
		10	1	0000	01			＊10	
		11	1	0000	10			＊11	

＊元の繰り越しデータを維持