(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/04

(45) 공고일자 1999년03월20일
(11) 등록번호 특0179680
(24) 등록일자 1998년11월28일

(21) 출원번호 특1994-027634
(22) 출원일자 1994년10월27일
(65) 공개번호 특1995-012710
(43) 공개일자 1995년05월16일
(30) 우선권주장 93-272478 1993년10월29일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 엔도 고이치
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내
(74) 대리인 이세진, 김윤배

*심사관 : 이호기*

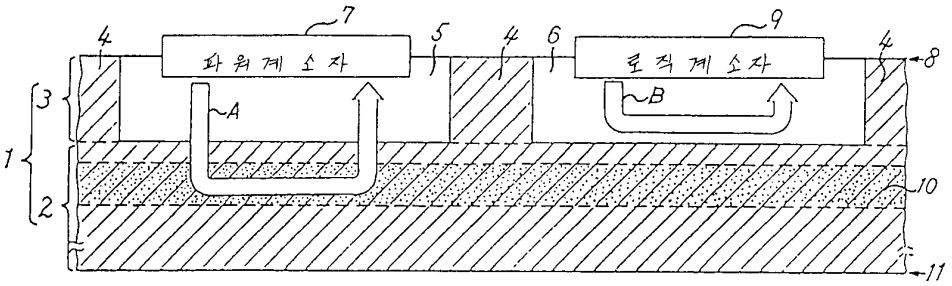
# (54) 반도체 집적회로장치

*요약*

본 발명은 어느 소자에 있어서 스위칭 속도의 고속화의 요구와 다른 소자에 있어서 전류용량의 확보의 요구를 동시에 만족할 수 있는 반도체 집적회로장치를 제공하도록 하는 것이다.

반도체기체(1)중에 전류경로(A)를 기판(1)내의 P형 실리콘기판(2)에 설정한 파워계 소자(7)와 전류경로(B)를 기판(1)내의 N형 에피텍셜층(3)에 설정한 로직계 소자(9)를 설치한다. 그리고, 실리콘기판(2)에 생성 재결합 중심층(10)을 설치한 것을 주요한 특징으로 하고 있다. 이 구성이라면 파워계 소자(7)에서는 그 전류경로(A)가 생성 재결합 중심층(10)을 매개로 하기 때문에 스위칭속도 고속화의 요구를 만족할 수 있다. 한편 로직계 소자(9)에서는 그 전류경로(B)가 생성 재결합 중심층(10)을 매개로 하는 것이 아니기 때문에 전류용량 확보의 요구를 만족할 수 있다.

*대표도*




*명세서*

[발명의 명칭]

반도체 집적회로장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 반도체 집적회로장치를 개략적으로 나타낸 단면도.

제2도는 제1도에 나타낸 파워계 소자에 적합한 소자를 나타낸 도면으로,

(a)도는 2중확산형 MOSFET의 단면도이고,

(b)도는 횡형 IGBT의 단면도이며,

(c)도는 다이오드의 단면도.

제3도는 제1도에 나타낸 로직계 소자에 적합한 소자를 나타낸 도면으로,

(a)도는 종형 NPN바이폴라 트랜지스터의 단면도이고,

(b)도는 횡형 PNP 바이폴라 트랜지스터의 단면도이며,

(c)도는 P채널형 MOSFET의 단면도.

(d)도는 N채널형 MOSFET의 단면도.

제4도는 제1도에 나타낸 반도체 집적회로장치를 보다 구체화환 예의 단면도.

제5도는 본 발명의 제2실시예에 따른 반도체 집적회로장치를 개략적으로 나타낸 단면도.

제6도는 제5도에 나타낸 반도체 집적회로장치를 보다 구체화한 예의 단면도.

제7도는 제5도에 나타낸 반도체 집적회로장치를 보다 구체화한 다른 예를 나타낸 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

1 : 반도체기판 2 : P형 실리콘기판

3 : N형 에피텍셜 실리콘층 4 : P형 실리콘영역

5 : N형 섬형상영역 6 : N형 섬형상영역

7 : 파워계 소자 8 : 주표면

9 : 로직계 소자 10 : 생성 재결합 중심층

11 : 이면(裏面)

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 집적회로장치에 관한 것으로, 특히 스위칭속도가 다른 소자 끼리를 1개의 칩에 집적한 반도체 집적회로장치에 관한 것이다.

[종래의 기술 및 그 문제점]

종래 파워MOS나 IGBT 등의 대전력용의 개별 반도체장치에 있어서는 캐리어 수명을 제어함으로써 스위칭속도를 높이는 조작이 행해지고 있다. 이 조작은 일반적으로 수명제어로 불리어지는 기술이다. 그 자세한 것은 중금속을 기판중에 확산시키는 것으로 생성 재결합 중심을 기판중에 여러개 만들어 과잉인 소수캐리어의 소멸속도를 빠르게하는 것으로 스위칭속도를 높인다는 것이다.

이 방법에서는 생성 재결합 중심이 기판내에서 거의 같은 모양으로 발생하며, 또한 1개의 칩중에 형성된 전체 소자에 있어서 그 캐리어 수명이 동시에 짧아진다.

그러나, 상기 수명(lifetime)제어기술에는 스위칭 속도가 올라간다는 이점이 있지만 그 반면 전류용량이 저하한다는 문제가 있다. 즉, 생성 재결합 중심이 형성됨으로써 다수 캐리어의 소멸속도도 빨라지기 때문이다.

이와 같이 스위칭속도의 고속화와 전류용량의 확보 또는 향상과는 트레이드오프(trade off)의 관계이며, 이들을 동시에 만족시키는 것은 현재는 대단히 곤란하다.

최근, 반도체 집적회로장치의 분야에 있어서는 대전력용의 소자와 그 소자를 구동 혹은 제어하는 회로를 구성하는 소자를 1칩에 집적하도록 하는 움직임이 있다. 일반적으로 IPD(Intelligent Power Device)라 불리는 집적회로장치이다.

이 종류의 장치에서는 1칩상에 스위칭속도를 고속화시키고 싶은 소자, 즉 파워계 소자가 있는 반면에 전류용량을 확보 또는 향상시키고 싶은 소자, 즉 로직계 소자도 있다.

그러나, 이와 같은 반도체 집적회로장치에 있어서 어느 소자에 있어서의 스위칭속도의 고속화의 용구와 다른 소자에 있어서의 전류용량의 확보의 요구를 동시에 만족시킬 수 있는 기술은 현재까지 보고되어 있지 않다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 어느 소자에 있어서의 스위칭속도의 고속화의 요구와 다른 소자에 있어서 전류용량의 확보의 요구를 동시에 만족시킬 수 있는 반도체 집적회로장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위해, 본 발명에 따른 반도체 집적회로장치에서는 반도체기체중에 전류경로를 기판

중의 깊은 영역에 설정한 제1소자와, 전류경로를 기판중의 얕은 영역에 설정한 제2소자를 설치하고, 상기 깊은영역에 생성 재결합 중심층을 설치한 것을 특징으로 하고 있다.

[작용]

상기와 같이 구성된 본 발명은 깊은 영역에 전류경로를 갖춘 제1소자와, 얕은 영역에 전류경로를 갖춘 제2소자를 동일 기판중에 설치하면서 깊은 영역에 생성 재결합 중심층을 설치하는 것으로 제1소자에서는 스위칭속도의 고속화의 요구를 만족시킬 수 있다. 한편, 제2소자는 얕은 영역에 전류경로를 갖추기 때문에 그 전류는 생성 재결합 중심층을 매개로 하는 일이 없다. 따라서, 전류용량 확보의 요구를 만족시킬 수 있다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다. 본 설명에 있어서 전체 도면에 걸쳐 공통의 부분에는 공통의 참조부호를 붙이는 것으로 중복되는 설명을 피하는 것으로 한다.

제1도는 본 발명의 제1실시예에 따른 반도체 집적회로장치의 단면도이다. 제1도에는 본 발명을 구체화하는 장치로서 IPD가 나타나 있다.

IPD는 종래 개별반도체장치에 의해 생산되어온 파워 MOS나 IGBT, 또는 다이오드 등의 소자(본 명세서에서는 이들 소자를 파워계 소자로 칭함)와, 이 소자를 구동 혹은 제어하는 회로를 구성하기 위한 MOSFET 또는 바이폴라 트랜지스터 등의 소자(본 명세서에서는 이들 소자를 로직계 소자로 칭함)를 1개의 칩내에 조합한 것이며 반도체 집적회로장치의 일종이다.

IPD에서는 소비전력의 관점에서 파워계 소자에 스위칭속도의 고속화가 요구됨과 동시에 구동회로 또는 제어회로 등을 구성한다는 관점에서 로직계 소자에 충분한 구동능력 또는 충분한 전류용량의 확보가 요구된다.

이하, 제1도에 나타낸 구성에 대해 설명한다.

제1도에 나타낸 바와 같이 반도체기체(1)는 P형 실리콘기판(2)과 이 기판(2)상에 형성된 N형 에피택셜 실리콘층(3), N형 에피택셜 실리콘층 (3)의 주표면(8)으로부터 기판(2)에 도달할 때까지 형성되고, N형 에피택셜 실리콘층을 N형 섬형상역역(5) 및 N형 섬형상영역(6)으로 분리하는 P형 실리콘영역(4)을 포함하고 있다.

N형 섬형상영역(5)중에는 상기 파워계 소자(7)가 형성되어 있다. 파워계 소자(7)의 전류경로(A)는 N형 섬형상영역(5)으로부터 기판(2)내에 미치도록 설정되고 그 전류경로(A)는 상기 주표면(8)으로부터 보아 기체(1)의 깊은 영역에 도달한다.

또한, N형 섬형상영역(6)중에는 상기 로직계 소자(9)가 형성되어 있다. 로직계 소자(9)의 전류경로(B)는 N형 섬형상영역(6)내에만 설정되며, 그 전류경로(B)는 상기 주표면(8)으로부터 보아 기체(1)의 얕은 영역에 머무른다.

또한 기판(2)중에는 상기 파워계 소자(7)가 그 전류경로로 하는 기체(1)의 얕은 영역에 대응해서 생성 재결합 중심층(10)이 설치되어 있다. 생성 재결합 중심층(10)은 기체(1)중 상기 깊은 영역에만 형성되도록 기판(2)중에 층형상으로 설치된다. 이와 같은 층 형상의 생성 재결합 중심층(10)을 형성하기 위해서는 중금속 확산법이나 전자선 조사법은 사용하지 않는다. 이들 방법은 기체(1)의 전체에 생성 재결합 중심층을 만들고 말기 때문이다.

여기서 비교적 무거운 입자(예컨대, 양자나 헬륨원자핵 등)를 조사하는 방법을 이용한다. 이 방법이라면 무거운 입자를 그 주입에너지에 따라 기체(1)에 있어서 원하는 깊이의 위치에 정지시킬 수 있다. 이 정지된 영역의 주변에는 결정결함이 발생하고 이 결함이 생성 재결합 중심이 된다. 이 종류의 결합은 기체(1)중(도면에서는 기체(2)중)에 층형상으로 발생되기 때문에 제1도에 나타낸 바와 같은 층형상의 생성 재결합 중심층(10)을 형성할 수 있다.

또한, 무거운 입자를 조사하는 방법으로는 그 입자의 통과영역에 비교적 결정결함이 발생하지 않은 것을 알 수 있다. 따라서, 무거운 입자를 상기 주표면(8)측으로부터 기체(1)중에 조사해도 관계없다. 그러나, 로직IC도 형성되어 있는 관점으로부터 이 로직IC에 대한 영향을 고려해서 이면(裏面;11)측으로부터 기체(1)중에 무거운 입자를 조사하는 것이 바람직하다.

다음에 본 발명에 바람직한 구조를 갖춘 파워계 소자 및 로직계 소자의 예에 대해 설명한다.

제2도는 파워계 소자를 나타낸 도면으로 (a)도는 횡형 2중확산 MOSFET(파워MOS)의 단면도이고, (b)도는 횡형 절연게이트 바이폴라 트랜지스터(측면 (lateral)IGBT)의 단면도이며, (c)도는 다이오드의 단면도이다.

또한, 제3도는 로직계 소자를 나타낸 도면으로, (a)도는 종형 NPN바이폴라 트랜지스터의 단면도이고, (b)도는 횡형 PNP바이폴라 트랜지스터의 단면도, (c)도는 P채널형 MOSFET의 단면도, (d)도는 N채널형 바이폴라 트랜지스터의 단면도이다.

먼저, 파워계 소자, 즉 파워MOS부터 설명한다.

제2도(a)에 나타낸 바와 같이 N형 에피택셜 실리콘층(3)내에는 P형 실리콘기판(2)에 도달한다. 고농도의 깊은 $P^+$형 확산층(21)과 이 $P^+$형 확산층(21)에 접하는 $P^+$형 확산층(22)이 형성되어 있다. $P^+$형 확산층(22)내에는 파워MOS의 소스로서 기능하는 고농도의 $N^+$형 확산층(23)이 형성되어 있다. $N^+$형 확산층(23)과 N형 에피택셜 실리콘층(3)과의 사이에 존재하는 $P^+$형 확산층(22)상에는 게이트절연막을 매개로 게이트전극($G_P$)형성되어 있다.

더욱이, N형 에피텍셜 실리콘층(3)중에는 이들 확산층(21,22) 및 확산층(23)과 이간(離間)되어 P형 실리콘기판(2)에 도달된다. 고농도의 깊이 $N^+$형 확산층(25)이 형성되고 있다. $N^+$형 확산층(25)중에는 다시 고농도의 $N^+$형 콘택트 확산층(26)이 형성되어 있다.

N형 에피택셜 실리콘층(3)의 표면상에는 실리콘산화막($SiO_2$) 등의 절연막(27)이 형성되어 있다. 이 절연막(27)내에는 확산층(21,22,23)으로 통하는 제1콘택트구멍이 형성되어 있다. 소스($S_P$) 전극배선(28)은 제1콘택트구멍을 매개로 확산층(21,22,23)에 전기적으로 접속되어 있다.

더욱이, 절연막(27)중에는 콘택트 확산층(26)으로 통하는 제2콘택트구멍이 형성되어 있다. 드레인($D_P$) 전극배선(29)은 제2콘택트구멍을 매개로 콘택트확산층(26)에 전기적으로 접속되어 있다.

다음에 상기 구성의 파워MOS의 동작상태에 대해 설명한다.

먼저, 온상태에서는 드레인($D_P$)이 고전위로, 소스($S_P$)가 저전위로 되어 있다. 더욱이, 게이트전극($G_P$)은 고전위로 되어 있고 그 아래의 $P^+$형 확산층(22)내에는 채널이 형성되어 있다. 따라서 이 채널을 매개로 소스($S_P$)로부터 드레인($D_P$)으로 전자(e)가 흐른다.

더욱이, 상기 온상태로부터 오프상태로의 절환된 직후에 있어서는 소스($S_P$)에 애노드를 접속하고, 드레인($D_P$)에 캐소드들 접속한 다이오드가 온 된다. 즉, $P^+$형 확산층(21) ~ P형 실리콘기판(2) ~ $N^+$형 확산층(25,26)의 경로로 전류가 흐른다. 이 다이오드는 리커버리 다이오드(FRD)라고 불리며 오프된 직후에 있어서 소스($S_P$)에 축적되어 있는 캐리어를 방출시키는 것이다. 파워MOS에서는 이 FRD에 기생다이오드 구조가 이용되고 있다. 즉, P형 실리콘기판(2) 및 $P^+$형 확산층(21,22)을 애노드로 하고 $N^+$형 확산층(25)을 캐소드로 하는 기생다이오드 구조이다.

제2도(a)에 나타낸 기생형 FRD에서는 홀(h)이 다수캐리어로 되어 있다. 그러나, P형 실리콘기판(2)중에는 $N^+$형 확산층(25) 등으로부터 소수캐리어인전자(e)가 주입된다. 소수캐리어(전자(e))는 FRD의 동작속도를 느리게한다.

그러나, 기생형 FRD의 전류경로인 P형 실리콘기판(2)중에는 생성 재결합 중심층(10)이 형성되어 있기 때문에 소수캐리어(전자(e))의 소멸속도가 빨라진다. 따라서, 기생형 FRD의 동작속도는 고속화된다. 이 기생형 FRD의 동작 속도가 올라감으로써 파워MOS는 온상태에서 오프상태로, 순간적으로 절환할 수 있고, 그 스위칭속도가 고속화된다. 이때 제1도에 나타낸 바와 같이 동일한 기체(1)상에 형성되어 있는 로직계 소자(9)에서는 그 전류경로가 생성 재결합 중심층(10)을 매개하지 않기 때문에 그 전류용량이 저하하는 일이 없다.

다음에 측면 LGBT에 대해 설명한다.

제2도(b)에 나타낸 바와 같이 N형 에피택셜 실리콘층(3)내에는 P형 실리콘기판(2)에 도달하는 고농도의 깊은 $P^+$형 확산층(31)과 이 $P^+$형 확산층(31)에 접하는 $P^+$형 확산층(32)이 형성되어 있다. $P^+$형 확산층(32)중에는 측면 IGBT의 소스로서 기능하는 고농도 $N^+$형 확산층(33)이 형성되어 있다. $N^+$형 확산층(33)과 N형 에피택셜 실리콘층(3)과의 사이에 존재하는 $P^+$형 확산층(32)상에는 게이트절연막을 매개로 게이트전극($G_1$)이 형성되어 있다.

더욱이, N형 에피택셜 실리콘층(3)내에는 이들 확산층(31,32,33)과 이간되어 P형 실리콘기판(2)에 도달하는 고농도의 깊은 $N^+$형 확산층(35)이 형성되어 있다. $N^+$형 확산층(35)중에는 측면 IGBT의 콜렉터로서 기능하는 고농도의 $N^+$형 확산층(36)이 형성되어 있다.

N형 에피택셜 실리콘층(3)의 표면상에는 실리콘산화막($SiO_2$) 등의 절연막(27)이 형성되어 있다. 이 절연막(27)중에는 확산층(31,32,33)으로 통하는 제1콘택트구멍이 형성되어 있다. 에미터($E_1$) 전극배선(38)은 제1콘택트구멍을 매개로 확산층(31,32,33)에 전기적으로 접속되어 있다.

더욱이, 절연막(27)중에는 $N^+$형 확산층(36)으로 통하는 제2콘택트구멍이 형성되어 있다. 콜렉터($C_1$)전극배선(39)은 제2콘택트구멍을 매개로 $N^+$형 확산층(36)에 전기적으로 접속되어 있다.

다음에 상기 구성의 측면 IGBT의 동작상태에 대해 설명한다.

콜렉터($C_1$)가 고전위 및 에미터($E_1$)가 저전위로 된 상태에서 게이트($G_1$)에 고전위를 인가한다. 이와 같이 하면 게이트($G_1$) 아래의 $P^+$형 확산층(32)내에 채널이 형성되며, 이 채널을 매개로 특히 $P^+$형 확산층(35)을 향해 전자(e)가 흐른다. 이 전자()의 흐름은 P형 베이스로의 전자주입현상을 유발한다. 이 때문에 $N^+$형 확산층(36)을 콜렉터로 하고 N형 실리콘기판(2)을 에미터로 한 수직형 NPN바이폴라 트랜지스터가 온 된다. 이에 의해 N형 실리콘기판(2)내에 대한 홀(h)의 주입이 개시되며 IGBT가 온 된다. 즉, $P^+$형 확산층(36) ~ $N^+$형 확산층(35) ~ P형 실리콘기판(2) ~ $P^+$형 확산층(31)의 경로로 전류가 흐른다.

제2도(b)에 나타낸 IGBT에서 홀(h)이 다수캐리어로 되어 있다. 그리고 상기 기생형 FRD와 마찬가지로 $N^+$형 확산층(35)등으로부터 P형 실리콘기판(2)안으로 소수캐리어인 전자(e)의 주입이 발생한다. 소수캐리어(전자(e))는 IGBT의 동작속도를 느리게 한다.

그러나, 이 IGBT에 있어서도 P형 실리콘기판(2)내에 생성 재결합 중심층(10)을 설치함으로써 소수캐리어(전자(e))의 소멸속도가 빨라지기 때문에 IGBT 의 동작속도는 고속화된다. 이때, 파워MOS일 때와 마찬가지로 동일한 기체(1)상에 형성되어 있는 로직계소자(9)에서는 그 전류용량이 저하하는 일은 없다.

다음에 다이오드에 대해 설명한다.

제2도(c)에 나타낸 바와 같이 N형 에피택셜 실리콘층(3)중에는 P형 실리콘기판(2)에 도달하는 고농도의 깊은 $P^+$형 확산층(41)이 형성되어 있다 .

더욱이, N형 에피택셜 실리콘층(3)중에는 확산층(41)과 이간되어 P형 실리콘기판(2)에 도달하는 고농도의 깊은 $N^+$형 확산층(45)이 형성되어 있다.

N형 에피택셜 실리콘층(3)의 표면상에는 실리콘 산화막($SiO_2$) 등의 절연막(27)이 형성되어 있다. 이 절연막(27)중에는 확산층(41)으로 통하는 제1콘택트구멍이 형성되어 있다. 애노드($A_D$) 전극배선(48)은 제1콘택트구멍을 매개로 확산층(41)에 전기적으로 접속되어 있다. 더욱이, 절연막(27)중에는 $N^+$형 확산층(45)으로 통하는 제2콘택트구멍이 형성되어 있다. 캐소드($K_D$) 전극배선(49)은 제2콘택트구멍을 매개로 $N^+$형 확산층(45)에 전기적으로 접속되어 있다.

다음에 상기 구성의 다이오드의 동작에 대해 설명한다.

애노드($A_D$)가 고전위이고 캐소드($K_D$)가 저전위로 될 때, P형 에피택셜 실리콘층(2)및 $P^+$형 확산층(41)과, 특히 $N^+$형 확산층(45)이 순방향으로 바이어스 되어 $P^+$형 확산층(41) ~ P형 실리콘기판(2) ~ $N^+$형 확산층(45)의 경로로 전류가 흐른다.

제2도(c)에 나타낸 바와 같이 다이오드에서는 홀(h)이 다수캐리어로 되어 있다. 그리고 상기 기생형 FRD와 마찬가지로 $N^+$형 확산층(45)등으로부터 P형 실리콘기판(2)내로 소수캐리어인 전자(e)의 주입이 발생된다. 소수캐리어(전자e)는 다이오드의 동작속도를 느리게 한다.

그러나, 이 다이오드에 있어서도 P형 실리콘기판(2)내에 생성 재결합 중심층(10)을 설치하는 것으로 소수캐리어(전자(e))의 소멸속도가 빨라지기 때문에 그 동작속도는 고속화된다. 당연한 것이지만 파워MOS일 때와 마찬가지로 동일한 기체(1)상에 형성되어 있는 로직계 소자(9)에서는 그 전류용량의 저하가 발생하지 않는다.

또한, 제2도(c)에 나타낸 다이오드는 제2도(b)에 나타낸 측면 IGBT와 더불어 동일한 기체(1)상에 설치되고 그 리커버리 다이오드(FRD)로서 이용된다. 측면 IGBT는 파워MOS와 달리 구조적으로 기생형의 FRD를 갖출 수 없기 때문이다.

제2도(c)에 나타낸 다이오드를 FRD로서 이용하는 경우에는 제2도(b)에 나타낸 IGBT의 콜렉터($C_1$)에 캐소드($K_D$)를 내부배선층을 이용해서 접속하고, 에미터($E_1$)에 애노드($A_D$)를 다른 내부배선층을 이용해서 접속하면 좋다. 이와 같이 측면 IGBT에 FRD를 접속하는 것으로 온상태에 있어서 동작속도 뿐만아니라 온상태에서 오프상태로 짧은 시간에 절환할 수 있으며, 그 스위칭속도 고속화 할 수 있다. 또한, 측면 IGBT에 FRD를 접속한 경우에도 동일한 기체(1)상에 형성되어 있는 로직계 소자(9)에서는 그 전류용량의 저하가 발생하지 않는다.

다음에 로직계 소자에 대해 설명한다. 먼저, 종형 NPN 바이폴라 트랜지스터부터 설명한다.

제3도(a)에 나타낸 바와 같이 P형 실리콘기판(2)과 N형 에피택셜 실리콘층(3)과의 계면영역중에는 고농도의 $N^+$형 매립 확산층(51)이 형성되어 있다.

더욱이, N형 에피택셜 실리콘층(3)내에는 바이폴라 트랜지스터의 베이스($B_{VB}$)로서 기능하는 P형 확산층(52)이 형성되어 있다. 이 P형 확산층(52)내에는 바이폴라 트랜지스터의 에미터($E_{VB}$)로서 기능하는 $N^+$형 확산층(53)이 형성되어 있다.

더욱이, N형 에피택셜 실리콘층(3)내에는 확산층(52)과 이간되어 있는 고농도의 깊은 $N^+$형 콘택트 확산층(54)이 형성되어 있다.

N형 에피택셜 실리콘층(3)의 표면상에는 실리콘산화막($SiO_2$) 등의 절연막(27)이 형성되어 있다. 이 절연막(27)중에는 확산층(53)으로 통하는 제1콘택트구멍이 형성되어 있다. 에미터($E_{VB}$) 전극배선(56)은 제1콘택트구멍을 매개로 확산층(53)에 전기적으로 접속되어 있다. 더욱이, 절연막(27)내에는 확산층(52)으로 통하는 제2콘택트구멍이 형성되어 있다. 베이스($B_{VB}$) 전극배선(57)은 제2콘택트구멍을 매개로 확산층(52)에 전기적으로 접속되어 있다. 더욱이, 절연막(27)내에는 확산층(54)으로 통하는 제3콘택트구멍이 형성되어 있다. 콜렉터($C_{VB}$)전극배선(58)은 제3콘택트구멍을 매개로 확산층(54)에 전기적으로 접속되어 있다.

다음에 상기 구성의 종형 바이폴라 트랜지스터의 동작상태에 대해 설명한다. 콜렉터($C_{VB}$)가 고전위 및 에미터($E_{VB}$)가 저전위로 된 상태에서 베이스($B_{VB}$)에 전류를 공급 즉, P형 확산층(52)으로 홀(h)을 공급하고 에미터($E_{VB}$) ~ 베이스($B_{VB}$) 간이 순방향으로 되도록 바이어스한다. 이와 같이 하면 전자(e)가 $N^+$형 확산층(53)에서 P형 확산층(52)으로 흐르며, 다시 $N^+$형 매립확산층(51)으로 흐른다. 따라서, $N^+$형 확산층(54) ~ $N^+$형 매립확산층(51) ~ P형 확산층(52) ~ $N^+$형 확산층(53)의 경로로 전류가 흐른다.

제3도(a)에 나타낸 바이폴라 트랜지스터에서는 전류가 P형 실리콘 기판(2)의 내부를 매개하는 일 없이 N형 에피택셜 실리콘층(3)안으로 흐르므로 생성 재결합 중심층(10)에 의해 그 전류용량이 저하하는 일은 없다 .

다음에 횡형 PNP바이폴라 트랜지스터에 대해 설명한다.

제3도(b)에 나타낸 바와 같이 P형 실리콘기판(2)과 N형 에피택셜 실리콘층(3)과의 계면영역내에는 고농도의 $N^+$형 매립확산층(61)이 형성되어 있다.

더욱이, N형 에피택셜 실리콘층(3)중에는 바이폴라 트랜지스터의 에미터($E_{LB}$)로서 기능하는 P형 확산층(62)이 형성되어 있다. 더욱이, 이 P형 확산층(62)으로부터 이간되면서 그 주위를 둘러싸도록 설치된 P형 확산층(63)이 형성되어 있다. 이 확산층(63)은 바이폴라 트랜지스터의 콜렉터($C_{LD}$) 로서 기능한다. $N^+$형 확산층(53)이 형성되어 있다.

더욱이, N형 에피텍셜 실리콘층(3)내에는 확산층(62, 63)과 이간되고 있는 고농도의 깊은 $N^+$형 콘택트 확산층(64)이 형성되어 있다.

N형 에피텍셜 실리콘층(3)의 표면상에는 실리콘산화막($SiO_2$) 등의 절연막(27)이 형성되어 있다. 이 절연막(27)내에는 확산층(63)으로 통하는 제1콘택트구멍이 형성되어 있다. 콜렉터($C_{LB}$) 전극배선(66)은 제1콘택트구멍을 매개로 확산층(63)에 전기적으로 접속되어 있다. 더욱이, 절연막(62)내에는 확산층(62)으로 통하는 제2콘택트 구멍(예컨대 圓環형상)이 형성되어 있다. 에미터($E_{LB}$) 전극배선(67)은 제2콘택트구멍을 매개로 확산층(62)에 전기적으로 접속되어 있다. 더욱이, 절연막(27)내에는 확산층(64)으로 통하는 제3콘택트구멍이 형성되어 있다. 베이스($B_{LB}$) 전극배선(68)은 제3콘택트구멍을 매개로 확산층(64)에 전기적으로 접속되어 있다.

다음에 상기 구성의 횡형 바이폴라 트랜지스터의 동작상태에 대해 설명한다. 에미터($E_{LB}$)가 고전위이고, 콜렉터($C_{LB}$)가 저전위로 된 상태에서 베이스($B_{LB}$)로부터 전류를 뽑아낸다. 즉, $N^+$형 확산층(64)으로 전자(e)를 공급하고 에미터($E_{LB}$) ~ 베이스($B_{LB}$) 사이가 역방향으로 되도록 바이어스한다. 이와같이 하면, 홀(h)이 $P^+$형 확산층(62)으로부터 N형 에피택셜 실리콘층(3)으로 흐르고 다시 $P^+$형 매립확산층(63)으로 흐른다. 따라서, $P^+$형 확산층(62) ~ N형 에피택셜 실리콘층(3) ~ $P^+$형 확산층(63)의 경로로 전류가 흐른다.

제3도(b)에 나타낸 바이폴라 트랜지스터에 있어서도 제3도(a)에 나타낸 트랜지스터와 마찬가지로 그 전류는 P형 실리콘기판(2)의 내부를 매개하는 일 없이 N형 에피택셜 실리콘층(3)안을 흐른다. 따라서 생성 재결합 중심층(10)에 기인한 전류용량의 저하는 일어나지 않는다.

다음에 P채널형 MOSFET에 대해 설명한다.

제3도(c)에 나타낸 바와 같이 N형 에피택셜 실리콘층(3)내에는 MOSFET의 소스($S_{PM}$)로 기능하는 P형 확산층(71)이 형성되어 있다. 더욱이, MOSFET의 드레인($D_{PM}$)으로 기능하는 P형 확산층(72)이 확산층(71)으로부터 이간되어 형성되어 있다. 확산층(71)과 층(72)과의 사이에 존재하는 N형 에피택셜 실리콘층(3)상에는 게이트절연막을 매개로 게이트전극($G_{PM}$)이 형성되어 있다.

N형 에피택셜 실리콘층(3)의 표면상에는 실리콘산화막($SiO_2$) 등의 절연막(27)이 형성되어 있다. 이 절연막(27)중에는 확산층(71)으로 통하는 제1콘택트구멍이 형성되어 있다. 소스($S_{PM}$) 전극배선(74)은 제1콘택트구멍을 매개로 확산층(71)에 전기적으로 접속되어 있다.

더욱이, 절연막(27)내에는 확산층(72)으로 통하는 제2콘택트구멍이 형성되어 있다. 드레인($D_{PM}$) 전극배선(75)은 제2콘택트구멍을 매개로 확산층(72)에 전기적으로 접속되어 있다.

다음에 상기 구성의 MOSFET의 동작상태에 대해 설명한다.

소스($S_{PM}$)가 고전위이고, 드레인($D_{PM}$)이 저전위로 된 상태에서 게이트($G_{PM}$)에 저전위를 인가한다. 이와 같이 하면 게이트($G_{PM}$) 아래의 N형 에피택셜 실리콘층(3)안에 채널이 형성되고, 이 채널을 매개로 확산층(71)으로부터 확산층(72)을 향해 홀(h)이 흐른다.

이와 같이 바이폴라 트랜지스터와 마찬가지로 전류는 P형 실리콘 기판(2)의 내부를 매개하는 일 없이 흐르므로, 생성 재결합 중심층(10)에 의한 전류용량의 저하는 발생하지 않는다.

다음에 N채널형 MOSFET에 대해 설명한다.

제3도(d)에 나타내 바와 같이, N형 에피택셜 실리콘층(3)내에는 P형 웰 영역(81)이 형성되어 있다. 이 웰 영역(81)내에는 MOSFET의 소스($S_{NM}$)로서 기능하는 N형 확산층(82)이 형성되어 있다. 더욱이, MOSFET의 드레인($D_{NM}$)으로서 기능하는 N형 확산층(83)이 확산층(82)으로부터 이간되어 형성되어 있다. 확산층(82)과 확산층(83)간에 존재하는 P형 웰 영역(81)상에는 게이트절연막을 매개로 게이트전극($G_{NM}$)이 형성되어 있다.

N형 에피택셜 실리콘층(3)의 표면상에는 실리콘산화막($SiO_2$)등의 절연막(27)이 형성되어 있다. 이 절연막(27)내에는 확산층(72)으로 통하는 제1콘택트구멍이 형성되어 있다. 소스($S_{NM}$) 전극배선(85)은 제1콘택트구멍을 매개로 확산층(82)에 전기적으로 접속되어 있다.

더욱이, 절연막(27)내에는 확산층(83)으로 통하는 제2콘택트구멍이 형성되어 있다. 드레인($D_{NM}$) 전극배선(86)은 제2콘택트구멍을 매개로 확산층(83)에 전기적으로 접속되어 있다.

다음에, 상기 구성의 MOSFET의 동작상태에 대해 설명한다.

드레인($D_{NM}$)이 고전위이고, 소스($S_{NM}$)가 저전위로 된 상태에서 게이트($G_{PM}$)에 고전위를 인가한다. 이와 같이 하면 게이트($G_{PM}$) 아래의 P형 웰 영역(81)내에 채널이 형성되고, 이 채널을 매개로 확산층(82)으로부터 확산층(83)을 향해 전자(e)가 흐른다.

이와 같이 바이폴라 트랜지스터와 마찬가지로 전류는 P형 실리콘기판(2)의 내부를 매개하는 일 없이 흐르므로, 생성 재결합 중심층(10)에 의한 전류용량의 저하는 발생하지 않는다.

제4도는 제1도를 보다 구체화한 예를 나타낸 단면도이다.

제4도에 나타낸 단면을 갖춘 장치에서는 파워계 소자로서 다이오드가 사용되며, 로직계 소자로서 종형 NPN 바이폴라 트랜지스터가 이용되고 있다.

또한, 파워계 소자와 로직계 소자를 분리하기 위한 P형 실리콘영역(4)은 기체(1)의 주표면(8) 즉, N형 에피택셜 실리콘층(3)의 표면으로부터 P형 불순물을 확산하는 것으로 얻은 확산층으로 되어 있다.

다음에 본 발명의 제2실시예에 대해 설명한다.

제5도는 본 발명의 제2실시예에 따른 반도체 집적회로장치의 단면도이다.

제1실시예에서는 N형 에피택셜 실리콘층(3)내에 P형 실리콘영역(4)을 P형 실리콘기판(2)에 도달할 때까지 형성하는 것으로 N형 에피택셜 실리콘층(3)만을 PN 접합분리하도록 했다.

이것을 제5도에 나타낸 바와 같이 P형실리콘층(102)과 N형 실리콘층(103)으로 이루어진 적층구조부를 유전체영역(12)에 의해 분리되도록 해도 좋다. P형 실리콘층(102)은 제1도에 나타낸 P형 실리콘기판(2)에 대응하는 영역이다. 따라서, 여기서는 생성 재결합 중심층(10)이 형성되어 있다. 또한, N형 실리콘층(103)은 제1도에 나타낸 N형 에피택셜 실리콘층(3)에 대응하는 영역이다.

이와 같이 파워계 소자와 로직계 소자를 특히, 생성 재결합 중심층(10)이 형성된 P형 실리콘층(102)과 더불어 분리하는 것으로 제1실시예와 비교해서 쌍방을 절연하는 절연기능을 보다 강화할 수 있다.

제6도는 제5도를 보다 구체화한 예를 나타낸 단면도이다.

제6도에 나타낸 단면을 갖춘 장치에서는 완전유전체 분리 기판이 사용되고 있다. 이러한 종류의 기판은 EPIC방식이라고도 말해지고 있다(EPIC:Epitaxial Passivated Integrated Circuit. 미합중국 모토롤라사 등록상표).

즉, 앞 뾰족한 단면을 갖춘 분리용 돌기부를 갖춘 지지(支持)용 폴리실리콘기체(101)를 갖추고, 그 분리용 돌기부에 의해 둘러싸인 영역내에 P형 실리콘층(102)과 N형 실리콘층(103)으로 이루어진 적층구조부를 형성한 것이다. 더욱이, 지지용 폴리실리콘기체(101)의 표면상에는 실리콘산화막($SiO_2$;104)이 형성되어 있고, 이 실리콘산화막(104)이 제5도에 나타낸 유전체영역(12)으로서 기능하고 있다.

또한, 본 예에서는 파워계 소자로서 파워MOS가 이용되며, 로직계 소자로서 종형 NPN 바이폴라 트랜지스터가 이용되고 있다.

제7도는 제5도를 보다 구체화한 다른 예를 나타낸 단면도이다.

제7도에 나타낸 단면을 갖춘 장치에서는 유전체분리 적층기판이 이용되고 있다. 이 기판은 SDB(Silicon wafer Dirtect Bonding)형이라고 불린다.

즉, 제1실리콘기판(151)의 표면을 열산화, 또는 그 표면에 이산화실리콘을 퇴적하는 것으로 기판(151)의 표면상에 실리콘산화막($SiO_2$;152)을 형성한다. 이후, 산화막(151)상에 P형 실리콘기판(2)을 접착한다. 다음에 그 실리콘기판(2)의 위에 N형 에피택셜 실리콘층(3)은 형성한다. 이후, N형 에피택셜 실리콘층(3) 및 P형 실리콘기판(2)을 관통해서, 산화막(152)에 도달하는 도랑을 형성한다. 이 도랑은 평면에서 보아 격자형상으로 되며(도시하지 않았음), 실리콘기판(2)과 실리콘층(3)과의 적층구조로 되는 섬형상영역을 획정한다. 다음에 도랑의 내부에 노정(路呈)된 실리콘기판(2) 및 실리콘층(3)의 측면을 열산화 또는 그 측면에 이산화실리콘을 퇴적하는 것으로 도랑의 측면상에 실리콘산화막($SiO_2$;153)을 형성한다. 이후, 도랑의 내부를 폴리실리콘등으로 매립한다. 본 예에서는 실리콘산화막(153)등이 제5도에 나타낸 유전체영역(12)으로서 기능하고 있다.

또한, 본 예에서는 파워계 소자로서 파워MOS가 이용되며, 로직계 소자로서 종형 NPN 바이폴라 트랜지스터가 이용되고 있다.

이와 같이 유전체분리형의 기판을 이용하는 것도 가능하다.

특히, 제2실시예에서는 생성 재결합 중심층(10)을 형성하기 위한 방법으로서 무거운 입자의 조사(照射)와 달리 아래와 같은 방법을 이용할 수 있다.

즉, 기판형성공정에서 P형 실리콘기판(2) 또는 P형 실리콘층(102)에 결함을 넣어둔 방법이다. 여기서, 결함을 넣는 방법으로서 고농도의 이온조사로 진한 불순물층을 형성하는 것이 거론된다.

이 경우, 불순물층은 무거운 입자의 조사와 비교해서 극히 표면에 밖에 형성할 수 없다. 제6도에 나타낸 예에서 상기 불순물층을 형성한 경우에는 그 불순물층은 실리콘산화막(104)에 따른 섬형상영역의 저면부(底面部)와 사면부(斜面部)가 형성된다. 또한 제7도에 나타낸 예에서는 그 불순물층은 산화막(152)에 따른 기판(2)의 저면부에 형성된다.

이와 같이 고농도의 이온조사로 진한 불순물층을 형성한 경우, 파워계 소자에서는 그 전류경로가 진한 불순물층을 매개하도록 형성된다. 또한 로직계 소자에서는 그 전류경로가 진한 불순물층을 매개하지 않도록 형성된다.

상기 실시예에 따른 반도체 집적회로장치에 의하면 제2도(a) ~ 제2도(c)를 참조해서 설명한 깊은 영역에 전류경로를 갖춘 소자의 어느 하나를 제1도 또는 제5도에 나타낸 파워계 소자로 이용함과 동시에 제3도(a) ~ 제3도(d)를 참조해서 설명한 영역에 전류경로를 갖춘 소자의 어느 하나를 제1도 또는 제5도에 나타낸 로직계 소자에 이용한다. 그리고, 깊은 영역에 생성 재결합 중심층(10)을 설치하는 것으로 스위칭 속도가 고속화된 소자와 전류용량이 확보된 소자를 1개의 반도체칩내에서 동시에 얻을 수 있다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 어느 소자에 있어서 스위칭 속도의 고속화의 요구와 다른 소자에 있어서 전류용량의 확보의 요구를 동시에 만족시킬 수 있는 반도체 집적회로장치를 제공할 수 있다.

## *(57) 청구의 범위*

### 청구항 1

반도체기체와; 반도체기체에 형성되고, 반도체기체의 제1부분에 제1전류경로를 갖춘 제1소자; 제1소자로부터 분리된 반도체기체에 형성되고, 반도체기체의 제2부분에 제2전류경로를 갖춘 제2소자 및; 반도체기체의 상기 제1부분에 형성된 생성 재결합 중심층을 구비하여 구성되고; 반도체기체가 제1도전형 제1반도체층과, 제1반도체층상에 형성된 제2도전형 제2반도체층 및, 제2반도체층을 제1섬영역과 제2섬영역으로 분리하는 분리영역을 포함하고, 제1소자가 제1섬영역 및 제1반도체층으로 연장되는 제1전류경로를 갖추며, 제2소자가 제2섬영역으로 연장되는 제2전류경로를 갖추고, 생성 재결합 중심층이 제1반도체층에 형성되는 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 2

제1항에 있어서, 분리 영역이 제2반도체층의 주표면으로부터 제1반도체층까지 연장되는 제1도전형 반도체 영역인 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 3

제1항에 있어서, 제1소자가 파워계 소자이고, 제2소자가 로직계 소자인 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 4

제3항에 있어서, 파워계 소자가 횡형 2중확산 MOSFET와, 횡형 절연게이트 바이폴라 트랜지스터 및, 다이오드로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 5

제3항에 있어서, 로직계 소자가 종형 NPN 바이폴라 트랜지스터와, 횡형 NPN 바이폴라 트랜지스터, P채널 MOSFET 및, N 채널 MOSFET로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 6

제1항에 있어서, 생성 재결합 중심층이 결정결함층인 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 7

반도체기체와; 반도체기체에 형성되고, 반도체기체의 제1부분에 제1전류경로를 갖춘 제1소자; 제1소자로부터 분리된 반도체기체에 형성되고, 반도체기체의 제2부분에 제2전류경로를 갖춘 제2소자 및; 반도체기체의 상기 제1부분에 형성된 생성 재결합 중심층을 구비하여 구성되고; 반도체기체가 제1도전형 제1반도체층과, 제1반도체층상에서 박판화된 제2도전형 제1반도체층 및, 제1 및 제2반도체층의 박판 구조를 제1섬영역과 제2섬영역으로 분리하는 유전체영역을 포함하고, 제1소자가 제1섬영역에 위치하는 제2 및 제1반도체층의 부분으로 연장되는 제1전류경로를 갖추며, 제2소자가 제2섬영역에 위치하는 제2반도체층의 부분으로 연장되는 제2전류경로를 갖추고, 생성 재결합 중심층이 제1및 제2섬영역에 위치하는 제1반도체층의 부분에 형성되는 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 8

제7항에 있어서, 제1소자가 파워계 소자이고, 제2소자가 로직계 소자인 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 9

제8항에 있어서, 파워계 소자가 횡형 2중확산 MOSFET와, 횡형 절연게이트 바이폴라 트랜지스터 및 다이오드로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 10

제8항에 있어서, 로직계 소자가 종형 NPN 바이폴라 트랜지스터와, 횡형 NPN 바이폴라 트랜지스터, P 채널 MOSFET 및, N 채널 MOSFET로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

### 청구항 11

제7항에 있어서, 생성 재결합 중심층이 결정결함층인 것을 특징으로 하는 반도체 집적회로장치.

**청구항 12**

반도체기체와; 반도체기체에 형성되고, 반도체기체의 제1부분에 제1전류경로를 갖춘 제1소자; 제1소자로부터 분리된 반도체기체에 형성되고, 반도체기체의 제2부분에 제2전류경로를 갖춘 제2소자 및; 반도체기체의 상기 제1부분에 형성된 생성 재결합 중심층을 구비하여 구성되고; 반도체기체가 제1반도체기체와, 제1반도체기체에 형성된 제1절연층, 그 사이에 개재되는 제1절연층을 갖는 제1반도체기체상에 형성된 제2반도체 기체, 제2반도체기체를 제1섬영역 및 제2성영역으로 분리하는 트렌치 및 트렌치에 형성된 제2절연층을 포함하고, 제1소자가 제1섬영역에 형성됨과 더불어 제2소자가 제2섬영역에 형성되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 13**

제12항에 있어서, 제1섬영역이 제1도전형 제1반도체영역과 제1반도체영역상에 형성된 제2도전형 제2반도체영역을 포함하고; 제1소자가 제1 및 제2반도체영역으로 연장되는 제1전류경로를 갖추며; 제2섬영역이 제1도전형 제3반도체영역과 제2도전형 제4반도체영역을 포함하고; 제2소자가 제4반도체영역으로 연장되는 제2전류경로를 갖추고; 생성 재결합 중심층이 제1 및 제3반도체영역에 형성되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 14**

제12항에 있어서, 제1소자가 파워계 소자이고, 제2소자가 로직계 소자인 것을 특징으로 하는 반도체 집적회로장치.

**청구항 15**

제14항에 있어서, 파워계 소자가 횡형 2중확산 MOSFET와, 횡형 절연게이트 바이폴라 트랜지스터 및, 다이오드로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 16**

제14항에 있어서, 로직계 소자가 종형 NPN 바이폴라 트랜지스터와, 횡형 NPN 바이폴라 트랜지스터, P채널 MOSFET 및, N채널 MOSFET로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 17**

제12항에 있어서, 생성 재결합 중심층이 결정결함층인 것을 특징으로 하는 반도체 집적회로장치.

**청구항 18**

반도체기체와; 반도체기체에 형성되고, 반도체기체의 제1부분에 제1전류경로를 갖춘 제1소자; 반도체기체에 형성되고 반도체기체의 제2부분에 제2전류경로를 갖춘 제2소자; 서로로부터 제1 및 제2소자를 전기적으로 분리하는 반도체기체에 형성되는 분리영역 및; 반도체기체의 상기 제1부분에 형성된 생성 재결합 중심층을 구비하여 구성되고; 반도체기체가 제1도전형 제1반도체층과, 제1반도체층상에 형성된 제2도전형 제2반도체층 및, 제2반도체층을 제1섬영역과 제2섬영역으로 분리하는 분리영역을 포함하고, 제1소자가 제1섬영역 및 제1반도체층으로 연장되는 제1전류 경로를 갖추며, 제2소자가 제2섬영역으로 연장되는 제2전류경로를 갖추고, 생성 재결합 중심층이 제1반도체층에 형성되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 19**

제18항에 있어서, 제1소자가 파워계 소작이고, 제2소자가 로직계 소자인 것을 특징으로 하는 반도체 집적회로장치.

**청구항 20**

제19항에 있어서, 파워계 소자가 횡형 2중확산 MOSFET와, 횡형 절연게이트 바이폴라 트랜지스터 및, 다이오드로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 21**

제19항에 있어서, 로직계  소자가 종형 NPN 바이폴라 트랜지스터와, 횡형 NPN 바이폴라 트랜지스터, P 채널 MOSFET 및, N 채널 MOSFET로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 22**

제18항에 있어서, 생성 재결합 중심층이 결정결함층인 것을 특징으로 하는 반도체 집적회로장치.

**청구항 23**

반도체기체와; 반도체기체에 형성되고, 반도체기체의 제1부분에 제1전류경로를 갖춘 제1소자; 반도체기체에 형성되고, 반도체기체의 제2부분에 제2전류경로를 갖춘 제2소자; 서로로부터 제1 및 제2소자를 전기적으로 분리하는 반도체기체에 형성되는 분리영역 및; 반도체기체의 상기 제1부분에 형성된 생성 재결합 중심층을 구비하여 구성되고; 반도체기체가 제1도전형 제1반도체층과, 제1반도체층상에 형성된 제2도전형의 제2반도체층 및, 제1 및 제2반도체층의 박판화된 구조를 제1섬영역과 제2섬영역으로 분리하는 유전체영역을 갖춘 분리영역을 포함하고, 제1소자가 제1섬영역에 위치한 제2 및 제1반도체층의 부분으로 연장되는 제1전류경로를 갖추며, 제2소자가 제2섬영역에 위치한 제2반도체층의 부분으로 연장되는 제2전류 경로를 갖추고, 생성 재결합 중심층이 제1 및 제2섬영역에 위치한 제1반도체층의 각각에 형성되는 것을 특징으로

하는 반도체 집적회로장치.

**청구항 24**

제23항에 있어서, 제1소자가 파워계 소자이고, 제2소자가 로직계 소자인 것을 특징으로 하는 반도체 집적회로장치.

**청구항 25**

제24항에 있어서, 파워계 소자가 횡형 2중확산 MOSFET와, 횡형 절연게이트 바이폴라 트랜지스터 및, 다이오드로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 26**

제24항에 있어서, 로직계 소자가 종형 NPN 바이폴라 트랜지스터와, 횡형 NPN 바이폴라 트랜지스터, P채널 MOSFET 및, N채널 MOSFET로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 27**

제23항에 있어서, 생성 재결합 중심층이 결정결함층인 것을 특징으로 하는 반도체 집적회로장치.

**청구항 28**

반도체기체와; 반도체기체에 형성되고, 반도체기체의 제1부분에 제1전류경로를 갖춘 제1소자; 반도체기체에 형성되고, 반도체기체의 제2부분에 제2전류경로를 갖춘 제2소자; 서로로부터 제1 및 제2소자를 전기적으로 분리하는 반도체기체에 형성되는 분리영역 및; 반도체기체가 제1반도체기체와, 제1반도체기체상에 형성된 제1절연층 및, 그 사이에 개재되는 제1절연층을 갖는 제1반도체기체상에 형성된 제2반도체기체를 포함하고, 분리영역이 제2반도체기체를 제1섬영역 및 제2섬영역으로 분리하는 트렌치를 갖추며, 제2절연층이 트렌치에 형성되고, 제1소자가 제1섬영역에 형성됨과 더불어 제2소자가 제2섬영역에 형성되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 29**

제28항에 있어서, 제1섬영역이 제1도전형 제1반도체영역과 제1반도체영역상에 형성된 제2도전형 제2반도체영역을 포함하고, 제1소자가 제1및 제2반도체영역으로 연장되는 제1전류경로를 갖추며, 제2섬영역이 제1도전형 제3반도체영역과 제3반도체영역상에 위치한 제2도전형 제4반도체영역을 포함하고, 제2소자가 제4반도체영역으로 연장되는 제2전류경로를 갖추고, 생성 재결합 중심층이 제1 및 제3반도체영역에 형성되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 30**

제28항에 있어서, 제1소자가 파워계 소자이고, 제2소자가 로직계 소자인 것을 특징으로 하는 반도체 집적회로장치.

**청구항 31**

제30항에 있어서, 파워계 소자가 횡형 2중확산 MOSFET와, 횡형 절연게이트 바이폴라 트랜지스터 및 다이오드로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 32**

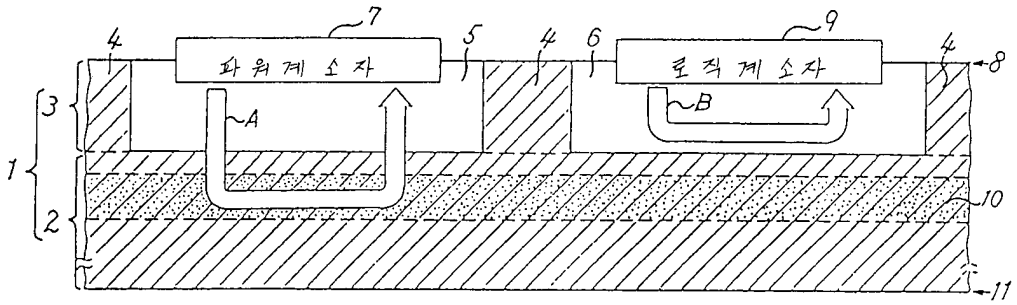
제30항에 있어서, 로직계 소자가 종형 NPN 바이폴라 트랜지스터와, 횡형 NPN 바이폴라 트랜지스터, P 채널 MOSFET 및, N 채널 MOSFET로 구성된 군으로부터 선택되는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 33**

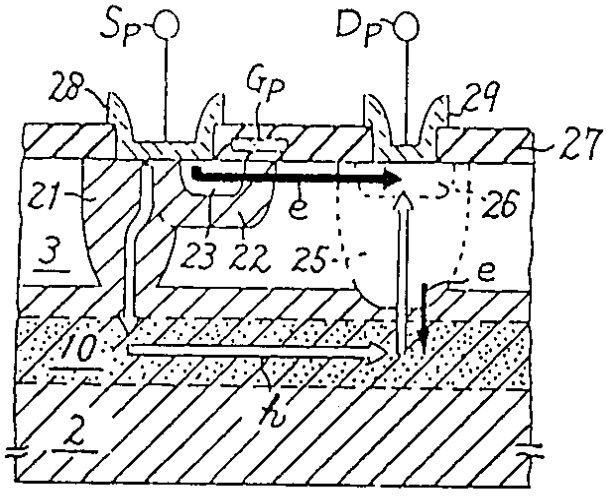
제28항에 있어서, 생성 재결합 중심층이 결정결함층인 것을 특징으로 하는 반도체 집적회로장치.

*도면*

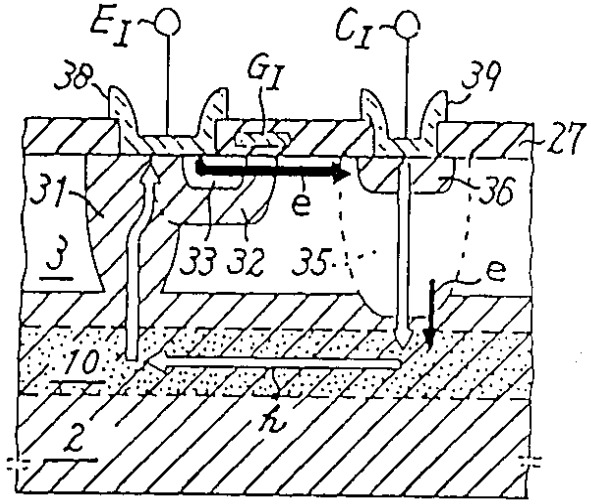
도면1


7
9
4
5
4
6
4
8
파 워 계 소 자
로 직 계 소 자
A
B
3
1
2
10
11

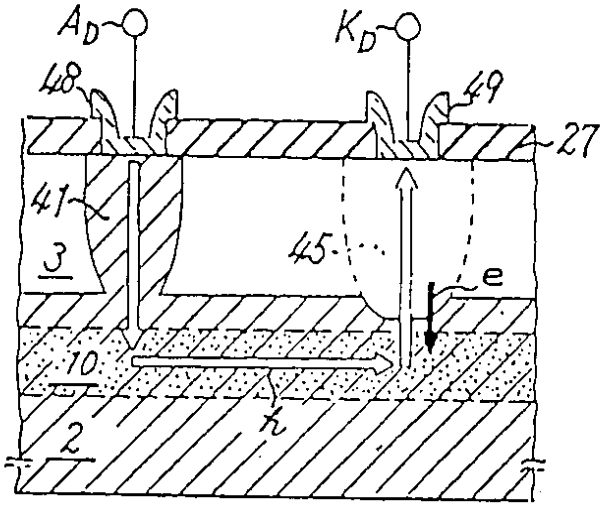
도면2a


Sp
Dp
Gp
28
29
27
21
3
e
26
23 22 25
e
10
2
h

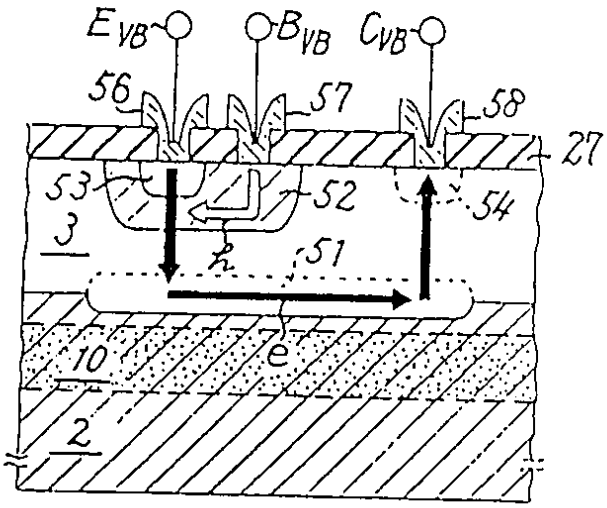
도면2b



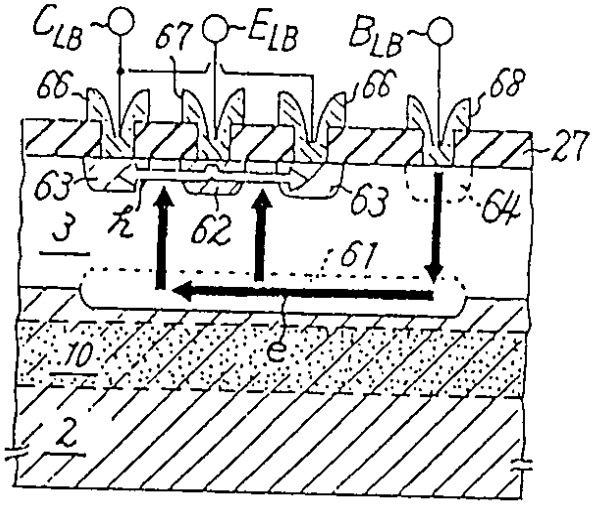

도면2c



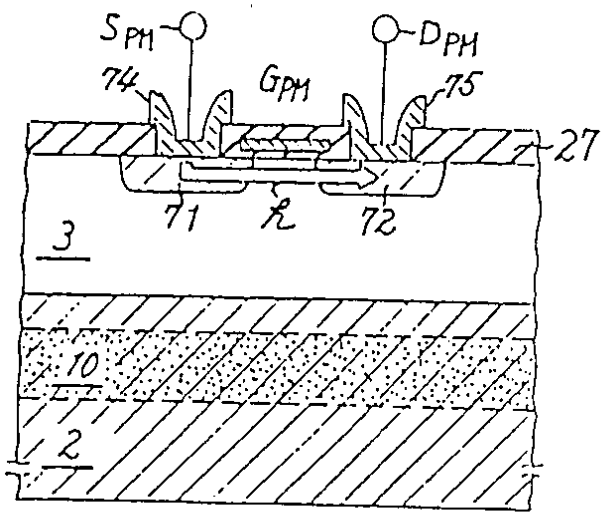
도면3a


E VB
B VB
C VB
56
57
58
27
53
52
54
3
51
10
e
2

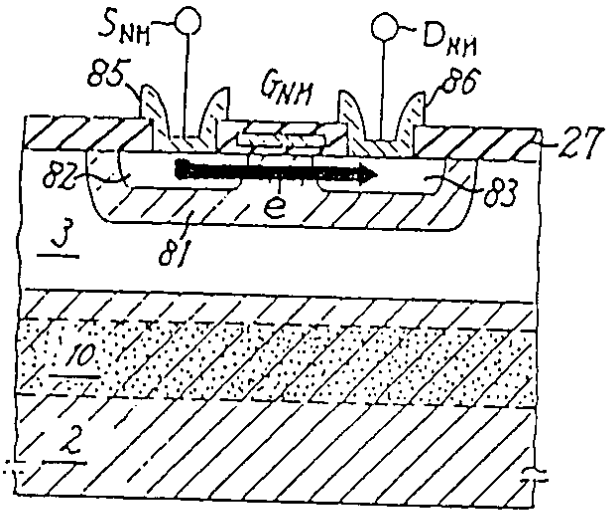
도면3b


C LB
67
E LB
B LB
66
66
68
27
63
63
64
3
62
61
10
e
2

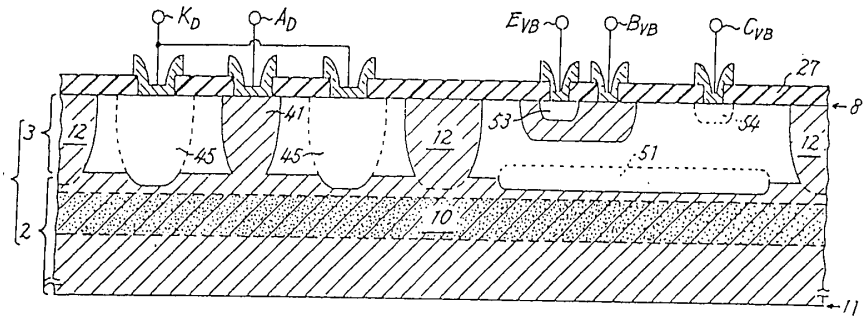
도면3c



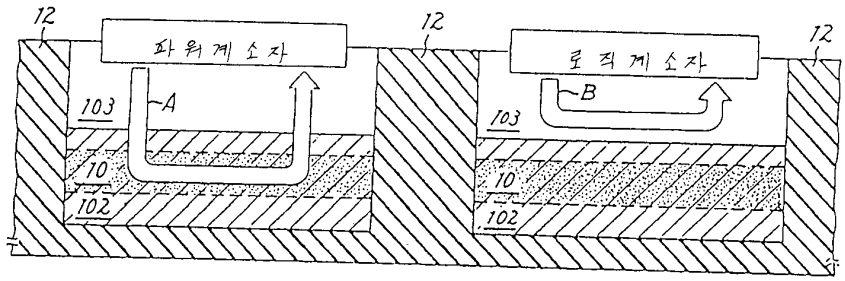

도면3d



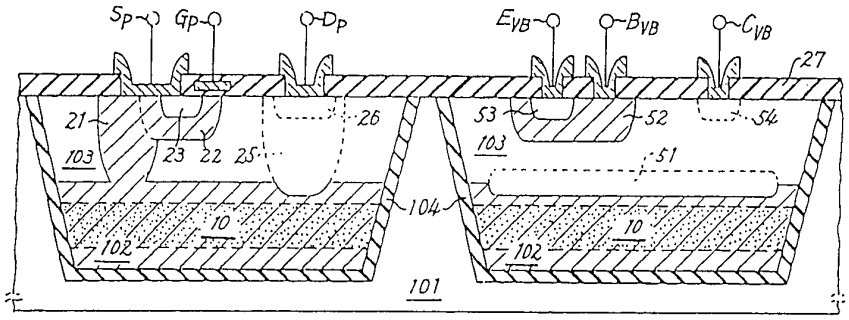
도면4


$K_D$
$A_D$
$E_{VB}$
$B_{VB}$
$C_{VB}$
27
8
3
12
41
45
45
12
53
54
51
12
2
10
11

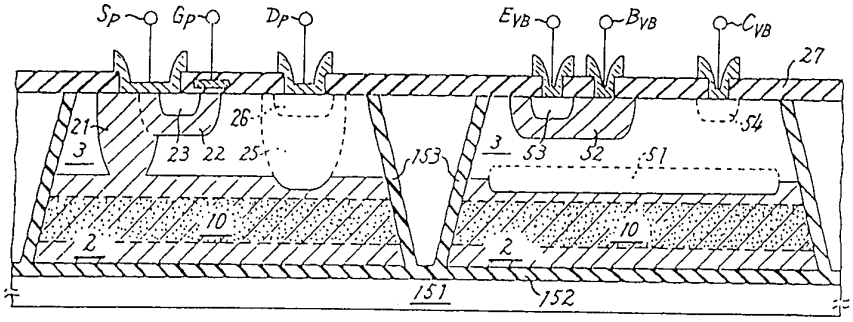
도면5


12
파워계소자
12
로직계소자
12
103
A
B
103
10
10
102
102

도면6


SP
GP
DP
EVB
BVB
CVB
27
21
103
23
22
25
26
53
52
54
103
51
104
10
102
10
102
101

도면7


SP
GP
DP
EVB
BVB
CVB
27
21
3
23
22
25
26
153
3
53
52
51
54
10
2
10
2
151
152