(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H03K 5/13

(45) 공고일자 2004년05월10일
(11) 등록번호 10-0430609
(24) 등록일자 2004년04월27일

(21) 출원번호 10-2001-0071693
(22) 출원일자 2001년11월19일

(65) 공개번호 10-2002-0039245
(43) 공개일자 2002년05월25일

(30) 우선권주장 JP-P-2000-00352307 2000년11월20일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 오츠카슈지
일본국나가노켄수와시오와3-3-5세이코엡슨가부시키가이샤내

(74) 대리인 문두현
문기상

심사관 : 박재일

(54) 클록 신호로부터의 펄스 신호 생성 회로

요약

지연 소자에서의 지연 시간 변동을 고려하여도, 클록 신호의 주기를 과도하게 저하시키지 않고 펄스 신호의 특정 기간에 관한 요구값을 만족시킬 수 있는 기술을 제공한다.
클록 신호 CLK가 상승 에지로부터 제 1 지연 시간 Td1만큼 지연된 에지를 갖는 제 1 지연 신호 Q30 및 Q34를 생성한다. 또한, 클록 신호 CLK가 하강 에지로부터 제 2 지연 시간 Td2만큼 지연된 에지를 갖는 제 2 지연 신호 Q32 및 Q36을 생성한다. 그리고, 이들 제 1 지연 신호 Q30 및 Q34와, 제 2 지연 신호 Q32 및 Q36과의 논리 연산을 행함으로써, 펄스 신호 Sout를 생성한다.

대표도

도 7

색인어

펄스 신호, 지연 소자

명세서

도면의 간단한 설명

도 1은 제 1 실시예의 펄스 신호 생성 회로(100)의 구성을 나타내는 블록도.
도 2는 제 1 실시예의 펄스 신호 생성 회로(100)의 동작을 나타내는 타이밍 차트.
도 3은 제 1 지연 시간 Td1이 제 2 지연 시간 Td2보다도 작을 때에, 지연 시간이 최소값을 취하는 경우와 최대값을 취하는 경우를 비교하여 나타내는 설명도.

도 4는 제 1과 제 2 지연 시간 Td1, Td2가 동일할 때에, 지연 시간이 최소값을 취하는 경우와 최대값을 취하는 경우를 비교하여 나타내는 설명도.
도 5는 제 1 지연 시간 Td1이 제 2 지연 시간 Td2보다도 클 때에, 지연 시간이 최소값을 취하는 경우와 최대값을 취하는 경우를 비교하여 나타내는 설명도.
도 6은 외부 버스의 데이터 전송을 위해 펄스 신호 Q40을 사용하는 예를 나타내는 설명도.
도 7은 제 2 실시예의 펄스 신호 생성 회로(110)의 구성을 나타내는 블록도.
도 8은 제 2 실시예의 펄스 신호 생성 회로(110)의 동작을 나타내는 타이밍차트.
도 9는 제 3 실시예의 펄스 신호 생성 회로(120)의 구성을 나타내는 블록도.
도 10은 제 4 실시예의 펄스 신호 생성 회로(130)의 구성을 나타내는 블록도.
도 11은 제 5 실시예의 펄스 신호 생성 회로(140)의 구성을 나타내는 블록도.
도 12는 제 6 실시예의 펄스 신호 생성 회로(150)의 구성을 나타내는 블록도.
도 13은 종래의 펄스 신호 생성 회로(200)의 일례를 나타내는 블록도.
도 14는 종래의 펄스 신호 생성 회로(200)의 동작을 나타내는 타이밍차트.
* 도면의 주요부분에 대한 부호의 설명
20, 22, 24, 26 : D 플립플롭
30, 32, 34, 36 : 지연 소자
40, 42 : NAND 게이트
50 : AND 게이트
60 : EXNOR 게이트
70 : 이네이블(enable) 제어회로
72, 74 : AND 게이트
76 : OR 게이트
100 : 펄스 신호 생성 회로(제 1 실시예)
110 : 펄스 신호 생성 회로(제 2 실시예)
112 : 전단(前段)회로
114 : 후단(後段)회로
120 : 펄스 신호 생성 회로(제 3 실시예)
130 : 펄스 신호 생성 회로(제 4 실시예)
140 : 펄스 신호 생성 회로(제 5 실시예)
150 : 펄스 신호 생성 회로(제 6 실시예)
200 : 펄스 신호 생성 회로(종래예)
210 : D 플립플롭
220, 222 : 지연 소자
230 : NAND 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일정 주기의 클록 신호로부터 특정 펄스 신호를 생성하는 기술에 관한 것이다.
도 13은 클록 신호 CLK로부터 특정 펄스 신호 Q230을 생성하기 위한 종래의 펄스 신호 생성 회로(200)의 일례를 나타내는 블록도이다. 이 회로(200)는 D 플립플롭(210)(이하, 「DFF」라고 칭함)과, 직렬로 접속된 2개의 지연 소자(220, 222)와, 2개의 입력 단자 중의 한쪽이 반전 입력 단자로 되어 있는 NAND 게이트(230)를 구비하고 있다. 클록 신호 CLK는 DFF(210)의 클록 입력 단자에 부여되어 있다. DFF(210)의 출력 Q210은 제 1 지연 소자(220)에 입력되어 있고, 반전 출력 #Q210은 D 입력 단자에 피드백되고 있다. 제 1 지연 소자(220)에서 지연된 지연 신호 Q220은 NAND 게이트(230)의 비(非)반전 입력 단자에 입력된다. 또한, 이 지연 신호 Q220은 제 2 지연 소자(222)에서 더 지연된 후에 NAND 게이트(230)의 반전 입력 단자에 입력된다.
도 14a 내지 도 14e는 이 펄스 신호 생성 회로(200)의 동작을 나타내는 타이밍 차트이다. 제 1 지연 소자(220)로부터 출력되는 제 1 지연 신호 Q220(도 14c)은 클록 신호 CLK가 상승 에지로부터 제 1 지연 시간 Td1만큼 지연된 에지를 갖고 있다. 또한, 제 2 지연 소자(222)로부터 출력되는 제 2 지연 신호 Q222(도 14d)는 제 1 지연 신호 Q220의 상승 에지로부터 제 2 지연 시간 Td2만큼 더 지연된 에지를 갖고 있다. 따라서, 제 2 지연 신호 Q222의 에지는 클록 신호 CLK의 상승 에지로부터는 지연 시간 (Td1+Td2)만큼 지연되고 있다. NAND 게이트(230)는 이들 2개의 지연 신호 Q220 및 Q222로부터 도 14e에 나타낸 펄스 신호 Q230(도 14e)을 생성한다.
이 펄스 신호 Q230은, 예를 들어, RAM의 기록 제어 신호로서 사용된다. 즉, 펄스 신호 Q230은 클록 신호 CLK의 1주기 Tc 동안에 특정 기간 Tw만큼 L 레벨로 되는 것과 같은 신호로서 설계되어 있다. 이 기간 Tw의 직전에는 셋업

시간 Ts가 설정되어 있으며, 기간 Tw의 직후에는 홀드 시간 Th가 설정되어 있다. 이들 기간 Ts, Tw, Th에는 설계상의 요구값이 각각 설정된다. 2개의 지연 시간 Td1 및 Td2는 이들 기간 Ts, Tw, Th가 각각의 요구값을 만족하도록 설정된다.

발명이 이루고자 하는 기술적 과제

그러나, 이 회로의 설계에서는, 지연 소자(220, 222)의 제조 오차나 온도 의존성 등에 의한 지연 시간의 편차를 고려하여, 지연 시간 Td1 및 Td2에 상당히 큰 오차를 상정하는 것이 보통이다. 따라서, 도 13에 나타낸 종래의 회로의 설계에서는, 이들 기간 Ts, Tw, Th가 각각의 요구값을 만족하도록 지연 시간 Td1 및 Td2를 설정하는 것이 곤란한 경우가 있다. 여기서, 가령 3개의 기간 Ts, Tw, Th에 다음과 같은 요구값이 설정되어 있는 경우를 상정한다.
조건 C1 : Ts ≥1ns ;
조건 C2 : Tw ≥10ns ;
조건 C3 : Th ≥3ns
그런데, 온도 특성 등에 의한 지연 시간 Td1 및 Td2의 변동은 통상 공칭값(nominal value; 전형값)의 약 0.6배로부터 약 1.6배 사이의 값을 취한다. 따라서, 지연 시간 Td1 및 Td2의 최대값은 최소값의 약 2.7배(=1.6/0.6) 정도로 될 수 있다. 이러한 오차를 고려하면, 상기 조건 C1 내지 C3은 다음과 같이 개서(改書)된다.
조건 C1a : Ts=Td1=1ns(min) ~ 2.7ns(max) ;
조건 C2a : Tw=Td2=10ns(min) ~ 27ns(max) ;
조건 C3a : Th ≥3ns
여기서, (min)은 지연 시간 Td1 및 Td2가 최소값으로 되는 조건을 의미하고, (max)는 지연 시간 Td1 및 Td2가 최대값으로 되는 조건을 의미한다. 따라서, 지연 시간 Td1 및 Td2가 모두 최대값으로 되는 조건에서는, 클록 주기 Tc는 약 33ns(=2.7+27+3)로 되며, 이것은 약 30㎒에 상당한다. 한편, 상기 조건 C1a 내지 C3a로부터 정해지는 클록 주기 Tc의 최소값(RAM의 사이클 기간)은 14(=1+10+3)ns이며, 이것은 약 71㎒에 상당한다. 즉, 약 71㎒로 동작시키는 것이 가능한 RAM을 사용했다고 하여도, 도 13의 회로에 의해 기록 제어 신호를 생성할 경우에는, 그 RAM을 약 30㎒(약 42%의 속도)로 동작시키는 것만이 가능하다.
이와 같이, 종래의 펄스 신호 생성 회로에서는, 펄스 신호의 특정 기간에 관한 요구값을 만족시키기 위해서는, 지연 소자에서의 지연 시간 변동을 고려하여, 클록 신호의 주기를 상당히 저하시켜야만 한다는 문제가 있었다.
본 발명은 상술한 종래의 과제를 해결하기 위해 안출된 것으로서, 지연 소자에서의 지연 시간 변동을 고려하여도, 클록 신호의 주기를 과도하게 저하시키지 않고 펄스 신호의 특정 기간에 관한 요구값을 만족시킬 수 있는 기술을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명은 일정 주기의 클록 신호로부터 특정 펄스 신호를 생성하기 위한 회로로서, 상기 클록 신호의 상승 에지와 하강 에지를 검출하는 에지 검출부와, 제 1 지연량을 갖는 적어도 1개의 제 1 지연 소자를 갖고, 상기 클록 신호의 상승 에지로부터 상기 제 1 지연량으로 지연된 제 1 지연 에지를 갖는 적어도 1개의 제 1 지연 신호를 생성하는 제 1 지연 신호 생성부와, 제 2 지연량을 갖는 적어도 1개의 제 2 지연 소자를 갖고, 상기 클록 신호의 하강 에지로부터 상기 제 2 지연량으로 지연된 제 2 지연 에지를 갖는 적어도 1개의 제 2 지연 신호를 생성하는 제 2 지연 신호 생성부와, 상기 적어도 1개의 제 1 지연 신호와 상기 적어도 1개의 제 2 지연 신호의 논리 연산을 행함으로써 상기 펄스 신호를 생성하는 논리 연산부를 구비하는 것을 특징으로 한다.
이 펄스 신호 생성 회로에서는, 클록 신호의 상승 에지로부터 제 1 지연 신호를 생성하고, 클록 신호의 하강 에지로부터 제 2 지연 신호를 생성하여, 이들 지연 신호의 논리 연산을 행함으로써 펄스 신호를 생성하기 때문에, 종래와 같이 클록 신호의 상승 에지만으로부터 펄스 신호를 생성하는 경우에 비하여, 지연량 변동의 영향을 작게 할 수 있다. 그 결과, 지연 소자에서의 지연량 변동을 고려하여도, 클록 신호의 주기를 과도하게 저하시키지 않고 펄스 신호의 특정 기간에 관한 요구값을 만족시키는 것이 가능하다.
또한, 상기 펄스 신호의 1 주기는 상기 클록 신호의 1 주기와 동일하게 설정되는 것이 바람직하다. 이 구성에서는, 지연량 변동에 의한 펄스 신호로의 영향을 작게 억제하는 것이 가능하다.
또한, 상기 제 1 및 제 2 지연량은 상기 클록 신호의 1 주기의 1/2 미만의 값으로 각각 설정되어 있는 것이 바람직하다. 이 구성에서는, 지연량 그 자체가 작아지기 때문에, 온도 특성 등에 기인하는 지연량 변동도 작게 억제하는 것이 가능하다.
또한, 상기 제 1 및 제 2 지연량은 서로 동일한 것이 바람직하다. 이 구성에서는, 지연량이 변동하여도, 제 1 지연량으로 결정되는 펄스 신호의 에지와 제 2 지연량으로 결정되는 펄스 신호의 에지 사이의 기간이 항상 거의 일정하게 유지된 다.
또한, 상기 에지 검출부는 제 1 클록 입력 단자와 제 1 D 입력 단자와 제 1 출력 단자와 제 1 반전 출력 단자를 갖고, 상기 클록 신호가 제 1 클록 입력 단자에 입력되어 있는 동시에, 상기 제 1 반전 출력 단자로부터의 반전 출력이 상기 제 1 D 입력 단자에 피드백되고 있는 제 1 DFF과, 제 2 클록 입력 단자와 제 2 D 입력 단자와 제 2 출력 단자와 제 2 반전 출력 단자를 갖고, 상기 클록 신호를 반전시킨 반전 클록 신호가 상기 제 2 클록 입력 단자에 입력되어 있는 동시에, 상기 제 1 DFF의 상기 제 1 출력 단자로부터의 출력이 상기 제 2 D 입력 단자에 입력되어 있는 제 2 DFF을 구비하고 있을 수도 있다. 이 때, 상기 제 1 DFF의 상기 제 1 출력 단자로부터의 출력이 상기 제 1 지연 소자에 입력되어

있는 동시에, 상기 제 2 DFF의 상기 제 2 출력 단자로부터의 출력이 상기 제 2 지연 소자에 입력되어 있다.
이 구성에서는 클록 신호의 상승 에지와 하강 에지를 양호하게 검출하는 것이 가능하다.
또한, 본 발명은 다양한 형태로 실현하는 것이 가능하고, 예를 들어, 펄스 신호 생성 회로 또는 펄스 신호 생성 방법 등의 형태로 실현할 수 있다.
다음으로, 본 발명의 실시형태를 실시예에 의거하여 이하의 순서로 설명한다.
A. 제 1 실시예:
B. 제 2 실시예:
C. 제 3 실시예:
D. 제 4 실시예:
E. 제 5 실시예:
F. 제 6 실시예:
G. 변형례:
A. 제 1 실시예:
도 1은 본 발명의 제 1 실시예로서의 펄스 신호 생성 회로(100)의 구성을 나타내는 블록도이다. 이 펄스 신호 생성 회로(100)는 2개의 DFF(20, 22)과, 2개의 지연 소자(30, 32)와, 2개의 입력 단자 중의 한쪽이 비반전 입력 단자로 되어 있는 NAND 게이트(40)를 구비하고 있다. 또한, 이하에서는 「D 플립플롭」을 「DFF」라고 부른다.
클록 신호 CLK는 제 1 DFF(20)의 클록 입력 단자에 입력되어 있는 동시에, 반전되어 제 2 DFF(22)의 클록 단자에도 입력되어 있다. 제 1 DFF(20)의 반전 출력 #Q20은 제 1 DFF(20)의 D 입력 단자에 피드백되고 있다. 제 1 DFF(20)의 출력 Q20은 제 2 DFF(22)의 D 입력 단자에 입력되어 있는 동시에, 제 1 지연 소자(30)에도 입력되어 있다. 제 2 DFF(22)의 출력 Q22는 제 2 지연 소자(32)에 입력되어 있다. 제 1 지연 소자(30)에서 지연된 제 1 지연 신호 Q30은 NAND 게이트(40)의 비반전 입력 단자에 입력된다. 또한, 제 2 지연 소자(32)에서 지연된 제 2 지연 신호 Q32는 NAND 게이트(40)의 반전 입력 단자에 입력된다. 또한, 2개의 DFF(20, 22)는 초기 상태에서는 리세트되어 있기 때문에, 초기 상태에서는 그들 출력 Q20 및 Q22는 L 레벨을 취한다.
도 2는 제 1 실시예의 펄스 신호 생성 회로(100)의 동작을 나타내는 타이밍차트이다. 제 1 DFF(20)의 출력 Q20(도 2b)은 클록 신호 CLK의 상승 에지마다 레벨이 반전되는 신호이다. 한편, 제 2 DFF(22)의 출력 Q22(도 2c)는 클록 신호 CLK의 하강 에지마다 레벨이 반전되는 신호이다.
제 1 DFF(20)의 출력 Q20은 제 1 지연 소자(30)에서 제 1 지연 시간 Td1만큼 지연되어 제 1 지연 신호 Q30(도 2d)으로 된다. 한편, 제 2 DFF(22)의 출력 Q22는 제 2 지연 소자(32)에서 제 2 지연 시간 Td2만큼 지연되어 제 2 지연 신호 Q32(도 2e)로 된다. 즉, 제 1 지연 신호 Q30은 클록 신호 CLK가 상승 에지로부터 제 1 지연 시간 Td1만큼 지연된 에지를 갖는 신호이다. 또한, 제 2 지연 신호 Q32는 클록 신호 CLK의 하강 에지로부터 제 2 지연 시간 Td2만큼 지연된 에지를 갖는 신호이다. NAND 게이트(40)는 이들 지연 신호 Q30 및 Q32를 논리 연산함으로써, 펄스 신호 Q40(도 2f)을 생성한다.
펄스 신호 Q40의 하강 에지는 클록 신호 CLK의 상승 에지로부터 제 1 지연 시간 Td1만큼 지연되고 있다. 또한, 펄스 신호 Q40의 상승 에지는 클록 신호 CLK의 하강 에지로부터 제 2 지연 시간 Td2만큼 지연되고 있다. 이와 같이, 제 1 실시예의 펄스 신호 생성 회로(100)에서는, 펄스 신호 Q40의 하강 에지와 상승 에지가 동일한 클록 신호의 서로 다른 종류의 에지로부터의 지연에 의해 각각 생성되어 있기 때문에, 지연 시간의 오차에 의한 펄스 신호로의 영향이 적다는 이점이 있다. 그 결과, 이하에 설명하는 바와 같이, 클록 신호 CLK의 주기 Tc를 종래에 비하여 짧게 설정할 수 있다.
여기서는, 상술한 종래기술에서 설명한 예와 동일하게, NAND 게이트(40)로부터의 출력 신호 Q40(도 2f)의 3개 기간 Ts, Tw, Th에 각각 다음과 같은 조건 C1 내지 C3이 설정되어 있는 것이라고 가정한다.
조건 C1 : Ts ≥1ns ;
조건 C2 : Tw ≥10ns ;
조건 C3 : Th ≥3ns
도 2f로부터 이해할 수 있는 바와 같이, 이들 기간 Ts, Tw, Th는 클록 신호 CLK의 주기 Tc 및 지연 시간 Td1, Td2와, 다음의 (1) (3)식의 관계가 있다.
Ts=Td1 …(1)
Tw=Td2+Tc/2-Td1 …(2)
Th=Tc/2-Td2 …(3)
이 때, 상기 조건 C1 C3은 다음의 조건 C4 내지 C6으로 개서된다.
조건 C4 : Ts=Td1 ≥1ns ;
조건 C5 : Tw=Td2+Tc/2-Td1 ≥10ns ;
조건 C6 : Th=Tc/2-Td2 ≥3ns
여기서, 제 1 지연 시간 Td1의 최대값 Td1max은 그 최소값 Td1min의 2.7배라고 가정하고, 제 2 지연 시간 Td2의 최대값 Td2max도 그 최소값 Td2min의 2.7배라고 가정한다. 또한, 2개의 지연 시간 Td1 및 Td2 중의 한쪽이 최소값을 취할 때에는 다른쪽도 최소값을 취하고, 한쪽이 최대값을 취할 때에는 다른쪽도 최대값을 취한다고 가정한다. 이 후자의 가정은, 지연 시간의 최대값 또는 최소값에 지연 소 자(30, 32)의 온도 의존성 영향이 포함되어 있는 것을 고려한 것이다. 즉, 한쪽 지연 소자가 온도 의존성의 영향으로 최대값을 취할 때에 다른쪽 지연 소자가 온도 의존성의 영향으로 최소값을 취한다는 사태는 생각할 수 없으며, 양쪽이 함께 최소값을 취하거나, 함께 최대값을 취한다고 생각하는 것이 타당하다.

그런데, 상기 조건 C4는 제 1 지연 시간 Td1이 그 최소값 Td1min을 취할 때에 가장 엄격하다. 또한, 상기 조건 C6은 제 2 지연 시간 Td2가 그 최대값 Td2max(=2.7 ×Td2min)을 취할 때에 가장 엄격하다. 따라서, 조건 C4 내지 C6은 다음과 같은 조건 C4a 내지 C6a로 개서할 수 있다.

조건 C4a : Ts=Td1min ≥1ns

조건 C5a : Tw=Td2+Tc/2-Td1 ≥10ns ;

조건 C6a : Th=Tc/2-2.7 ×Td2min ≥3ns

여기서, 지연 시간 Td1 및 Td2가 각각의 최소값 Td1min 및 Td2min을 취할 때에, 기간 Tw가 10ns로 되는 경우를 상정한다. 이 때, 다음과 같은 (4) 내지 (6)식이 성립된다.

Td1min ≥1ns …(4)

Td2min+Tc/2-Td1min=10ns …(5)

Tc/2-2.7 ×Td2min ≥3ns …(6)

(5)식을 (4)식에 대입하면, 다음의 (7)식이 얻어진다.

Td2min+Tc/2 ≥11ns …(7)

(6)식과 (7)식을 Tc에 대해서 풀면, 하기의 (8)식이 얻어진다.

Tc ≥17.7ns …(8)

여기서, Td1min=1ns, Tc=17.7ns인 경우를 생각하면, (5)식으로부터 Td2min은 2.15ns로 된다. Tc=17.7ns, Td1=Td1min=1ns, Td2=Td2min=2.15ns일 때에 상기 조건 C4 내지 C6이 성립되는 것을 용이하게 확인할 수 있다.

한편, 지연 시간 Td1 및 Td2의 최대값 Td1max 및 Td2max은 각각의 최소값 Td1min 및 Td2min의 2.7배이므로, 각각 2.7ns 및 5.8ns로 된다. 이 최대값 조건일 때, 즉, Tc=17.7ns, Td1=Td1max=2.7ns, Td2=Td2max=5.8ns일 때도, 상기 조건 C4 내지 C6이 성립됨을 확인할 수 있다. 따라서, 지연 시간 Td1 및 Td2의 변동을 고려하여도, 클록 주기 Tc를 17.7ns(56.5㎒)로 설정하면, 펄스 신호 Q40의 각 기간 Ts, Tw, Th의 요구값을 만족하는 것이 가능하다.

그런데, 상기 조건 C1 내지 C3으로부터 정해지는 클록 주기 Tc의 최소값은 14(=1+10+3)ns이며, 이것은 약 71㎒에 상당한다. 이것에 대하여, 본 실시예에서는, 지연 시간의 변동을 고려하여도, 클록 주기를 17.7ns(56.5㎒)로 설정하는 것이 가능하다. 예를 들면, 이 펄스 신호 Q40을 RAM의 기록 제어 신호로서 사용할 때에는, RAM의 최대 가능 동작 주파수(71㎒)의 약 80%의 주파수로 동작시키는 것이 가능하다. 한편, 종래기술에서 설명한 바와 같이, 도 13에 나타낸 종래의 회로에서는, RAM의 최대 가능 동작 주파수의 약 42%의 주파수(30㎒)로 동작시키는 것이 가능함에 불과했다. 즉, 제 1 실시예의 회로에서는, 도 13에 나타낸 종래의 회로에 비하여 약 1.9배의 주파수의 펄스 신호를 생성할 수 있다.

이상의 설명으로부터 이해할 수 있는 바와 같이, 제 1 실시예의 회로에서는, 지연 소자(30, 32)에서의 지연 시간 Td1 및 Td2의 변동을 고려하여도, 클록 주기 Tc를 과도하게 저하시키지 않고 펄스 신호 Q40의 각 기간에 관한 요구값을 만족시킬 수 있다.

다만, 지연 시간 Td1 및 Td2는 클록 주기 Tc의 1/2 미만의 값으로 설정하는 것이 바람직하다. 이것은 다음과 같은 이유에 기인한다. 예를 들면, 지연 시간 Td1이 클록 주기 Tc의 1/2 이상일 경우에는, 펄스 신호 Q40의 하강 에지는 클록 신호 CLK의 하강 에지 후에 발생한다. 따라서, 이 때에는, 펄스 신호 Q40의 하강 에지를 클록 신호 CLK의 하강 에지로부터 생성하는 것이 가능해진다. 환언하면, 지연 시간 Td1이 클록 주기 Tc의 1/2 이상일 경우에는, 지연 시간 Td1로부터 클록 신호의 반(半)주기 Tc/2만큼 감산한 시간(Td1-Tc/2)을 산출하고, 클록 신호 CLK의 하강 에지로부터 이 시간(Td1-Tc/2)만큼 지연된 시각에서 펄스 신호 Q40의 하강 에지를 발생시킬 수 있다. 이 방법에서는, 지연 시간 Td1이 클록 주기 Tc의 1/2 이상인 경우에 비하여 지연 시간의 변동에 의한 영향이 적어진다는 이점이 있다. 따라서, 도 1의 회로에 있어서는, 지연 시간 Td1 및 Td2는 클록 주기 Tc의 1/2 미만의 값으로 설정하는 것이 바람직하다.

그런데, 펄스 신호 Q40의 L 레벨 기간 Tw는 지연 시간 Td1 및 Td2의 변동에 따라 변화하나, 그 변화 방식은 2개의 지연 시간 Td1 및 Td2의 대소 관계에 따라 서로 다르다. 도 3은 제 1 지연 시간 Td1이 제 2 지연 시간 Td2보다도 작을 때에, 지연 시간 Td1 및 Td2가 각각 최소값을 취하는 경우(도 3b)와, 최대값을 취하는 경우(도 3c)를 비교하여 나타내는 설명도이다. 제 1 지연 시간 Td1이 제 2 지연 시 간 Td2보다도 작을 때에는, 지연 시간이 최소값을 취하는 경우보다도 최대값을 취하는 경우의 기간 Tw가 길어지는 것을 이해할 수 있다.

도 4는 제 1과 제 2 지연 시간 Td1, Td2가 동일할 때에, 지연 시간 Td1 및 Td2가 각각 최소값을 취하는 경우와 각각 최대값을 취하는 경우를 비교하여 나타내는 설명도이다. 2개의 지연 시간 Td1 및 Td2가 동일할 때에는, 지연 시간이 변동하여도, 기간 Tw의 길이는 거의 일정하게 유지된다.

도 5는 제 1 지연 시간 Td1이 제 2 지연 시간 Td2보다도 클 때에, 지연 시간 Td1 및 Td2가 각각 최소값을 취하는 경우와 최대값을 취하는 경우를 비교하여 나타내는 설명도이다. 제 1 지연 시간 Td1이 제 2 지연 시간 Td2보다도 클 때에는, 지연 시간이 최소값을 취하는 경우보다도 최대값을 취하는 경우의 기간 Tw가 짧아진다.

이와 같이, 기간 Tw(즉, 클록 신호의 상승 에지를 지연시켜 얻어진 지연 에지와, 하강 에지를 지연시켜 얻어진 지연 에지에 의해 사이에 끼워진 기간)의 길이에 대한 지연 시간 Td1 및 Td2의 변동 영향은 지연 시간 Td1 및 Td2의 대소 관계에 의존하고 있다. 따라서, 기간 Tw의 요구값 조건에 따라, 지연 시간 Td1 및 Td2의 대소 관계를 적절히 설정하는 것이 바람직하다. 예를 들면, 기간 Tw의 길이를 항상 거의 일정하게 하기 위해서는, 지연 시간 Td1 및 Td2를 동일하게 설정하는 것이 바람직하다.

펄스 신호 Q40은 RAM의 기록 제어뿐만 아니라 다른 용도에도 이용하는 것이 가능하다. 도 6은 펄스 신호 Q40을 데이터 버스 상의 데이터 전송을 위한 스트로 브 펄스로서 사용하는 예를 나타내는 설명도이다. 도 6b는 지연 시간 Td1 및 Td2가 최소값을 취하는 조건에서의 펄스 신호 Q40을 나타내고, 도 6d는 그 조건에서의 데이터 버스 상의 데이터

신호 타이밍을 나타내고 있다. 또한, 도 6c는 지연 시간 Td1 및 Td2가 최대값을 취하는 조건에서의 펄스 신호 Q40을 나타내고, 도 6e는 그 조건에서의 데이터 버스 상의 데이터 신호 타이밍을 나타내고 있다.

이 예로부터 이해할 수 있는 바와 같이, 지연 시간 Td1 및 Td2가 온도 의존성 등에 기인하여 변동하고, 이것에 따라 펄스 신호 Q40의 타이밍이 변화할 때에는, 데이터 버스 상의 데이터 신호 타이밍도 이것과 동일한 경향으로 변화한다. 즉, 데이터 신호의 변화점으로부터 펄스 신호 Q40의 하강 에지까지의 기간 Tp, 또는 펄스 신호 Q40의 상승 에지로부터 데이터 신호의 변화점까지의 기간 Tq는, 온도에 의한 영향을 받았다고 하여도 일정 이상의 길이로 유지된다. 따라서, 데이터 신호의 타이밍이 온도 의존성 등의 영향에 의해 변화하여도, 펄스 신호 Q40을 스트로브 펄스로서 사용하면, 데이터 전송을 확실하게 행하는 것이 가능하다. 또한, 상술한 바와 같이, 제 1 실시예의 회로(100)에 의하면, 펄스 신호 Q40의 주파수를 종래보다도 큰 값으로 설정할 수 있기 때문에, 데이터 전송을 고속으로 행하는 것이 가능하다.

B. 제 2 실시예:

도 7은 본 발명의 제 2 실시예의 펄스 신호 생성 회로(110)의 구성을 나타내는 블록도이다. 이 펄스 신호 생성 회로(110)는 전단회로(112)와, 후단회로(114)와, AND 게이트(50)를 갖고 있다. 전단회로(112)는 도 1에 나타낸 제 1 실시예의 펄스 신호 생성 회로(100)와 동일한 구성을 갖고 있다. 후단회로(114)는 2개의 DFF(24, 26)와, 2개의 지연 소자(34, 36)와, 2개의 입력 단자 중의 한쪽이 반전 입력 단자로 되어 있는 NAND 게이트(42)를 갖고 있다. 후단회로(114) 내의 각 소자 사이의 접속 상태는, 전단회로(112) 내의 각 소자 사이의 접속 상태와 기본적으로 동일하다. 또한, 후단회로(114) 내의 지연 소자(34, 36)는 전단회로(112) 내의 지연 소자(30, 32)와 각각 동일한 지연 시간 Td1 및 Td2를 갖고 있다. 다만, 후단회로(114) 내의 제 1 DFF(24)의 D 입력 단자에는 전단회로(112) 내의 제 2 DFF(22)로부터의 출력 Q22가 입력되어 있다. 또한, 전단회로(112)의 제 1 DFF(20)와 달리, 후단회로(114)의 제 1 DFF(24)의 반전 출력은 DFF(24)의 D 입력 단자에는 피드백되고 있지 않다. 또한, 후단회로(114) 내의 2개의 DFF(24, 26)는 초기 상태에서는 세트되어 있기 때문에, 초기 상태에서는 그들 출력 Q24 및 Q26은 H 레벨을 취한다. AND 게이트(50)는 전단회로(112)와 후단회로(114)의 출력 Q40 및 Q42(즉, 2개의 NAND 게이트(40, 42)의 출력)의 논리곱을 취함으로써, 최종적인 펄스 신호 Sout를 생성한다.

도 8은 제 2 실시예의 펄스 신호 생성 회로(110)의 동작을 나타내는 타이밍차트이다. 도 8a, 도 8b, 도 8c, 도 8d에 나타낸 신호 CLK, Q30, Q32, Q40은 전단회로(112)의 신호이며, 제 1 실시예에 있어서 도 2a, 도 2d, 도 2e, 도 2f에 나타낸 대응하는 신호와 각각 동일한 것이다. 또한, 도 8e, 도 8f, 도 8g에 나타낸 신호 Q34, Q36, Q42는 후단회로(114)의 신호이며, 전단 회로(112)에서의 신호 Q30, Q32, Q40으로부터 각각 클록 주기 Tc만큼 뒤로 시프트한 신호로 되어 있다. 예를 들면, 전단회로(112)로부터의 출력 Q40이 홀수번째 주기 Tc에서의 펄스 신호에 상당하고, 후단회로(114)로부터의 출력 Q42는 짝수번째 주기 Tc에서의 펄스 신호에 상당한다. AND 게이트(50)로부터 출력되는 펄스 신호 Sout는 이들 출력 Q40 및 Q42 중의 어느 한쪽이 L 레벨인 기간에 L 레벨로 되도록 이들 출력 Q40 및 Q42를 논리연산함으로써 생성되어 있다. 그 결과, 이 펄스 신호 Sout는 각 클록 주기 Tc마다 L 레벨로 되는 기간 Tw가 1회씩 나타나는 신호로 되어 있다.

이상의 설명으로부터 이해할 수 있는 바와 같이, 제 2 실시예의 펄스 신호 생성 회로(110)는, 클록 신호 CLK의 각 주기 Tc마다 L 레벨로 되는 기간 Tw가 1회씩 나타나는 펄스 신호 Sout를 생성할 수 있다. 또한, 이 펄스 신호 Sout를 반전시키면, 클록 신호 CLK의 각 주기 Tc마다 H 레벨로 되는 기간 Tw가 1회씩 나타나는 펄스 신호도 용이하게 생성 가능하다. 따라서, 제 2 실시예의 펄스 신호 생성 회로(110)에서는, 클록 신호 CLK의 각 주기 Tc마다 소정의 논리 레벨을 취하는 기간 Tw가 1회씩 나타나는 것과 같은 펄스 신호 Sout를 생성할 수 있다.

상술한 제 1 실시예에서의 RAM의 동작 주파수에 관한 계산은, 정확하게는 도 7에 나타낸 제 2 실시예의 펄스 신호 생성 회로(110)에 대하여 적용되는 것이다. 다만, 제 1 실시예의 펄스 신호 생성 회로(100)는, 도 13에 나타낸 회로의 약 1.9배의 주파수의 펄스 신호를 생성할 수 있는 점에 변화는 없다. 제 2 실시예의 펄스 신호 생성 회로(110)는, 제 1 실시예의 펄스 신호 생성 회로(100)의 2배의 주파수를 갖는 펄스 신호를 생성할 수 있다.

C. 제 3 실시예:

도 9는 본 발명의 제 3 실시예의 펄스 신호 생성 회로(120)의 구성을 나타내는 블록도이다. 이 펄스 신호 생성 회로(120)는, 도 7에 나타낸 제 2 실시예의 회로로부터 2개의 DFF(24, 26)를 생략한 구성을 갖고 있다. 또한, 이 회로(120)에서는, 2개의 지연 소자(34, 36)의 입력이 제 2 실시예의 회로와는 상이하다. 즉, 제 1 지연 시간 Td1을 갖는 지연 소자(34)에는 제 1 DFF(20)의 반전 출력이 입력되어 있고, 제 2 지연 시간 Td2를 갖는 지연 소자(36)에는 제 2 DFF(22)의 반전 출력이 입력되어 있다.

이 제 3 실시예의 펄스 신호 생성 회로(120)도 제 2 실시예의 펄스 신호 생성 회로(110)와 거의 동일한 펄스 신호 Sout를 생성할 수 있다. 또한, 제 3 실시예는 제 2 실시예보다도 회로 구성이 단순하다는 이점이 있다.

D. 제 4 실시예:

도 10은 본 발명의 제 4 실시예의 펄스 신호 생성 회로(130)의 구성을 나타내는 블록도이다. 이 펄스 신호 생성 회로(130)는 도 9에 나타낸 제 3 실시예의 회로로부터 2개의 지연 소자(34, 36)를 생략한 구성을 갖고 있다. 또한, 이 펄스 신호 생성 회로(130)에서는, 제 1 지연 소자(30)의 출력 Q30이 제 1 NAND 게이트(40)의 비반전 입력 단자와 제 2 NAND 게이트(42)의 반전 입력 단자에 입력되어 있다. 또한, 제 2 지연 소자(32)의 출력 Q32가 제 1 NAND 게이트(40)의 반전 입력 단자와 제 2 NAND 게이트(42)의 비반전 입력 단자에 입력되어 있다.

이 제 4 실시예의 펄스 신호 생성 회로(130)도 제 2 실시예 또는 제 3 실시예의 펄스 신호 생성 회로와 거의 동일한 펄스 신호 Sout를 생성할 수 있다. 또 한, 제 4 실시예는 제 3 실시예보다도 회로 구성이 더 단순하다는 이점이 있다.

E. 제 5 실시예:

도 11은 본 발명의 제 5 실시예의 펄스 신호 생성 회로(140)의 구성을 나타내는 블록도이다. 이 펄스 신호 생성 회로(140)는, 도 10에 나타낸 제 4 실시예의 회로의 2개의 NAND 게이트(40, 42)와 AND 게이트(50)를 1개의 EXNOR 게이트(60)로 치환한 구성을 갖고 있다. 이 제 5 실시예의 펄스 신호 생성 회로(140)도 제 2 내지 제 4 실시예의 펄스 신호 생성 회로와 거의 동일한 펄스 신호 Sout를 생성할 수 있다.

F. 제 6 실시예:

도 12는 본 발명의 제 6 실시예의 펄스 신호 생성 회로(150)의 구성을 나타내는 블록도이다. 이 펄스 신호 생성 회로(150)는 도 11에 나타낸 제 5 실시예의 회로의 제 1 DFF(20)의 D 입력 단자의 전단에 이네이블 제어회로(70)를 추가한 구성을 갖고 있다. 이네이블 제어회로(70)는 2개의 AND 게이트(72, 74)와, OR 게이트(76)를 갖고 있다. 제 1 AND 게이트(72)의 2개의 입력 단자 중의 한쪽은 반전 입력 단자이다.

외부로부터 부여되는 이네이블 신호 EN은, 제 1 AND 게이트(72)의 반전 입력 단자와 제 2 AND 게이트(74)의 한쪽 입력 단자에 공통으로 입력된다. 제 1 AND 게이트(72)의 다른쪽 입력 단자에는 제 1 DFF(20)의 출력 Q20이 입력되어 있다. 또한, 제 2 AND 게이트(74)의 다른쪽 입력 단자에는 제 1 DFF의 반전 출력 #Q20이 입력되어 있다. 2개의 AND 게이트(72, 74)의 출력은 OR 게이트(76)에 입력되어 있 고, OR 게이트(76)의 출력은 제 1 DFF의 D 입력 단자에 공급되어 있다.

이 제 6 실시예의 펄스 신호 생성 회로(150)에서는, 이네이블 신호 EN의 레벨에 의해 동작의 유무가 제어된다. 즉, 이네이블 신호 EN이 L 레벨일 때에는 펄스 신호 생성 회로(150)는 동작하지 않고, 펄스 신호 Sout는 L 레벨로 유지된다. 한편, 이네이블 신호 EN이 H 레벨일 때에는, 펄스 신호 생성 회로(150)는 상술한 도 8h에 나타낸 펄스 신호 Sout를 생성한다.

이 예로부터도 이해할 수 있는 바와 같이, 본 발명의 펄스 신호 생성 회로로서는 다양한 회로 구성을 채용할 수 있으며, 펄스 신호를 생성하는 기능 이외의 다른 기능을 실현하기 위해 부가적인 회로를 설치할 수도 있다.

G. 변형례:

또한, 본 발명은 상기 실시예 또는 실시형태에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 다양한 형태로 실시할 수 있고, 예를 들어, 다음과 같은 변형이 가능하다.

G1. 변형례 1:

상기 실시예에서는, 클록 신호의 에지를 검출하는 에지 검출회로로서 복수의 DFF을 사용하고 있었지만, DFF 이외의 회로 소자를 사용하여 에지 검출회로를 구성할 수도 있다.

G2. 변형례 2:

상기 실시예에서는, 클록 신호 CLK의 1 주기 중에서 일정 기간 Tw만큼 L 레벨로 되는 것과 같은 펄스 신호를 생성하고 있었지만, 본 발명은 그 이외의 다양한 펄스 신호를 생성하기 위한 회로에 적용할 수 있다.

G3. 변형례 3:

제 2 실시예(도 7) 또는 제 3 실시예(도 8)의 회로에서는, 클록 신호의 상승 에지로부터 제 1 지연량 Td1만큼 지연된 에지를 갖는 2개의 제 1 지연 신호 Q30 및 Q34가 생성되어 있으며, 클록 신호의 하강 에지로부터 제 2 지연량 Td2만큼 지연된 에지를 갖는 2개의 제 2 지연 신호 Q32 및 Q36이 생성되어 있다. 한편, 제 1 실시예(도 1) 또는 제 4 실시예(도 10), 제 5 실시예(도 11), 제 6 실시예(도 12)의 회로에서는, 제 1 지연 신호 Q30과 제 2 지연 신호 Q32는 모두 1개씩만 생성되어 있다. 이것으로부터 이해할 수 있는 바와 같이, 본 발명에서는, 클록 신호의 상승 에지로부터 제 1 지연량으로 지연된 에지를 갖는 적어도 1개의 제 1 지연 신호가 생성되는 동시에, 클록 신호의 하강 에지로부터 제 2 지연량으로 지연된 에지를 갖는 적어도 1개의 제 2 지연 신호가 생성된다. 그리고, 이들 적어도 1개의 제 1 지연 신호와 적어도 1개의 제 2 지연 신호의 논리 연산을 행함으로써 펄스 신호가 생성된다.

발명의 효과

상술한 바와 같이 본 발명의 펄스 신호 생성 회로에 따르면, 지연 소자에서의 지연 시간 변동을 고려하여도, 클록 신호의 주기를 과도하게 저하시키지 않고 펄스 신호의 특정 기간에 관한 요구값을 만족시킬 수 있다.

(57) 청구의 범위

청구항 1.

일정 주기의 클록 신호로부터 특정 펄스 신호를 생성하기 위한 회로로서,

상기 클록 신호의 상승 에지와 하강 에지를 검출하는 에지 검출부와,

제 1 지연량을 갖는 적어도 1개의 제 1 지연 소자를 갖고, 상기 클록 신호의 상승 에지로부터 상기 제 1 지연량으로 지연된 제 1 지연 에지를 갖는 적어도 1개의 제 1 지연 신호를 생성하는 제 1 지연 신호 생성부와,

제 2 지연량을 갖는 적어도 1개의 제 2 지연 소자를 갖고, 상기 클록 신호의 하강 에지로부터 상기 제 2 지연량으로 지연된 제 2 지연 에지를 갖는 적어도 1개의 제 2 지연 신호를 생성하는 제 2 지연 신호 생성부와,

상기 적어도 1개의 제 1 지연 신호와 상기 적어도 1개의 제 2 지연 신호의 논리 연산을 행함으로써 상기 펄스 신호를 생성하는 논리 연산부를 구비하는 것을 특징으로 하는 펄스 신호 생성 회로.

청구항 2.

제 1 항에 있어서,

상기 펄스 신호의 1 주기는 상기 클록 신호의 1 주기와 동일하게 설정되는 것을 특징으로 하는 펄스 신호 생성 회로.

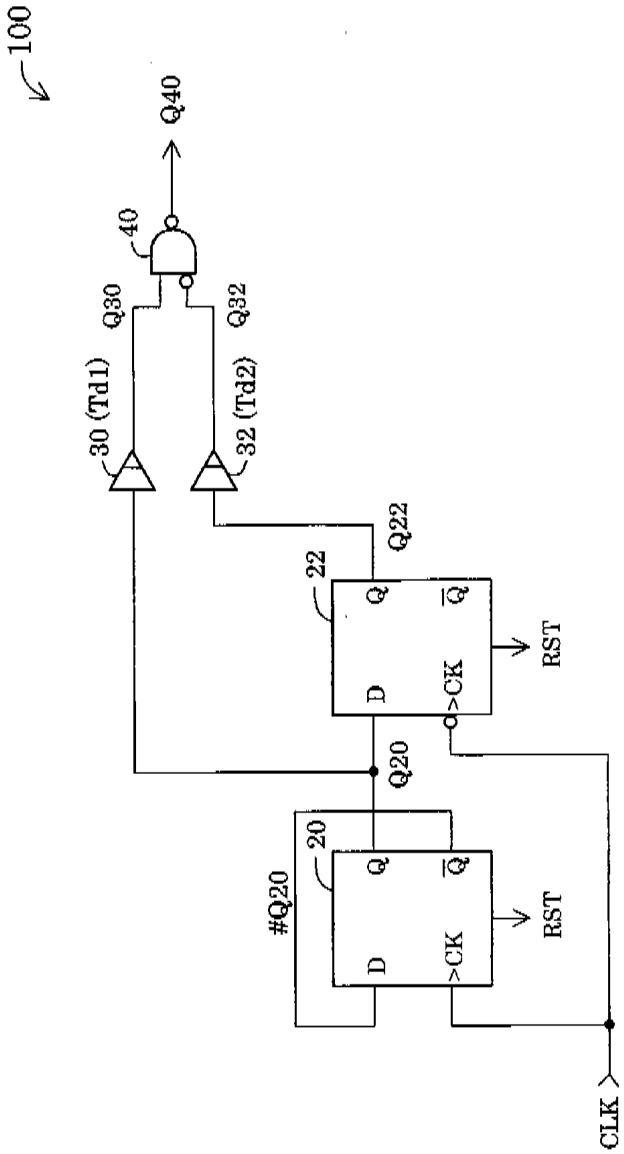
청구항 3.
제 1 항 또는 제 2 항에 있어서,
상기 제 1과 제 2 지연량은 상기 클록 신호의 1 주기의 1/2 미만의 값으로 각각 설정되어 있는 것을 특징으로 하는 펄스 신호 생성 회로.

청구항 4.
제 1 항 또는 제 2 항에 있어서,
상기 제 1과 제 2 지연량은 서로 동일한 것을 특징으로 하는 펄스 신호 생성 회로.

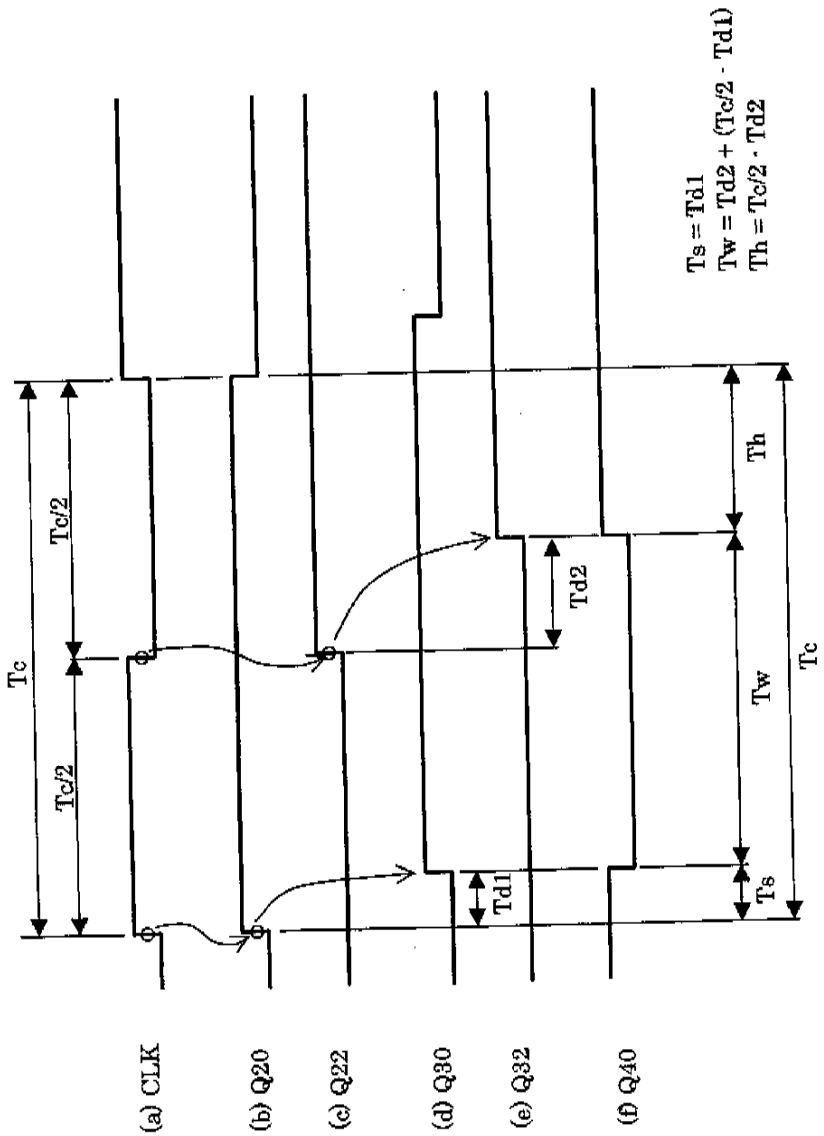
청구항 5.
제 1 항 또는 제 2 항에 있어서,
상기 에지 검출부는,
제 1 클록 입력 단자와 제 1 D 입력 단자와 제 1 출력 단자와 제 1 반전 출력 단자를 갖고, 상기 클록 신호가 제 1 클록 입력 단자에 입력되어 있는 동시에, 상기 제 1 반전 출력 단자로부터의 반전 출력이 상기 제 1 D 입력 단자에 피드백되고 있는 제 1 D 플립플롭(이하, 「DFF」라고 칭함)과,
제 2 클록 입력 단자와 제 2 D 입력 단자와 제 2 출력 단자와 제 2 반전 출력 단자를 갖고, 상기 클록 신호를 반전시킨 반전 클록 신호가 상기 제 2 클록 입력 단자에 입력되어 있는 동시에, 상기 제 1 DFF의 상기 제 1 출력 단자로부터의 출력이 상기 제 2 D 입력 단자에 입력되어 있는 제 2 DFF을 구비하고 있으며,
상기 제 1 DFF의 상기 제 1 출력 단자로부터의 출력이 상기 제 1 지연 소자에 입력되어 있는 동시에, 상기 제 2 DFF의 상기 제 2 출력 단자로부터의 출력이 상기 제 2 지연 소자에 입력되어 있는 것을 특징으로 하는 펄스 신호 생성 회로.

도면

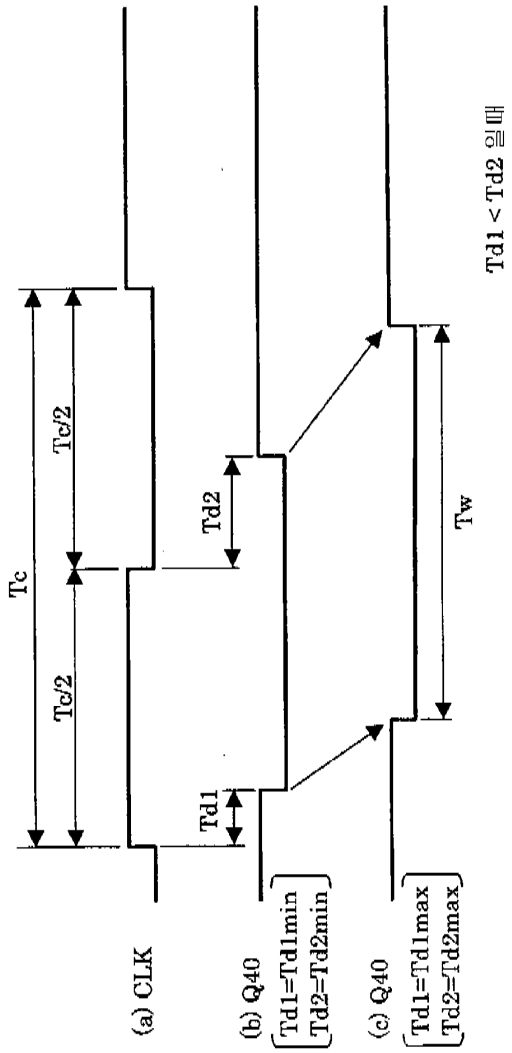
도면1


100
Q40
40
Q30
Q32
30 (Td1)
32 (Td2)
Q22
22
Q
$\overline{Q}$
D
>CK
RST
Q20
20
#Q20
CLK

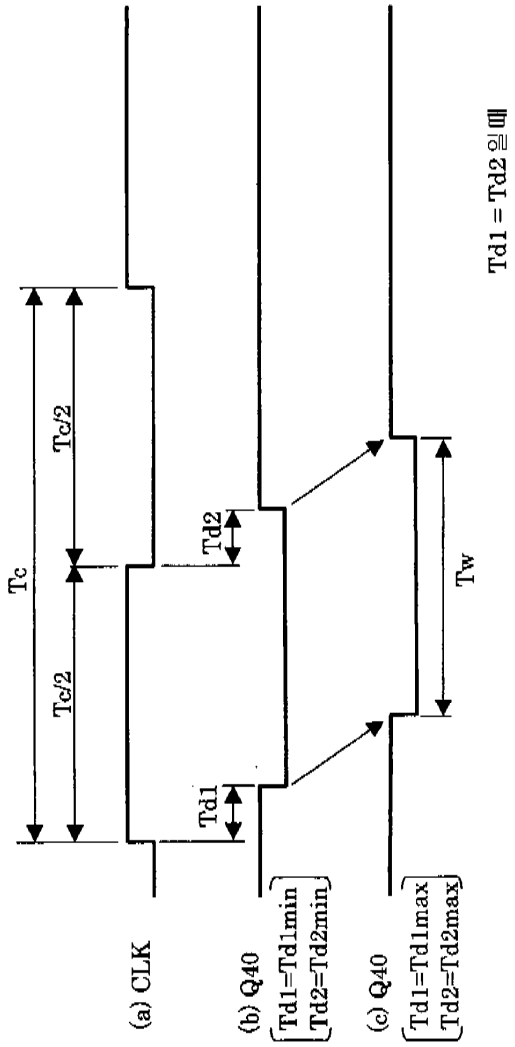
도면2


Ts = Td1
Tw = Td2 + (Tc/2 - Td1)
Th = Tc/2 - Td2
Tc
Tc/2
Tc/2
Td2
Td1
Th
Tw
Ts
Tc
(a) CLK
(b) Q20
(c) Q22
(d) Q30
(e) Q32
(f) Q40

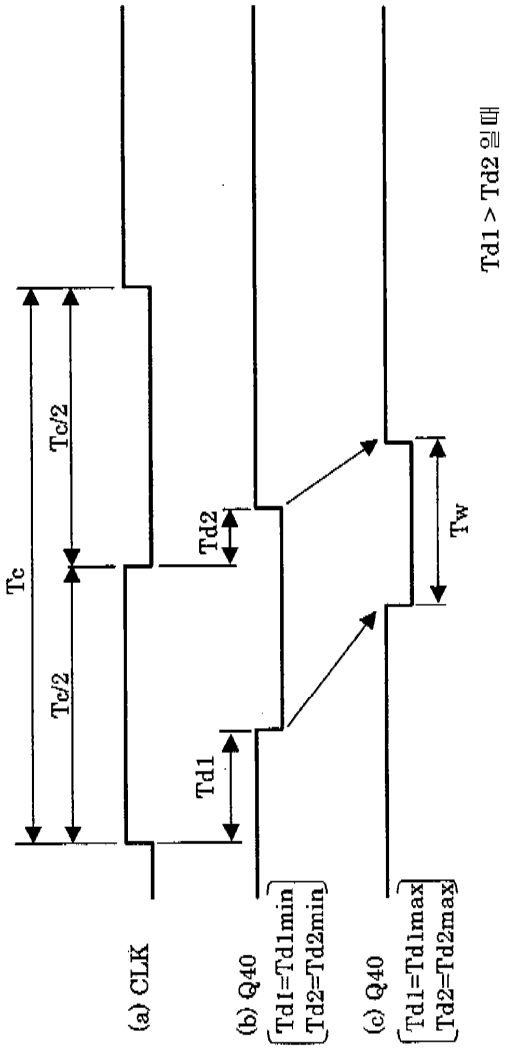
도면3


Td1 < Td2 일때
Tc
Tc/2
Tc/2
Td2
Td1
Tw
(a) CLK
(b) Q40
Td1=Td1min
Td2=Td2min
(c) Q40
Td1=Td1max
Td2=Td2max

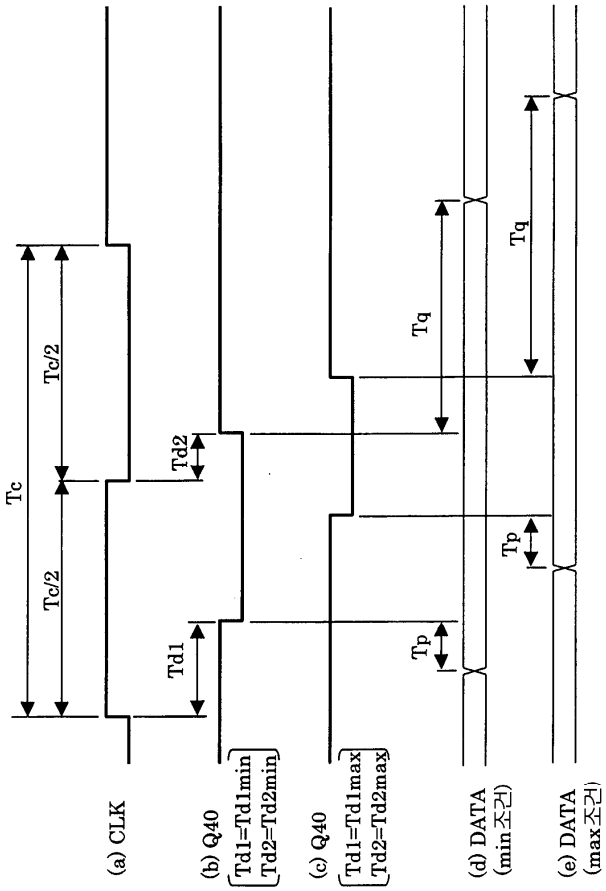
도면4


Tc
Tc/2
Tc/2
Td2
Td1
Tw
Td1 = Td2 일 때
(a) CLK
(b) Q40
Td1=Td1min
Td2=Td2min
(c) Q40
Td1=Td1max
Td2=Td2max

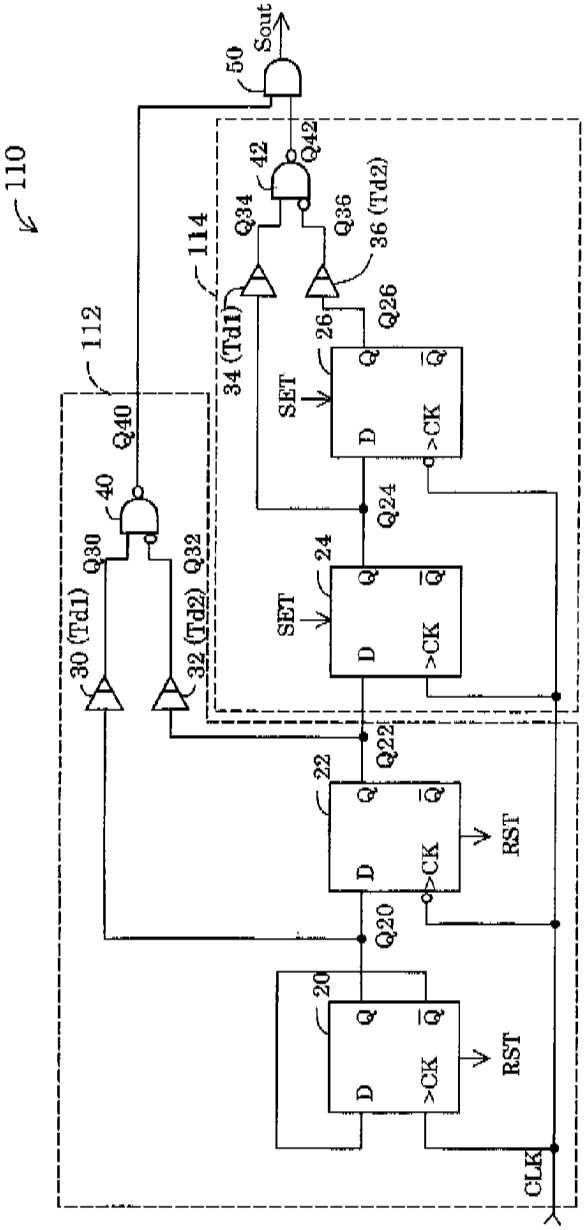
도면5


Td1 > Td2 일때
Tc
Tc/2
Tc/2
Td2
Td1
Tw
(a) CLK
(b) Q40
Td1=Td1min
Td2=Td2min
(c) Q40
Td1=Td1max
Td2=Td2max

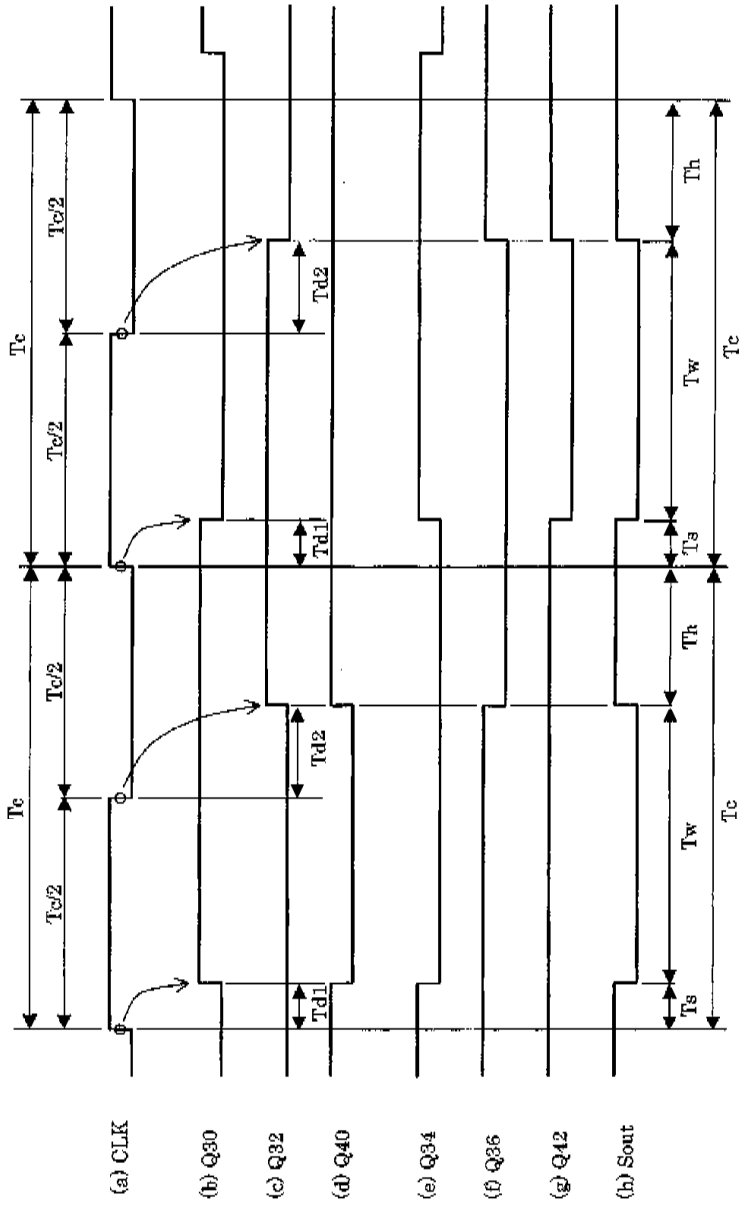
도면6


Tc
Tc/2
Tc/2
Td2
Td1
Tq
Tq
Tp
Tp
(a) CLK
(b) Q40
Td1=Td1min
Td2=Td2min
(c) Q40
Td1=Td1max
Td2=Td2max
(d) DATA
(min조건)
(e) DATA
(max조건)

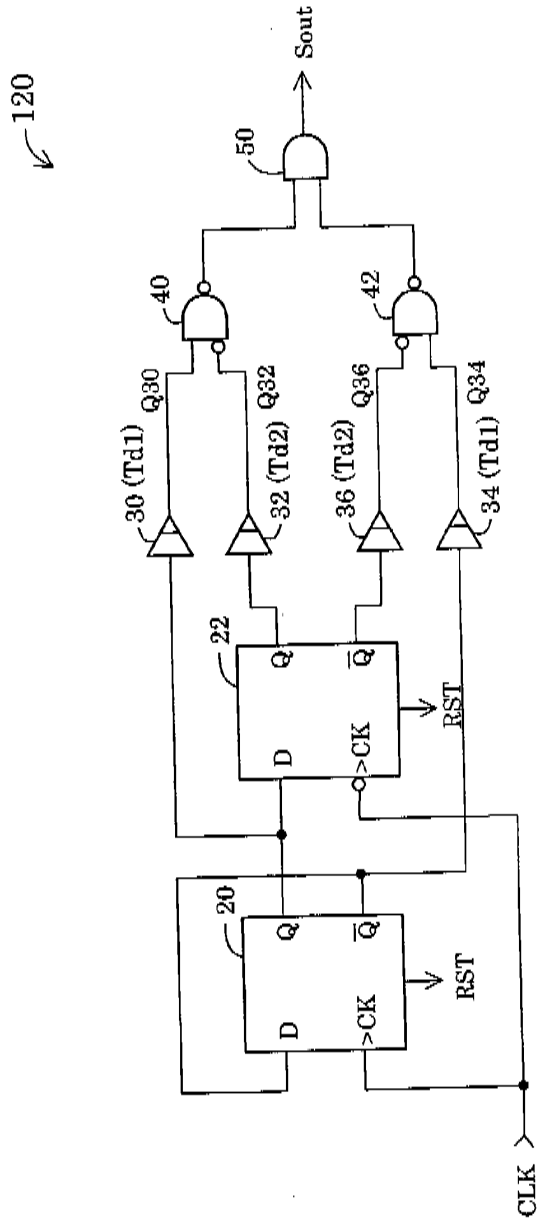
도면7


110
112
114
50
Sout
42
Q42
Q34
Q36
36 (Td2)
34 (Td1)
26
Q26
SET
D
Q
>CK
Q24
24
Q40
40
Q30
Q32
30 (Td1)
32 (Td2)
Q22
22
RST
Q20
20
CLK

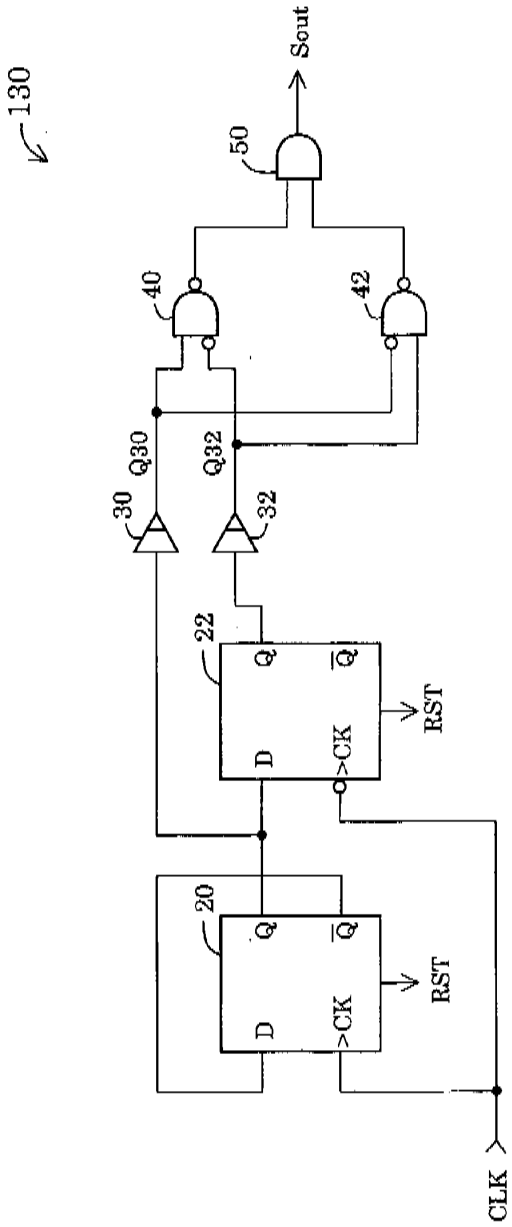
도면8


Tc
Tc/2
Tc/2
Td2
Td1
Th
Tw
Ts
(a) CLK
(b) Q30
(c) Q32
(d) Q40
(e) Q34
(f) Q36
(g) Q42
(h) Sout

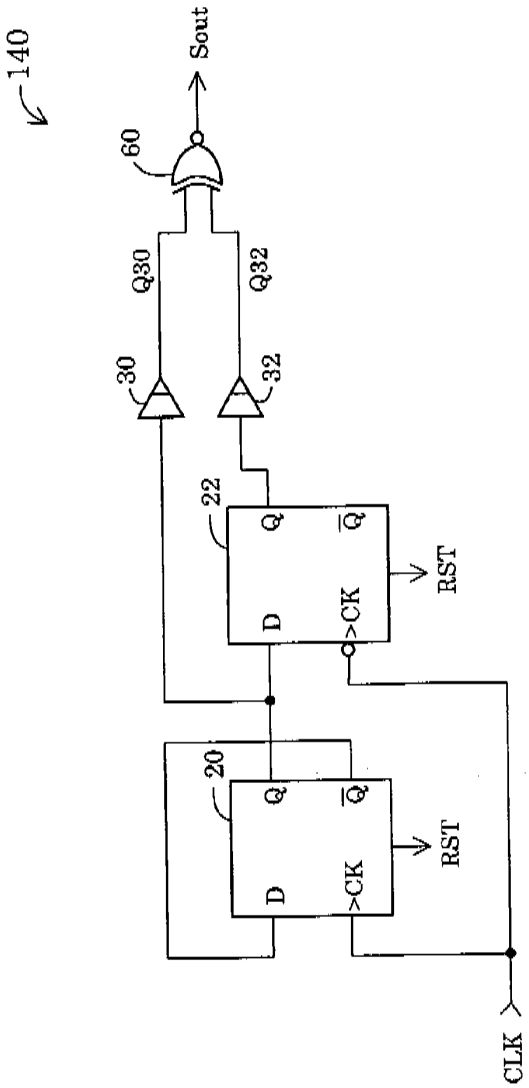
도면9


120
Sout
50
40
42
Q30
Q32
Q36
Q34
30 (Td1)
32 (Td2)
36 (Td2)
34 (Td1)
22
20
Q
$\overline{Q}$
D
>CK
RST
CLK

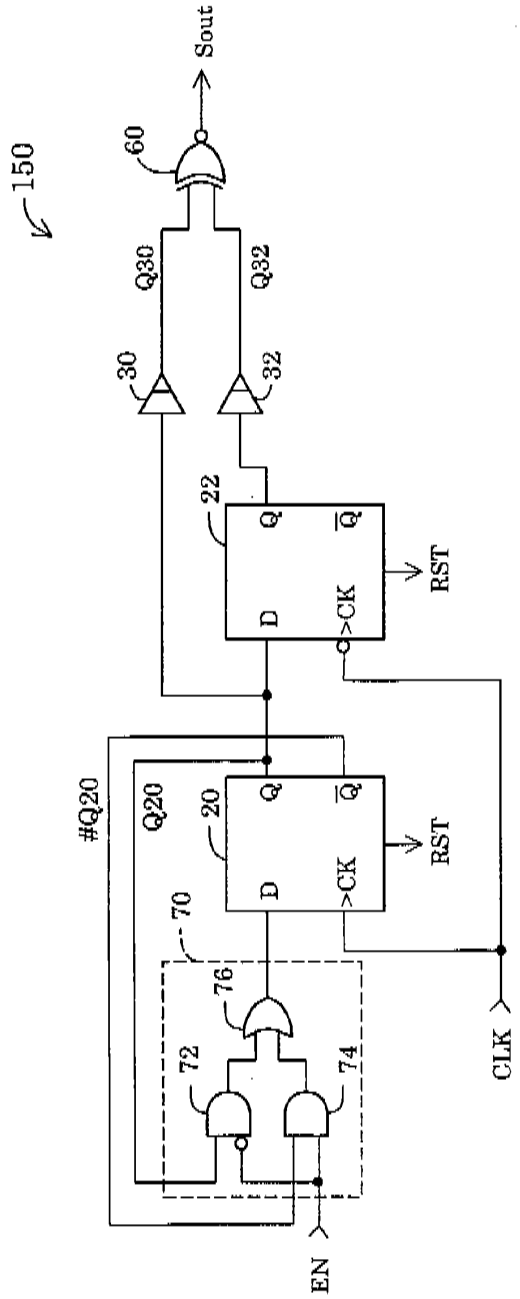
도면10


130
Sout
50
40
42
Q30
Q32
30
32
22
Q
$\overline{Q}$
D
>CK
RST
20
Q
$\overline{Q}$
D
>CK
RST
CLK

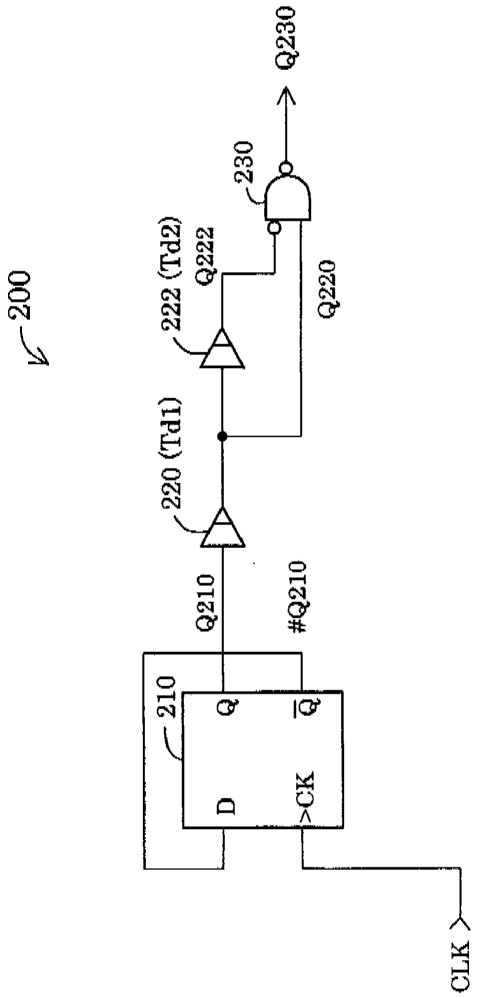
도면11


140
Sout
60
Q30
Q32
30
32
22
Q
$\overline{Q}$
D
>CK
RST
20
Q
$\overline{Q}$
D
>CK
RST
CLK

도면12


150
Sout
60
Q30
Q32
30
32
22
Q
$\overline{Q}$
D
>CK
RST
#Q20
Q20
20
70
76
72
74
EN
CLK

도면13



도면14