

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年5月28日 (28.05.2009)

PCT

(10) 国際公開番号
WO 2009/066479 A1

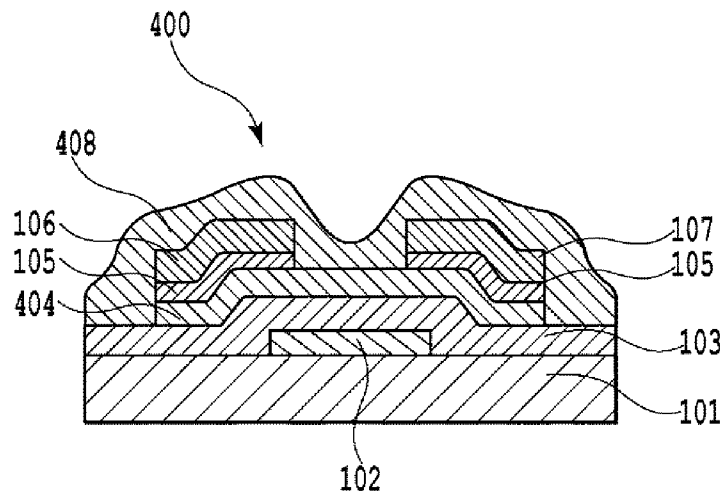
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 21/205 (2006.01)
- (21) 国際出願番号: PCT/JP2008/059258
- (22) 国際出願日: 2008年5月20日 (20.05.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-303665 2007年11月22日 (22.11.2007) JP
特願 2008-019658 2008年1月30日 (30.01.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士電機ホールディングス株式会社 (FUJI ELECTRIC HOLDINGS CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 西浦 眞治 (NISHIURA, Masaharu) [JP/JP]; 〒1918502 東京都日野市富士町 1 番地 富士電機アドバンステクノロジー株式会社内 Tokyo (JP).
- (74) 代理人: 谷 義一, 外 (TANI, Yoshikazu et al.); 〒1070052 東京都港区赤坂 2 丁目 6 - 2 0 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,

[続葉有]

(54) Title: THIN-FILM TRANSISTOR AND PROCESS FOR PRODUCING THE THIN-FILM TRANSISTOR

(54) 発明の名称: 薄膜トランジスタ及びその製造方法

[[図4]]



(57) Abstract: This invention provides a process for producing a thin-film transistor comprising a channel layer formed of microcrystalline silicon at low cost. An intrinsic microcrystalline silicon layer (404) with a thin-film transistor (400) can be formed as follows. After the formation of a gate insulating layer (103), the surface of the gate insulating layer (103) is treated with plasma by allowing hydrogen to flow for a predetermined period of time. Subsequently, during the plasma treatment, a starting material gas is introduced to form an intrinsic microcrystalline silicon layer (404) formed of an intrinsic microcrystalline silicon on the gate insulating layer (103). The microcrystalline silicon is formed in such a manner that silicon is activated in the sea of hydrogen and is aggregated. Accordingly, in the process, the surface of the gate insulating layer (103) is filled with hydrogen for activation, and, in this state, silicon is introduced.

(57) 要約: 微結晶シリコンにより構成されたチャネル層を備える薄膜トランジスタを安価に製造する方法を提供することを目的とする。薄膜トランジスタ (400) の備えるイントリンシック微結晶シリコン層 (404) は、次のように形成することができ

[続葉有]



WO 2009/066479 A1



NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 国際調査報告書

る。ゲート絶縁層（１０３）の形成後に、ゲート絶縁層（１０３）の表面を、予め定めた時間にわたり水素を流してプラズマ処理する。ついで、プラズマ処理を継続している間に、原料ガスを導入してイントリンシック微結晶シリコンにより構成されたイントリンシック微結晶シリコン層（４０４）をゲート絶縁層（１０３）上に形成する。微結晶シリコンは、いわば水素の海の中でシリコンが活性化されて凝集することにより形成されるということから、この方法は、ゲート絶縁層（１０３）の表面を水素で満たして活性化し、その状態でシリコンを導入するものである。

明 細 書

薄膜トランジスタ及びその製造方法

技術分野

[0001] 本発明は、薄膜トランジスタ(TFT)及びその製造方法に関し、より詳細には、微結晶シリコンにより構成されたチャネル層を備える薄膜トランジスタ及びその製造方法に関する。

背景技術

[0002] 表示装置に適用される発光素子の一例として、有機化合物の薄膜積層構造を有する有機EL発光素子(OLED)が知られている。有機EL発光素子は、薄膜の自発光型素子であり、低駆動電圧、高解像度、高視野角、およびフルカラー表示可能といった優れた特徴を有することから、その実用化に向けて様々な検討がなされている。たとえば、携帯端末機、産業用計測器、家庭用テレビ等への応用が考えられる。

[0003] EL発光の制御には、画素ごとに駆動トランジスタとしてTFTを設けるアクティブマトリックス方式がある。図1は、アクティブマトリックス方式に用いられる従来の有機EL発光素子を示している。有機EL発光素子100は、ガラス基板101と、ガラス基板101上のゲート電極102と、ゲート電極102上のゲート絶縁層103と、ゲート絶縁層103上のイントリンシックアモルファスシリコン(a-Si)層104と、イントリンシックa-Si層104上のn型a-Si層105と、n型a-Si層105上のソース電極106およびドレーン電極107とを有するTFT110を備える。加えて、有機EL発光素子100は、TFT110上の層間絶縁層121と、層間絶縁層121上の下部電極であって、スルーホール122を通じてドレーン電極107と接続された下部電極123と、下部電極123上の有機発光層124と、有機発光層124上の透明電極125とをさらに備える。

[0004] ガラス基板101は、プラスチック等の絶縁基板としてもよい。ゲート電極102は、フォトリソグラフィ法等により所望の形状にパターンニングされている。材料はCr等の金属であり、膜厚は25nm程度である。ゲート絶縁層103は、CVD法、スパッタ法等により形成された SiN 、 SiO_2 、 SiN_xO_y 等の絶縁体である。膜厚は100nm程度である。イントリンシックa-Si層104は、プラズマCVD法等により50nm程度、n型a-Si105は、

プラズマCVD法等により10nm程度堆積される。ソース電極106およびドレーン電極107は、n型a-Si105上にCr等を25nm程度スパッタリング等により蒸着をした後に、フォトリソグラフィ法を用いて所望の形状にパターンニングすることで得られる。n型a-Si105は、このようにして得られたソース電極106およびドレーン電極107のCrパターンをマスクとして、ソース電極106およびドレーン電極107と同じサイズにパターンニングされる。この際、イントリンシックa-Si層104を削り込まないように注意することが重要である。

[0005] 有機EL発光素子100は、次のように動作する。画像信号(図示せず)が伝えられると、制御ICまたは制御用TFT(ともに図示せず)において適切な制御信号に変換され、ゲート電極102に伝えられる。その信号がTFT110の閾値を超えると、TFT110のチャンネル層であるイントリンシックa-Si層104が導通状態となり、ドレーン電極107の電位がソース電極106の電位に近くなる。ソース電極106は、配線(図示せず)によりアース電位になっており、また透明電極125は、配線(図示せず)により5V等の電位に接続されている。したがって、有機発光層124の両端間に5Vの電位が印加され、光が発光される。なお、TFT110は、有機ELにとどまらずLCD用としても有用である。

[0006] 図2は、図1の有機EL発光素子が備えるa-Si TFTのみを示している。a-Si TFT110は、チャンネル層がa-Siにより構成されており、LTPS(低温多結晶シリコン)で必要な多結晶化プロセスが不要である。また、a-Si TFTを用いる場合、4枚のフォトリソグラフィーマスクでTFTを形成することが可能であり、コストパフォーマンスが良い。そのため、大面積化が容易で、ばらつきも少なく、かつ低コストで製造可能というメリットがある。しかしながら、a-Si TFT110には次の2つの欠点がある。電流を流して駆動すると、閾値が変動して画質が劣化するという点と、移動度が小さいために電流を流す能力が低く、駆動する有機ELの画質を上げるため又は精細度を向上させるために、画素サイズを小さくする必要があるが、TFTのサイズを小さく出来ないで画素サイズに限界がある点である。a-Si TFTを用いると移動度は $0.5\text{cm}^2/\text{Vs}$ 以下であるが、有機EL発光素子を駆動するためのTFTの移動度としては、 $1\text{cm}^2/\text{Vs}$ 以上、特にゲート絶縁層との界面において $1\text{cm}^2/\text{Vs}$ 以上であることが望ま

れる。

[0007] 以上の欠点はチャネル層に多結晶シリコンを用いれば低減されるものであるが、それではチャネル層をa-Siにより構成することのメリットが得られない。そこで、a-Si太陽電池関係者には古くから知られているように、a-Si層形成のプロセス条件を選ぶことによって微結晶化されたa-Si層を形成することができることを利用することが考えられる。しかしながら、この技術を用いて有機EL発光素子に使用されるTFTの製造に成功した例はない。

[0008] 例えば、非特許文献1には、微結晶化されたa-Si、すなわち微結晶シリコンをPECVD(プラズマCVD)により形成したTFTの例が示されている。図3にその例を模式的に示す。TFT300は、ガラス基板101と、ガラス基板101上のゲート電極102と、ゲート電極102上のゲート絶縁層103と、ゲート絶縁層103上の微結晶シリコン層304と、微結晶シリコン層304上のn型a-Si層105と、n型a-Si層105上のソース電極106およびドレイン電極107とを備える。TFT300は、チャネル層がa-Siではなく微結晶シリコンであるにも関わらず、閾値が変動する欠点があり、かつ移動度がa-Siよりも小さい値を示している。非特許文献1の著者らは、これは微結晶シリコンを成膜させるPECVDのプロセス条件においても、ゲート絶縁層103との界面付近の領域304Aでは、200 Å (オングストローム)程度はa-Siとなっていることが理由であると見出している。つまり、チャネル層が十分に微結晶化されたa-Siにより構成されていない。

[0009] また、非特許文献2には、チャネル層を微結晶シリコンにより構成したTFTを備えるディスプレイが、a-Siの欠点を克服し、大型ディスプレイに適したものとして示されているが、この微結晶シリコンは、a-Siをレーザでアニールするなどの複雑な工程を経て作製されている。また、この微結晶シリコンの結晶分率は70%であったと記載されている。

[0010] また、特許文献1には、シリコン窒化物層上に微結晶シリコン層を形成する方法として、微結晶シリコン層を形成する前に、シリコン窒化物層にプラズマ処理を施すものが記載されている(特許文献1段落0021~0023参照)。この方法によれば微結晶シリコン層の微結晶化をa-Si層よりも進めることができると記載されている(特許文献1

段落0024参照)が、結晶分率は、たとえば H_2 を反応ガスとしてプラズマ処理を行った場合に約50%、他の反応ガスを用いた場合に70%前後であったという結果が示されている(特許文献1段落0029~0031参照)。これは、非特許文献1の知見から分かるように、絶縁層(シリコン窒化物層)との界面付近の領域が微結晶化されておらず、a-Siであることによる。

[0011] また、特許文献2には、水素希釈率200以上の条件でシリコン膜を形成し、水素希釈率を2~100に変更して、先に形成したシリコン膜上で成膜を続けることによって微結晶シリコン層を形成する方法が記載されている(特許文献2段落0030参照)が、結晶分率は最高でも70%であったという結果が示されている(特許文献2段落0042参照)。特許文献3にも同様の開示がされている。

[0012] 本発明は、このような問題点に鑑みてなされたものであり、その第1の目的は、微結晶シリコンにより構成されたチャネル層を備える薄膜トランジスタを安価に製造する方法を提供することにある。

[0013] また、その第2の目的は、駆動中の閾値変動が小さくかつ移動度の高い、安価な薄膜トランジスタを提供することにある。

[0014] 特許文献1:特開2007-221137号公報

特許文献2:特開平6-196701号公報

特許文献3:特開平8-148690号公報

非特許文献1:C. Y. Wu et al, "The Structure of Hydrogenated Microcrystalline Silicon (μ c-Si:H) TFT Deposited by PECVD," IDW'06, pp. 765-768

非特許文献2:T. Arai et al, "Micro Silicon Technology for Active Matrix OLED Display," SID07 DIGEST, p. 1370

発明の開示

[0015] このような目的を達成するために、本発明の第1の態様は、薄膜トランジスタの製造方法であって、ゲート絶縁層の形成後に、前記ゲート絶縁層の表面を、予め定めた時間にわたり水素を流してプラズマ処理するプラズマ処理ステップと、前記プラズマ処理ステップの継続中に、前記ゲート絶縁層上に、原料ガスを導入して微結晶シリコンにより構成されたチャネル層を形成するチャネル層形成ステップとを含むことを特

徴とする。

- [0016] また、本発明の第2の態様は、第1の態様において、前記予め定めた時間は、前記チャンネル層形成ステップにおいて、原料ガスを導入して一定の粒子サイズ以上の微結晶シリコンが得られる前処理時間であることを特徴とする。
- [0017] また、本発明の第3の態様は、第2の態様において、絶縁基板上に、ゲート電極および前記ゲート電極上の前記ゲート絶縁層を形成するステップと、前記チャンネル層上に、n型アモルファスシリコン層および前記n型アモルファスシリコン層上のメタル電極を形成するステップとをさらに含むことを特徴とする。
- [0018] また、本発明の第4の態様は、第2の態様において、絶縁基板上に、ゲート電極および前記ゲート電極上の前記ゲート絶縁層を形成するステップと、前記チャンネル層上に、p型アモルファスシリコン層および前記p型アモルファスシリコン層上のメタル電極を形成するステップとをさらに含むことを特徴とする。
- [0019] また、本発明の第5の態様は、薄膜トランジスタの製造方法であって、ゲート絶縁層の形成後に、前記ゲート絶縁層上にシードを形成するシード形成ステップと、前記ゲート絶縁層および前記シードの表面を、予め定めた時間にわたり水素を流してプラズマ処理するプラズマ処理ステップと、前記プラズマ処理ステップの継続中に、前記ゲート絶縁層および前記シード上に、原料ガスを導入して微結晶シリコンにより構成されたチャンネル層を形成するチャンネル層形成ステップとを含むことを特徴とする。
- [0020] また、本発明の第6の態様は、第5の態様において、前記予め定めた時間は、前記チャンネル層形成ステップにおいて、原料ガスを導入して一定の粒子サイズ以上の微結晶シリコンが得られる前処理時間であることを特徴とする。
- [0021] また、本発明の第7の態様は、第6の態様において、前記シード形成ステップは、前記ゲート絶縁層上に、水素で希釈した原料ガスをプラズマ分解して、上層部が微結晶シリコンとなる膜厚以上のシード用シリコン層を形成するシード用シリコン層形成ステップと、前記シード用シリコン層をパターニングして、ドットパターン又はラインパターンのシードを形成するパターニングステップとを含むことを特徴とする。
- [0022] また、本発明の第8の態様は、第7の態様において、前記プラズマ処理ステップの前に、前記シードをレーザ照射するレーザ照射ステップをさらに含むことを特徴とす

る。

- [0023] また、本発明の第9の態様は、第6の態様において、前記シード形成ステップは、前記ゲート絶縁層上にトレンチを形成し、水素で希釈した原料ガスをプラズマ分解して、上層部が微結晶シリコンとなる膜厚以上のシード用シリコン層を前記トレンチに埋め込むシード用シリコン層形成ステップと、前記シード用シリコン層をエッチングし、前記トレンチ内にのみ前記シード用シリコン層を残してシードを形成するエッチングステップとを含むことを特徴とする。
- [0024] また、第10の態様は、第9の態様において、前記トレンチの大きさは、表面積が $0.5\mu\text{m}^2$ 以上 $3.5\mu\text{m}^2$ 以下、深さが 100nm 以上であることを特徴とする。
- [0025] また、本発明の第11の態様は、第9の態様において、前記プラズマ処理ステップの前に、前記シードをレーザ照射するレーザ照射ステップをさらに含むことを特徴とする。
- [0026] また、本発明の第12の態様は、本発明の第11の態様において、前記トレンチの大きさは、表面積が $0.5\mu\text{m}^2$ 以上 $3\mu\text{m}^2$ 以下、深さが 30nm 以上であることを特徴とする。
- [0027] また、本発明の第13の態様は、第1から第12の態様のいずれかにおいて、前記原料ガスは、シリコン水素化物のガスであることを特徴とする。
- [0028] また、本発明の第14の態様は、絶縁基板と、前記絶縁基板上的ゲート電極と、前記ゲート電極上のゲート絶縁層と、前記ゲート絶縁層上のチャンネル層と、前記チャンネル層上のアモルファスシリコン層と、前記アモルファスシリコン上のメタル電極とを備える薄膜トランジスタである。前記チャンネル層は、前記ゲート絶縁層との界面から前記アモルファスシリコン層との界面までが微結晶シリコンにより構成されている。
- [0029] また、本発明の第15の態様は、第14の態様において、前記アモルファスシリコン層は、n型アモルファスシリコン層であることを特徴とする。
- [0030] また、本発明の第16の態様は、第14の態様において、前記アモルファスシリコン層は、p型アモルファスシリコン層であることを特徴とする。
- [0031] また、本発明の第17の態様は、絶縁基板と、前記絶縁基板上的ゲート電極と、前記ゲート電極上のゲート絶縁層と、前記ゲート絶縁層上のチャンネル層と、前記チャネ

ル層上のアモルファスシリコン層と、前記アモルファスシリコン上のメタル電極とを備える薄膜トランジスタであって、前記チャンネル層は、請求項1～12のいずれかの製造方法により製造されたことを特徴とする。

- [0032] 本発明によれば、ゲート絶縁層の表面を水素で満たしてプラズマで活性化し、その状態でシリコン水素化物を導入してプラズマ分解することにより、ゲート絶縁層との界面から微結晶シリコンにより構成されたチャンネル層を備える薄膜トランジスタを安価に製造することができる。このような薄膜トランジスタは、駆動中の閾値変動が小さくかつ移動度が高い。

図面の簡単な説明

- [0033] [図1]図1は、アクティブマトリックス方式に用いられる従来の有機EL発光素子を示す図である。
- [図2]図2は、図1の有機EL発光素子が備えるTFTのみを示す図である。
- [図3]図3は、微結晶シリコンをPECVD(プラズマCVD)により形成したTFTの例を示す図である。
- [図4]図4は、本発明に係る薄膜トランジスタを示す図である。
- [図5]図5は、粒子サイズとプラズマ処理の前処理時間及び周波数との関係を示す図である。
- [図6]図6は、粒子サイズとプラズマ処理の前処理時間及びパワーとの関係を示す図である。
- [図7]図7(A)は、シードのパターニング後の側面図であり、図7(B)は、ドットパターンをパターニングしたときの平面図であり、図7(C)は、ラインパターンをパターニングしたときの平面図である。
- [図8]図8は、ドットパターンのシードの大きさと微結晶シリコン層の粒子サイズとの関係を示す図である。
- [図9]図9は、ドットパターンの間隔 w と微結晶シリコン層の粒子サイズとの関係を示す図である。
- [図10]図10は、微結晶シリコンの粒子サイズとプラズマ処理の前処理時間及び周波数との関係を示す図である。

[図11]図11は、シードの厚さ z と粒子サイズとの関係を示す図である。

[図12]図12は、ドットパターンの間隔 w と微結晶シリコン層の粒子サイズとの関係を示す図である。

[図13]図13は、トレンチの側面図である。

[図14]図14は、トレンチの幅 x と微結晶シリコン層の粒子サイズとの関係を示す図である。

[図15]図15は、トレンチの深さ y と微結晶シリコン層の粒子サイズとの関係を示す図である。

[図16]図16は、微結晶シリコンの粒子サイズとプラズマ処理の前処理時間及び周波数との関係を示す図である。

[図17]図17は、シードの幅 x と粒子サイズとの関係を示す図である。

[図18]図18は、シードの深さ y と微結晶シリコン層の粒子サイズとの関係を示す図である。

発明を実施するための最良の形態

[0034] 以下、図面を参照しながら本発明の実施形態について詳細に説明する。上述の図面に示した構成要素と同一のものには、同一符号を与える。

[0035] (実施形態1)

図4は、本発明に係る薄膜トランジスタを示している。薄膜トランジスタ400は、ガラス基板101(「絶縁基板」に相当)と、ガラス基板101上のゲート電極102と、ゲート電極102上のゲート絶縁層103と、ゲート絶縁層103上のイントリンシック微結晶シリコン層404(「チャンネル層」に相当)と、イントリンシック微結晶シリコン層404上の n 型 $a-Si$ 層105と、 n 型 $a-Si$ 層105上のソース電極106およびドレイン電極107と、保護層408とを備える。保護層408は、スパッタ、CVD等で形成された SiO_2 、 SiN 等である。

[0036] 薄膜トランジスタ400は、イントリンシック微結晶シリコン層404が、ゲート絶縁層103との界面から n 型 $a-Si$ 層105層との界面までがイントリンシック微結晶シリコンにより構成されており、従来の結晶分率が低く、ゲート絶縁層103との界面において $a-Si$ であるものとは異なる。本発明の薄膜トランジスタは駆動中の閾値変動が小さくかつ

移動度の高いものであることを後述する実施例で示す。

[0037] 薄膜トランジスタ400の備えるイントリンシック微結晶シリコン層404は、次のように形成することができる。ゲート絶縁層103の形成後に、ゲート絶縁層103の表面を、予め定めた時間にわたり水素を流してプラズマ処理する。ついで、プラズマ処理を継続している間に、原料ガスを導入してイントリンシック微結晶シリコンにより構成されたイントリンシック微結晶シリコン層404をゲート絶縁層103上に形成する。微結晶シリコンは、いわば水素の海の中でシリコンが活性化されて凝集することにより形成されるということから、この方法は、ゲート絶縁層103の表面を水素で満たして活性化し、その状態でシリコンを導入するものであり、ゲート絶縁層との界面から微結晶シリコンにより構成されたチャネル層を備える薄膜トランジスタを安価に製造することができる。これは、アモルファスTFTの製造装置において、a-Si層形成のプロセス条件を変えることで実施することができる。原料ガスは、SiとHのみからなるシリコン水素化物のガスであり、例えばモノシラン、ジシランやトリシランである。好適にはモノシラン(SiH_4)ガスである。

[0038] なお、図4にはn型a-Si層105を示したが、p型a-Si層としてもよい。チャネル層は、イントリンシック微結晶シリコンにより構成されているものとして示したが、ドーピングされていてもよい。

[0039] 実施例1-1

図4に示す薄膜トランジスタを作製した。ゲート絶縁層103のプラズマ処理は、ガラス基板101を200°Cに加熱し、水素ガスを300mTorrの条件で120sccm流して、50mW/cm²で27MHzの高周波を印加して30分程度行った。加熱温度は、100°C～300°Cとしてもよい。イントリンシック微結晶シリコン層404は、プラズマ処理を切らずに継続した状態で、 SiH_4 ガスを5sccm導入して成膜した。成膜時間は、膜厚が250nm程度となるように調整し、30分程度であった。そして、n形a-Si層105を50～100nm形成した。

[0040] このTFTの特性を評価すると、移動度は3cm²/Vsであり、閾値は3.2Vであった。また、微結晶の粒子サイズは29nmであった。このような移動度はa-Siではなく結晶分率の極めて高い微結晶シリコンについて予期される値であるため、水素ガスを

使用したプラズマ処理を適切に行いつつイントリンシック微結晶シリコン層を形成すれば、ゲート絶縁層の界面からすぐに微結晶シリコンを形成できることが分かる。また、このTFTに $V_{gs}=30V$ 、 $60^{\circ}C$ の条件で閾値変動を評価すると、1000時間後の変動値は $0.43V$ と小さく、信頼性に問題ないものであった。

[0041] 次に、水素を用いるプラズマ処理の条件について、検討した。図5に、微結晶シリコンの粒子サイズとプラズマ処理の前処理時間及び周波数との関係を示す。これは、上述した実施例とプラズマ処理の条件を変えて作製したサンプルについて粒子サイズを測定したものである。周波数を $13.56MHz$ 、 $27MHz$ 、 $66MHz$ 、 $100MHz$ と上げるにしたがい、ゲート絶縁層に対する前処理時間が短いところで、粒子サイズは飽和することが分かる。

[0042] ここで「前処理時間」とは、ゲート絶縁層に対するプラズマ処理の時間である。したがって、スループットを上げるには、より高周波でプラズマ処理をすることが好ましい。微結晶シリコンとして粒子サイズが $10\sim 20nm$ を超えれば移動度が $3cm^2/Vs$ を超え、TFTの駆動に十分であるので、粒子サイズが $20nm$ を超える時間をスループット評価の目安としてみなすことができる。周波数が $13.56MHz$ の場合、 SiH_4 ガス導入前に30分間の水素処理が必要であるが、 $100MHz$ の場合その前処理時間を8分程度に短縮できる。

[0043] 最後に、図6に粒子サイズとプラズマ処理のプラズマ処理時間及びパワーとの関係を示す。パワー、すなわちプラズマ発生のため投入される高周波電力を $20mW/cm^2$ 、 $50mW/cm^2$ 、 $100mW/cm^2$ と上げれば、短い前処理時間で、ゲート絶縁層の表面を、必要な粒子サイズを有する微結晶シリコンを形成できる状態にすることができ、スループットを上げられることを示している。

[0044] このようにプラズマ処理の周波数とパワー等を適宜選択することにより、予め定めた前処理時間により一定の粒子サイズを有する微結晶シリコンを形成できる。

[0045] なお、上記粒子サイズは粉末X線回折法により測定される。すなわち、X線開設パターンが示すピークの回折角 α 、半値幅 B 、及び測定波長 λ を用いると、粒子サイズ t は次式で表される。

$$t = 0.9 \lambda / B \cos \alpha$$

粒子サイズは、好適には20nm～30nmである。

[0046] また、上記流量単位「sccm」は、標準状態(1atm、25℃)で規格化された単位で、standard cc/minの意である。

[0047] 実施例1-2

実施例1-1のn型a-Si層105をp型a-Si層とした薄膜トランジスタを作製した。このTFTは、移動度 $2.7\text{cm}^2/\text{Vs}$ 、閾値3.1Vであった。粒子サイズは、実施例1と同じである。信頼性を評価したが、閾値変動は0.39Vと小さく、問題ないものであった。

[0048] (実施形態2)

実施形態2に係る薄膜トランジスタは、実施形態1に係る薄膜トランジスタと同一の構造を有するが、その製造方法が異なる。

[0049] 薄膜トランジスタ400の備えるイントリンシック微結晶シリコン層404は、実施形態2では次のように形成することができる。ゲート絶縁層103の形成後に、水素で希釈した原料ガスをプラズマ分解して、一定膜厚以上のシード用シリコン層を形成する。シード用シリコン層は、非特許文献1に開示されているように、ゲート絶縁層103との界面付近の領域が微結晶化されていない可能性があるが、少なくとも上層部が微結晶化シリコンであるように膜厚を選択する。次に、このシード用シリコン層をフォトリソグラフィ法等によりパターンニングして、ドットパターン(dot pattern)又はラインパターン(line pattern)を形成する。次に、ドットパターン又はラインパターン及びゲート絶縁層103の表面を、予め定めた時間にわたり水素を流してプラズマ処理する。ついで、プラズマ処理を継続している間に、原料ガスを導入してイントリンシック微結晶シリコンにより構成されたイントリンシック微結晶シリコン層404をゲート絶縁層103上に形成する。イントリンシック微結晶シリコン層404の形成後、シードはその全体が微結晶シリコンとなっている。この製造方法は、アモルファスTFTの製造装置において、a-Si層形成のプロセス条件を変えることで実施することができる。原料ガスは、SiとHのみからなるシリコン水素化物のガスであり、例えばモノシラン、ジシランやトリシランである。好適にはモノシラン(SiH_4)ガスである。

[0050] なお、図4にはn型a-Si層105を示したが、実施形態1と同様に、p型a-Si層とし

てもよい。チャネル層は、イントリンシック微結晶シリコンにより構成されているものとして示したが、ドーピングされていてもよい。

[0051] 実施例2-1

図4に示す薄膜トランジスタを実施形態2の製造方法で作製した。シード用シリコン層はプラズマ分解により形成され、ガラス基板101を200℃に加熱し、300mTorrの条件で水素ガスを120sccm流し、 SiH_4 ガスを5sccm流し、 $50\text{mW}/\text{cm}^2$ で27MHzの高周波を印加して行った。加熱温度は、100℃～300℃としてもよい。

[0052] シードのパターニングは、通常の写真リソグラフィ法により行った。図7(A)は、シードのパターニング後の側面図であり、図7(B)は、ドットパターンをパターニングしたときの平面図であり、図7(C)は、ラインパターンをパターニングしたときの平面図である。図7(B)のドットは矩形で表したが、円形とした場合でも後述する測定において同様の効果が得られた。幅 $x_1 = y_1 = y_2 = 2\mu\text{m}$ 、膜厚 $z = 30\text{nm}$ 、間隔 $w = 50\mu\text{m}$ とした。ドットパターンの場合の x_1 方向のドット間隔は、間隔 w と同じ値とした。ドットパターン701又はラインパターン702及びゲート絶縁層103のプラズマ処理は、ガラス基板101を200℃に加熱し、水素ガスを300mTorrの条件で120sccm流して、 $50\text{mW}/\text{cm}^2$ で27MHzの高周波を印加して3分程度行った。加熱温度は、100℃～300℃としてもよい。イントリンシック微結晶シリコン層404は、プラズマ処理を切らずに継続した状態で、 SiH_4 ガスを5sccm導入して成膜した。成膜時間は、膜厚が250nm程度となるように調整し、30分程度であった。そして、n型a-Si層105を50～100nm形成した。

[0053] このTFTの特性を評価すると、移動度は $3.3\text{cm}^2/\text{Vs}$ であり、閾値は3.0Vであった。また、微結晶の粒子サイズは29nmであった。このような移動度はa-Siではなく結晶分率の極めて高い微結晶シリコンについて予期される値であるため、水素ガスを使用したプラズマ処理を適切に行いつつイントリンシック微結晶シリコン層を形成すれば、ゲート絶縁層の界面からすぐに微結晶シリコンを形成できることが分かる。また、このTFTに $V_{\text{gs}} = 30\text{V}$ 、60℃の条件で閾値変動を評価すると、1000時間後の変動値は0.4Vと小さく、信頼性に問題ないものであった。また、レーザーアニールを用いるLTPS技術で作製したTFTで見られるリーク電流も生じなかった。

- [0054] 図8は、ドットパターンのシードの大きさと微結晶シリコン層の粒子サイズとの関係を示す図である。 w は $50\text{ }\mu\text{m}$ とした。ドットパターン(シード用シリコン層)の厚さが 20nm 、 30nm 、 50nm と増加するにしたがい、粒子サイズも増加した。なお、シード用シリコン層の成膜時間は、1から $1.2\text{ }\text{\AA}/\text{s}$ のレートを目安に、3から10分であった。
- [0055] 図9は、ドットパターンの間隔 w と微結晶シリコン層の粒子サイズとの関係を示す図である。幅を $x_1=y_1=2\text{ }\mu\text{m}$ とした。膜厚 z が 20nm の場合、間隔 w が増加すると、微結晶シリコンの粒子サイズが急速に低下することが分かる。粒子サイズのばらつきは、ドット間隔 w が $50\sim 75\text{ }\mu\text{m}$ の範囲において、膜厚 z が 20nm の場合に、平均粒子サイズの $30\sim 50\%$ に達するが、ドット厚 z が $30\sim 50\text{nm}$ の場合では、平均粒子サイズの 10% 程度でよくコントロールされる。
- [0056] ドットパターンおよびラインパターンの配置は、ゲート電極102とオーバーラップしない限りTFTの特性に悪影響を及ぼさなかった。
- [0057] 次に、水素を用いるプラズマ処理の条件について検討した。図10に、微結晶シリコンの粒子サイズとプラズマ処理の前処理時間及び周波数との関係を示す。これは、上述した実施例とプラズマ処理の条件を変えて作製したサンプルについて粒子サイズを測定したものである。 $x_1=y_1=2\text{ }\mu\text{m}$ 、 $z=30\text{nm}$ 、 $w=50\text{ }\mu\text{m}$ とした。周波数を 13.56MHz 、 27MHz 、 66MHz 、 100MHz と上げるにしたがい、ゲート絶縁層に対する前処理時間が短いところで、粒子サイズは飽和することが分かる。シードを設けずに作製したサンプルについて、微結晶シリコンの粒子サイズとプラズマ処理の前処理時間及び周波数との関係を示す図5と、実施形態2の製造方法を用いた図10の結果を比較すると、シードの存在により前処理時間を $1/10$ 以下に短縮可能であることが分かる。
- [0058] 実施例2-2
- 図7に示したドットパターン及びラインパターンを形成した後、それらにエキシマレーザ(550nm)の照射を行った。 $500\text{mJ}/\text{cm}^2$ 以上照射すると、次に述べる測定において両者は同様の結果を与えた。
- [0059] 図11は、シードの厚さ z と粒子サイズとの関係を示している。間隔 w は、 $50\text{ }\mu\text{m}$ とした。厚さ z が、 5nm 、 10nm 、 20nm 、 50nm と大きくなるにしたがい、粒子サイズも大き

くなり、厚さ z が10nm以上で20nmを超えて十分に微結晶化されている。図8と比較すると、レーザー照射をすることでより小さい厚さ z で微結晶化できることが分かる。

[0060] 図12は、ドットパターンの間隔 w と微結晶シリコン層の粒子サイズとの関係を示す図である。幅を $x_1 = y_1 = 2 \mu\text{m}$ とした。厚さ z が10nm以上で粒子サイズが20nmを超え、間隔 w が $75 \mu\text{m}$ 程度まで微結晶性に問題がないことが分かる。ドットパターンの代わりにラインパターンを用いると、ドットパターンでは $z = 5\text{nm}$ で50%程度、 $z = 10\text{nm}$ 以上で10%程度の粒子サイズのばらつきが、それぞれ20%程度、5%程度に改善される。

[0061] (実施形態3)

実施形態3に係る薄膜トランジスタは、実施形態1及び2と同様に図4に示す構造であるが、その製造方法が異なる。ゲート絶縁層103の形成後に、ゲート絶縁層103上に、一定の大きさのトレンチをフォトリソグラフィ法等により形成する。スタンプを押し付けて形成してもよい。ついで水素で希釈した原料ガスをプラズマ分解して、トレンチが埋め込まれるようにシード用シリコン層を形成する。そして、シード用シリコン層をエッチングし、トレンチ内にのみシード用シリコン層を残してシードを形成する。シードは、非特許文献1に開示されているように、ゲート絶縁層103との界面付近の領域が微結晶化されていない可能性があるが、少なくとも上層部が微結晶化シリコンであるようにトレンチの深さを選択する。次に、シード及びゲート絶縁層103の表面を、予め定めた時間にわたり水素を流してプラズマ処理する。ついで、プラズマ処理を継続している間に、原料ガスを導入してイントリンシック微結晶シリコンにより構成されたイントリンシック微結晶シリコン層404をゲート絶縁層103上に形成する。界面を活性化することに加えて、上層部が微結晶シリコンであるシードを予め設けておくことにより、ゲート絶縁層との界面から微結晶シリコンにより構成されたチャネル層を備える薄膜トランジスタを安価に製造することができる。この製造方法は、アモルファスTFTの製造装置において、 $a\text{-Si}$ 層形成のプロセス条件を変えることで実施することができる。原料ガスは、 Si と H のみからなるシリコン水素化物のガスであり、例えばモノシラン、ジシランやトリシランである。好適にはモノシラン(SiH_4)ガスである。

[0062] 実施例3-1

図4に示す薄膜トランジスタを作製した。図13は、トレンチの側面図である。 $x=2\mu\text{m}$ 、 $y=100\text{nm}$ 、 $w=50\mu\text{m}$ とした。シード用シリコン層はプラズマ分解により形成され、ガラス基板101を 200°C に加熱し、 300mTorr の条件で水素ガスを 120sccm 流し、 SiH_4 ガスを 5sccm 流し、 $50\text{mW}/\text{cm}^2$ で 27MHz の高周波を印加して行った。 $0.1\mu\text{m}$ 程度堆積した。加熱温度は、 $100^{\circ}\text{C}\sim 300^{\circ}\text{C}$ としてもよい。シード用シリコン層のエッチングは、Arガスで希釈した CF_4 ガスを導入して、プラズマエッチングにより行った。トレンチ以外の領域においてはゲート絶縁層103が表出していることが好ましく、ゲート絶縁層103上の光吸収データを観察してエッチングを制御した。シード1201及びゲート絶縁層103のプラズマ処理は、ガラス基板101を 200°C に加熱し、水素ガスを 300mTorr の条件で 120sccm 流して、 $50\text{mW}/\text{cm}^2$ で 27MHz の高周波を印加して3分程度行った。加熱温度は、 $100^{\circ}\text{C}\sim 300^{\circ}\text{C}$ としてもよい。イントリンシック微結晶シリコン層404は、プラズマ処理を切らずに継続した状態で、 SiH_4 ガスを 5sccm 導入して成膜した。成膜時間は、膜厚が 250nm 程度となるように調整し、30分程度であった。そして、n型a-Si層105を $50\sim 100\text{nm}$ 形成した。

[0063] このTFTの特性を評価すると、移動度は $3.2\text{cm}^2/\text{Vs}$ であり、閾値は 2.9V であった。また、微結晶の粒子サイズは 26nm であった。このような移動度はa-Siではなく結晶分率の極めて高い微結晶シリコンについて予期される値であるため、水素ガスを使用したプラズマ処理を適切に行いつつイントリンシック微結晶シリコン層を形成すれば、ゲート絶縁層の界面からすぐに微結晶シリコンを形成できることが分かる。また、このTFTに $V_{\text{gs}}=30\text{V}$ 、 60°C の条件で閾値変動を評価すると、 1000 時間後の変動値は 0.41V と小さく、信頼性に問題ないものであった。

[0064] 図14は、トレンチの幅 x と微結晶シリコン層の粒子サイズとの関係を示す図である。間隔 w は $50\mu\text{m}$ とした。深さが 50nm の場合は、幅 x が $1\mu\text{m}$ 程度のところで最大値をとり、そのときの粒子サイズは 12nm である。一方 y が 100nm の場合は、 x が $0.5\mu\text{m}$ を超えると粒子サイズは 20nm を超え、 x が増加しても粒子サイズの低下は少ないが、 $3.5\mu\text{m}$ を超えると粒子サイズが小さくなる。

[0065] 図15は、トレンチの深さ y と微結晶シリコン層の粒子サイズとの関係を示す図である。 x が $0.5\mu\text{m}$ 以上で、粒サイズの y 依存性は同様の傾向を示しており、 y が 100nm

を超えると粒子サイズに大きな変化は見られない。

[0066] また、間隔 w に関して種々の調査を行った。実験を行った $5\mu\text{m} < w < 200\mu\text{m}$ の範囲では、いずれの場合も $50\mu\text{m}$ の場合と同様のデータが得られた。またトレンチを、ゲート電極を避けてゲート電極の上部にかかって形成した場合も、問題は認められなかった。このことは、トレンチをランダムに配置でき、TFTの構造に合わせてトレンチパターンを設計する必要がないことを示している。

[0067] 次に、水素を用いるプラズマ処理の条件について、検討した。図16に、微結晶シリコンの粒子サイズとプラズマ処理の前処理時間及び周波数との関係を示す。これは、上述した実施例とプラズマ処理の条件を変えて作製したサンプルについて粒子サイズを測定したものである。周波数を13.56MHz、27MHz、66MHz、100MHzと上げるにしたがい、ゲート絶縁層に対する前処理時間が短いところで、粒子サイズは飽和することが分かる。実施形態1において図5に示した、シードを設けずに作製したサンプルと比較すると、シードの存在により前処理時間を1/10以下に短縮可能であることが分かる。

[0068] 実施例3-2

図13に示したシードを形成した後、シードにエキシマレーザ(550nm)の照射を行った。

[0069] 図17は、シードの幅 x と粒子サイズとの関係を示している。間隔 w は、 $50\mu\text{m}$ とした。図14に示したレーザ照射を行わない場合とは異なり、深さ y が30nmで x が $0.5\mu\text{m}$ から $3\mu\text{m}$ の範囲で粒子サイズが20nmを超えており、浅いトレンチで安定な微結晶シリコンができることが分かる。このことは、量産時のスループット向上に有効である。通常、レーザを用いる場合は、膜の均一性を得るためにレーザ照射光の均一性が重要な技術要素となる。本発明に係る製造方法では、膜の均一性がレーザ照射後の成膜時に得られるので、レーザ照射時の均一性は問題でない。現に、本実施例においても、膜内の均一性またはTFTのリーク電流に関して問題が認められなかった。このことも量産装置製造上、スループット及びコストの面で大きなメリットとなる。また、レーザ照射は、粒子サイズとプラズマ処理の前処理時間との関係(図16)に特に大きな影響を与えなかった。

[0070] 図18は、シードの深さ y と微結晶シリコン層の粒子サイズとの関係を示す図である。
間隔 w を $50\ \mu\text{m}$ とした。

請求の範囲

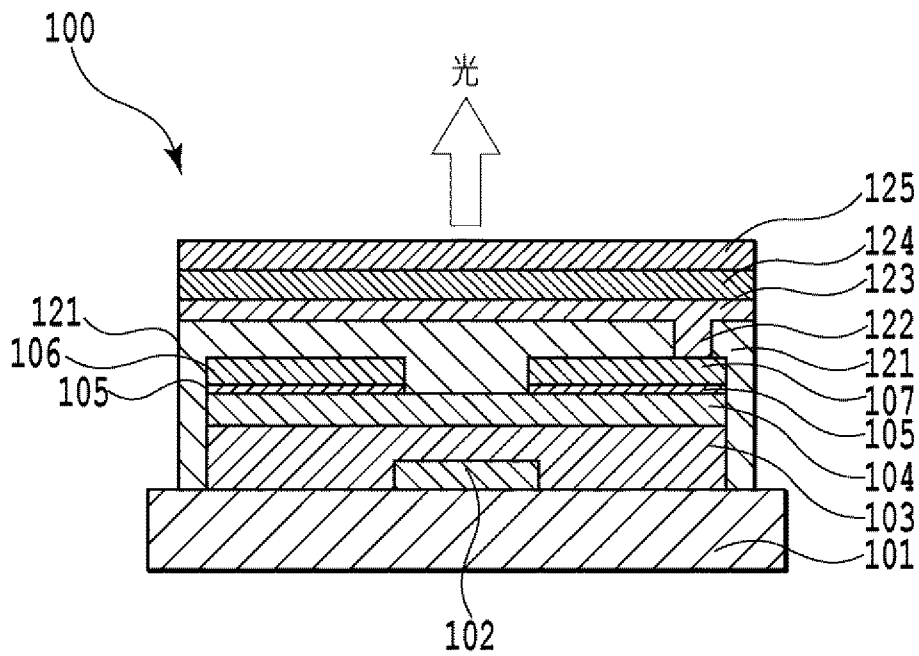
- [1] 薄膜トランジスタの製造方法であって、
ゲート絶縁層の形成後に、前記ゲート絶縁層の表面を、予め定めた時間にわたり水素を流してプラズマ処理するプラズマ処理ステップと、
前記プラズマ処理ステップの継続中に、前記ゲート絶縁層上に、原料ガスを導入して微結晶シリコンにより構成されたチャンネル層を形成するチャンネル層形成ステップとを含むことを特徴とする製造方法。
- [2] 前記予め定めた時間は、前記チャンネル層形成ステップにおいて、原料ガスを導入して一定の粒子サイズ以上の微結晶シリコンが得られる前処理時間であることを特徴とする請求項1に記載の製造方法。
- [3] 絶縁基板の上に、ゲート電極および前記ゲート電極上の前記ゲート絶縁層を形成するステップと、
前記チャンネル層上に、n型アモルファスシリコン層および前記n型アモルファスシリコン層上のメタル電極を形成するステップと
をさらに含むことを特徴とする請求項2に記載の製造方法。
- [4] 絶縁基板の上に、ゲート電極および前記ゲート電極上の前記ゲート絶縁層を形成するステップと、
前記チャンネル層上に、p型アモルファスシリコン層および前記p型アモルファスシリコン層上のメタル電極を形成するステップと
をさらに含むことを特徴とする請求項2に記載の製造方法。
- [5] 薄膜トランジスタの製造方法であって、
ゲート絶縁層の形成後に、前記ゲート絶縁層上にシードを形成するシード形成ステップと、
前記ゲート絶縁層および前記シードの表面を、予め定めた時間にわたり水素を流してプラズマ処理するプラズマ処理ステップと、
前記プラズマ処理ステップの継続中に、前記ゲート絶縁層および前記シード上に、原料ガスを導入して微結晶シリコンにより構成されたチャンネル層を形成するチャンネル層形成ステップと

を含むことを特徴とする製造方法。

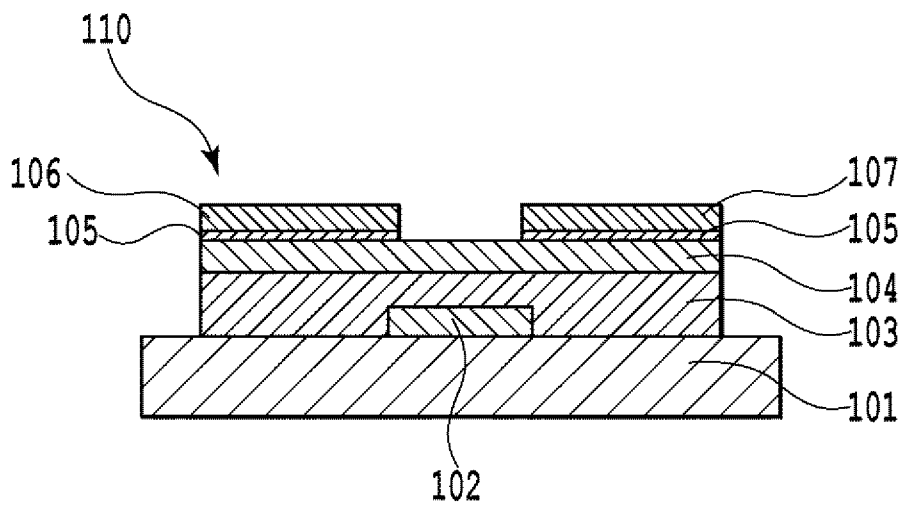
- [6] 前記予め定めた時間は、前記チャンネル層形成ステップにおいて、原料ガスを導入して一定の粒子サイズ以上の微結晶シリコンが得られる前処理時間であることを特徴とする請求項5に記載の製造方法。
- [7] 前記シード形成ステップは、
前記ゲート絶縁層上に、水素で希釈した原料ガスをプラズマ分解して、上層部が微結晶シリコンとなる膜厚以上のシード用シリコン層を形成するシード用シリコン層形成ステップと、
前記シード用シリコン層をパターニングして、ドットパターン又はラインパターンのシードを形成するパターニングステップと
を含むことを特徴とする請求項6に記載の製造方法。
- [8] 前記プラズマ処理ステップの前に、
前記シードをレーザ照射するレーザ照射ステップ
をさらに含むことを特徴とする請求項7に記載の製造方法。
- [9] 前記シード形成ステップは、
前記ゲート絶縁層上にトレンチを形成し、水素で希釈した原料ガスをプラズマ分解して、上層部が微結晶シリコンとなる膜厚以上のシード用シリコン層を前記トレンチに埋め込むシード用シリコン層形成ステップと、
前記シード用シリコン層をエッチングし、前記トレンチ内にのみ前記シード用シリコン層を残してシードを形成するエッチングステップと
を含むことを特徴とする請求項6に記載の製造方法。
- [10] 前記トレンチの大きさは、表面積が $0.5\mu\text{m}^2$ 以上 $3.5\mu\text{m}^2$ 以下、深さが 100nm 以上であることを特徴とする請求項9に記載の製造方法。
- [11] 前記プラズマ処理ステップの前に、
前記シードをレーザ照射するレーザ照射ステップ
をさらに含むことを特徴とする請求項9に記載の製造方法。
- [12] 前記トレンチの大きさは、表面積が $0.5\mu\text{m}^2$ 以上 $3\mu\text{m}^2$ 以下、深さが 30nm 以上であることを特徴とする請求項11に記載の製造方法。

- [13] 前記原料ガスは、シリコン水素化物のガスであることを特徴とする請求項1～12のいずれかに記載の製造方法。
- [14] 絶縁基板と、
前記絶縁基板上のゲート電極と、
前記ゲート電極上のゲート絶縁層と、
前記ゲート絶縁層上のチャネル層と、
前記チャネル層上のアモルファスシリコン層と、
前記アモルファスシリコン上のメタル電極と
を備える薄膜トランジスタであって、
前記チャネル層は、前記ゲート絶縁層との界面から前記アモルファスシリコン層との界面までが微結晶シリコンにより構成されていることを特徴とする薄膜トランジスタ。
- [15] 前記アモルファスシリコン層は、n型アモルファスシリコン層であることを特徴とする請求項14に記載の薄膜トランジスタ。
- [16] 前記アモルファスシリコン層は、p型アモルファスシリコン層であることを特徴とする請求項14に記載の薄膜トランジスタ。
- [17] 絶縁基板と、
前記絶縁基板上のゲート電極と、
前記ゲート電極上のゲート絶縁層と、
前記ゲート絶縁層上のチャネル層と、
前記チャネル層上のアモルファスシリコン層と、
前記アモルファスシリコン上のメタル電極と
を備える薄膜トランジスタであって、
前記チャネル層は、請求項1～12のいずれかの製造方法により製造されたことを特徴とする薄膜トランジスタ。

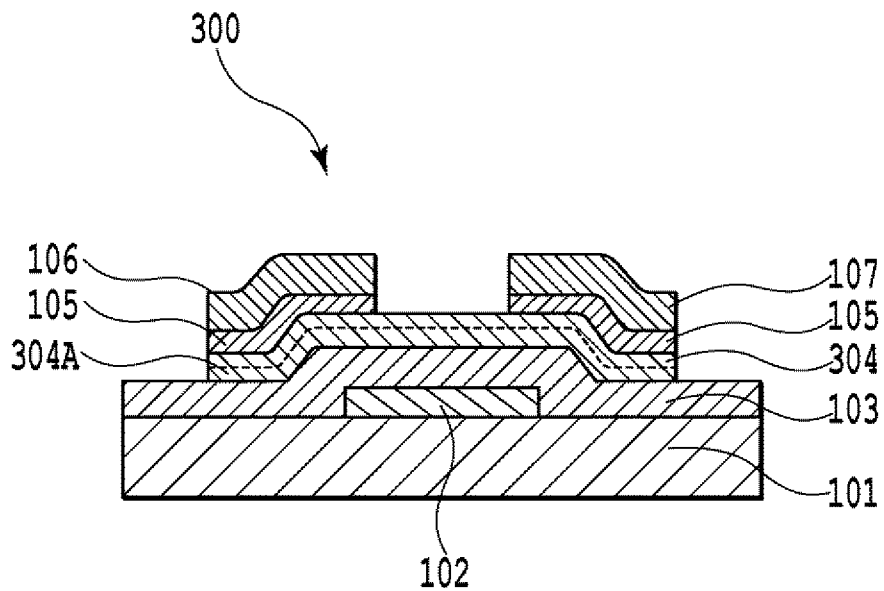
[図1]



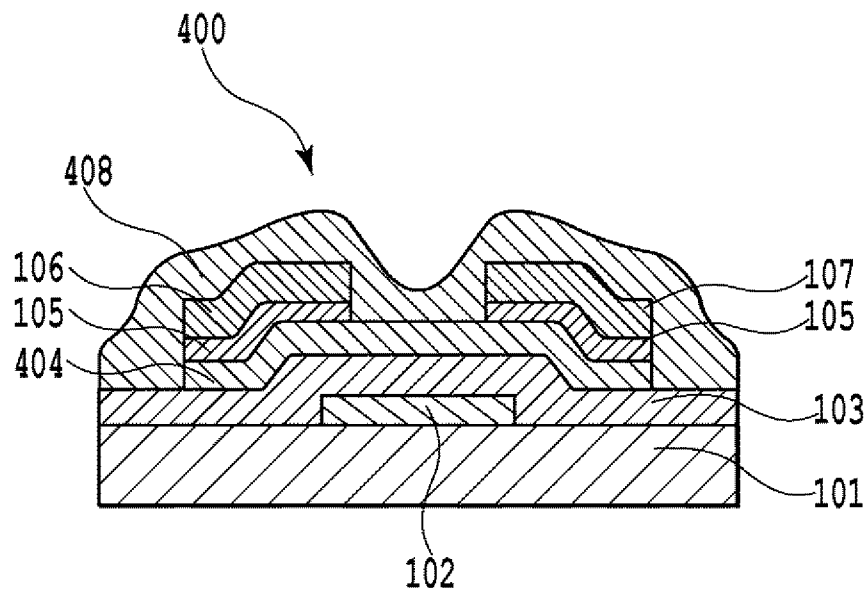
[図2]



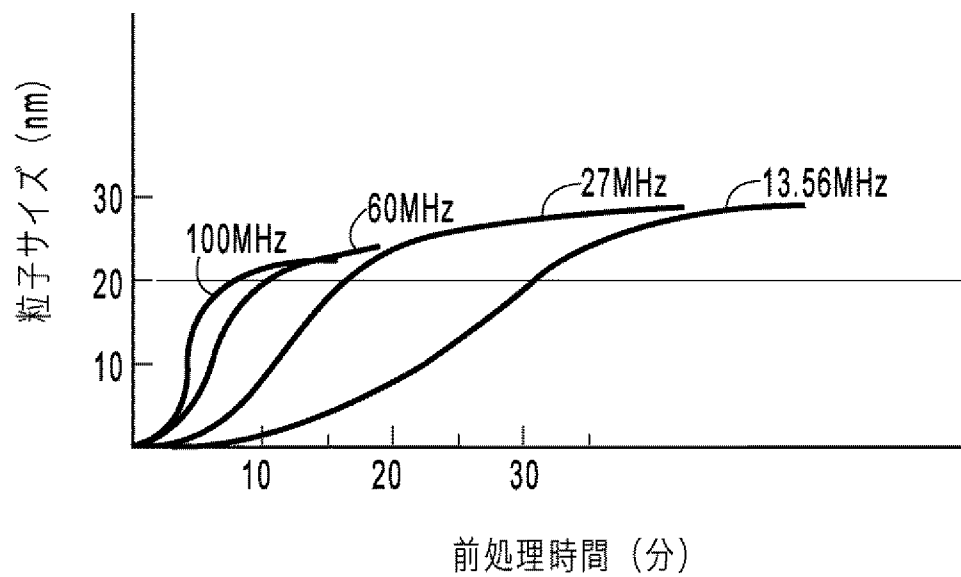
[図3]



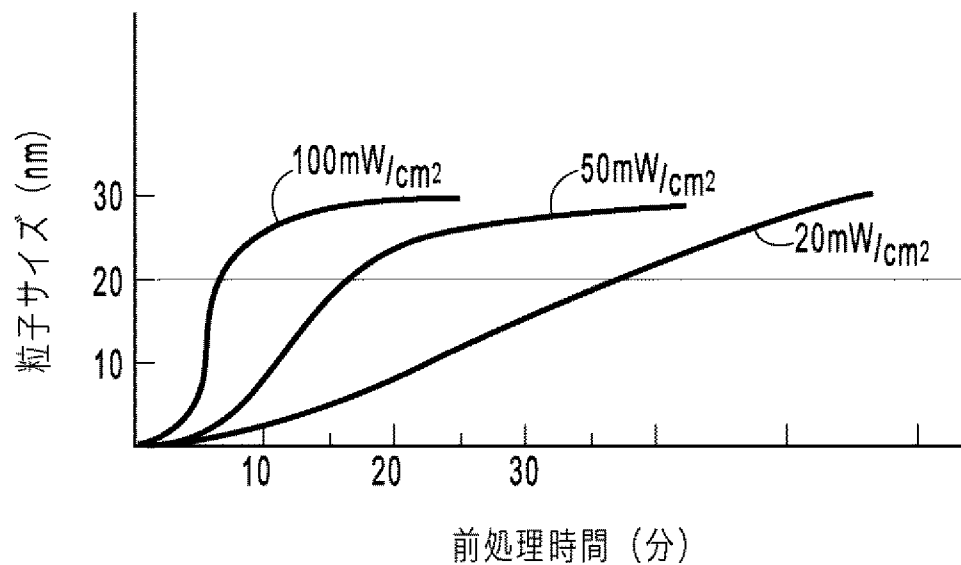
[図4]



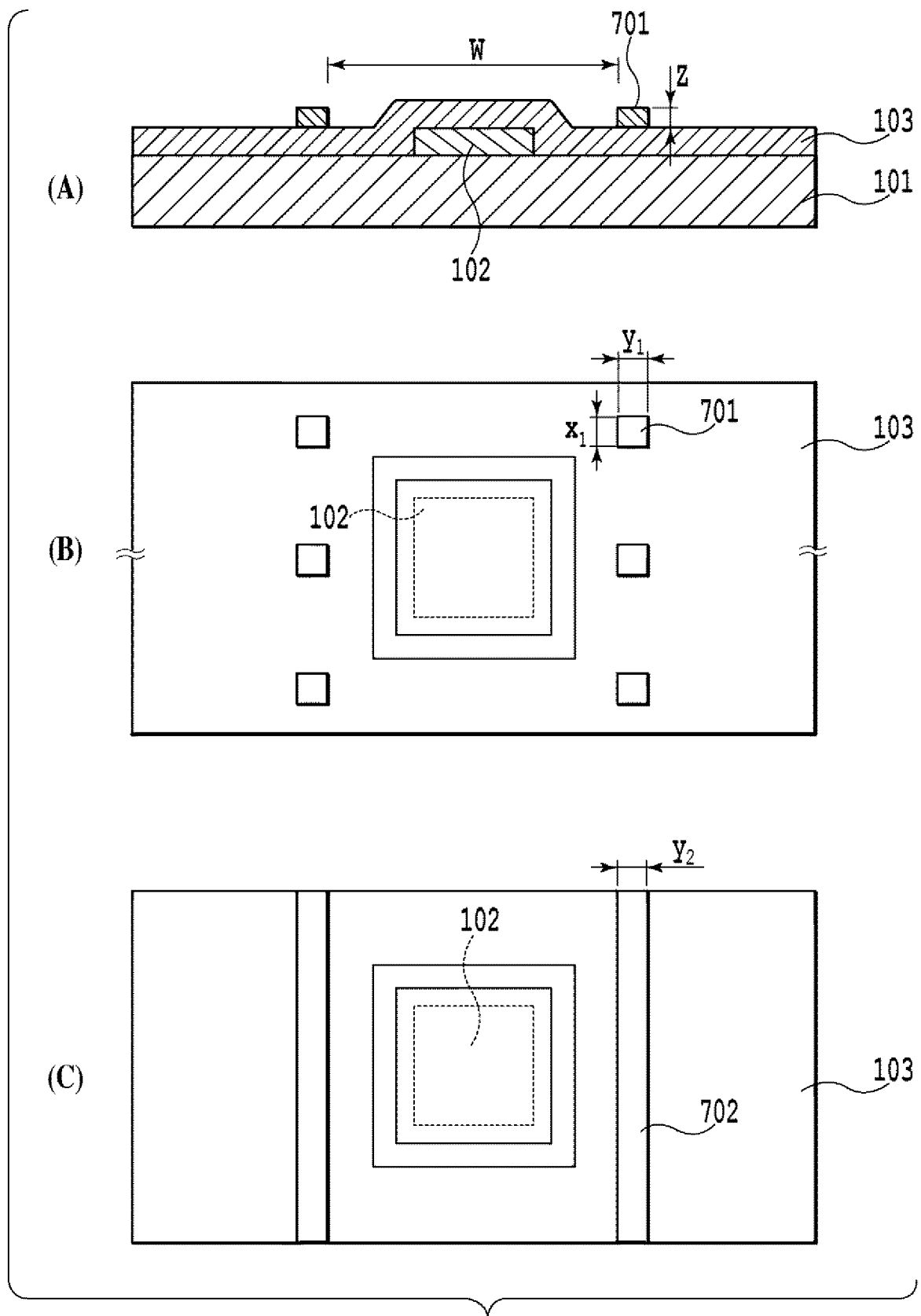
[図5]



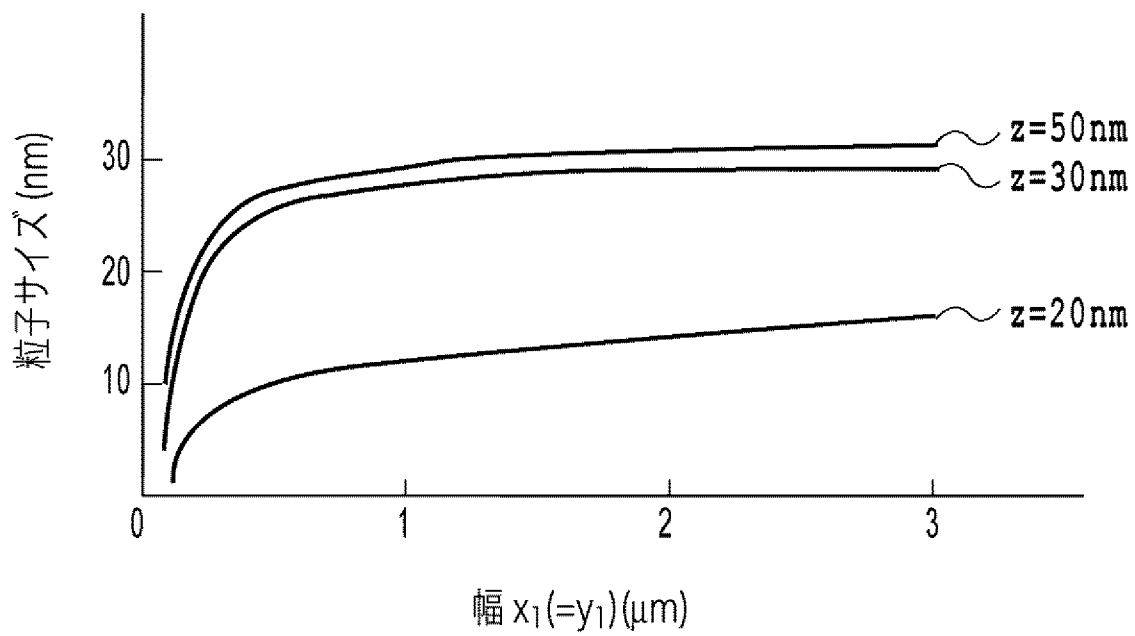
[図6]



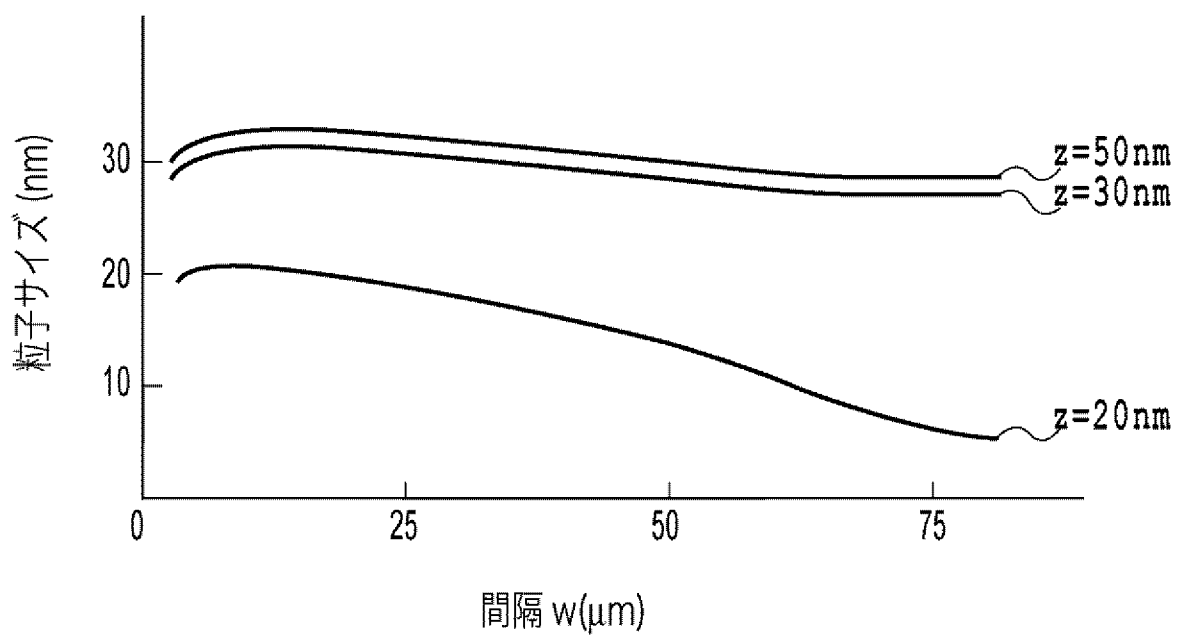
[図7]



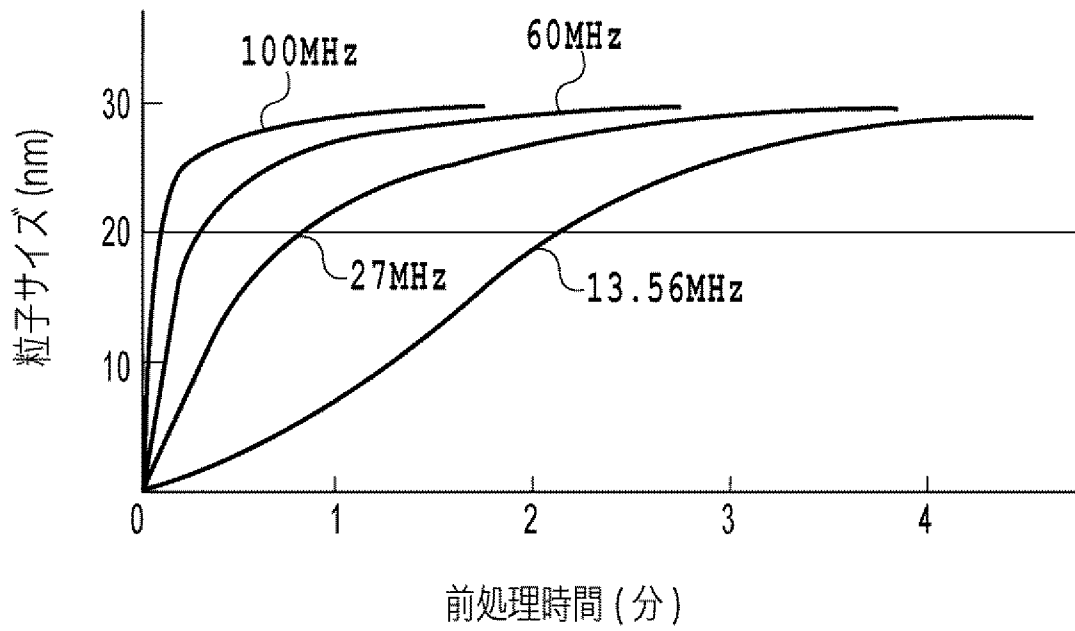
[図8]



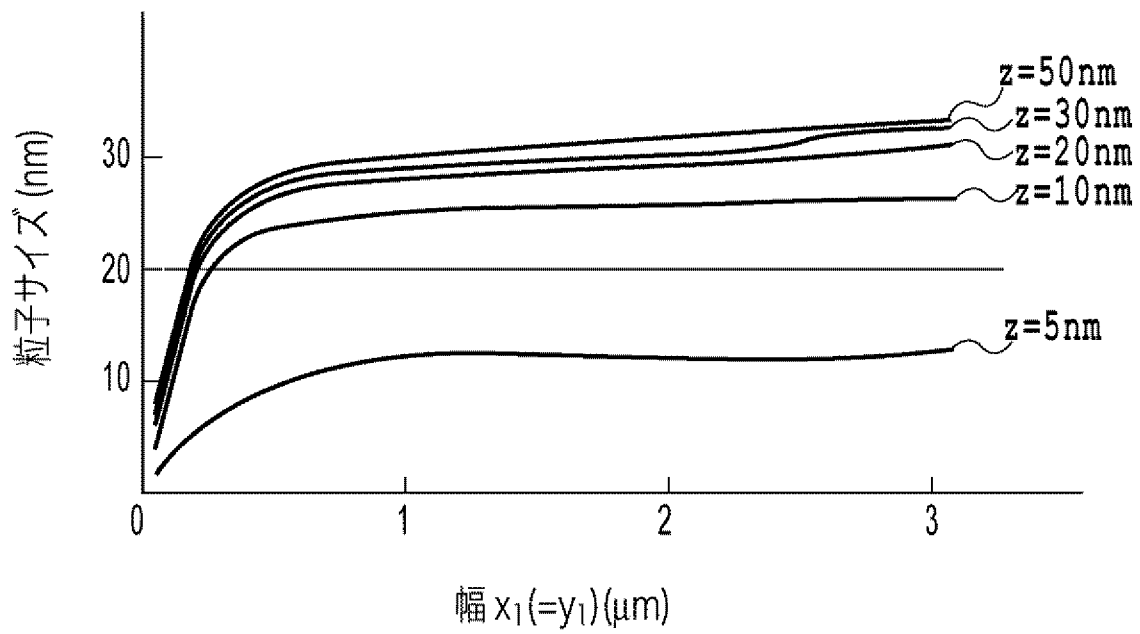
[図9]



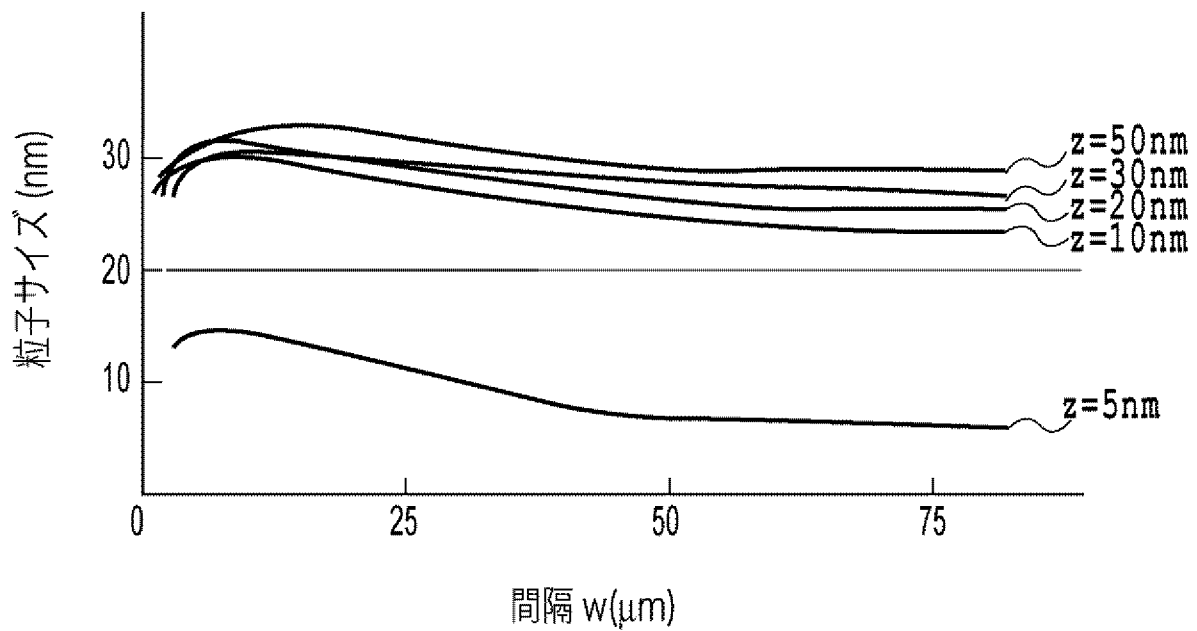
[図10]



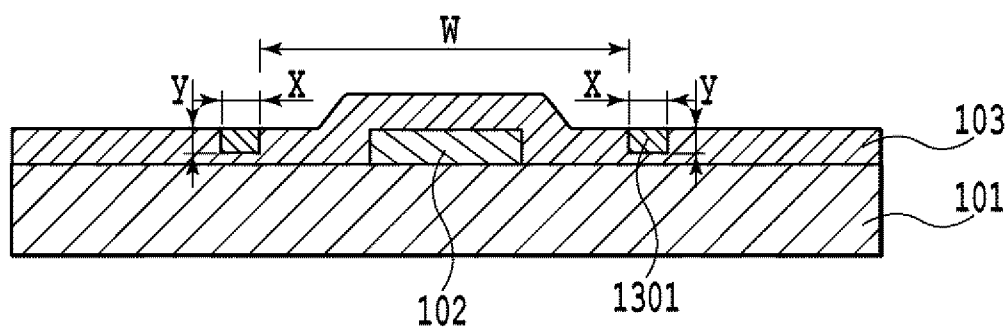
[図11]



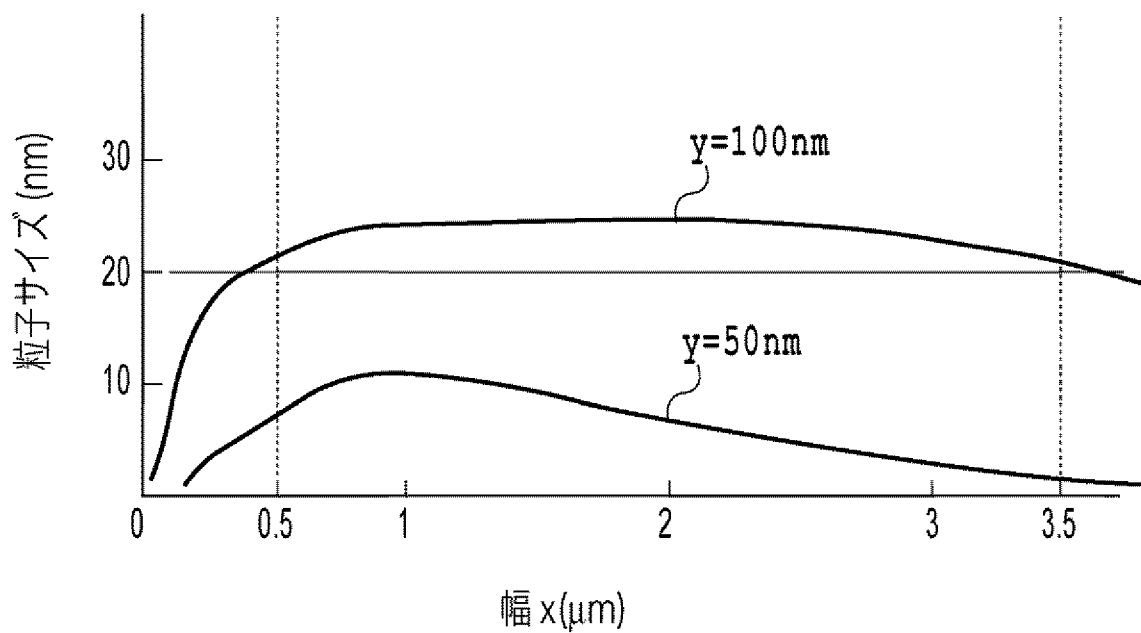
[図12]



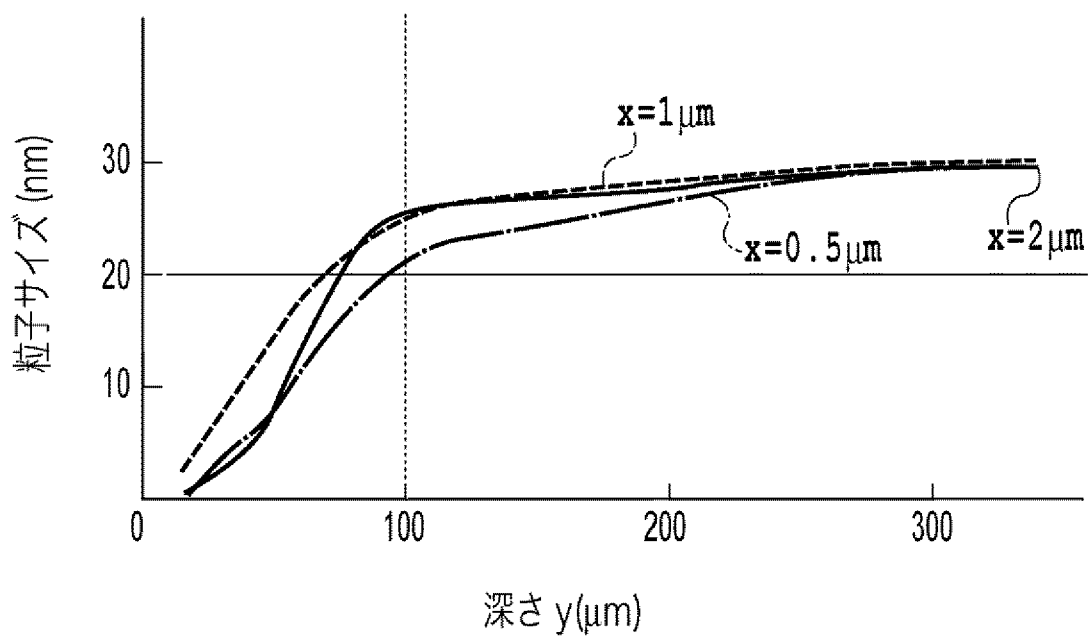
[図13]



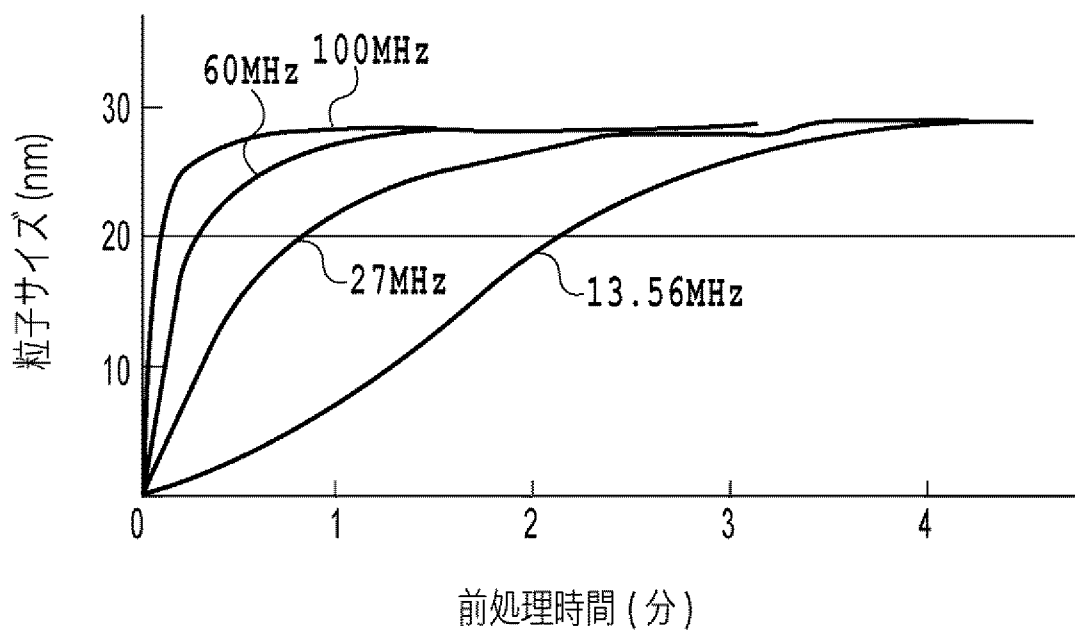
[図14]



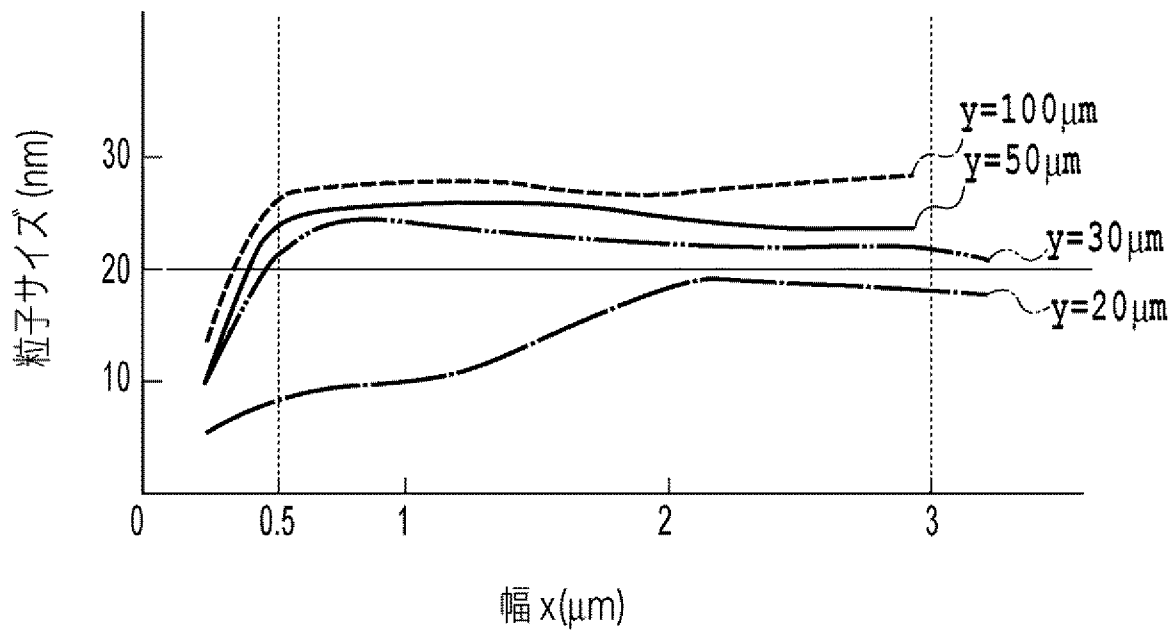
[図15]



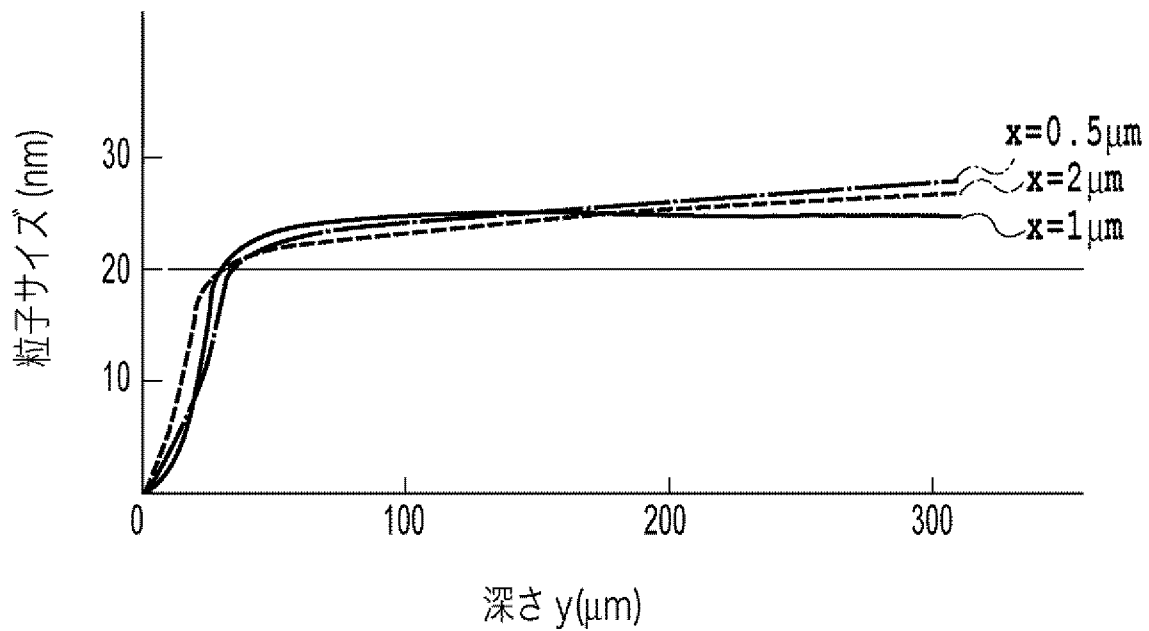
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/059258

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/205(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/205, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 07-094749 A (Toshiba Corp.), 07 April, 1995 (07.04.95), Full text; all drawings (Family: none)	14-17 1-13
X A	JP 08-097427 A (Sharp Corp.), 12 April, 1996 (12.04.96), Full text; all drawings & US 5796116 A & NL 1000892 A1	14-17 1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
01 August, 2008 (01.08.08)

Date of mailing of the international search report
12 August, 2008 (12.08.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/059258

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As described in the extra sheet, three inventions are described in the claims in this international application.

(continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/059258

Continuation of Box No.III of continuation of first sheet(2)

In order that a group of inventions described in the claims comply with the requirement of unity of invention, a special technical feature for linking group of inventions so as to form a single general inventive concept should exist. A group of inventions described in claims 1 to 17 are linked to each other only in the matter "a thin-film transistor comprising a channel layer formed of a microcrystalline silicon and provided on a gate insulating layer".

This matter, however, is described in a prior art document, for example, in JP 07-094749 A (Toshiba Corp.) 1995. 04. 07, the entire text, the whole figures, and JP 08-097427 A (Sharp Corp.) 1996. 04. 12, the entire text and the whole figures and thus cannot be a special technical feature.

Accordingly, there is no special technical feature among the group of inventions described in claims 1 to 17 for linking them to form a single general inventive concept.

Thus, it is apparent that the group of inventions described in claims 1 to 17 do not comply with the requirement of unity of invention.

Next, the number of groups of inventions so linked as to form a general inventive concept described in the claims of this international application, that is, the number of inventions, will be reviewed.

As described above, there is no special technical feature among the group of inventions described in claims 1 to 17 for linking them to form a single general inventive concept.

For the above reason, three inventions classified into at least claims 1 to 4, 13 and 17; claims 5 to 13 and 17; and claims 14 and 15 are described in the claims of this international application.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/205(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/205, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 07-094749 A（株式会社東芝）1995.04.07, 全文、全図（ファミリーなし）	14-17 1-13
X A	JP 08-097427 A（シャープ株式会社）1996.04.12, 全文、全図 & US 5796116 A & NL 1000892 A1	14-17 1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 8 . 2 0 0 8

国際調査報告の発送日

1 2 . 0 8 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

河本 充雄

4 M

9 0 5 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

（特別ページ）に記載したように、この国際出願の請求の範囲には、3個の発明が記載されている。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲 1－17 に記載されている一群の発明は、「ゲート絶縁層上に微結晶シリコンにより構成されたチャネル層を備える薄膜トランジスタ」という事項でのみ連関している。

しかしながら、この事項は、先行技術文献、例えば、JP 07-094749 A（株式会社東芝）1995.04.07、全文、全図、JP 08-097427 A（シャープ株式会社）1996.04.12、全文、全図 に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲 1－17 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しないこととなる。

よって、請求の範囲 1－17 に記載されている一群の発明は、発明の単一性の要件を満たしていない。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数について検討する。

請求の範囲 1－17 に記載されている一群の発明の間には、上記のとおり、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しない。

そうすると、この国際出願の請求の範囲には、少なくとも請求の範囲 1－4、13、17、請求の範囲 5－13、17、請求の範囲 14－15 に区分される 3 個の発明が記載されている。