



등록특허 10-2679748



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년07월01일
(11) 등록번호 10-2679748
(24) 등록일자 2024년06월26일

- (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
- (52) CPC특허분류
H01L 27/14636 (2013.01)
H01L 27/14623 (2013.01)
- (21) 출원번호 10-2021-7020002(분할)
- (22) 출원일자(국제) 2013년10월10일
심사청구일자 2021년06월28일
- (85) 번역문제출일자 2021년06월28일
- (65) 공개번호 10-2021-0083382
- (43) 공개일자 2021년07월06일
- (62) 원출원 특허 10-2021-7003404
원출원일자(국제) 2013년10월10일
심사청구일자 2021년02월03일
- (86) 국제출원번호 PCT/JP2013/006055
- (87) 국제공개번호 WO 2014/061240
국제공개일자 2014년04월24일

(30) 우선권주장
JP-P-2012-230805 2012년10월18일 일본(JP)
JP-P-2013-089580 2013년04월22일 일본(JP)

(56) 선행기술조사문헌

JP2010245506 A
JP2012015278 A*
KR1020080019652 A*
KR1020010006328 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 13 항

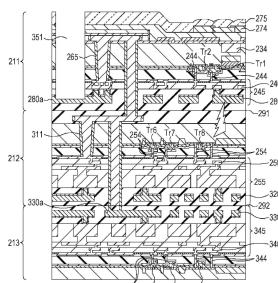
심사관 : 심병로

(54) 발명의 명칭 반도체 장치, 고체 콜상 장치 및 전자기기

(57) 요 약

일측에 제1의 배선층을 포함하고, 포토 다이오드를 더 포함하는 제1의 반도체부와, 일측에 제2의 배선층을 포함하고, 상기 제1의 반도체층과 함께 고정되는 제2의 반도체부와, 일측에 제3의 배선층을 포함하고, 상기 제2의 반도체부와 함께 고정되어, 상기 제1의 반도체부 및 제2의 반도체부와 함께 적층되는 제3의 반도체부와, (i) 상기

(뒷면에 계속)

대 표 도 - 도6

제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제1의 도전 재료를 구비하는 반도체 장치.

(52) CPC특허분류

H01L 27/14634 (2013.01)

H01L 27/1464 (2013.01)

H01L 27/1469 (2013.01)

(72) 발명자

이노우에 하지메

일본국 도쿄도 미나토구 코난 1-7-1 소니구루주식
회사 내

카나무라 류이치

일본국 후쿠오카현 후쿠오카시 사와라구 모모치하
마 2-3-2 소니 세미컨덕터 주식회사 내

명세서

청구범위

청구항 1

제1의 반도체 기판과 상기 제1의 반도체 기판에 형성된 복수의 포토 다이오드와, 전송 트랜지스터, 리셋 트랜지스터 및 증폭 트랜지스터 중 적어도 하나와, 제1의 전극을 구비하는 제1의 배선층을 포함하는 제1 색션과,

제2의 반도체 기판과 상기 제2의 반도체 기판의 제1의 면측에 배치된 제2의 전극을 구비하는 제2의 배선층과 상기 제2의 반도체 기판의 제1의 면측과 반대측의 제2의 면측에 배치되어 제3의 전극을 구비하는 제3의 배선층을 포함하는 제2 색션과,

제3의 반도체 기판과 제4의 전극을 구비하는 제4의 배선층을 포함하는 제3 색션과,

상기 제2의 반도체 기판을 관통하는 접속 도체를 구비하며,

상기 제1의 배선층과 상기 제2의 배선층, 상기 제3의 배선층과 상기 제4의 배선층이 각각 마주하여 맞도록 상기 제1 색션과 상기 제2 색션과 상기 제3 색션이 적층되며,

상기 제1 색션과 상기 제2 색션은, 상기 제1의 전극과 상기 제2의 전극이 접합되는 것에 의해 전기적으로 접속되며,

상기 제2 색션과 상기 제3 색션은, 상기 제3의 전극과 상기 제4의 전극이 접합되는 것에 의해 전기적으로 접속되며,

상기 접속 도체는 상기 제2의 배선층 및 상기 제3의 배선층과 전기적으로 접속되어 있는 것을 특징으로 하는 고체 활상 장치.

청구항 2

제1항에 있어서,

상기 제2 색션은 복수의 트랜지스터를 포함하는 것을 특징으로 하는 고체 활상 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 제3 색션은 복수의 트랜지스터를 포함하는 것을 특징으로 하는 고체 활상 장치.

청구항 4

제1항 또는 제2항에 있어서,

상기 제2 색션은 로직 회로를 포함하는 것을 특징으로 하는 고체 활상 장치.

청구항 5

제1항 또는 제2항에 있어서,

상기 제3 색션은 메모리 회로를 포함하는 것을 특징으로 하는 고체 활상 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 제2 색션은 로직 회로를 포함하며,

상기 제3 색션은 메모리 회로를 포함하고,

상기 로직 회로와 상기 메모리 회로는, 외부와의 신호의 입출력에 동반하여 동작하는 것을 특징으로 하는 고체

촬상 장치.

청구항 7

제1항 또는 제2항에 있어서,

상기 제1 색션 또는 제2 색션에 외부 접속용의 전극을 더 구비하는 것을 특징으로 하는 고체 촬상 장치.

청구항 8

제7항에 있어서,

상기 외부 접속용의 전극은 알루미늄을 포함하는 것을 특징으로 하는 고체 촬상 장치.

청구항 9

제7항에 있어서,

상기 외부 접속용의 전극은 상기 제1 색션의 배선층 내에 배치되는 것을 특징으로 하는 고체 촬상 장치.

청구항 10

제7항에 있어서,

상기 외부 접속용의 전극은 상기 제2 색션의 배선층 내에 배치되는 것을 특징으로 하는 고체 촬상 장치.

청구항 11

제7항에 있어서,

상기 제1 색션의 수광면측으로부터 상기 외부 접속용의 전극에 도달하는 패드 구멍을 더 구비하는 것을 특징으로 하는 고체 촬상 장치.

청구항 12

제1항 또는 제2항에 있어서,

상기 제1의 전극 내지 제4의 전극은 동을 포함하는 것을 특징으로 하는 고체 촬상 장치.

청구항 13

입사광을 수광하는 적어도 하나의 렌즈를 포함하는 광학 유닛과,

상기 입사광을 수광하는 고체 촬상 장치를 구비하며,

상기 고체 촬상 장치는,

제1의 반도체 기판과 상기 제1의 반도체 기판에 형성된 복수의 포토 다이오드와, 전송 트랜지스터, 리셋 트랜지스터 및 증폭 트랜지스터 중 적어도 하나와, 제1의 전극을 구비하는 제1의 배선층을 포함하는 제1 색션과,

제2의 반도체 기판과 상기 제2의 반도체 기판의 제1의 면측에 배치된 제2의 전극을 구비하는 제2의 배선층과 상기 제2의 반도체 기판의 제1의 면측과 반대측의 제2의 면측에 배치되어 제3의 전극을 구비하는 제3의 배선층을 포함하는 제2 색션과,

제3의 반도체 기판과 제4의 전극을 구비하는 제4의 배선층을 포함하는 제3 색션과,

상기 제2의 반도체 기판을 관통하는 접속 도체를 구비하며,

상기 제2의 배선층과 상기 제3의 배선층은 각각 상기 제2 색션의 대향하는 면측에 형성되고,

상기 제1의 배선층과 상기 제2의 배선층, 상기 제3의 배선층과 상기 제4의 배선층이 각각 마주하여 맞도록 상기 제1 색션과 상기 제2 색션과 상기 제3 색션이 적층되며,

상기 제1 색션과 상기 제2 색션은, 상기 제1의 전극과 상기 제2의 전극이 접합되는 것에 의해 전기적으로 접속되며,

상기 제2 셙션과 상기 제3 셙션은, 상기 제3의 전극과 상기 제4의 전극이 접합되는 것에 의해 전기적으로 접속되며,

상기 접속 도체는 상기 제2의 배선층 및 상기 제3의 배선층과 전기적으로 접속되어 있는 것을 특징으로 하는 전자 기기.

발명의 설명

기술 분야

[0001] 본 기술은, 고체 활성 장치에 관한 것으로, 특히, 고품질의 적층형의 이미지 센서를 간단하게 제공할 수 있도록 하는 고체 활성 장치에 관한 것이다.

배경 기술

[0003] 고체 활성 장치로서, CMOS(Complementary Metal Oxide Semiconductor) 등의 MOS형 이미지 센서로 대표되는 증폭형 고체 활성 장치가 알려져 있다. 또한, CCD(Charge Coupled Device) 이미지 센서로 대표되는 전하 전송형 고체 활성 장치가 알려져 있다.

[0004] 이들 고체 활성 장치는, 디지털 스틸 카메라, 디지털 비디오 카메라 등에 널리 이용되고 있다. 근래, 카메라 부착 휴대전화나 PDA(Personal Digital Assistant) 등의 모바일 기기에 탑재되는 고체 활성 장치로서는, 전원 전압이 낮고, 소비 전력의 관점 등으로부터 MOS형 이미지 센서가 많이 이용되고 있다.

[0005] MOS형의 고체 활성 장치는, 단위화소가 광전 변환부가 되는 포토 다이오드와 복수의 화소 트랜지스터로 형성되고, 이 복수의 단위화소가 2차원 어레이형상으로 배열된 화소 어레이(화소 영역)와, 주변 회로 영역을 갖고서 구성된다. 복수의 화소 트랜지스터는, MOS 트랜지스터로 형성되고, 전송 트랜지스터, 리셋 트랜지스터, 증폭 트랜지스터의 3트랜지스터, 또는 선택 트랜지스터를 더한 4트랜지스터로 구성된다.

[0006] 또한, 상기한 바와 같은 고체 활성 장치에서는, 기능이 다른 복수의 반도체 기판을 겹쳐 쌓아 전기적으로 접속하는 적층형 구조도 제안되어 있다.

[0007] 적층형 구조에서는, 각 반도체 기판의 기능에 대응하도록, 각 회로를 최적으로 형성하는 것이 가능하기 때문에, 장치의 고기능화를 용이하게 실현할 수 있다.

[0008] 예를 들면, 센서 회로를 포함하는 반도체 기판과, 신호를 처리하는 회로가 마련된 로직 회로를 포함하는 반도체 기판과의 각 기능에 대응하도록, 센서 회로 및 로직 회로를 최적으로 형성함으로써, 고기능의 고체 활성 장치를 제조할 수 있다. 이때, 반도체 기판의 기판에 관통 전극을 마련함으로써, 이들의 복수의 반도체 기판이 전기적으로 접속된다.

[0009] 그러나, 기판을 관통하는 접속 도체에 의해 이종(異種) 기판 사이를 접속하여 반도체 디바이스를 구성하면, 깊은 기판에 절연을 확보하면서 접속구멍을 뚫어야 하여, 접속구멍의 가공과, 접속 도체의 매입에 필요한 제조 프로세스의 비용 경제성 때문에 실용화는 곤란하다고 되어 있다.

[0010] 한편, 예를 들면 $1\mu\text{m}$ 정도의 작은 콘택트구멍을 형성하기 위해서는, 상부 기판을 극한까지 박막화할 필요가 있다. 이 경우, 박막화하기 전에 상부 기판을 지지 기판에 부착하는 등의 복잡한 공정과 비용 증가를 초래하게 된다. 게다가, 고액스팩트비의 접속구멍에 접속 도체로 매우기 위해서는, 접속 도체로서 텅스텐(W) 등의 피복성이 좋은 CVD막을 사용하는 것이 필연적으로 요구되어, 접속 도체 재료가 제약된다.

[0011] 그래서, 각각의 성능을 충분히 발휘하여 고성능화를 도모하고, 또한 양산성, 비용 저감을 도모한, 고체 활성 장치 등의 반도체 장치의 제조 방법이 제안되어 있다(예를 들면, 특히 문현 1 참조).

[0012] 특히 문현 1에서는, 이면형 이미지 센서의 지지 기판을 로직 회로로서 적층하고, 이미지 센서의 박막화 공정을 이용하여 상부로부터 다수의 접속 콘택트를 마련하여 적층형 구조로 하는 것이 제안되어 있다.

선행기술문헌

특허문헌

[0013] (특허문헌 0001) 일본 특개2010-245506호 공보

발명의 내용

해결하려는 과제

[0014] 본 발명은 고품질의 적층형의 이미지 센서를 간단하게 제공할 수 있도록 하는 것이다.

과제의 해결 수단

[0016] 본 발명의 적어도 하나의 실시의 형태에 따르면, 일측에 제1의 배선층을 포함하고, 포토 다이오드를 더 포함하는 제1의 반도체부와, 일측에 제2의 배선층을 포함하고, 상기 제1의 반도체층과 함께 고정되는 제2의 반도체부와, 일측에 제3의 배선층을 포함하고, 상기 제2의 반도체부와 함께 고정되어, 상기 제1의 반도체부 및 제2의 반도체부와 함께 적층되는 제3의 반도체부와, (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제1의 도전 재료를 구비하는 반도체 장치를 제공한다.

[0017] 본 발명의 적어도 하나의 실시의 형태에 따르면, 일측에 제1의 배선층을 포함하고, 회로 영역 및 화소 영역을 더 포함하는 제1의 반도체부와, 일측에 제2의 배선층을 포함하고, 상기 제1의 반도체층과 함께 고정되는 제2의 반도체부와, 일측에 제3의 배선층을 포함하고, 상기 제2의 반도체부와 함께 고정되어, 상기 제1의 반도체부 및 제2의 반도체부와 함께 적층되는 제3의 반도체부와, (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제1의 도전 재료를 구비하는 이면 조사형 고체 활상 장치를 제공한다.

[0018] 본 발명의 적어도 하나의 실시의 형태에 따르면, 광학부와 고체 활상 장치를 포함하고, 상기 고체 활상 장치는, 일측에 제1의 배선층을 포함하고, 회로 영역 및 화소 영역을 더 포함하는 제1의 반도체부와, 일측에 제2의 배선층을 포함하고, 상기 제1의 반도체층과 함께 고정되는 제2의 반도체부와, 일측에 제3의 배선층을 포함하고, 상기 제2의 반도체부와 함께 고정되어, 상기 제1의 반도체부 및 제2의 반도체부와 함께 적층되는 제3의 반도체부와, (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제1의 도전 재료를 포함하는 전자기기를 제공한다.

[0019] 본 발명의 다른 시스템, 방법, 특징 및 이점은 이하의 도면 및 상세한 설명의 검토에 의하여 통상의 기술자에게 명백해질 것이다. 이러한 추가적인 시스템, 방법, 특징 및 이점은 본 설명 내에 있으며, 본 발명의 범위 내에 있으며, 첨부된 청구범위에 의해 보호될 것이다.

발명의 효과

[0021] 본 기술에 의하면, 고품질의 적층형의 이미지 센서를 간단하게 제공할 수 있다.

도면의 간단한 설명

[0023] 도 1은 종래의 적층형의 고체 활상 장치의 화소부의 구성을 설명하는 단면도.

도 2는 종래의 적층형의 고체 활상 장치의 화소부의 다른 구성을 설명하는 단면도.

도 3은 3층 적층형의 고체 활상 장치의 제조 방식을 설명하는 도면.

도 4는 3층 적층형의 고체 활상 장치의 제조 방식을 설명하는 도면.

도 5는 도 3 및 도 4에 의하여 제조된 3층 적층 구조의 고체 활상 장치의 화소부의 구성을 설명하는 단면도.

도 6은 본 기술을 적용한 고체 활상 장치의 화소부의 한 실시의 형태에 관한 구성을 설명하는 단면도.

도 7a는 패드구멍 부근에서의 확대도

도 7b는 패드구멍에서 바라본 알루미늄 패드의 도면.

도 8은 본 기술을 적용한 고체 활상 장치의 화소부의 다른 실시의 형태에 관한 구성을 설명하는 단면도.

도 9는 본 기술을 적용한 고체 활상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도.

도 10은 본 기술을 적용한 고체 활상 장치의 개략 구성을 도시하는 도면.

도 11은 도 6에 도시되는 고체 활상 장치의 화소부의 구성에 관한 단면도를 모식화한 도면.

도 12는 본 기술을 적용한 고체 활상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면.

도 13은 도 12에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 14는 도 12에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 15는 도 12에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 16은 도 12에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 17은 도 12에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 18은 도 12에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 19는 도 12에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 20은 본 기술을 적용한 고체 활상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면.

도 21은 도 20에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 22는 도 20에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 23은 도 20에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면이다.

도 24는 도 20에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 25는 도 20에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면이다.

도 26은 도 20에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 27은 도 20에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 28은 본 기술을 적용한 고체 활상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면.

도 29는 본 기술을 적용한 고체 활상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면.

도 30은 도 29에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 31은 도 29에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 32는 도 29에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 33은 도 29에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 34는 도 29에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 35는 본 기술을 적용한 고체 활상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면.

도 36은 도 35에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면이다.

도 37은 도 35에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 38은 도 35에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 39는 도 35에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 40은 도 35에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명하는 도면.

도 41은 본 기술을 적용한 고체 활상 장치의 실시의 형태로서 채용될 수 있는 구성의 조합을 설명하는 도면.

도 42는 4층 구조를 채용하는 경우의 본 기술을 적용한 고체 활상 장치의 화소부의 구성을 설명하는 단면도를 모식화한 도면.

도 43은 본 기술을 적용한 전자기기의 구성례를 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 도면을 참조하여, 여기서 개시하는 기술의 실시의 형태에 관해 설명한다.
- [0025] 먼저, 종래 기술의 문제점에 관해 설명한다.
- [0026] 고체 활상 장치로서, CMOS(Complementary Metal Oxide Semiconductor) 등의 MOS형 이미지 센서로 대표되는 증폭형 고체 활상 장치가 알려져 있다. 또한, CCD(Charge Coupled Device) 이미지 센서로 대표되는 전하 전송형 고체 활상 장치가 알려져 있다.
- [0027] 이들 고체 활상 장치는, 디지털 스틸 카메라, 디지털 비디오 카메라 등에 널리 이용되고 있다. 근래, 카메라 부착 휴대전화이나 PDA(Personal Digital Assistant) 등의 모바일 기기에 탑재되는 고체 활상 장치로서는, 전원 전압이 낮고, 소비 전력의 관점 등에서 MOS형 이미지 센서가 많이 이용되고 있다.
- [0028] MOS형의 고체 활상 장치는, 단위화소가 광전 변환부가 되는 포토 다이오드와 복수의 화소 트랜지스터로 형성되고, 이 복수의 단위화소가 2차원 어레이형상으로 배열된 화소 어레이(화소 영역)와, 주변 회로 영역을 갖고서 구성된다. 복수의 화소 트랜지스터는, MOS 트랜지스터로 형성되고, 전송 트랜지스터, 리셋 트랜지스터, 증폭 트랜지스터의 3트랜지스터, 또는 선택 트랜지스터를 더한 4트랜지스터로 구성된다.
- [0029] 또한, 상기한 바와 같은 고체 활상 장치에서는, 기능이 다른 복수의 반도체 기판을 겹쳐 쌓아 전기적으로 접속한 적층형 구조도 제안되어 있다.
- [0030] 적층형 구조에서는, 각 반도체 기판의 기능에 대응하도록, 각 회로를 최적으로 형성하는 것이 가능하기 때문에, 장치를 고기능화하는 것을 용이하게 실현할 수 있다.
- [0031] 예를 들면, 센서 회로를 포함하는 반도체 기판과, 신호를 처리하는 회로가 마련된 로직 회로를 포함하는 반도체 기판과의 각 기능에 대응하도록, 센서 회로 및 로직 회로를 최적으로 형성함으로써, 고기능의 고체 활상 장치를 제조할 수 있다. 이때, 반도체 기판의 기판에 관통 전극을 마련함으로써, 이들의 복수의 반도체 기판이 전기적으로 접속된다.
- [0032] 도 1은, 종래의 적층형의 고체 활상 장치의 화소부의 구성을 설명하는 단면도이다.
- [0033] 이 화소부에 관한 고체 활상 장치는, 제1의 반도체 기판과 제2의 반도체 기판을 적층하여 구성되는 이면조사형 CMOS 이미지 센서로서 구성된다. 즉, 도 1에 도시되는 고체 활상 장치는, 2층 적층 구조가 된다.
- [0034] 도 1에 도시되는 바와 같이, 제1의 반도체 기판(31)의 각 영역에, 이미지 센서, 즉 화소 어레이(이하, 화소 영역이라고 한다)와 제어 영역을 형성한다.
- [0035] 즉, 반도체 기판(예를 들면 실리콘 기판)(31)의 각 영역에, 각 화소의 광전 변환부가 되는 포토 다이오드(PD)(34)를 형성하고, 그 반도체 웨이 영역에 각 화소 트랜지스터의 소스/드레인 영역을 형성한다.
- [0036] 화소를 구성하는 기판 표면상에는 게이트 절연막을 통하여 게이트 전극을 형성하고, 게이트 전극과 쌍의 소스/드레인 영역에 의해 화소 트랜지스터(Tr1), 화소 트랜지스터(Tr2)를 형성한다.
- [0037] 포토 다이오드(PD)(34)에 인접하는 화소 트랜지스터(Tr1)가 전송 트랜지스터에 상당하고, 그 소스/드레인 영역이 플로팅 디퓨전(FD)에 상당한다.
- [0038] 뒤이어, 제1의 반도체 기판(31)의 표면상에, 1층째의 층간 절연막(39)을 형성하고, 그 후, 층간 절연막(39)에 접속구멍을 형성하고, 소요되는 트랜지스터에 접속하는 접속 도체를 형성한다.
- [0039] 뒤이어, 각 접속 도체에 접속하도록, 층간 절연막(39)을 통하여 복수 층(이 예에서는 2층)의 메탈 배선을 형성하여 다층 배선층(41)을 형성한다. 메탈 배선은, 구리(Cu) 배선으로 형성한다. 통상, 각 구리배선(메탈 배선)은, Cu 확산을 방지하는 배리어 메탈막으로 덮여진다. 이 때문에, 다층 배선층(41)상에 구리배선의 캡막인 보호막을 형성한다.

- [0040] 여기까지의 공정에 의해, 화소 영역 및 제어 영역을 갖는 제1의 반도체 기판(31)이 형성되게 된다.
- [0041] 한편, 제2의 반도체 기판(45)의 각 영역에는, 예를 들면, 화소 영역을 제어하거나, 외부와의 통신을 제어하는 신호 처리에 관한 신호 처리 회로를 포함하는 로직 회로가 형성된다. 즉, 반도체 기판(예를 들면 실리콘 기판)(45)의 표면측의 p형의 반도체 웰 영역에, 소자 분리 영역으로 분리되도록 로직 회로를 구성하는 복수의 MOS 트랜지스터(Tr6), MOS 트랜지스터(Tr7), MOS 트랜지스터(Tr8)를 형성한다.
- [0042] 뒤이어, 제2의 반도체 기판(45)의 표면상에, 1층째의 충간 절연막(49)을 형성하고, 그 후, 충간 절연막(49)에 접속구멍을 형성하고, 소요되는 트랜지스터에 접속하는 접속 도체(54)를 형성한다.
- [0043] 뒤이어, 각 접속 도체(54)에 접속하도록, 충간 절연막(49)을 통하여 복수층, 본 예에서는 4층의 메탈 배선을 형성하여 다층 배선층(55)을 형성한다.
- [0044] 메탈 배선은, 구리(Cu) 배선으로 형성한다. 다층 배선층(55)상에 구리배선(메탈 배선)의 캡막인 보호막을 형성한다. 단, 다층 배선층(55)의 최상층은, 전극이 된 알루미늄 패드로 형성된다.
- [0045] 여기까지의 공정에 의해, 로직 회로를 갖는 제2의 반도체 기판(45)이 형성되게 된다.
- [0046] 그리고, 제1의 반도체 기판(31)과 제2의 반도체 기판(45)을, 서로의 다층 배선층(41) 및 다층 배선층(55)이 마주 보도록, 접합면(99)에서 맞붙인다. 맞붙임은, 예를 들면, 플라즈마 접합과, 접착제에 의한 접합이 있다.
- [0047] 그리고, 제1의 반도체 기판(31)의 이면(31b)측부터 연삭, 연마하여 제1의 반도체 기판(31)을 박막화하고, 제1의 반도체 기판(31)의 이면이 이면조사형의 고체 활상 장치로서 구성된 때의, 광입사면이 된다.
- [0048] 박막화한 제1의 반도체 기판(31)에 대해, 소요되는 위치에, 이면측부터 제1의 반도체 기판(31)을 관통하여 제2의 반도체 기판(45)의 다층 배선층(55)의 최상층의 알루미늄 패드에 달하는 관통 접속구멍을 형성한다. 동시에, 제1의 반도체 기판(31)에, 이 관통 접속구멍에 근접하여 이면측부터 제1의 반도체 기판(31)측의 1층째의 배선에 달하는 접속구멍을 형성한다.
- [0049] 다음에, 관통 접속구멍 내에 관통 접속 도체(64) 및 접속 도체(65)를 매입한다. 이를 관통 접속 도체(64) 및 접속 도체(65)는, 예를 들면 구리(Cu), 텅스텐(W) 등의 금속을 이용할 수 있다.
- [0050] 상술한 바와 같이, 제2의 반도체 기판(45)에는, 신호 처리 등을 실행하는 로직 회로가 형성되기 때문에, 각 트랜지스터의 전극과 신호선을 접속하여, 신호의 입출력이 행하여지도록 할 필요가 있다. 즉, 로직 회로는, 외부와의 신호의 입출력을 수반하여 동작하도록 이루어져 있다. 따라서, 제2의 반도체 기판(45)의 알루미늄 패드(53)는, 외부 접속용의 전극이 된다.
- [0051] 이 때문에, 제2의 반도체 기판의 알루미늄 패드(53)에 와이어 본딩할 수 있도록, 제1의 반도체 기판(31)을 관통하는 패드구멍(81)이 형성되고, 알루미늄 패드(53)가 노출시킨다.
- [0052] 그 후, 제1의 반도체 기판(31)의 이면 전면에 절연 보호막을 형성하고, 차광하여야 할 영역상에 차광막(67)을 형성한다. 차광막(67)으로서는, 예를 들면 텅스텐 등의 금속막을 이용할 수 있다.
- [0053] 그 후, 차광막(67)상에 평탄화막이 형성되고, 평탄화막상에 각 화소에 대응하여 예를 들면 적(R), 녹(G), 청(B)의 온 칩 컬러 필터(74)를 형성하고, 그 위에 온 칩 마이크로 렌즈(75)를 형성한다.
- [0054] 또한, 제1의 반도체 기판(31)에 대해, 외부의 기기, 회로 등과의 신호의 송수신 등에 이용되는 전극이 되는 알루미늄 패드(53)에, 제1의 반도체 기판(31)의 이면측(수광면측)부터 달하도록 패드구멍(81)을 형성한다.
- [0055] 이에 의해, 적층형의 반도체 구조의 프로세스가 완료된다. 즉, 제1의 반도체 기판(31)에서는, 화소 영역, 제어 영역이 형성된 상태가 되고, 제2의 반도체 기판(45)에서는, 로직 회로가 형성된 상태가 된다.
- [0056] 뒤이어, 각 칩으로 분할하여, 이면조사형의 고체 활상 장치의 칩이 얻어지게 된다.
- [0057] 또한, 적층 구조의 고체 활상 장치에서는, 핫 캐리어에 의한 노이즈 등의 영향도 고려되어야 한다. 핫 캐리어란, 트랜지스터로부터 나오는 고운동 에너지를 갖는 고속의 전자이고, 핫 캐리어가 실리콘 원자에 충돌함으로써 광이 발생한다.
- [0058] 적층 구조의 고체 활상 장치에서는, PD가 형성된 제1의 반도체 기판과는 별개의 제2의 반도체 기판에도 트랜지스터가 마련되어 있다. 이 때문에, 제2의 반도체 기판의 트랜지스터로부터 나온 핫 캐리어에 의해 발생한 광이, 제1의 반도체 기판의 PD의 이면(수광면의 반대측)부터 침입하여 노이즈가 되는 것이 있다.

- [0059] 이 때문에, 적층 구조의 고체 콜상 장치에서는, 핫 캐리어에 기인하는 광을 차광하기 위해, 예를 들면, 차광체를 마련하는 등의 대책이 시행되고 있다.
- [0060] 도 2는, 종래의 적층형의 고체 콜상 장치의 화소부의 다른 구성을 설명하는 단면도이다.
- [0061] 도 2의 예에서는, 제1의 반도체 기판(31)에서의 PD(34)의 아래에, 차광체(90)가 형성되어 있다. 이에 의해, 제2의 반도체 기판(45)의 MOS 트랜지스터(Tr6), MOS 트랜지스터(Tr7), 및 MOS 트랜지스터(Tr8)로부터 나오는 핫 캐리어에 기인하는 광이 차광된다.
- [0062] 또한, 다층 배선층(55)에서의 구리배선의 형상을 바꾸는 등으로, MOS 트랜지스터(Tr6), MOS 트랜지스터(Tr7), 및 MOS 트랜지스터(Tr8)로부터 나오는 핫 캐리어에 기인하는 광이 차광되도록 하는 것도 가능하다.
- [0063] 도 1과 도 2를 참조하여 상술한 바와 같이, 2층 적층 구조의 고체 콜상 장치에서는, 패드구멍(81)을 마련함에 의해, 외부와의 전기적 접속을 가능하게 하고, 차광체(90)나 다층 배선층(55)에서의 구리배선의 형상에 의해, 핫 캐리어에 기인하는 광을 차광하고 있다.
- [0064] 한편으로, 근래, 3층 적층형의 고체 콜상 장치도 개발되어 있다. 3층 적층형의 고체 콜상 장치는, 예를 들면, 화소 영역 및 제어 영역(이하, 센서 회로라고도 칭한다)이 형성된 제1의 반도체 기판, 로직 회로가 형성된 제2의 반도체 기판에 더하여, 메모리 회로가 형성된 제3의 반도체 기판으로 이루어져 있다.
- [0065] 3층 적층형의 고체 콜상 장치는, 예를 들면, 도 3 및 도 4에 도시되는 바와 같이 제조된다.
- [0066] 최초에, 도 3에 도시되는 바와 같이, 제2의 반도체 기판(112)과 제3의 반도체 기판(113)이, 서로의 회로면을 마주보게 하여 맞붙여진다. 또한, 실제로는 2개의 반도체 기판의 층간막끼리가 맞붙여진다. 그리고, 제2의 반도체 기판(112)이 박막화된다.
- [0067] 그 후, 도 4에 도시되는 바와 같이, 제1의 반도체 기판(111)이 이면을 위로 하여, 박막화된 제2의 반도체 기판(112)의 위에 맞붙여진다. 또한, 실제로는 2개의 반도체 기판의 층간막끼리가 맞붙여진다. 그리고, 제1의 반도체 기판(111)이 박막화된다.
- [0068] 이와 같이, 적층형의 이미지 센서를 3층 적층 구조로서 구성하는 경우, 수광부를 갖는 센서 회로는 광을 받아들일 필요가 있기 때문에, 최상부에 배치하게 되고, 그 하층에 2개의 로직 회로와 메모리 회로가 적층되게 된다.
- [0069] 또한, 회로의 적층에 즈음하여서는, 실리콘 기판의 박막화를 위한 지지 기판을 사용하지 않고 끝나도록 하는 것이 바람직하다. 이 때문에, 회로의 생성에서, 최초에 하층의 2개의 반도체 기판의 회로면을 마주보게 하여 맞붙이고, 제2층째가 되는 반도체 기판(제2의 반도체 기판(112))을 박막화한다. 그 후에, 가장 상층의 반도체 기판(제1의 반도체 기판(111))을 이면형으로서 맞붙여서 적층시켜, 다시 박막화하게 된다.
- [0070] 그러나, 이와 같이 하면, 3층 적층 구조에서는 다음과 같은 문제가 생긴다.
- [0071] 도 5는, 종래 기술에 의해 제조된 3층 적층 구조의 고체 콜상 장치의 화소부의 구성을 설명하는 단면도이다.
- [0072] 종래 기술의 3층 적층 구조에서의 제1의 문제점은, 패드구멍이 너무 깊어진다. 도 5에서는, 도 1의 패드구멍(81)보다 깊은 패드구멍(121)이 형성되어 있다.
- [0073] 즉, 3층 적층 구조로 하는 경우, 도 3과 도 4를 참조하여 상술한 바와 같이, 제2의 반도체 기판(112)의 회로면은, 제3의 반도체 기판의 회로면과 마주 보게 하여 맞붙여진다. 이 때문에, 제2의 반도체 기판의 다층 배선층의 최상층의 알루미늄 패드는, 제1의 반도체 기판(111)의 수광면부터 멀어져서, 제1의 반도체 기판을 관통하고, 또한 제2의 반도체 기판을 거의 관통할 때까지 개구하지 않으면, 제2의 반도체 기판의 알루미늄 패드(133)(외부 접속용의 전극)가 노출하지 않는다.
- [0074] 깊은 패드구멍(121)을 개구하기 위해서는, 레지스트의 후막화가 필요해진다. 깊은 패드구멍(121)을 개구하기 위해 레지스트를 후막화하면, 드라이 에칭 후의 레지스트 경화가 문제가 된다.
- [0075] 예를 들면, 개구시에 제1의 반도체 기판상에는 유기계의 재료를 이용한 온 칩 마이크로 렌즈가 이미 형성되어 있기 때문에, 약액으로 레지스트 제거하여야 하는데, 경화한 레지스트가 잔사형상으로 남기 쉽게 되어, 렌즈에의 광 입사를 저해한다.
- [0076] 또한, 깊은 패드구멍(121)을 개구하는 경우, 드라이 에칭에 의해 생기는 증착물도 문제가 된다.
- [0077] 특히 알루미늄 패드(133)의 표면이나 패드구멍(121)의 측벽에 부착하여 떨어지지 않게 된 증착물은, 예를 들면,

3층 적층 구조가 완성된 후에 습도를 흡수하여 불소 이온을 발생시켜, 알루미늄 패드의 금속을 녹이는(코로전(corrosion)) 불량을 발생시킨다.

[0078] 이와 같이, 종래의 기술에서는, 깊은 패드구멍 때문에, 고체 활상 장치의 제조 프로세스가 곤란하게 되어 버린다.

[0079] 종래 기술의 3층 적층 구조에서의 제2의 문제점은, 핫 캐리어에 기인하는 광의 차광이 곤란해지는 것이다.

[0080] 즉, 3층 적층 구조로 하는 경우, 도 3과 도 4를 참조하여 상술한 바와 같이, 제2의 반도체 기판(112)의 회로면은, 제3의 반도체 기판의 회로면과 마주 보게 하여 맞붙여진다. 이 때문에, 제2의 반도체 기판의 트랜지스터가, 다층 배선층을 통하지 않고 제1의 반도체 기판과 마주 보게 된다. 이 때문에, 예를 들면, 2층 적층 구조의 경우와 같이, 제2의 반도체 기판의 다층 배선층의 구리배선에 의해 핫 캐리어에 기인하는 광을 차광할 수가 없다.

[0081] 그래서, 본 기술에서는, 깊은 패드구멍을 마련할 필요가 없고, 또한, 핫 캐리어에 기인하는 광을 간단하게 차광할 수 있도록 한다.

[0082] 도 6은, 본 기술을 적용한 고체 활상 장치의 화소부의 한 실시의 형태에 관한 구성을 설명하는 단면도이다. 이 화소부에 관한 고체 활상 장치는, 제1의 반도체 기판과, 제2의 반도체 기판과, 제3의 반도체 기판을 적층하여 구성되는 이면조사형 CMOS 이미지 센서로서 구성된다. 즉, 도 6에 도시되는 화소부에 관한 고체 활상 장치는, 3층 적층 구조가 된다.

[0083] 또한, 이 고체 활상 장치는, 예를 들면, 센서 회로가 형성된 제1의 반도체 기판, 로직 회로가 형성된 제2의 반도체 기판에 더하여, 메모리 회로가 형성된 제3의 반도체 기판으로 이루어져 있다. 로직 회로 및 메모리 회로는, 각각 외부와의 신호의 입출력을 수반하여 동작하도록 이루어져 있다.

[0084] 도 6에 도시되는 바와 같이, 반도체 기판(예를 들면 실리콘 기판)(211)에는, 화소의 광전 변환부가 되는 포토 다이오드(PD)(234)가 형성되고, 그 반도체 웨이 영역에 각 화소 트랜지스터의 소스/드레인 영역이 형성된다.

[0085] 화소를 구성하는 기판 표면상에는 게이트 절연막을 통하여 게이트 전극을 형성하고, 게이트 전극과 쌍의 소스/드레인 영역에 의해 화소 트랜지스터(Tr1), 화소 트랜지스터(Tr2)를 형성한다.

[0086] 포토 다이오드(PD)(234)에 인접하는 화소 트랜지스터(Tr1)가 전송 트랜지스터에 상당하고, 그 소스/드레인 영역이 플로팅 디퓨전(FD)에 상당한다.

[0087] 또한, 제1의 반도체 기판(211)에는, 충간 절연막이 형성되고, 충간 절연막에 접속구멍을 형성하고, 화소 트랜지스터(Tr1), 및 화소 트랜지스터(Tr2)에 접속하는 접속 도체(244)가 형성되어 있다.

[0088] 또한, 각 접속 도체(244)에 접속하도록, 복수층의 메탈 배선(240)을 형성하여 다층 배선층(245)이 형성되어 있다. 구리배선(240)(메탈 배선)은, 구리(Cu) 배선으로 형성한다. 통상, 각 구리배선은, Cu 확산을 방지하는 배리어 메탈막으로 덮여진다. 이 때문에, 다층 배선층(245)상에 구리배선의 캡막인 보호막을 형성한다.

[0089] 또한, 제1의 반도체 기판(211)의 다층 배선층(245)의 최하층에는, 외부 접속용의 전극이 되는 알루미늄 패드(280)가 형성되어 있다. 즉, 구리배선(240)보다도 제2의 반도체 기판(212)과의 접착면(291)에 가까운 위치에 알루미늄 패드(280)가 형성되어 있다. 이 외부 접속용의 전극은, 외부와의 신호의 입출력에 관한 배선의 일단으로서 이용된다. 또한, 여기서는, 전극이 알루미늄으로 형성되는 것으로 하여 설명하지만, 전극이 다른 금속으로 형성되도록 하여도 좋다.

[0090] 또한, 제1의 반도체 기판(211)에는, 제2의 반도체 기판(212)과의 전기적 접속에 이용되는 콘택트(265)가 형성되어 있다. 콘택트(265)는, 후술하는 제2의 반도체 기판(212)의 콘택트(311)에 접속됨과 함께, 제1의 반도체 기판(211)의 알루미늄 패드(280a)에도 접속되어 있다.

[0091] 그리고, 제1의 반도체 기판(211)에는, 제1의 반도체 기판(211)의 이면측(수광면측)부터 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성되어 있다.

[0092] 도 7a 및 도 7b는, 패드구멍(351) 및 알루미늄 패드(280a)의 구성을 설명하는 도면이다. 도 7a는, 패드구멍(351) 부근을 확대한 도면이고, 도 7b는, 알루미늄 패드(280a)를 패드구멍(351)의 위에서 본 도면이다.

[0093] 도 7b에 도시되는 바와 같이 알루미늄 패드(280a)의 단부(端部)에 다수의 콘택트(265)가 나열하고 접속됨에 의해, 접속 저항을 줄이는 것이 가능해진다.

[0094] 도 6로 되돌아와, 도 1을 참조하여 상술한 경우와 마찬가지로, 제1의 반도체 기판(211)에는, 이면 전면에 절연

보호막이 형성되고, 차광하여야 할 영역상에 차광막이 형성된다. 또한, 평탄화막상에 각 화소에 대응하여 온 칩 컬러 필터(274)가 형성되고, 그 위에 온 칩 마이크로 렌즈(275)가 형성된다.

[0095] 한편, 제2의 반도체 기판(212)에는, 로직 회로가 형성된다. 즉, 반도체 기판(예를 들면 실리콘 기판)(212)의 p형의 반도체 웰 영역에, 로직 회로를 구성하는 복수의 트랜지스터인, MOS 트랜지스터(Tr6), MOS 트랜지스터(Tr7), 및 MOS 트랜지스터(Tr8)가 형성되어 있다.

[0096] 또한, 제2의 반도체 기판(212)에서, MOS 트랜지스터(Tr6), MOS 트랜지스터(Tr7), 및 MOS 트랜지스터(Tr8)에 접속하는 접속 도체(254)가 형성되어 있다.

[0097] 또한, 각 접속 도체(254)에 접속하도록, 복수층의 메탈 배선(250)을 형성하여 다층 배선층(255)이 형성되어 있다.

[0098] 메탈 배선은, 구리(Cu) 배선으로 형성한다. 다층 배선층(255)상에 구리배선(메탈 배선)(250)의 캡막인 보호막이 형성된다.

[0099] 또한, 제2의 반도체 기판(212)의 다층 배선층(255)의 최하층에는, 전극이 되는 알루미늄 패드(320)가 형성되어 있다.

[0100] 또한, 제2의 반도체 기판(212)에는, 제1의 반도체 기판(211) 및 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 콘택트(311)가 형성되어 있다. 콘택트(311)는, 제1의 반도체 기판(211)의 콘택트(265)에 접속됨과 함께, 제3의 반도체 기판(213)의 알루미늄 패드(330a)에도 접속되어 있다.

[0101] 또한, 제3의 반도체 기판(213)에는, 메모리 회로가 형성된다. 즉, 반도체 기판(예를 들면 실리콘 기판)(213)의 p형의 반도체 웰 영역에, 메모리 회로를 구성하는 복수의 트랜지스터인, MOS 트랜지스터(Tr11), MOS 트랜지스터(Tr12), 및 MOS 트랜지스터(Tr13)가 형성되어 있다.

[0102] 또한, 제3의 반도체 기판(213)에서, MOS 트랜지스터(Tr11), MOS 트랜지스터(Tr12), 및 MOS 트랜지스터(Tr13)에 접속하는 접속 도체(344)가 형성되어 있다.

[0103] 또한, 각 접속 도체(344)에 접속하도록, 복수층의 메탈 배선(340)을 형성하여 다층 배선층(345)이 형성되어 있다.

[0104] 메탈 배선은, 구리(Cu) 배선으로 형성한다. 다층 배선층(345)상에 구리배선(메탈 배선)(340)의 캡막인 보호막이 형성된다.

[0105] 또한, 다층 배선층(345)의 최상층에는, 전극이 되는 알루미늄 패드(330)가 형성되어 있다.

[0106] 도 6에 도시되는 고체 활상 장치에서는, 콘택트(265) 및 콘택트(311)가 마련되어 있기 때문에, 알루미늄 패드(280a)를 통하여, 제1의 반도체 기판(211) 내지 제3의 반도체 기판(213)의 각각과의 신호의 입출력이 가능해진다.

[0107] 또한, 도 6에 도시되는 고체 활상 장치도, 도 3과 도 4를 참조하여 상술한 바와 같이, 제2의 반도체 기판(212)과, 제3의 반도체 기판(213)을 접착면(292)에서 충간막끼리를 맞붙인다. 제2의 반도체 기판(212)과 제1의 반도체 기판(211)을 접착면(291)에서 충간막끼리를 맞붙여서 구성된다.

[0108] 즉, 도 3과 도 4를 참조하여 상술한 바와 같이, 최초에 하층의 2개의 반도체 기판의 회로면을 마주보게 하여 맞붙이고, 제2층째가 되는 반도체 기판(제2의 반도체 기판(212))을 박막화한다. 그 후에, 가장 상층의 반도체 기판(제3의 반도체 기판(213))을 이면형으로서 맞붙여서 적층시켜, 다시 박막화한다. 이 때, 콘택트(311)의 상층을 평탄화시킨 후, 제1의 반도체 기판(211)을, 이면형으로서 제2의 반도체 기판(212)에 맞붙인다.

[0109] 이와 같이 함으로써, 회로의 적층에 즐음하여, 실리콘 기판의 박막화를 위해 지지 기판을 사용하지 않고서 끝난다.

[0110] 본 기술에서는, 제1의 반도체 기판(211)에도, 알루미늄 패드(280)가 마련된다. 그리고, 외부로부터의 신호의 입출력이 필요해지는 로직 회로를 갖는 제2의 반도체 기판(212), 또는, 메모리 회로를 갖는 제3의 반도체 기판(213)에는 외부 접속용의 전극이 마련되어 있지 않고, 센서 회로를 갖는 제1의 반도체 기판(211)에 외부 접속용의 전극(알루미늄 패드(280a))가 마련되어 있다.

[0111] 이와 같이 함으로써, 패드구멍(351)이 깊어지는 일 없이, 외부 접속용의 전극을 노출시킬 수 있다.

- [0112] 또한, 본 기술에서는, 제1의 반도체 기판(211)에도, 알루미늄 패드(280)가 마련되어 있기 때문에, 알루미늄 패드(280)에 의해, 제2의 반도체 기판(212)의 각 트랜지스터로부터 나온 핫 캐리어에 기인하는 광을 차광할 수도 있다.
- [0113] 이와 같이, 본 기술에서는, 깊은 패드구멍을 마련할 필요가 없고, 또한, 핫 캐리어에 기인하는 광을 간단하게 차광할 수 있다.
- [0114] 또한, 도 6에서는, 제2의 반도체 기판에 알루미늄 패드(320)가 마련되어 있고, 제3의 반도체 기판(213)에 알루미늄 패드(330)가 마련되어 있지만, 알루미늄 패드(320) 및 알루미늄 패드(330)는 마련되지 않도록 하여도 좋다. 예를 들면, 콘택트(311)를 제3의 반도체 기판(213)의 구리배선(340)에 직접 접속하도록 하면, 알루미늄 패드(320) 및 알루미늄 패드(330)를 마련할 필요는 없다.
- [0115] 또한, 각 반도체 기판끼리를 전기적으로 접속하는 콘택트의 형상은, 콘택트(265) 및 콘택트(311)로서 나타난 것으로 한정되는 것이 아니다. 또한, 콘택트를 형성하기 위한 구멍에 관해서는, 온 칩 마이크로 렌즈가 형성되기 전에 개구할 수 있기 때문에, 깊은 구멍이 되어도 상관없다. 예를 들면, 제2의 반도체 기판을 관통하여, 제1의 반도체 기판의 구리배선과 제3의 반도체 기판의 구리배선을 접속하는 콘택트가 마련되어도 상관없다.
- [0116] 또한, 핫 캐리어에 기인하는 광을 차광하기 위한 차광체가 형성되도록 하여도 좋다.
- [0117] 도 8은, 본 기술을 적용한 고체 활상 장치의 화소부의 다른 실시의 형태에 관한 구성을 설명하는 단면도이다. 이 화소부에 관한 고체 활상 장치는, 도 6과 마찬가지로, 제1의 반도체 기판과, 제2의 반도체 기판과, 제3의 반도체 기판을 적층하여 구성되는 이면조사형 CMOS 이미지 센서로서 구성된다. 즉, 도 8에 도시되는 화소부에 관한 고체 활상 장치는, 역시 3층 적층 구조가 된다.
- [0118] 동 도면의 예에서는, 제2의 반도체 기판(212)의 도면 중 가장 상측의 층이 되는 층간막의 내에 차광체(360)가 배치되어 있다. 이에 의해, 제2의 반도체 기판(212)의 각 트랜지스터로부터 나오는 핫 캐리어에 기인하는 광을 보다 확실하게 차광할 수 있다.
- [0119] 또한, 제1의 반도체 기판(211)에 알루미늄 패드(280)가 형성되어 있기 때문에, 제1의 반도체 기판(211)에는 차광체(360)를 배치하지 않고, 제2의 반도체 기판(212)의 층간막의 중에 차광체(360)가 배치되어 있다.
- [0120] 도 8에서의 그 이외의 구성은, 도 6을 참조하여 상술한 경우와 마찬가지이므로, 상세한 설명은 생략한다.
- [0121] 또한, 제2의 반도체 기판(212)의 도면 중 가장 상측의 층이 되는 층간막의 중에 구리배선이 형성되고, 알루미늄 패드와 구리배선의 조합에 의해 핫 캐리어에 기인하는 광이 차광되도록 하여도 좋다.
- [0122] 도 9는, 본 기술을 적용한 고체 활상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도이다. 이 화소부에 관한 고체 활상 장치는, 도 6과 마찬가지로, 제1의 반도체 기판과, 제2의 반도체 기판과, 제3의 반도체 기판을 적층하여 구성되는 이면조사형 CMOS 이미지 센서로서 구성된다. 즉, 도 9에 도시되는 화소부에 관한 고체 활상 장치는, 역시 3층 적층 구조가 된다.
- [0123] 동 도면의 예에서는, 제2의 반도체 기판(212)의 도면 중 가장 상측의 층이 되는 층간막의 내에 구리배선(370)이 배치되어 있다.
- [0124] 제2의 반도체 기판(212)의 도면 중 가장 상측의 층이 되는 층간막의 중에는, 콘택트(311)의 일부가 형성된다. 예를 들면, 콘택트(311)를 형성할 때에, 층간막의 중에 구리배선(370)을 더욱 형성하도록 하면, 도 9에 도시되는 구성의 고체 활상 장치를 얻을 수 있다.
- [0125] 구리배선(370)과, 알루미늄 패드(280)와의 조합에 의해 광이 차광되도록 하면, 제2의 반도체 기판(212)의 각 트랜지스터로부터 나오는 핫 캐리어에 기인하는 광을 보다 확실하게 차광할 수 있다. 또한, 도 9에 도시되는 구성의 경우, 예를 들면, 도 6에 도시되는 바와 같이, 알루미늄 패드(280)만으로 차광하는 경우와 비교하여, 알루미늄 패드(280)에 관한 배선의 설계의 자유도가 향상한다.
- [0126] 도 9에서 그 이외의 구성은, 도 6을 참조하여 상술한 경우와 마찬가지이므로, 상세한 설명은 생략한다.
- [0127] 도 10은, 본 기술을 적용한 고체 활상 장치의 개략 구성을 도시하는 도면이다. 이 고체 활상 장치(1)는, 예를 들면, CMOS 이미지 센서로서 구성된다.
- [0128] 도 10의 고체 활상 장치(401)는, 반도체 기판(411)에 복수의 광전 변환부를 포함하는 화소(402)가 규칙적으로 2차원 어레이형상으로 배열된 화소 영역(이른바 화소 어레이)(403)과, 주변 회로부를 갖고서 구성된다.

- [0129] 화소(402)는, 광전 변환부가 되는 예를 들면 포토 다이오드와, 복수의 화소 트랜지스터(이른바 MOS 트랜지스터)를 갖고서 이루어진다.
- [0130] 또한, 화소(402)는, 공유 화소 구조로 할 수도 있다. 이 화소 공유 구조는, 복수의 포토 다이오드와, 복수의 전송 트랜지스터와, 공유하는 하나의 플로팅 디퓨전과, 공유하는 하나씩의 다른 화소 트랜지스터로 구성된다.
- [0131] 주변 회로부는, 수직 구동 회로(404)와, 칼럼 신호 처리 회로(405)와, 수평 구동 회로(406)와, 출력 회로(407)와, 제어회로(408) 등을 갖고서 구성된다.
- [0132] 제어회로(408)는, 입력 클록과, 동작 모드 등을 지령한 데이터를 수취하고, 또한 고체 활상 장치의 내부 정보 등의 데이터를 출력한다. 즉, 제어회로(408)에서는, 수직 동기 신호, 수평 동기 신호 및 마스터 클록에 의거하여, 수직 구동 회로(404), 칼럼 신호 처리 회로(405) 및 수평 구동 회로(406) 등의 동작의 기준이 되는 클록 신호나 제어 신호를 생성한다. 그리고, 이들의 신호를 수직 구동 회로(404), 칼럼 신호 처리 회로(405) 및 수평 구동 회로(406) 등에 입력한다.
- [0133] 수직 구동 회로(404)는, 예를 들면 시프트 레지스터에 의해 구성되고, 화소 구동 배선을 선택하고, 선택된 화소 구동 배선에 화소를 구동하기 위한 펄스를 공급하고, 행 단위로 화소를 구동한다. 즉, 수직 구동 회로(404)는, 화소 영역(403)의 각 화소(402)를 행 단위로 순차적으로 수직 방향으로 선택 주사하고, 수직 신호선(409)을 통하여 각 화소(402)의 광전 변환부가 되는 예를 들면 포토 다이오드에서 수광량에 응하여 생성한 신호 전하에 의거한 화소 신호를 칼럼 신호 처리 회로(405)에 공급한다.
- [0134] 칼럼 신호 처리 회로(405)는, 예를 들면, 화소(402)의 열마다 배치되어 있고, 1행분의 화소(402)로부터 출력되는 신호를 화소열마다 노이즈 제거 등의 신호 처리를 행한다. 즉 칼럼 신호 처리 회로(405)는, 화소(402) 고유의 고정 패턴 노이즈를 제거하기 위한 CDS나, 신호 증폭, AD 변환 등의 신호 처리를 행한다. 칼럼 신호 처리 회로(405)의 출력단에는 수평 선택 스위치(도시 생략)가 수평 신호선(410)과의 사이에 접속되어 마련된다.
- [0135] 수평 구동 회로(406)는, 예를 들면 시프트 레지스터에 의해 구성되고, 수평 주사 펄스를 순차적으로 출력함에 의해, 칼럼 신호 처리 회로(405)의 각각을 순번대로 선택하고, 칼럼 신호 처리 회로(405)의 각각으로부터 화소 신호를 수평 신호선(410)에 출력시킨다.
- [0136] 출력 회로(407)는, 칼럼 신호 처리 회로(405)의 각각으로부터 수평 신호선(410)을 통하여 순차적으로 공급되는 신호에 대해, 신호 처리를 행하여 출력한다. 예를 들면, 버퍼링만 하는 경우도 있고, 흑레벨 조정, 열편차 보정, 각종 디지털 신호 처리 등이 행하여지는 경우도 있다. 입출력 단자(412)는, 외부와 신호의 교환을 한다.
- [0137] 도 10에 도시되는 고체 활상 장치(401)는, 3층 적층 구조의 이면조사형 CMOS 이미지 센서로서 구성된다. 예를 들면, 도 10에 도시되는 화소(402)가, 제1의 반도체 기판에 형성되는 센서 회로가 되고, 주변 회로가 제2의 반도체 기판에 형성되는 로직 회로 또는 제3의 반도체 기판에 형성되는 메모리 회로가 된다.
- [0138] 그런데, 상술한 실시의 형태에서는, 알루미늄 패드(280)가 제1의 반도체 기판(211)의 다층 배선층(245)의 최하층에 형성되는 것으로 하여 설명하였다. 그러나, 예를 들면, 알루미늄 패드(280)를 제1의 반도체 기판(211) 내에 배치한 경우, 제1의 반도체 기판(211) 내의 회로를 과전류로부터 보호하기 위한 회로인 ESD(Electro-Static Discharge)회로를 마련할 필요가 있어, 공정 증가로 된다.
- [0139] 또한, 도 6을 참조하여 상술한 예에서는, 제1의 반도체 기판(211) 내에 배치되는 알루미늄 패드(280)에 의해, 핫 캐리어에 기인하는 광을 차광하는 효과를 얻을 수 있다. 그러나, 제1의 반도체 기판(211)의 다층 배선층(245)은, 3층의 배선층에 의해 구성되는 것이기 때문에, 구리배선(240)의 형상에 제약을 주는 일 없이, 핫 캐리어에 기인하는 광을 차광할 수 있도록 알루미늄 패드(280)를 배치하기는 어렵다.
- [0140] 예를 들면, 제2의 반도체 기판(212)의 다층 배선층(255)은, 6층의 배선층에 의해 구성되기 때문에, 제2의 반도체 기판(212) 내에 알루미늄 패드(280)를 배치하면, 메탈 배선(250)의 형상에 제약을 주는 일 없이, 핫 캐리어에 기인하는 광을 차광할 수 있도록 알루미늄 패드(280)를 배치하는 것이 용이해진다.
- [0141] 또한, 상술한 실시의 형태에서는, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속에 이용되는 콘택트(265)는, 제1의 반도체 기판(211)을 수직 방향으로 관통하는 2개의 관통구멍에 매입된 도체가, 제1의 반도체 기판(211)의 수광면(도 9 중 가장 위의 면)상에서 접속되는 구성으로 되어 있다. 이와 같은 콘택트는, 트윈 콘택트라고도 칭하여진다. 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 콘택트(311)도, 트윈 콘택트로서 구성되어 있다.

- [0142] 그러나, 트윈 콘택트는, 관통구멍을 2개 마련할 필요가 있기 때문에, 제조 공정이 증가함과 함께, 기판상에서의 면적이 커진다.
- [0143] 예를 들면, 제1의 반도체 기판(211)의 도면 중 가장 상측부터 제1의 반도체 기판(211)을 관통하여 제2의 반도체 기판의 다층 배선층(255) 내의 배선에 달하고, 또한 일부가 제1의 반도체 기판(211)의 다층 배선층(245)의 배선에 달하는 콘택트를 형성하면, 관통구멍을 1개 마련할 뿐으로 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속이 가능해진다. 이와 같은 콘택트는 쉐어드 콘택트(shared contact)라고도 칭하여진다.
- [0144] 반도체 기판 사이의 전기적 접속을 위해 쉐어드 콘택트를 이용하도록 하면, 트윈 콘택트를 이용하는 경우와 비교하여, 제조 공정을 간소화할 수 있고, 기판상에서의 면적을 작게 할 수 있다.
- [0145] 또한, 반도체 기판을 맞붙일 때에, 다층 배선층 내의 구리배선끼리를 직접 접합하는 방식도 실용화되어 있다. 다층 배선층 내의 구리배선끼리를 직접 접합하면, 반도체 기판 사이의 전기적 접속을 위한 콘택트를 마련할 필요는 없기 때문에, 더욱 제조 공정을 간소화할 수 있고, 기판상에서의 면적을 작게 할 수 있다. 또한, 구리배선끼리를 직접 접합하는 방식은, 직접 접합이라고도 칭하여진다.
- [0146] 도 11은, 도 6에 도시되는 고체 콜상 장치의 화소부의 구성에 관한 단면도를 모식화한 도면이다. 동 도면에 도시되는 바와 같이, 제1의 반도체 기판(211)에는, 제1의 반도체 기판(211)의 이면측(수광면측)부터 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성되어 있다. 그리고, 제1의 반도체 기판(211)의 다층 배선층(245)에 알루미늄 패드(280)가 형성되어 있다.
- [0147] 또한, 도 11의 구성에서는, 제2의 반도체 기판의 다층 배선층(255)이 제3의 반도체 기판(213)측(도 11의 하측)으로 향하게 하여 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 접합되어 있다.
- [0148] 또한, 도 11의 구성에서는, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속에 이용되는 콘택트(265), 및, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 콘택트(311)가 마련되어 있다. 콘택트(265) 및 콘택트(311)는, 트윈 콘택트로서 구성되어 있다.
- [0149] 도 12는, 본 기술을 적용한 고체 콜상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면이다.
- [0150] 도 12의 구성에서는, 도 11의 경우와는 달리, 제2의 반도체 기판의 다층 배선층(255)이 제1의 반도체 기판(211)측(도 12의 상측)으로 향하게 하여 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 접합되어 있다.
- [0151] 또한, 도 12의 구성에서는, 도 11의 경우와는 달리, 알루미늄 패드(280)가 제2의 반도체 기판(212)의 다층 배선층(255) 내에 마련되어 있다. 그리고, 제1의 반도체 기판(211)에는, 제1의 반도체 기판(211)의 이면측(수광면측)부터 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성되어 있다.
- [0152] 도 12에 도시되는 바와 같이, 제2의 반도체 기판(212)의 다층 배선층(255)을 제1의 반도체 기판측으로 향하게 함으로써, 다층 배선층(255)에 의해, 핫 캐리어에 기인하는 광을 차광할 수 있다. 또한, 6층의 배선층에 의해 구성된 다층 배선층(255) 내에 알루미늄 패드(280)를 배치함으로써, 메탈 배선(250)의 형상에 제약을 주는 일 없이, 핫 캐리어에 기인하는 광을 차광할 수 있도록 알루미늄 패드(280)를 배치하는 것이 용이해진다.
- [0153] 또한, 알루미늄 패드(280)가 제2의 반도체 기판(212)의 다층 배선층(255) 내에 마련되도록 하였기 때문에, 제1의 반도체 기판(211) 내에 ESD 회로를 형성할 필요가 없고(제2의 반도체 기판 내에서 ESD 회로를 형성하면 좋기 때문이다) 저비용으로 제조하는 것이 가능해진다.
- [0154] 또한, 도 12의 구성에서는, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속에 이용되는 콘택트(266), 및, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 콘택트(312)가 마련되어 있다. 콘택트(266) 및 콘택트(312)는, 트윈 콘택트로서 구성되어 있다.
- [0155] 도 12의 구성의 경우, 도 11의 경우와는 달리, 콘택트(312)가 제1의 반도체 기판(211) 및 제2의 반도체 기판(212)을 관통하고, 제3의 반도체 기판(213)의 다층 배선층(345)에 달하고 있다.
- [0156] 다음에, 도 12에 도시되는 고체 콜상 장치의 제조 프로세스에 관해 설명한다.
- [0157] 최초에, 도 13에 도시되는 바와 같이, 각각 다층 배선층이 형성된 제1의 반도체 기판(211), 제2의 반도체 기판(212), 및 제3의 반도체 기판(213)을 준비한다. 동 도면에 도시되는 바와 같이, 제1의 반도체 기판(211)에는 다층 배선층(245)이 형성되어 있고, 제2의 반도체 기판(212)에는 다층 배선층(255)이 형성되어 있고, 제3의 반도체 기판(213)에는 다층 배선층(345)이 형성되어 있다.

체 기판(213)에는 다층 배선층(345)이 형성되어 있다.

[0158] 또한, 도 13에 도시되는 바와 같이, 제2의 반도체 기판(212)의 다층 배선층(255)에는 알루미늄 패드(280)가 형성되어 있다.

[0159] 다음에, 도 14에 도시되는 바와 같이, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)을 맞붙인다. 이때, 서로의 다층 배선층(245) 및 다층 배선층(255)이 마주 보도록, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 맞붙여진다.

[0160] 그리고, 도 15에 도시되는 바와 같이, 제2의 반도체 기판(212)이 박막화된다. 동 도면에서는, 제2의 반도체 기판(212)의 도면 중 수직 방향의 폭이 얇게 되어 있다.

[0161] 다음에, 도 16에 도시되는 바와 같이, 제3의 반도체 기판(213)과 제2의 반도체 기판(212)을 맞붙인다. 이때, 제3의 반도체 기판의 다층 배선층(345)이 도면 중 위를 향하게 되도록, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)이 맞붙여진다.

[0162] 그리고, 도 17에 도시되는 바와 같이, 제1의 반도체 기판(211)이 박막화된다. 동 도면에서는, 제1의 반도체 기판(211)의 도면 중 수직 방향의 폭이 얇게 되어 있다.

[0163] 다음에, 도 18에 도시되는 바와 같이, 콘택트(312) 및 콘택트(266)가 형성된다. 이 때, 제1의 반도체 기판(211)의 수광면부터 다층 배선층(245)에 달하는 구멍, 및, 수광면부터 다층 배선층(255)의 알루미늄 패드(280)에 달하는 구멍이 마련되고, 콘택트(266)가 형성된다. 또한, 제1의 반도체 기판(211)의 수광면부터 다층 배선층(255)의 알루미늄 패드(280)에 달하는 구멍, 및, 수광면부터 다층 배선층(345)에 달하는 구멍이 마련되고, 콘택트(312)가 형성된다.

[0164] 그리고, 도 19에 도시되는 바와 같이, 제1의 반도체 기판(211)의 이면측(수광면측)부터 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성된다.

[0165] 이와 같이 하여, 도 12를 참조하여 상술한 고체 콜상 장치가 제조된다. 이와 같이 함으로써, 다층 배선층(255)에 의해, 핫 캐리어에 기인하는 광을 차광할 수 있다. 또한, 6층의 배선층에 의해 구성되는 다층 배선층(255) 내에 알루미늄 패드(280)를 배치함으로써, 메탈 배선(250)의 형상에 제약을 주는 일 없이, 핫 캐리어에 기인하는 광을 차광할 수 있도록 알루미늄 패드(280)를 배치하는 것이 용이해진다. 또한, 알루미늄 패드(280)가 제2의 반도체 기판(212)의 다층 배선층(255) 내에 마련되도록 하였기 때문에, 제1의 반도체 기판(211) 내에 ESD 회로를 형성할 필요가 없고(제2의 반도체 기판 내에서 ESD 회로를 형성하면 좋기 때문에) 저비용으로 제조하는 것이 가능해진다.

[0166] 도 20은, 본 기술을 적용한 고체 콜상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면이다.

[0167] 도 20의 구성에서는, 도 11의 경우와 마찬가지로, 제2의 반도체 기판의 다층 배선층(255)이 제3의 반도체 기판(213)측(도 20의 하측)으로 향하게 하여 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 접합되어 있다.

[0168] 또한, 도 20의 구성에서는, 도 11의 경우와 마찬가지로, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속에 이용되는 콘택트(265), 및, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 콘택트(311)가 마련되어 있다. 콘택트(265) 및 콘택트(311)는, 트윈 콘택트로서 구성되어 있다.

[0169] 또한, 도 20의 구성에서는, 도 11의 경우와는 달리, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 사이에 절연막층(230)이 형성되어 있다. 그리고, 절연막층(230) 내에 알루미늄 패드(280a)가 배치되고, 제2의 반도체 기판(212)의 다층 배선층(255)에 접속되는 콘택트(313)에 알루미늄 패드(280a)가 접속되어 있다.

[0170] 그리고, 도 20의 구성에서는, 제1의 반도체 기판(211)에는, 제1의 반도체 기판(211)의 이면측(수광면측)부터, 절연막층(230) 내의 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성되어 있다.

[0171] 도 20의 구성의 경우, 알루미늄 패드(280)가 절연막층(230) 내에 마련되도록 하였기 때문에, 제1의 반도체 기판(211) 내에 ESD 회로를 형성할 필요가 없고(제2의 반도체 기판 내에서 ESD 회로를 형성하면 좋기 때문에) 저비용으로 제조하는 것이 가능해진다.

[0172] 다음에, 도 20에 도시되는 고체 콜상 장치의 제조 프로세스에 관해 설명한다.

[0173] 최초에, 도 21에 도시되는 바와 같이, 각각 다층 배선층이 형성된 제1의 반도체 기판(211), 제2의 반도체 기판

(212), 및 제3의 반도체 기판(213)을 준비한다. 동 도면에 도시되는 바와 같이, 제1의 반도체 기판(211)에는 다층 배선층(245)이 형성되어 있고, 제2의 반도체 기판(212)에는 다층 배선층(255)이 형성되어 있고, 제3의 반도체 기판(213)에는 다층 배선층(345)이 형성되어 있다.

[0174] 또한, 도 21에 도시되는 바와 같이, 제2의 반도체 기판(212)의 다층 배선층(255)에는 알루미늄 패드(280)가 형성되지 않는다.

[0175] 다음에, 도 22에 도시되는 바와 같이, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)을 맞붙인다. 이때, 서로의 다층 배선층(245) 및 다층 배선층(345)이 마주 보도록, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)이 맞붙여진다.

[0176] 그리고, 도 23에 도시되는 바와 같이, 제2의 반도체 기판(212)이 박막화된다. 동 도면에서는, 제2의 반도체 기판(212)의 도면 중 수직 방향의 폭이 얇게 되어 있다.

[0177] 다음에, 도 24에 도시되는 바와 같이, 콘택트(311) 및 콘택트(313)가 형성된다. 이 때, 제2의 반도체 기판(212)의 도면 중 상측의 면부터 다층 배선층(345)에 달하는 구멍, 및, 제2의 반도체 기판(212)의 도면 중 상측의 면부터 다층 배선층(255)에 달하는 구멍이 마련되고, 콘택트(311)가 형성된다. 또한, 제2의 반도체 기판(212)의 도면 중 상측의 면부터 다층 배선층(255)에 달하는 구멍이 마련되고, 콘택트(313)가 형성된다.

[0178] 그리고, 도 25에 도시되는 바와 같이, 알루미늄 패드(280a)가 형성되고, 절연막층(230)이 형성된다. 동 도면에 도시되는 바와 같이, 콘택트(313)의 도면 중 상측의 단부에 접속하여 알루미늄 패드(280a)가 형성되어 있다. 또한, 제2의 반도체 기판(212)의 도면 중 상측의 면상에서 알루미늄 패드(280a)의 주위에 절연막층(230)이 형성되어 있다.

[0179] 다음에, 도 26에 도시되는 바와 같이, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)(보다 정확하게는 절연막층(230))을 맞붙인다. 이때, 다층 배선층(245)이 절연막층(230)에 접하도록, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 맞붙여진다.

[0180] 또한, 제1의 반도체 기판(211)이 박막화된다. 도 26에서는, 제1의 반도체 기판(211)의 도면 중 수직 방향의 폭이 얇게 되어 있다.

[0181] 그리고, 도 27에 도시되는 바와 같이, 제1의 반도체 기판(211)의 이면측(수광면측)부터 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성된다. 그 후, 제1의 반도체 기판(211)의 수광면부터 다층 배선층(245)에 달하는 구멍, 및, 수광면부터 콘택트(311)에 달하는 구멍이 마련되고, 콘택트(265)가 형성된다.

[0182] 이와 같이 하여, 도 20을 참조하여 상술한 고체 콜상 장치가 제조된다. 알루미늄 패드(280)가 절연막층(230) 내에 마련되도록 하였기 때문에, 제1의 반도체 기판(211) 내에 ESD 회로를 형성할 필요가 없고(제2의 반도체 기판 내에서 ESD 회로를 형성하면 좋기 때문에) 저비용으로 제조하는 것이 가능해진다.

[0183] 도 28은, 본 기술을 적용한 고체 콜상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면이다.

[0184] 도 28의 구성에서는, 도 11의 경우와 마찬가지로, 제1의 반도체 기판(211)에는, 제1의 반도체 기판(211)의 이면측(수광면측)부터 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성되어 있다. 그리고, 제1의 반도체 기판(211)의 다층 배선층(245)에 알루미늄 패드(280)가 형성되어 있다.

[0185] 또한, 도 28의 구성에서는, 도 11의 경우와 마찬가지로, 제2의 반도체 기판의 다층 배선층(255)이 제3의 반도체 기판(213)측(도 28의 하측)으로 향하게 하여 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 맞붙여져 있다.

[0186] 또한, 도 28의 구성에서는, 도 11의 경우와 마찬가지로, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속에 이용되는 콘택트(265)가 마련되어 있다. 콘택트(265)는, 트윈 콘택트로서 구성되어 있다.

[0187] 도 28의 구성에서는, 도 11의 경우와는 달리, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 콘택트(311)가 마련되어 있지 않는다. 그 한편으로, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 콘택트(314) 및 콘택트(315)가 마련되어 있다.

[0188] 콘택트(314) 및 콘택트(315)의 각각은, 제2의 반도체 기판(212)을 관통하고, 제3의 반도체 기판(213)의 다층 배선층(345)에 달하는 관통구멍을 마련하여 도체를 매입함에 의해 형성된다. 즉, 콘택트(314) 및 콘택트(315)의

각각은, 관통구멍을 1개 마련할 뿐으로 제2의 반도체 기판(212)의 다층 배선층(255)과 제3의 반도체 기판(213)의 다층 배선층(345)을 접속하도록 이루어져 있다.

[0189] 즉, 콘택트(314) 및 콘택트(315)의 각각은, 쉐어드 콘택트로서 구성되어 있다.

[0190] 도 28에 도시되는 구성에서는, 쉐어드 콘택트를 이용함에 의해, 제조 공정을 간소화할 수 있고, 기판상에서의 면적을 작게 할 수 있다.

[0191] 여기서는, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 쉐어드 콘택트가 이용되는 것으로 하여 설명하였지만, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속에 쉐어드 콘택트가 이용되도록 하는 것도 가능하다.

[0192] 또한, 도 11, 도 12, 또는 도 20을 참조하여 상술한 구성의 고체 콈상 장치에서도, 역시, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속, 또는, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 쉐어드 콘택트가 이용되도록 하여도 좋다.

[0193] 즉, 알루미늄 패드(280)가 제1의 반도체 기판(212)의 다층 배선층(245) 내에 마련된 구성(도 11)에서, 각 반도체 기판 사이의 전기적 접속에 쉐어드 콘택트가 이용되도록 하여도 좋다. 또한, 알루미늄 패드(280)가 제2의 반도체 기판(212)의 다층 배선층(255) 내에 마련된 구성(도 12)에서, 각 반도체 기판 사이의 전기적 접속에 쉐어드 콘택트가 이용되도록 하여도 좋다. 또한, 알루미늄 패드(280)가 절연막층(230) 내에 마련된 구성(도 20)에서, 각 반도체 기판 사이의 전기적 접속에 쉐어드 콘택트가 이용되도록 하여도 좋다.

[0194] 도 29는, 본 기술을 적용한 고체 콈상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면이다.

[0195] 도 29의 구성에서는, 도 11의 경우와 마찬가지로, 제1의 반도체 기판(211)에는, 제1의 반도체 기판(211)의 이면 측(수광면측)부터 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성되어 있다. 그리고, 제1의 반도체 기판(211)의 다층 배선층(245)에 알루미늄 패드(280)가 형성되어 있다.

[0196] 또한, 도 29의 구성에서는, 도 11의 경우와 마찬가지로, 제2의 반도체 기판의 다층 배선층(255)이 제3의 반도체 기판(213)측(도 29의 하측)으로 향하게 하여 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 맞붙여져 있다.

[0197] 또한, 도 29의 구성에서는, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 콘택트(267)가 마련되어 있다. 콘택트(267)는, 트윈 콘택트로서 구성되어 있다.

[0198] 또한, 도 29의 구성에서는, 제2의 반도체 기판(212)의 다층 배선층(255) 내의 메탈 배선(250a)과 제3의 반도체 기판(213)의 다층 배선층(345) 내의 메탈 배선(340a)이 직접 접합되어 있다. 또한, 다층 배선층(255) 내의 메탈 배선(250b)과 다층 배선층(345) 내의 메탈 배선(340b)이 직접 접합되어 있다. 이에 의해, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)이 전기적으로 접속되게 된다.

[0199] 즉, 도 29의 구성의 경우, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)의 전기적 접속을 위해, 콘택트를 이용하지 않고, 직접 접합을 이용하고 있다. 따라서, 제조 공정을 간소화할 수 있고, 기판상에서의 면적을 작게 할 수 있다.

[0200] 또한, 직접 접합에 관해서는, 예를 들면, 일본 특개2013-033900 등에 상세히 개시되어 있다.

[0201] 다음에, 도 29에 도시되는 고체 콈상 장치의 제조 프로세스에 관해 설명한다.

[0202] 최초에, 도 30에 도시되는 바와 같이, 각각 다층 배선층이 형성된 제1의 반도체 기판(211), 제2의 반도체 기판(212), 및 제3의 반도체 기판(213)을 준비한다. 동 도면에 도시되는 바와 같이, 제1의 반도체 기판(211)에는 다층 배선층(245)이 형성되어 있고, 제2의 반도체 기판(212)에는 다층 배선층(255)이 형성되어 있고, 제3의 반도체 기판(213)에는 다층 배선층(345)이 형성되어 있다.

[0203] 또한, 도 30에 도시되는 바와 같이, 제1의 반도체 기판(211)의 다층 배선층(245)에는 알루미늄 패드(280)가 형성되어 있다. 또한, 제2의 반도체 기판의 다층 배선층(255)에는 메탈 배선(250a) 및 메탈 배선(250b)이 형성되어 있고, 제3의 반도체 기판의 다층 배선층(345)에는 메탈 배선(340a) 및 메탈 배선(340b)이 형성되어 있다.

[0204] 다음에, 도 31에 도시되는 바와 같이, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)을 맞붙인다. 이때, 서로의 다층 배선층(245) 및 다층 배선층(345)이 마주 보도록, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)

3)이 맞붙여진다. 그리고, 메탈 배선(250a)과 메탈 배선(340a)이 직접 접합되고, 메탈 배선(250b)과 메탈 배선(340b)이 직접 접합된다.

[0205] 또한, 제2의 반도체 기판(212)이 박막화된다. 동 도면에서는, 제2의 반도체 기판(212)의 도면 중 수직 방향의 폭이 얇게 되어 있다.

[0206] 그리고, 도 32에 도시되는 바와 같이, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)을 맞붙인다. 이때, 제2의 반도체 기판의 다층 배선층(255)이 제3의 반도체 기판(213)측(도 32의 하측)으로 향하게 하여 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 맞붙여진다.

[0207] 또한, 제1의 반도체 기판(211)이 박막화된다. 동 도면에서는, 제1의 반도체 기판(211)의 도면 중 수직 방향의 폭이 얇게 되어 있다.

[0208] 다음에, 도 33에 도시되는 바와 같이, 콘택트(267)가 형성된다. 이 때, 제1의 반도체 기판(211)의 수광면부터 다층 배선층(245)에 달하는 구멍, 및, 수광면부터 다층 배선층(255)에 달하는 구멍이 마련되고, 콘택트(267)가 형성된다.

[0209] 그리고, 도 34에 도시되는 바와 같이, 제1의 반도체 기판(211)의 이면측(수광면측)부터 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성된다.

[0210] 이와 같이 하여, 도 29를 참조하여 상술한 고체 활상 장치가 제조된다. 제2의 반도체 기판(212)과 제3의 반도체 기판(213)의 전기적 접속을 위해, 콘택트를 이용하지 않고, 직접 접합을 이용하였기 때문에, 제조 공정을 간소화할 수 있고, 기판상에서의 면적을 작게 할 수 있다.

[0211] 여기서는, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 직접 접합이 이용되는 것으로 하여 설명하였지만, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속에 직접 접합이 이용되도록 하는 것도 가능하다.

[0212] 또한, 도 11, 도 12, 또는 도 20을 참조하여 상술한 구성의 고체 활상 장치에서도, 역시, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속, 또는, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 직접 접합이 이용되도록 하여도 좋다.

[0213] 즉, 알루미늄 패드(280)가 제1의 반도체 기판(212)의 다층 배선층(245) 내에 마련된 구성(도 11)에서, 각 반도체 기판 사이의 전기적 접속에 직접 접합이 이용되도록 하여도 좋다. 또한, 알루미늄 패드(280)가 제2의 반도체 기판(212)의 다층 배선층(255) 내에 마련되는 구성(도 12)에서, 각 반도체 기판 사이의 전기적 접속에 직접 접합이 이용되도록 하여도 좋다. 또한, 알루미늄 패드(280)가 절연막층(230) 내에 마련되는 구성(도 20)에서, 각 반도체 기판 사이의 전기적 접속에 직접 접합이 이용되도록 하여도 좋다.

[0214] 도 35는, 본 기술을 적용한 고체 활상 장치의 화소부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면이다.

[0215] 도 35의 구성에서는, 도 29의 경우와는 달리, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속에 이용되는 콘택트(268) 및 콘택트(316)가 마련되어 있다. 즉, 도 35의 구성의 경우, 콘택트(268)의 도면 중 좌측의 하측 단부가 콘택트(316)의 도면 중 상측단부에 접속됨에 의해, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 전기적으로 접속된다. 또한, 콘택트(268)는, 트윈 콘택트로서 구성되어 있다.

[0216] 도 35의 구성에서는, 예를 들면, 도 29의 콘택트(267)의 형성과 같이, 수광면부터 다층 배선층(255)에 달하는 구멍을 마련할 필요가 없다. 이 때문에, 콘택트의 형성을 보다 간소하게 행하는 것이 가능해진다.

[0217] 도 35에서의 그 밖의 부분의 구성은, 도 29의 경우와 마찬가지이므로, 상세한 설명은 생략한다.

[0218] 다음에, 도 35에 도시되는 고체 활상 장치의 제조 프로세스에 관해 설명한다.

[0219] 최초에, 도 36에 도시되는 바와 같이, 각각 다층 배선층이 형성된 제1의 반도체 기판(211), 제2의 반도체 기판(212), 및 제3의 반도체 기판(213)을 준비한다. 동 도면에 도시되는 바와 같이, 제1의 반도체 기판(211)에는 다층 배선층(245)이 형성되어 있고, 제2의 반도체 기판(212)에는 다층 배선층(255)이 형성되어 있고, 제3의 반도체 기판(213)에는 다층 배선층(345)이 형성되어 있다.

[0220] 또한, 도 36에 도시되는 바와 같이, 제1의 반도체 기판(211)의 다층 배선층(245)에는 알루미늄 패드(280)가 형성되어 있다. 또한, 제2의 반도체 기판의 다층 배선층(255)에는 메탈 배선(250a) 및 메탈 배선(250b)이 형성되

어 있고, 제3의 반도체 기판의 다층 배선층(345)에는 메탈 배선(340a) 및 메탈 배선(340b)이 형성되어 있다.

[0221] 다음에, 도 37에 도시되는 바와 같이, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)을 맞붙인다. 이때, 서로의 다층 배선층(245) 및 다층 배선층(345)이 마주 보도록, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)이 맞붙여진다. 그리고, 메탈 배선(250a)과 메탈 배선(340a)이 직접 접합되고, 메탈 배선(250b)과 메탈 배선(340b)이 직접 접합된다.

[0222] 또한, 제2의 반도체 기판(212)이 박막화된다. 동 도면에서는, 제2의 반도체 기판(212)의 도면 중 수직 방향의 폭이 얇게 되어 있다.

[0223] 그리고, 도 38에 도시되는 바와 같이, 콘택트(316)가 형성된다. 이때, 제2의 반도체 기판(212)의 도면 중 상측의 면부터 다층 배선층(255)에 달하는 구멍이 마련되고, 콘택트(316)가 형성된다.

[0224] 다음에, 도 39에 도시되는 바와 같이, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)을 맞붙인다. 이때, 제1의 반도체 기판(211)의 이면이 수광면이 되도록, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)이 맞붙여진다.

[0225] 또한, 제1의 반도체 기판(211)이 박막화된다. 도 39에서는, 제1의 반도체 기판(211)의 도면 중 수직 방향의 폭이 얇게 되어 있다.

[0226] 또한, 제1의 반도체 기판(211)의 수광면부터, 제2의 반도체 기판의 도면 중 상측의 면에 달하는 구멍, 및, 수광면부터 다층 배선층(245)의 알루미늄 패드(280)에 달하는 구멍이 마련되고, 콘택트(268)가 형성된다.

[0227] 그리고, 도 40에 도시되는 바와 같이, 제1의 반도체 기판(211)의 수광면부터 알루미늄 패드(280a)에 달하도록 패드구멍(351)이 형성된다.

[0228] 이와 같이 하여, 도 35를 참조하여 상술한 고체 활상 장치가 제조된다. 도 35의 구성에서는, 상술한 바와 같이, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)을 전기적으로 접속하기 위해, 콘택트(268) 및 콘택트(316)가 이용된다. 즉, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 접합면에서, 콘택트(268)를 형성하는 도체와 콘택트(316)를 형성하는 도체가 접합되어 있다. 이와 같이, 도 35의 구성의 경우, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)의 전기적 접속을 위한 트윈 콘택트의 일부가 2단계로 나눠져서 구성되어 있다.

[0229] 이와 같이 함으로써, 예를 들면, 도 29의 콘택트(267)의 형성과 같이, 수광면부터 다층 배선층(255)에 달하는 깊은 구멍을 마련할 필요가 없다. 이 때문에, 콘택트의 형성을 보다 간소하게 행하는 것이 가능해진다.

[0230] 여기서는, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)의 전기적 접속에 이용되는 트윈 콘택트의 일부가 2단계로 나눠져서 구성된 것으로 하여 설명하였지만, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 트윈 콘택트의 일부가 2단계로 나눠져서 구성되도록 하는 것도 가능하다.

[0231] 또한, 도 11, 도 12, 또는 도 20을 참조하여 상술한 구성의 고체 활상 장치에서도, 역시, 제1의 반도체 기판(211)과 제2의 반도체 기판(212)과의 전기적 접속, 또는, 제2의 반도체 기판(212)과 제3의 반도체 기판(213)과의 전기적 접속에 이용되는 트윈 콘택트의 일부가 2단계로 나눠져서 구성되도록 하여도 좋다.

[0232] 즉, 알루미늄 패드(280)가 제1의 반도체 기판(211)의 다층 배선층(245) 내에 마련된 구성(도 11)에서, 각 반도체 기판 사이의 전기적 접속에 이용되는 트윈 콘택트의 일부가 2단계로 나눠져서 구성되도록 하여도 좋다. 또한, 알루미늄 패드(280)가 제2의 반도체 기판(212)의 다층 배선층(255) 내에 마련된 구성(도 12)에서, 각 반도체 기판 사이의 전기적 접속에 이용되는 트윈 콘택트의 일부가 2단계로 나눠져서 구성되도록 하여도 좋다. 또한, 알루미늄 패드(280)가 절연막층(230) 내에 마련된 구성(도 20)에서, 각 반도체 기판 사이의 전기적 접속에 이용되는 트윈 콘택트의 일부가 2단계로 나눠져서 구성되도록 하여도 좋다.

[0233] 도 11 내지 도 40을 참조하여 상술한 바와 같이, 본 기술을 적용한 고체 활상 장치에서는, 알루미늄 패드(280)가 제1의 반도체 기판(211)의 다층 배선층(245) 내에 마련되도록 하여도 좋고, 알루미늄 패드(280)가 제2의 반도체 기판(212)의 다층 배선층(255) 내에 마련되도록 하여도 좋고, 알루미늄 패드(280)가 절연막층(230) 내에 마련되도록 하여도 좋다. 또한, 각 반도체 기판 사이의 전기적 접속의 형태는, 트윈 콘택트, 쉐어드 콘택트, 직접 접합, 및 트윈 콘택트의 일부가 2단계로 나눠진 구성이 채용될 수 있다.

[0234] 즉, 본 기술을 적용한 고체 활상 장치의 실시의 형태로서, 도 41에 도시되는 바와 같은 조합이 채용될 수 있다.

[0235] 또한, 상술한 실시의 형태에서는, 본 기술을 적용한 고체 활상 장치의 실시의 형태에 관해 3층 구조를 전제로

하여 설명하였다. 그러나, 본 기술을 적용한 고체 활상 장치는, 예를 들면, 제1의 반도체 기판, 제2의 반도체 기판, 제3의 반도체 기판, 및 제4의 반도체 기판을 적층한 4층 구조를 채용하는 것도 가능하다.

[0236] 본 기술을 적용한 고체 활상 장치에 있어 4층 구조를 채용하는 경우의 예를 도 42에 도시한다. 도 42는, 본 기술을 적용한 고체 활상 장치의 핵심부의 또 다른 실시의 형태에 관한 구성을 설명하는 단면도를 모식화한 도면이다.

[0237] 도 42의 예에서는, 제1의 반도체 기판(211), 제2의 반도체 기판(212), 제3의 반도체 기판(213), 및 제4의 반도체 기판(214)이 적층된 4층 구조가 채용되고 있다.

[0238] 또한, 마찬가지로, 본 기술을 적용한 고체 활상 장치에서 5층 이상의 구조를 채용하는 것도 가능하다.

[0239] 도 43은, 본 기술을 적용한 전자기기로서의, 카메라 장치의 구성례를 도시하는 블록도이다.

[0240] 도 43의 카메라 장치(600)는, 렌즈군 등으로 이루어지는 광학부(601), 상술한 화소(402)의 각 구성이 채용되는 고체 활상 장치(활상 디바이스)(602), 및 카메라 신호 처리 회로인 DSP 회로(603)를 구비한다. 또한, 카메라 장치(600)는, 프레임 메모리(604), 표시부(605), 기록부(606), 조작부(607), 및 전원부(608)도 구비한다. DSP 회로(603), 프레임 메모리(604), 표시부(605), 기록부(606), 조작부(607) 및 전원부(608)는, 버스 라인(609)을 통하여 상호 접속되어 있다.

[0241] 광학부(601)는, 피사체로부터의 입사광(상광)을 받아들여 고체 활상 장치(602)의 활상면상에 결상한다. 고체 활상 장치(602)는, 광학부(601)에 의해 활상면상에 결상된 입사광의 광량을 화소 단위로 전기 신호에 변환하여 화소 신호로서 출력한다. 이 고체 활상 장치(602)로서, 상술한 실시의 형태에 관한 고체 활상 장치를 이용할 수 있다.

[0242] 표시부(605)는, 예를 들면, 액정 패널이나 유기 EL(Electro Luminescence) 패널 등의 패널형 표시장치로 이루어지고, 고체 활상 장치(602)에서 활상된 동화 또는 정지화를 표시한다. 기록부(606)는, 고체 활상 장치(602)로 활상된 동화 또는 정지화를 비디오테이프나 DVD(Digital Versatile Disk) 등의 기록 매체에 기록한다.

[0243] 조작부(607)는, 유저에 의한 조작하에, 카메라 장치(600)가 갖는 다양한 기능에 관해 조작 지령을 발한다. 전원부(608)는, DSP 회로(603), 프레임 메모리(604), 표시부(605), 기록부(606) 및 조작부(607)의 동작 전원이 되는 각종의 전원을, 이를 공급 대상에 대해 적절히 공급한다.

[0244] 또한, 본 기술은, 가시광의 입사광량의 분포를 검지하여 화상으로서 활상하는 고체 활상 소자에의 적용으로 한하지 않고, 적외선이나 X선, 또는 입자 등의 입사량의 분포를 화상으로서 활상하는 고체 활상 소자나, 광의의 의미로서, 압력이나 정전용량 등, 다른 물리량의 분포를 검지하여 화상으로서 활상하는 지문 검출 센서 등의 고체 활상 소자(물리량 분포 검지 장치) 전반에 대해 적용 가능하다.

[0245] 또한, 본 기술의 실시의 형태는, 상술한 실시의 형태로 한정되는 것이 아니고, 본 기술의 요지를 일탈하지 않는 범위에서 여러 가지의 변경이 가능하다.

[0246] 또한, 본 기술은 이하와 같은 구성도 취할 수 있다.

[0247] (1) 광전 변환부를 구비하는 센서 회로를 포함하는 제1의 반도체 기판과, 상기 센서 회로와는 다른 회로를 각각 포함하는 제2의 반도체 기판 및 제3의 반도체 기판을 포함하고, 상기 제1의 반도체 기판을 최상층으로 하고, 상기 제1의 반도체 기판, 상기 제2의 반도체 기판 및 상기 제3의 반도체 기판이 3층으로 적층되고, 상기 제1의 반도체 기판에, 외부 접속용의 전극을 구성하는 전극용 금속 소자가 배치되는 고체 활상 장치.

[0248] (2) 상기 제1의 반도체 기판의 상기 센서 회로는 이면조사형으로 되고, 상기 전극용 금속 소자를 노출하는 구멍이 상기 제1의 반도체 기판의 수광면측부터 개구되는 (1)에 기재된 고체 활상 장치.

[0249] (3) 상기 제2의 반도체 기판 또는 제3의 반도체 기판은, 로직 회로 또는 메모리 회로를 가지며, 상기 로직 회로 또는 상기 메모리 회로가, 외부 장치와의 신호의 입출력을 수반하여 동작하는 (1) 또는 (2)에 기재된 고체 활상 장치.

[0250] (4) 상기 제2의 반도체 기판 및 상기 제1의 반도체 기판 중 적어도 하나에, 상기 제1의 반도체 기판의 수광면의 반대측으로부터 상기 광전 변환부에 입사하는 광을 차광하는 차광 기구가 마련되어 있는 (1) 내지 (3)의 어느 하나에 기재된 고체 활상 장치.

[0251] (5) 상기 차광 기구가 상기 전극용 금속 소자에 의해 형성되는 (4)에 기재된 고체 활상 장치.

- [0252] (6) 상기 제2의 반도체 기판에는, 상기 제2의 반도체 기판 내의 배선에 이용되는 배선용 금속 소자가 배치되고, 상기 전극용 금속 소자 및 상기 배선용 금속 소자에 의해 상기 차광 기구가 형성되는 (4)에 기재된 고체 활상 장치.
- [0253] (7) 상기 차광 기구가 상기 제2의 반도체 기판에 배치된 차광체에 의해 형성되는 (4)에 기재된 고체 활상 장치.
- [0254] (8) 상기 제1의 반도체 기판에는, 상기 제1의 반도체 기판 내의 배선에 이용되는 배선용 금속 소자가 또한 배치되고, 상기 배선용 금속 소자보다, 상기 제2의 반도체 기판과의 접착면에 가까운 위치에, 상기 전극용 금속 소자가 배치되는 (1)에 기재된 고체 활상 장치.
- [0255] (9) 상기 제1의 반도체 기판과 상기 제2의 반도체 기판과의 전기적 접속, 또는, 상기 제2의 반도체 기판과 상기 제3의 반도체 기판과의 전기적 접속에는, 상기 제1의 반도체 기판 또는 상기 제2의 반도체 기판을 관통하고, 상기 제2의 반도체 기판 또는 상기 제3의 반도체 기판의 금속 배선층에 달하고, 또한 일부가 제1의 반도체 기판 또는 제2의 반도체 기판의 금속 배선층의 배선에 달하는 콘택트가 이용되는 (1) 내지 (8)의 어느 하나에 기재된 고체 활상 장치.
- [0256] (10) 상기 제1의 반도체 기판과 상기 제2의 반도체 기판과의 전기적 접속, 또는, 상기 제2의 반도체 기판과 상기 제3의 반도체 기판과의 전기적 접속에 이용되는 콘택트의 일부가 상기 제1의 반도체 기판과 상기 제2의 반도체 기판과의 접합면, 또는, 상기 제2의 반도체 기판과 상기 제3의 반도체 기판과의 접합면에서, 도체끼리가 접합되어 형성되어 있는 (1) 내지 (8)의 어느 하나에 기재된 고체 활상 장치.
- [0257] (11) 상기 제1의 반도체 기판 또는 상기 제2의 반도체 기판과, 상기 제2의 반도체 기판 또는 상기 제3의 반도체 기판의 접합면에 노출한 배선끼리가 접합되어, 상기 제1의 반도체 기판과 제2의 반도체 기판이 전기적으로 접속되는 (1) 내지 (8)의 어느 하나에 기재된 고체 활상 장치.
- [0258] (12) 상기 제2의 반도체 기판의 금속 배선층이 상기 제1의 반도체 기판과 접하도록, 상기 제1의 반도체 기판 및 상기 제2의 반도체 기판이 적층되고, 상기 제2의 반도체 기판의 금속 배선층 내에, 외부 접속용의 전극을 구성하는 전극용 금속 소자가 배치되는 (1)에 기재된 고체 활상 장치.
- [0259] (13) 상기 제1의 반도체 기판과 상기 제2의 반도체 기판과의 사이에 절연막층이 형성되고, 상기 제2의 반도체 기판의 금속 배선층이 상기 절연막층과 접하도록, 상기 제1의 반도체 기판 및 상기 제2의 반도체 기판이 적층되고, 상기 절연막층 내에, 외부 접속용의 전극을 구성하는 전극용 금속 소자가 배치되는 (1)에 기재된 고체 활상 장치.
- [0260] (14) 광전 변환부를 구비하는 센서 회로를 포함하는 제1의 반도체 기판과, 상기 센서 회로와는 다른 회로를 각각 갖는 제2의 반도체 기판 및 제3의 반도체 기판을 갖고, 상기 제1의 반도체 기판을 최상층으로 하고, 상기 제1의 반도체 기판, 상기 제2의 반도체 기판, 및 상기 제3의 반도체 기판이 3층으로 적층되고, 상기 제1의 반도체 기판에, 외부 접속용의 전극을 구성하는 전극용 금속 소자가 배치되는 고체 활상 장치를 포함하는 전자기기.
- [0261] <1> 일측에 제1의 배선층을 포함하고, 포토 다이오드를 더 포함하는 제1의 반도체부와,
- [0262] 일측에 제2의 배선층을 포함하고, 상기 제1의 반도체층과 함께 고정되는 제2의 반도체부와,
- [0263] 일측에 제3의 배선층을 포함하고, 상기 제2의 반도체부와 함께 고정되어, 상기 제1의 반도체부 및 제2의 반도체부와 함께 적층되는 제3의 반도체부와,
- [0264] (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제1의 도전 재료를 구비하는 것을 특징으로 하는 반도체 장치.
- [0265] <2> 상기 제1의 반도체부, 상기 제2의 반도체부 및 상기 제3의 반도체부는, 상기 제1의 배선층이 상기 제2의 배선층을 향하거나 또는 상기 제2의 배선층이 상기 제3의 배선층을 향하는 방식으로, 함께 적층되어 있는 것을 특징으로 하는 <1>에 기재된 반도체 장치.
- [0266] <3> (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제2의 도전 재료를 더 구비하는 것을 특징으로 하는 <2>에 기재된 반도체 장치.
- [0267] <4> 상기 제2의 도전 재료에 의하여 전기적으로 접속된 적어도 하나의 배선층은, 상기 제1의 도전 재료에 의하

여 전기적으로 접속된 배선층과는 다른 것을 특징으로 하는 <3>에 기재된 반도체 장치.

[0268] <5> 상기 제1의 도전 재료 및 상기 제2의 도전 재료 중 적어도 하나는, 수직 방향으로 상기 제1의 반도체부 및 상기 제2의 반도체부 중 적어도 하나를 관통하는 2개의 관통구멍 구비하고,

[0269] 상기 제1의 도전 재료의 첫번째 관통구멍은, 상기 2개의 관통구멍 중 두번째 관통구멍에 의하여 전기적으로 접속된 배선층과 다른 배선층과 전기적으로 접속하는 것을 특징으로 하는 <3> 또는 <4>에 기재된 반도체 장치.

[0270] <6> 상기 제1의 도전 재료 및 상기 제2의 도전 재료 중 적어도 하나는, 수직 방향으로 상기 제1의 반도체부 및 상기 제2의 반도체부 중 적어도 하나를 관통하는 하나의 관통구멍을 구비하여, 상기 제1의 도전 재료 및 상기 제2의 도전 재료 중 적어도 하나가 적어도 2개의 배선층과 전기적으로 접속하는 것을 특징으로 하는 <3> 또는 <4>에 기재된 반도체 장치.

[0271] <7> (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 하나의 금속 배선은, 다른 배선층 내의 금속 배선과 직접 접합되어 있는 것을 특징으로 하는 <1> 내지 <6> 중 어느 하나에 기재된 반도체 장치.

[0272] <8> 직접 접합된 금속 배선을 갖는 배선층 중 적어도 하나는, 상기 제1의 도전 재료에 의하여 전기적으로 접속된 배선층과는 다른 것을 특징으로 하는 <7>에 기재된 반도체 장치.

[0273] <9> 외부 접속용 패드 전극을 더 구비하는 것을 특징으로 하는 <1> 내지 <8> 중 어느 하나에 기재된 반도체 장치.

[0274] <10> 상기 패드는, 상기 제2의 반도체부에 있는 하나 이상의 트랜지스터로부터 광을 차광하도록 배치되어 있는 것을 특징으로 하는 <9>에 기재된 반도체 장치.

[0275] <11> 상기 제1의 반도체부는 센서 회로를 구비하고, 상기 제2의 반도체부 및 상기 제3의 반도체부 중 적어도 하나는 로직 회로를 구비하고, 상기 제2의 반도체부 및 상기 제3의 반도체부 중 적어도 하나는 메모리 회로를 구비하는 것을 특징으로 하는 <1> 내지 <10> 중 어느 하나에 기재된 반도체 장치.

[0276] <12> 일측에 제1의 배선층을 포함하고, 회로 영역 및 화소 영역을 더 포함하는 제1의 반도체부와,

[0277] 일측에 제2의 배선층을 포함하고, 상기 제1의 반도체층과 함께 고정되는 제2의 반도체부와,

[0278] 일측에 제3의 배선층을 포함하고, 상기 제2의 반도체부와 함께 고정되어, 상기 제1의 반도체부 및 제2의 반도체부와 함께 적층되는 제3의 반도체부와,

[0279] (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제1의 도전 재료를 구비하는 것을 특징으로 하는 이면 조사형 고체 활상 장치.

[0280] <13> 상기 제1의 반도체부, 상기 제2의 반도체부 및 상기 제3의 반도체부는, 상기 제1의 배선층이 상기 제2의 배선층을 향하거나 또는 상기 제2의 배선층이 상기 제3의 배선층을 향하는 방식으로, 함께 적층되어 있는 것을 특징으로 하는 <12>에 기재된 고체 활상 장치.

[0281] <14> (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제2의 도전 재료를 더 구비하는 것을 특징으로 하는 <13>에 기재된 고체 활상 장치.

[0282] <15> 상기 제1의 도전 재료 및 상기 제2의 도전 재료 중 적어도 하나는, 수직 방향으로 상기 제1의 반도체부 및 상기 제2의 반도체부 중 적어도 하나를 관통하는 하나의 관통구멍을 구비하여, 상기 제1의 도전 재료 및 상기 제2의 도전 재료 중 적어도 하나가 적어도 2개의 배선층과 전기적으로 접속하는 것을 특징으로 하는 <3> 또는 <4>에 기재된 고체 활상 장치.

[0283] <16> (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 하나의 금속 배선은, 다른 배선층 내의 금속 배선과 직접 접합되어 있는 것을 특징으로 하는 <12> 내지 <15> 중 어느 하나에 기재된 고체 활상 장치.

[0284] <17> 직접 접합된 금속 배선을 갖는 배선층 중 적어도 하나는, 상기 제1의 도전 재료에 의하여 전기적으로 접속된 배선층과는 다른 것을 특징으로 하는 <12> 내지 <16> 중 어느 하나에 기재된 고체 활상 장치.

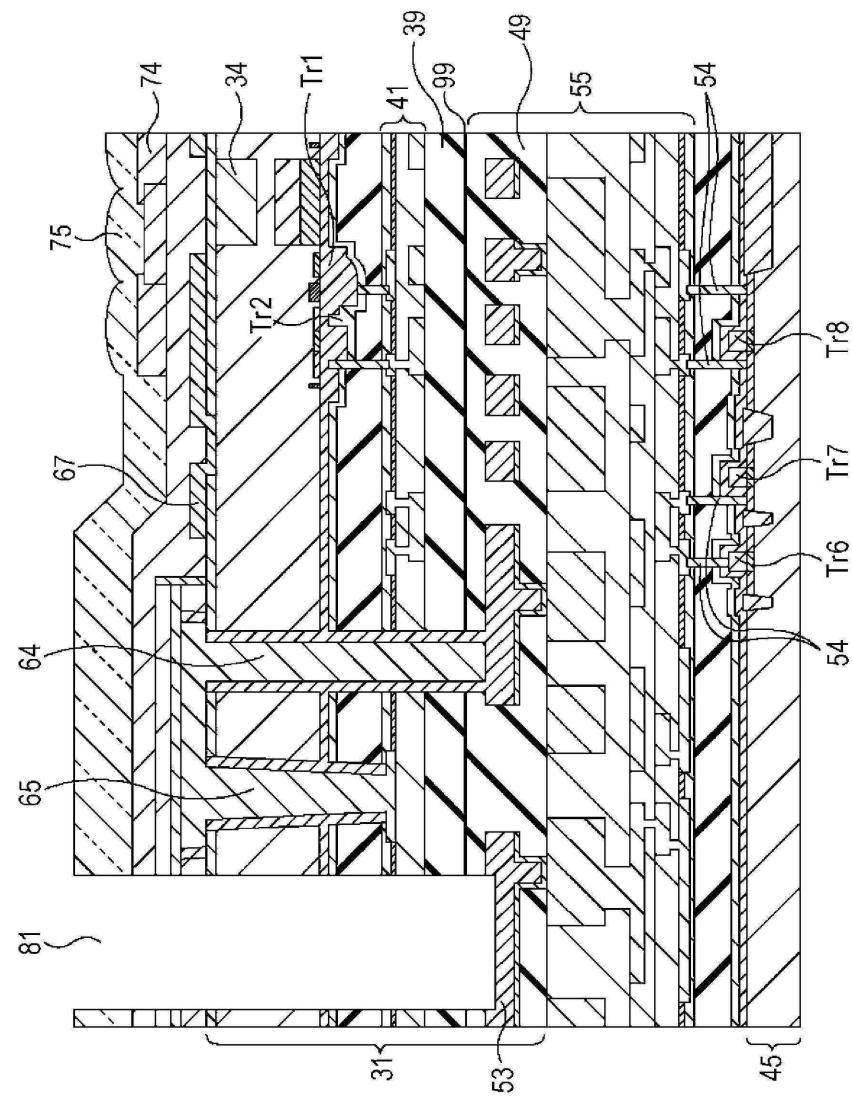
- [0285] <18> 외부 접속용 패드 전극을 더 구비하고, 상기 패드는 상기 화소 영역 아래에 배치되어, 상기 제2의 반도체부에 있는 하나 이상의 트랜지스터로부터 광을 차광하는 것을 특징으로 하는 <12> 내지 <17> 중 어느 하나에 기재된 고체 활상 장치.
- [0286] <19> 상기 반도체부 중 적어도 2개의 사이에 배치된 층간 절연막을 더 구비하는 것을 특징으로 하는 <12> 내지 <18> 중 어느 하나에 기재된 고체 활상 장치.
- [0287] <20> 상기 제1의 반도체부는 센서 회로를 구비하고, 상기 제2의 반도체부 및 상기 제3의 반도체부 중 적어도 하나는 로직 회로를 구비하고, 상기 제2의 반도체부 및 상기 제3의 반도체부 중 적어도 하나는 메모리 회로를 구비하는 것을 특징으로 하는 <12> 내지 <19> 중 어느 하나에 기재된 고체 활상 장치.
- [0288] <21> 광학부와 고체 활상 장치를 포함하고,
- [0289] 상기 고체 활상 장치는,
- [0290] (a) 일측에 제1의 배선층을 포함하고, 회로 영역 및 화소 영역을 더 포함하는 제1의 반도체부와,
- [0291] 일측에 제2의 배선층을 포함하고, 상기 제1의 반도체층과 함께 고정되는 제2의 반도체부와,
- [0292] (b) 일측에 제3의 배선층을 포함하고, 상기 제2의 반도체부와 함께 고정되어, 상기 제1의 반도체부 및 제2의 반도체부와 함께 적층되는 제3의 반도체부와,
- [0293] (c) (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제1의 도전 재료를 포함하는 것을 특징으로 하는 전자기기.
- [0294] <22> 상기 제1의 반도체부, 상기 제2의 반도체부 및 상기 제3의 반도체부는, 상기 제1의 배선층이 상기 제2의 배선층을 향하거나 또는 상기 제2의 배선층이 상기 제3의 배선층을 향하는 방식으로, 함께 적층되어 있는 것을 특징으로 하는 <21>에 기재된 전자기기.
- [0295] <23> (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 2개와 전기적으로 접속하여, 전기적으로 접속된 배선층이 전기통신상에 있도록 하는 제2의 도전 재료를 더 구비하고, 상기 제2의 도전 재료에 의하여 전기적으로 접속된 적어도 하나의 배선층은, 상기 제1의 도전 재료에 의하여 전기적으로 접속된 배선층과는 다른 것을 특징으로 하는 <22>에 기재된 전자기기.
- [0296] <24> 상기 제1의 도전 재료 및 상기 제2의 도전 재료 중 적어도 하나는, 수직 방향으로 상기 제1의 반도체부 및 상기 제2의 반도체부 중 적어도 하나를 관통하는 2개의 관통구멍을 구비하고,
- [0297] 상기 제1의 도전 재료의 첫번째 관통구멍은, 상기 2개의 관통구멍 중 두번째 관통구멍에 의하여 전기적으로 접속된 배선층과 다른 배선층과 전기적으로 접속하는 것을 특징으로 하는 <23>에 기재된 전자기기.
- [0298] <25> 상기 제1의 도전 재료 및 상기 제2의 도전 재료 중 적어도 하나는, 수직 방향으로 상기 제1의 반도체부 및 상기 제2의 반도체부 중 적어도 하나를 관통하는 하나의 관통구멍을 구비하여, 상기 제1의 도전 재료 및 상기 제2의 도전 재료 중 적어도 하나는 적어도 2개의 배선층과 전기적으로 접속하는 것을 특징으로 하는 <23>에 기재된 전자기기.
- [0299] <26> (i) 상기 제1의 배선층, (ii) 상기 제2의 배선층 및 (iii) 상기 제3의 배선층 중 적어도 하나의 금속 배선은, 다른 배선층 내의 금속 배선과 직접 접합되어 있고,
- [0300] 직접 접합된 금속 배선을 갖는 배선층 중 적어도 하나는, 상기 제1의 도전 재료에 의하여 전기적으로 접속된 배선층과는 다른 것을 특징으로 하는 <23>에 기재된 전자기기.
- [0301] 본 발명은 일본 특허청에 2012년 10월 18일에 제출된 일본 우선권 특허 출원 JP2012-230805 및 일본 특허청에 2013년 4월 22일에 제출된 일본 우선권 특허 출원 JP2013-089580에 개시된 것과 관련된 주제를 포함하며, 그 전체 내용은 본원에 참조로서 인용된다.
- [0302] 다양한 수정, 조합, 하위 조합 및 변경은, 첨부된 청구범위 또는 균등의 범위 내에 있는 것으면, 설계 요구 및 다른 요인에 따라 통상의 기술자에 의하여 발생할 수 있음을 이해해야 한다.

부호의 설명

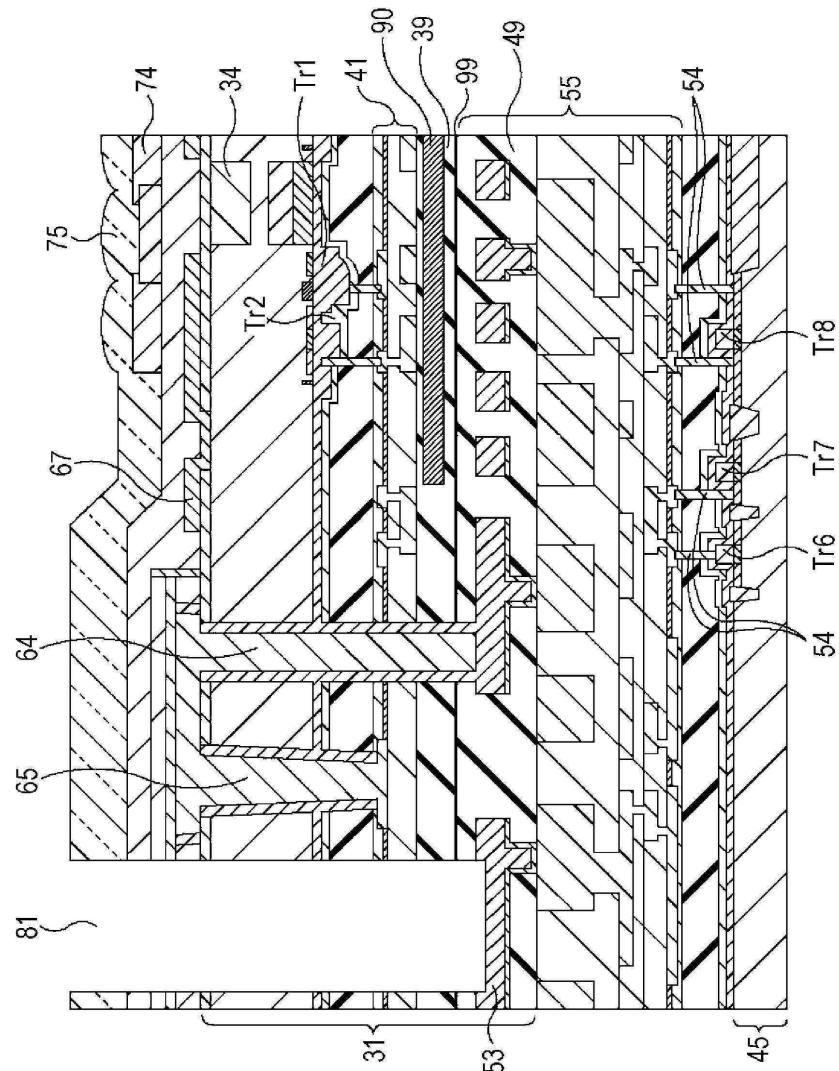
[0304]	211 : 제1의 반도체 기판	212 : 제2의 반도체 기판
	213 : 제3의 반도체 기판	230 : 절연막층
	234 : 포토 다이오드	245 : 다층 배선층
	240 : 구리배선	255 : 다층 배선층
	250 : 구리배선	265 : 콘택트
	266 : 콘택트	267 : 콘택트
	280 : 알루미늄 패드	311 : 콘택트
	312 : 콘택트	313 : 콘택트
	320 : 알루미늄 패드	330 : 알루미늄 패드
	340 : 구리배선	345 : 다층 배선층
	351 : 패드구멍	360 : 차광체
	370 : 구리배선	401 : 고체 촬상 장치
	402 : 화소	600 : 카메라 장치
	602 : 고체 촬상 장치	

도면

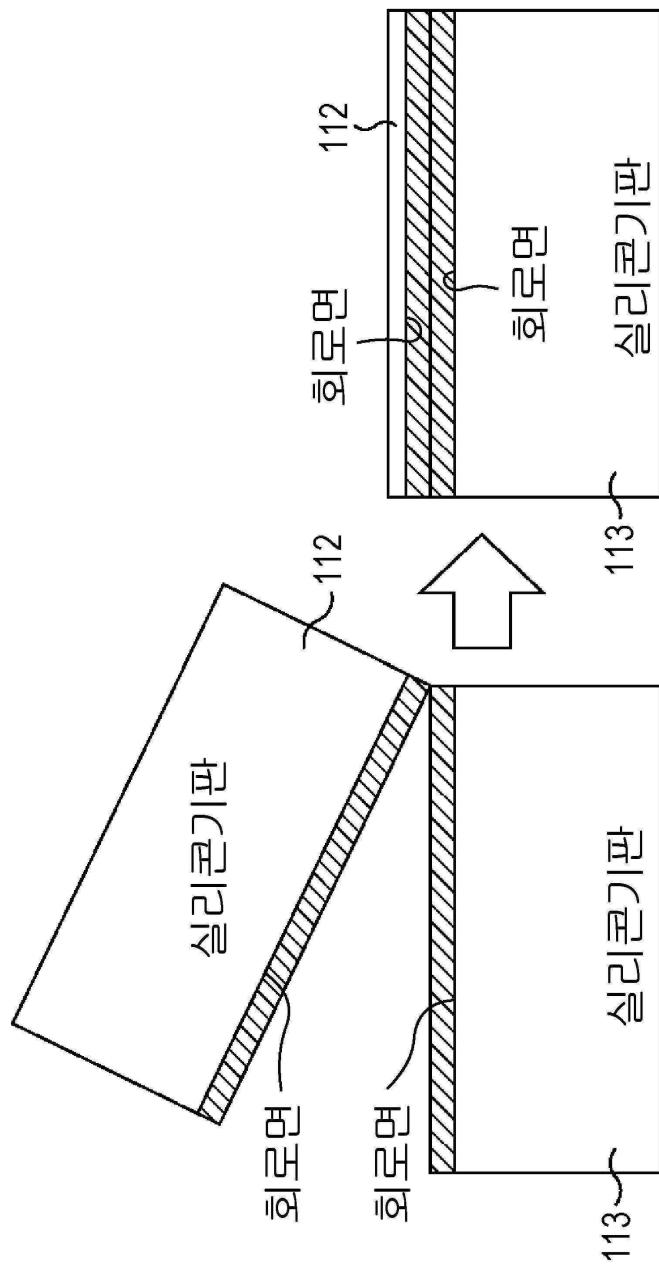
도면1



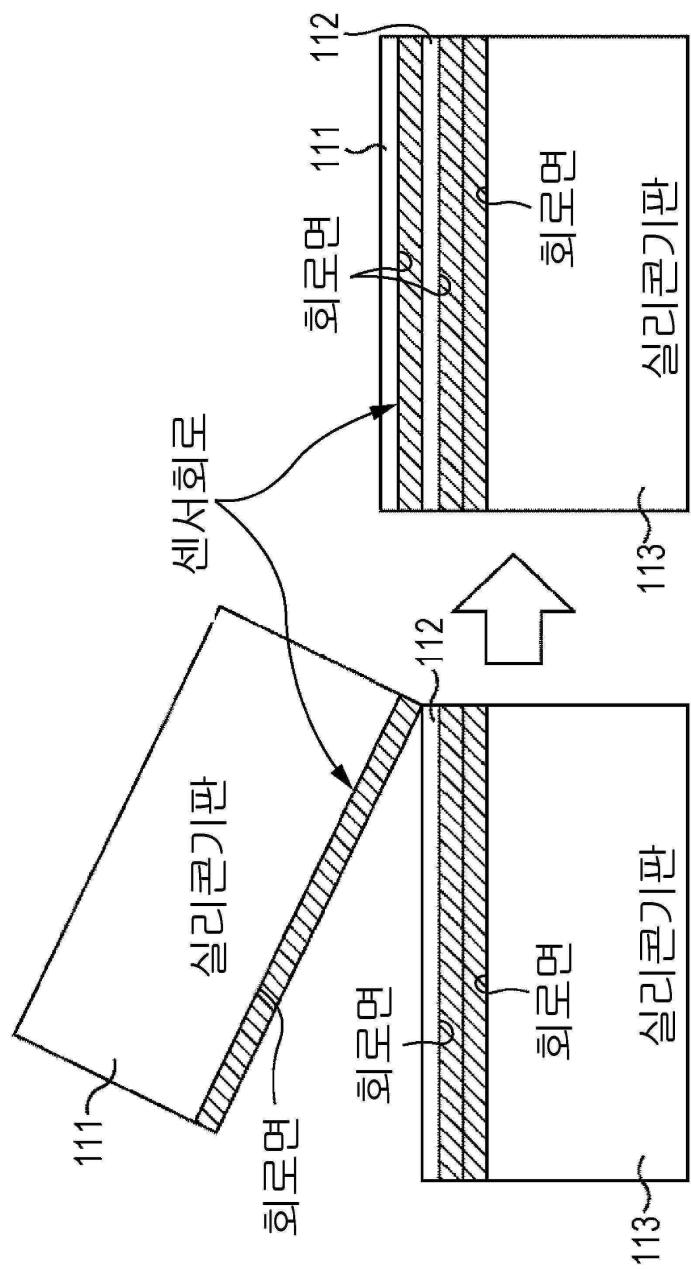
도면2



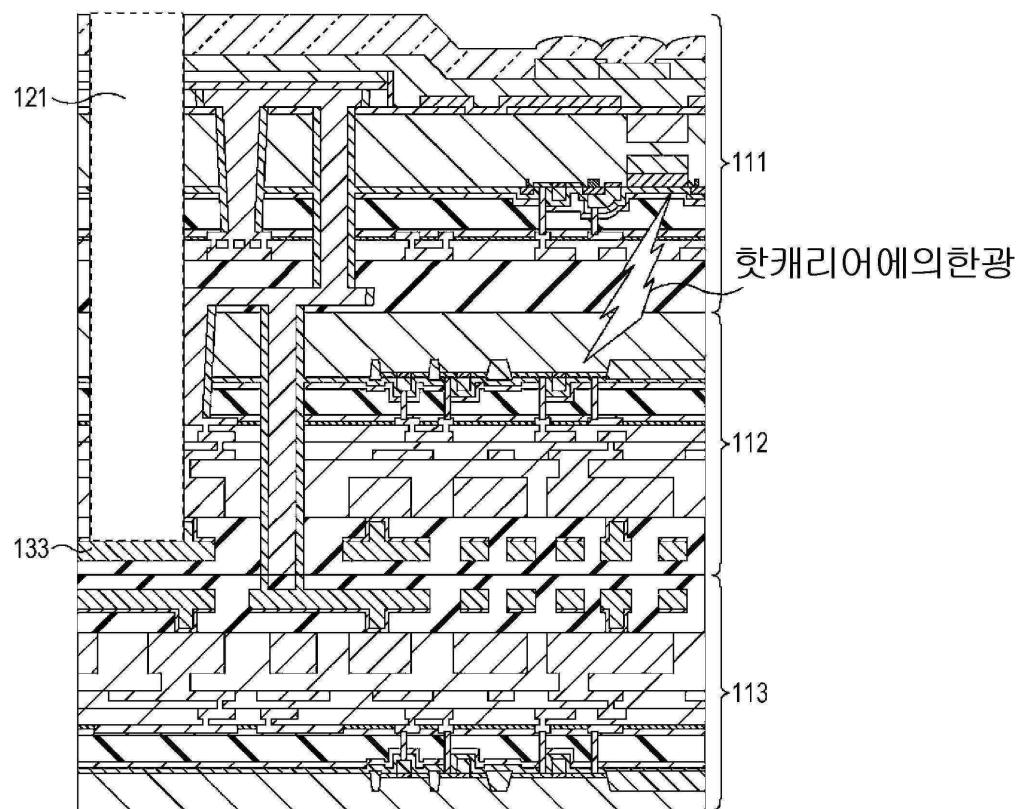
도면3



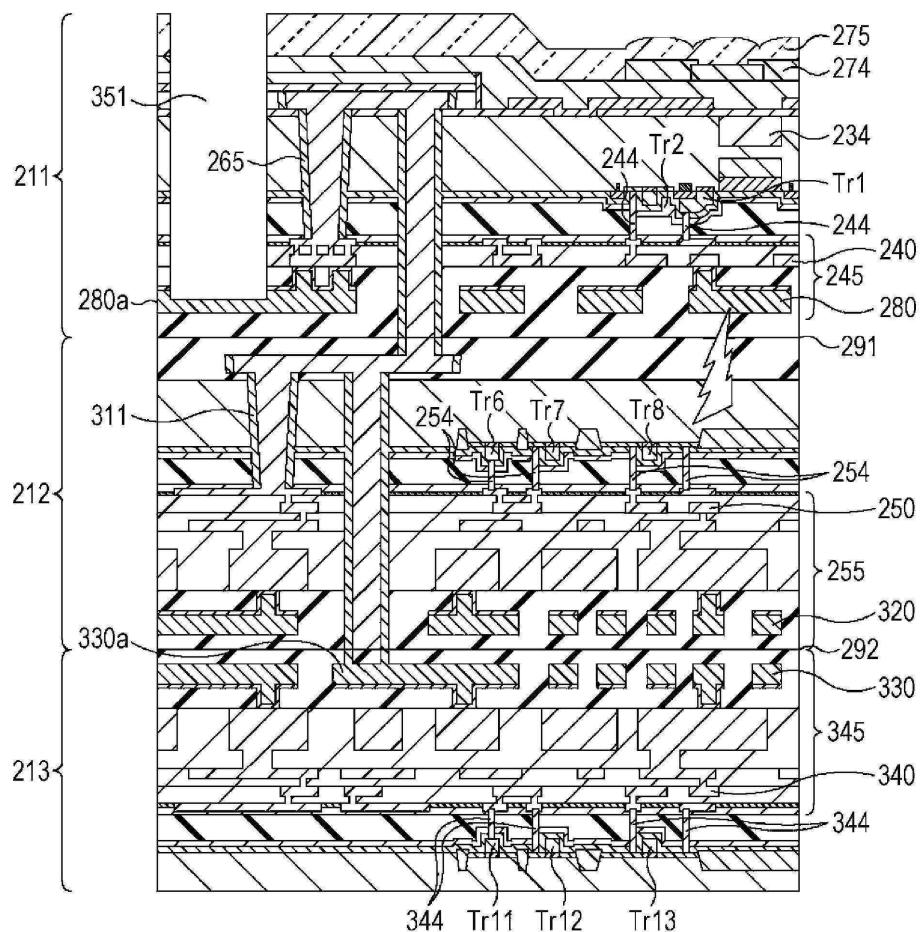
도면4



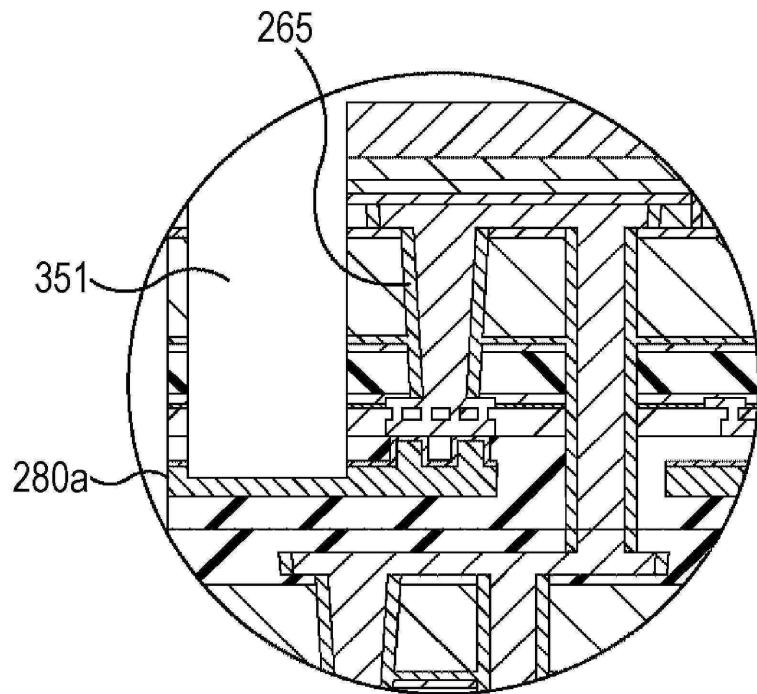
도면5



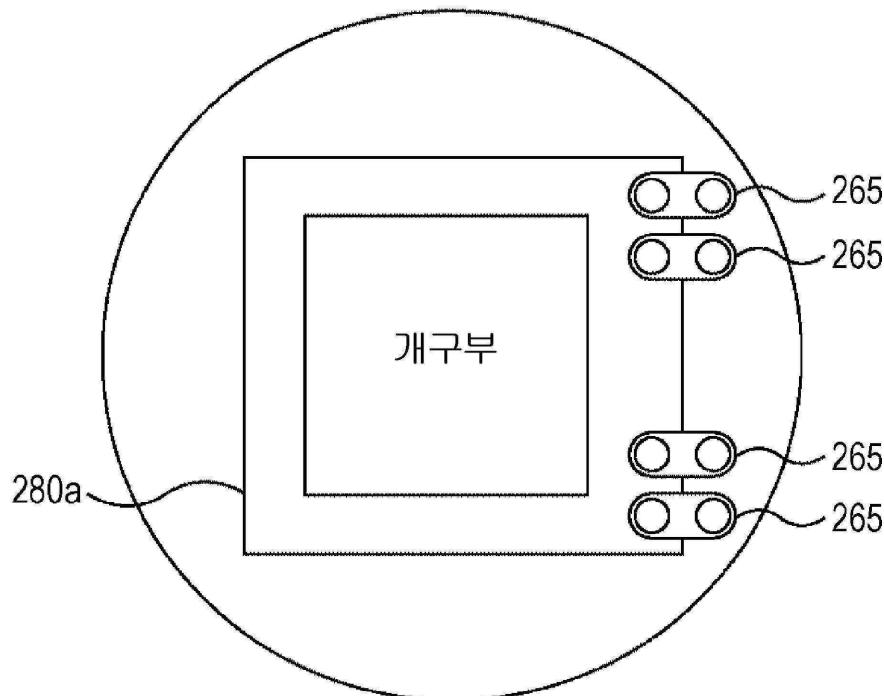
도면6



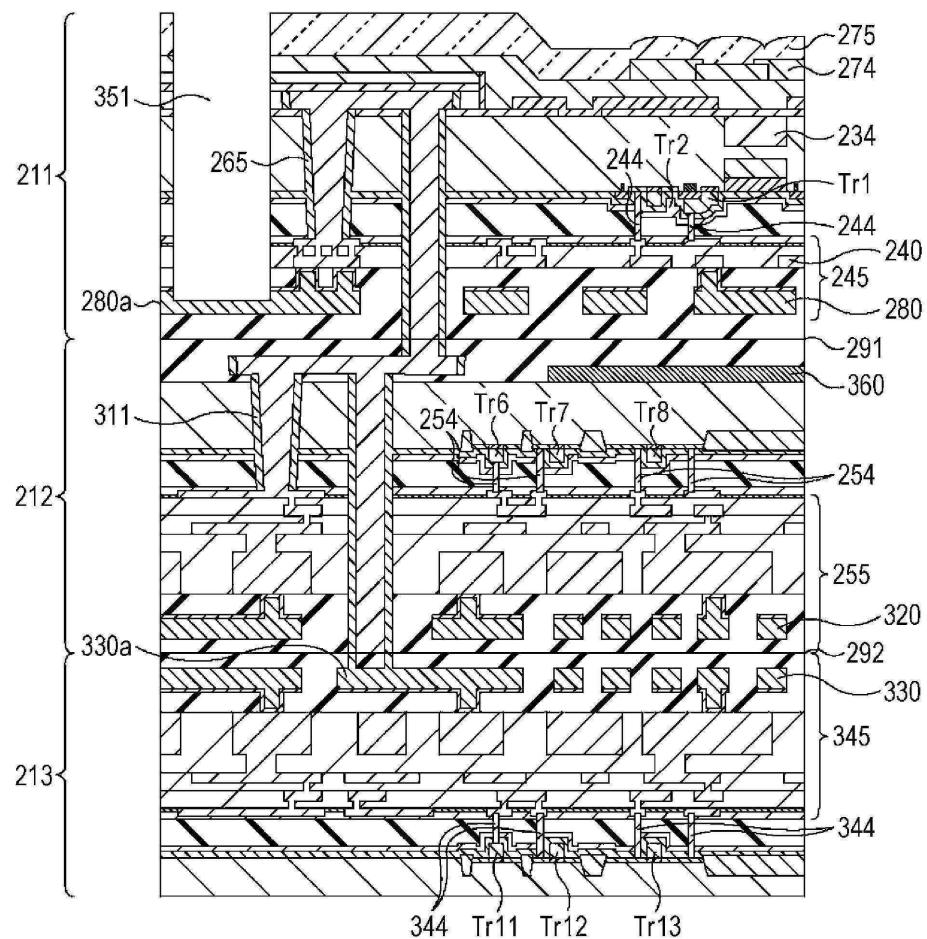
도면7a



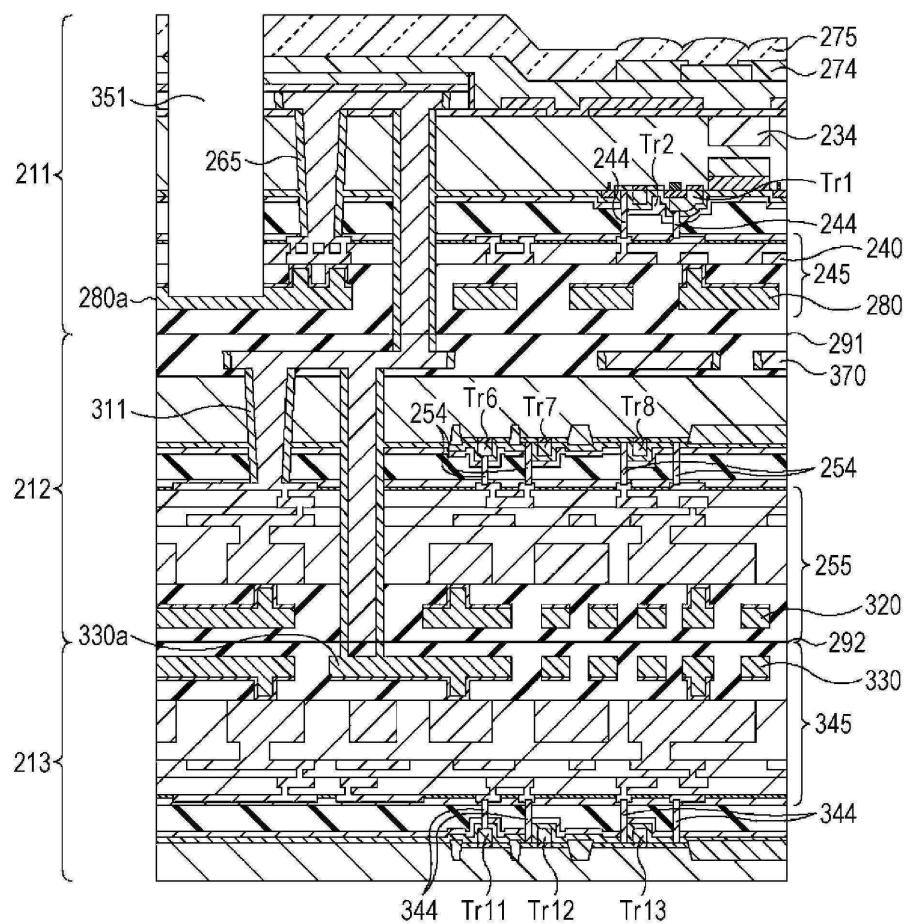
도면7b



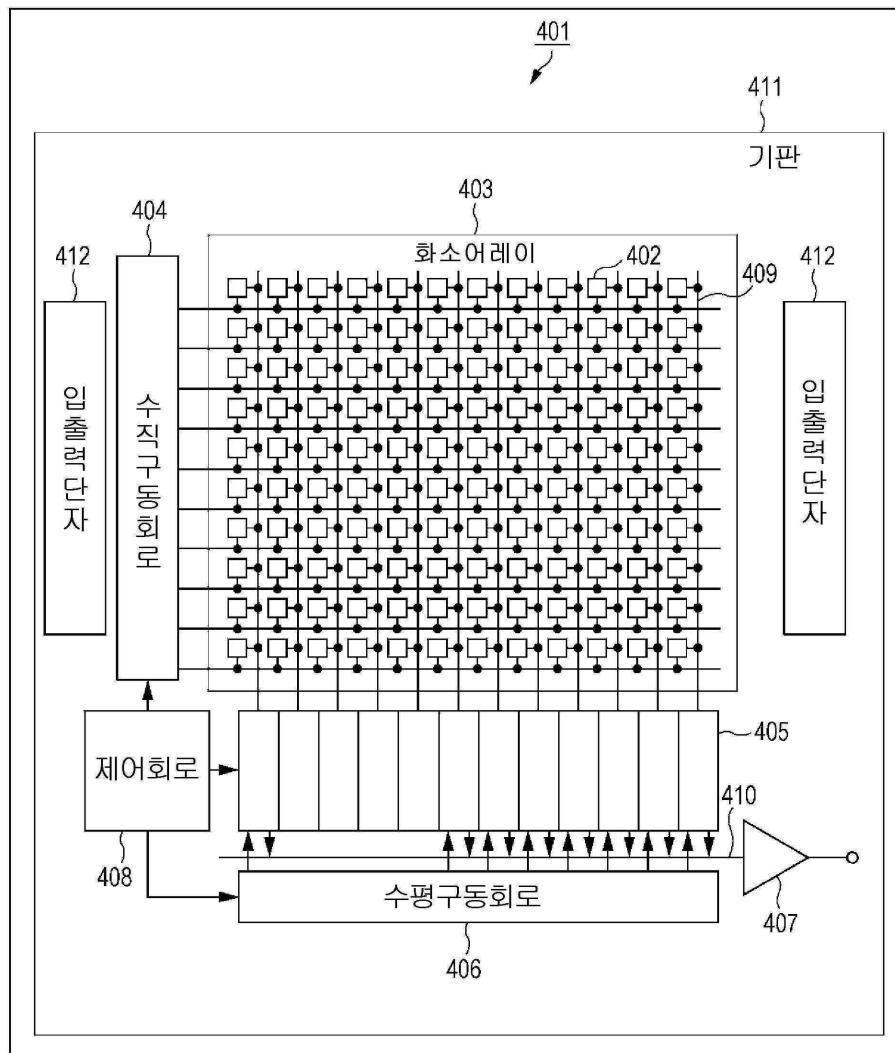
도면8



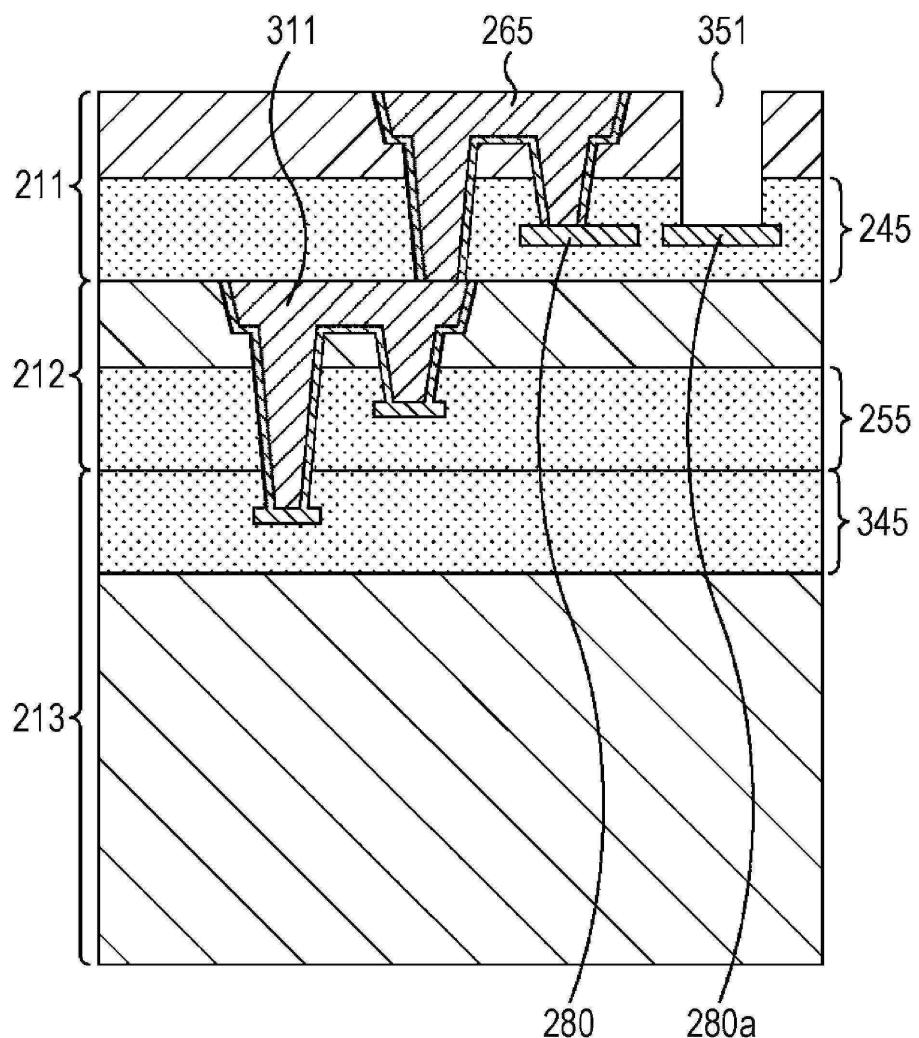
도면9



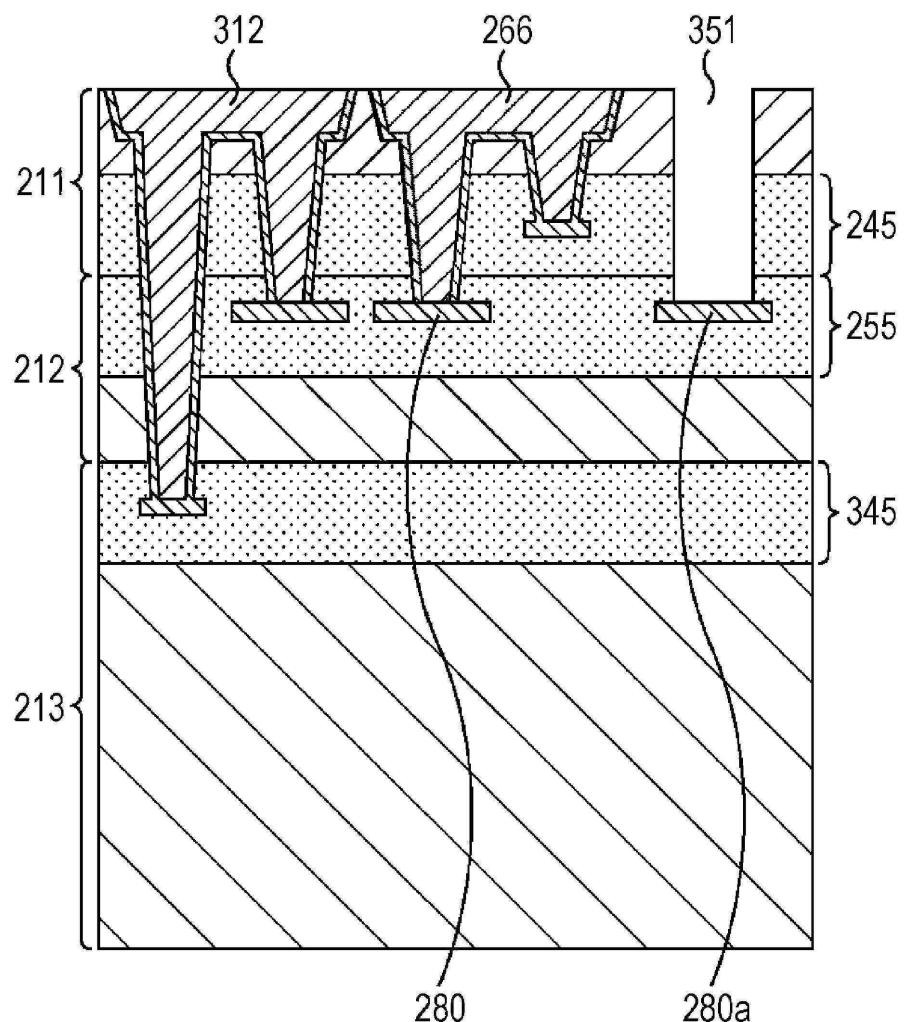
도면10



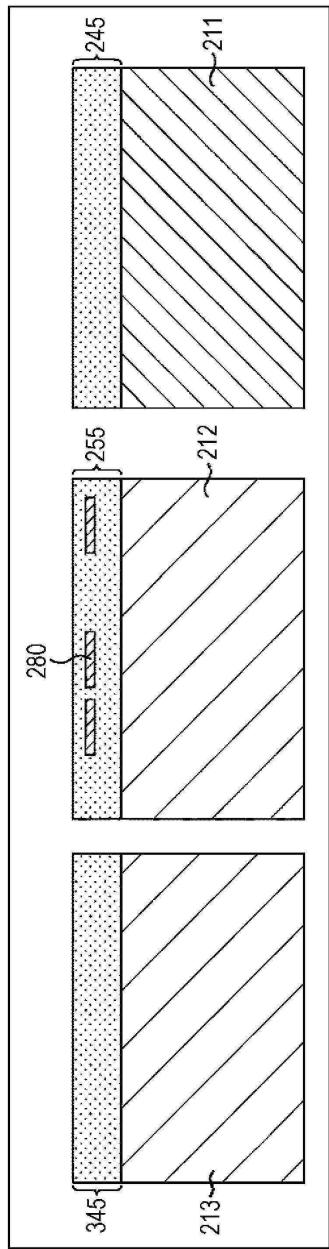
도면11



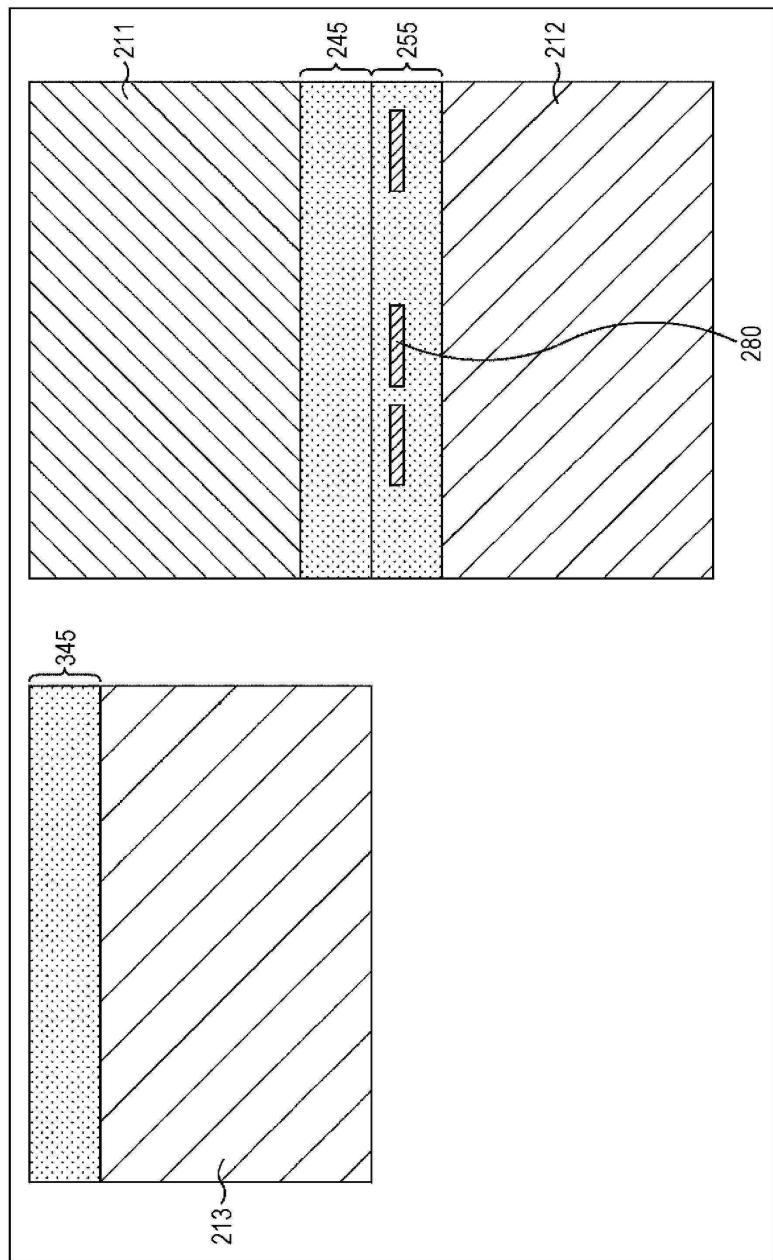
도면12



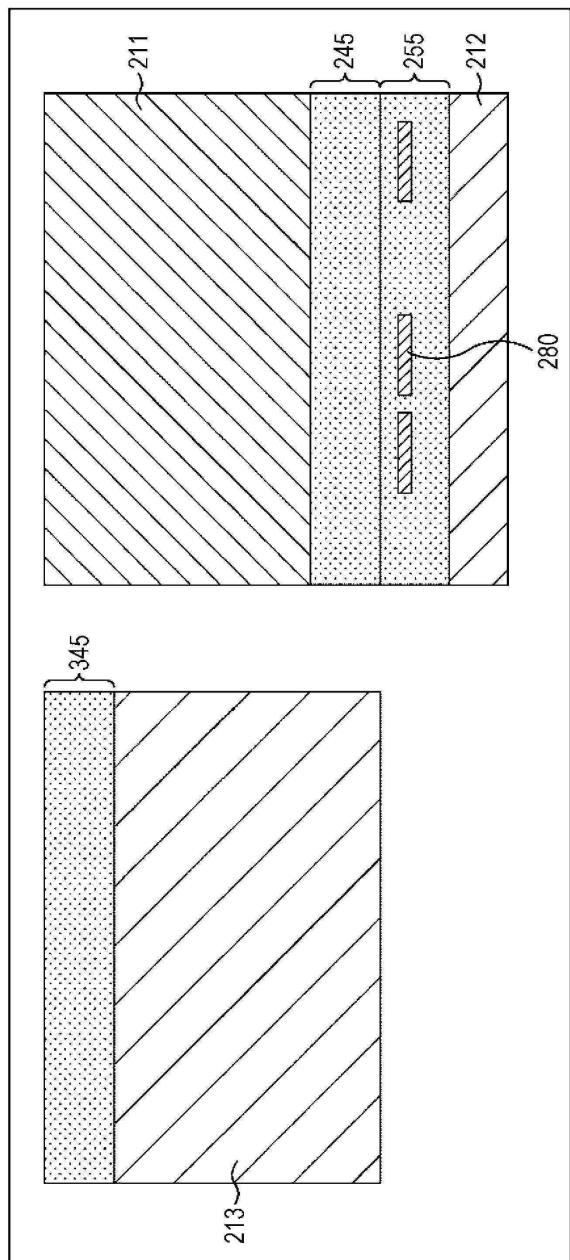
도면13



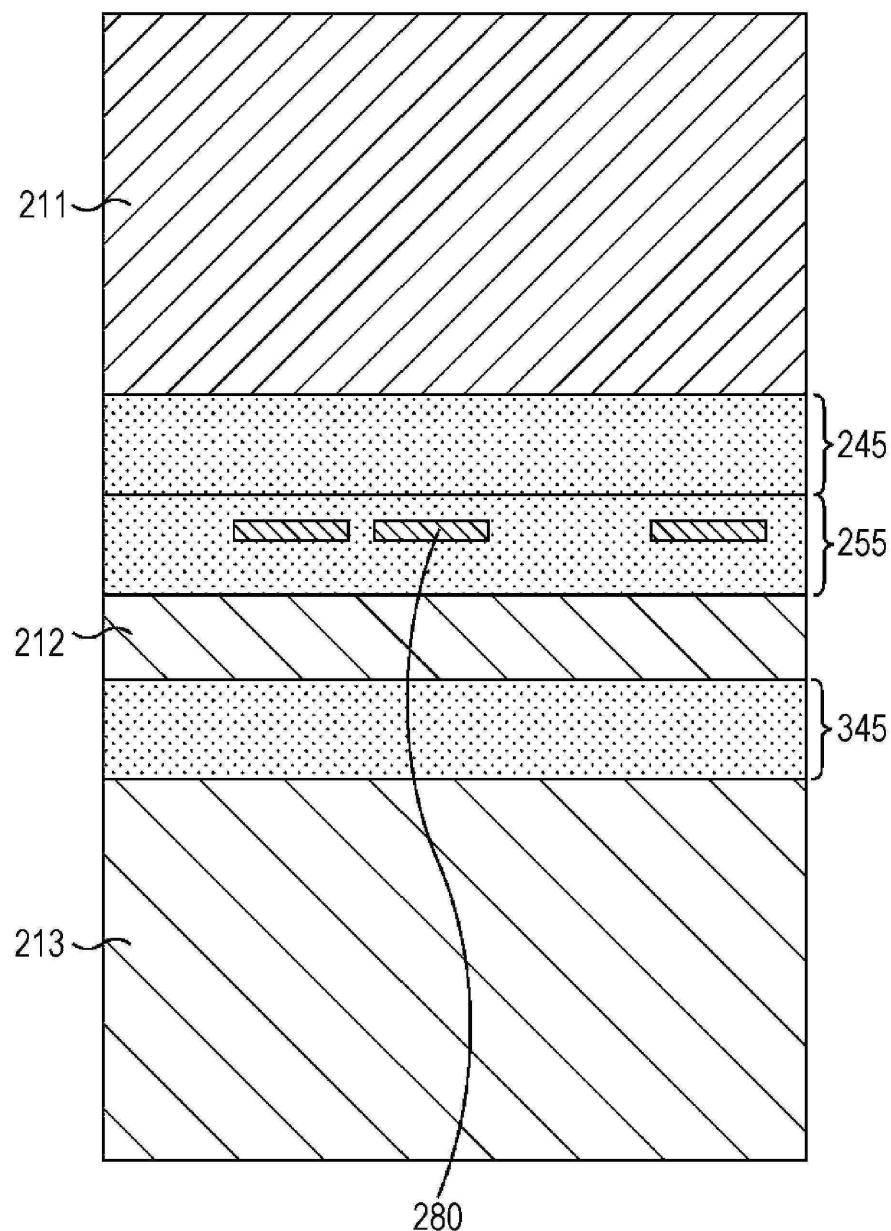
도면14



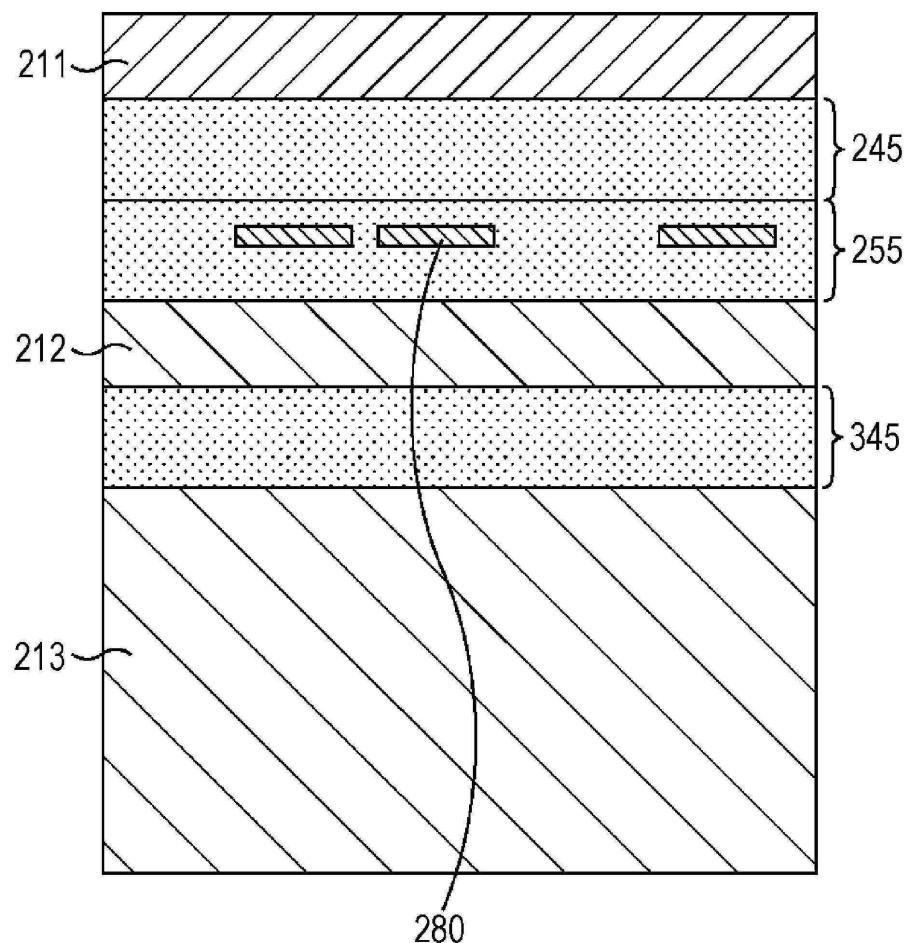
도면 15



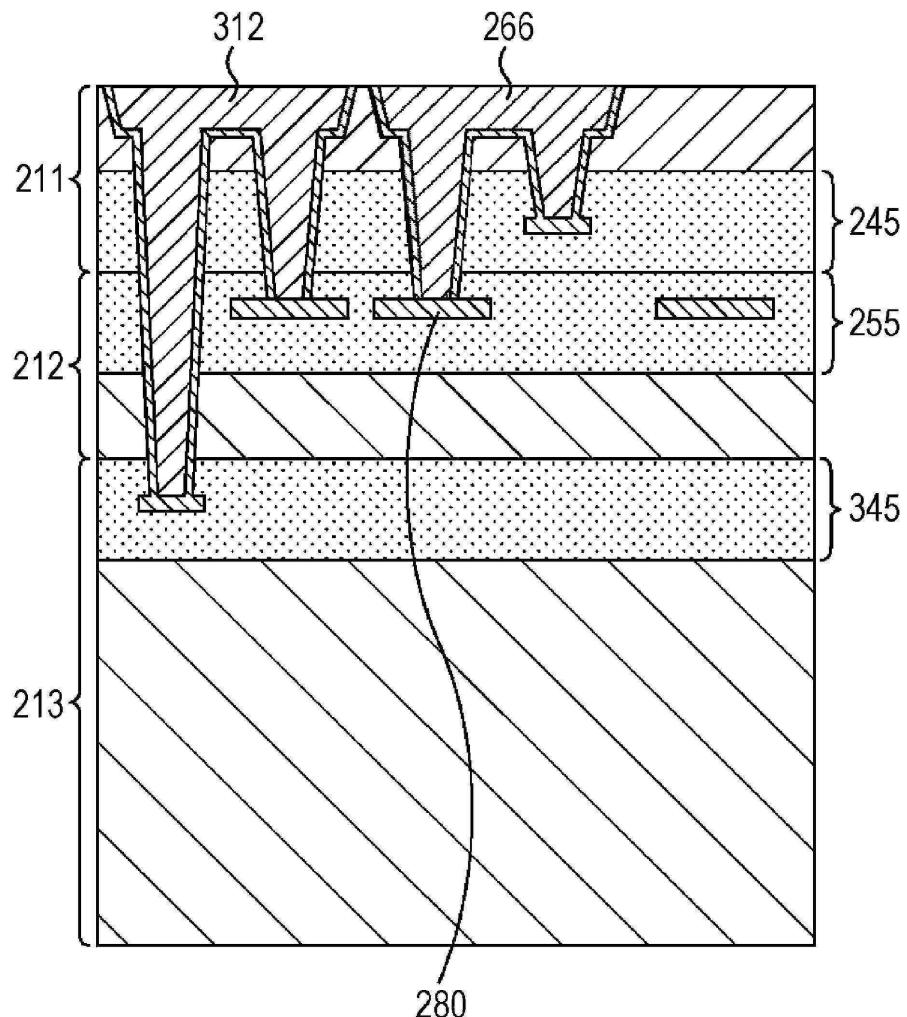
도면16



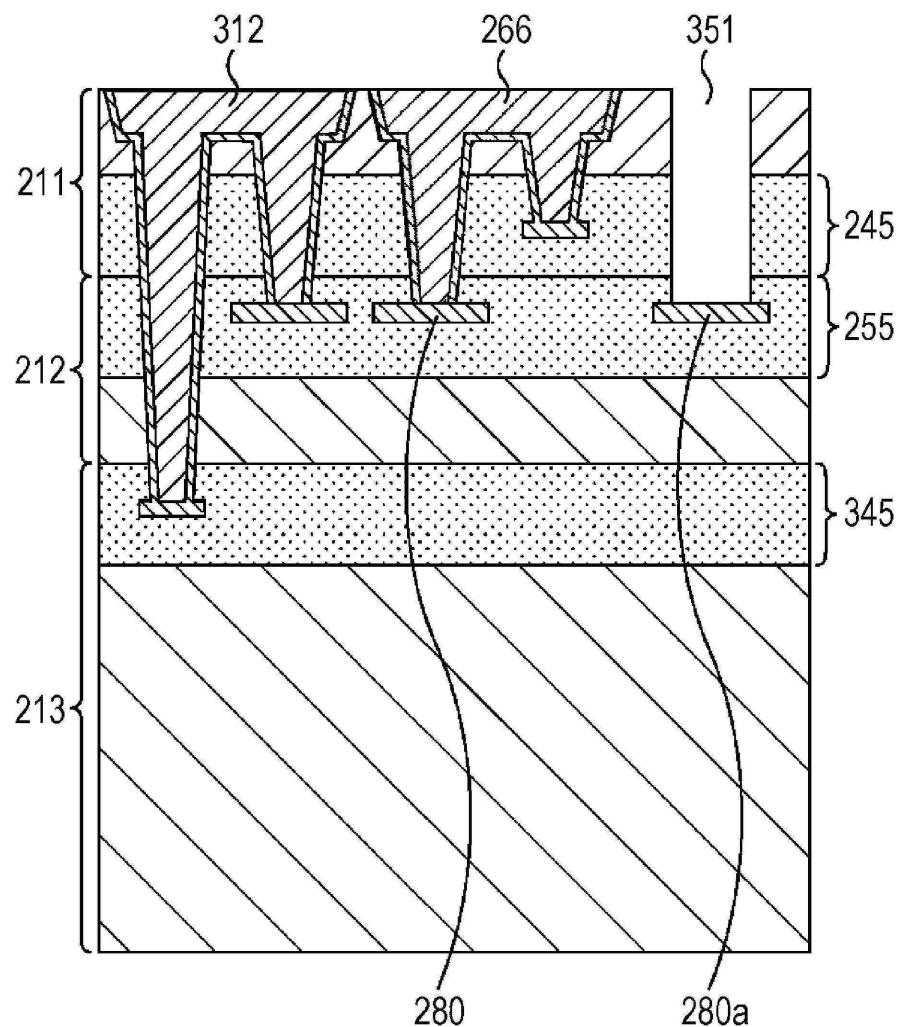
도면17



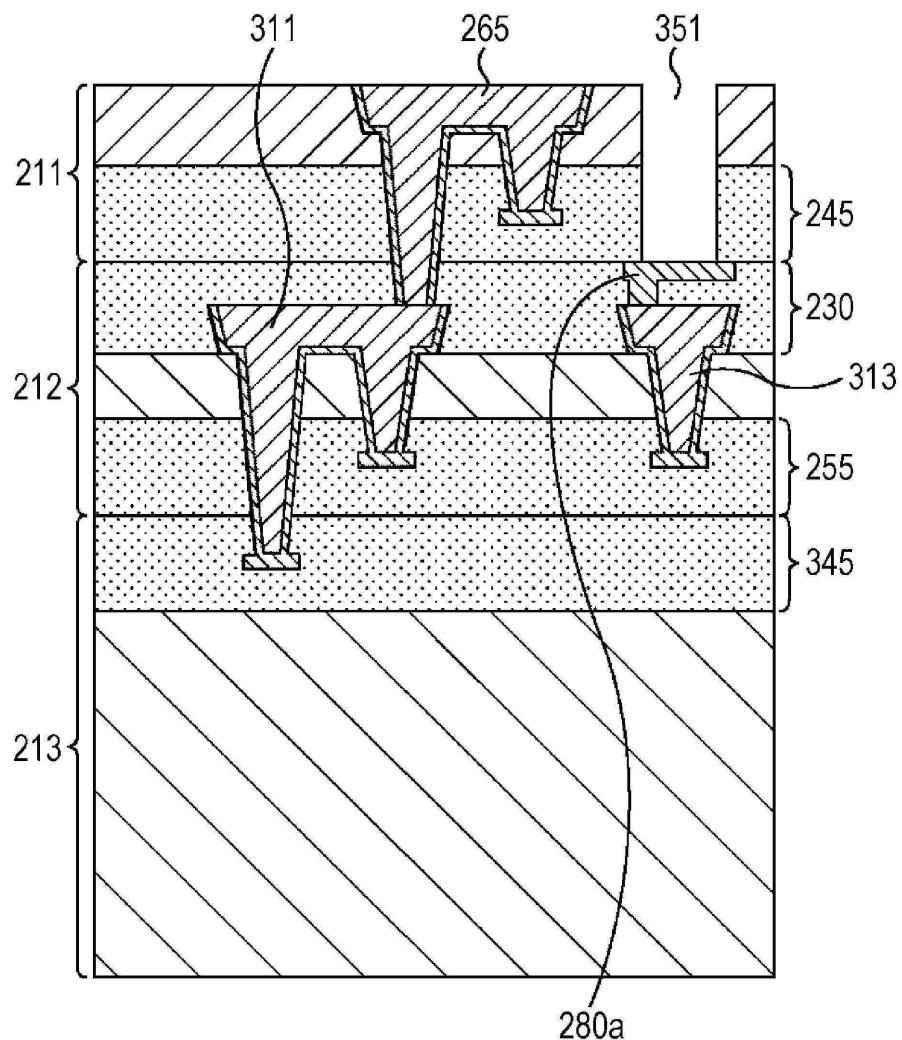
도면18



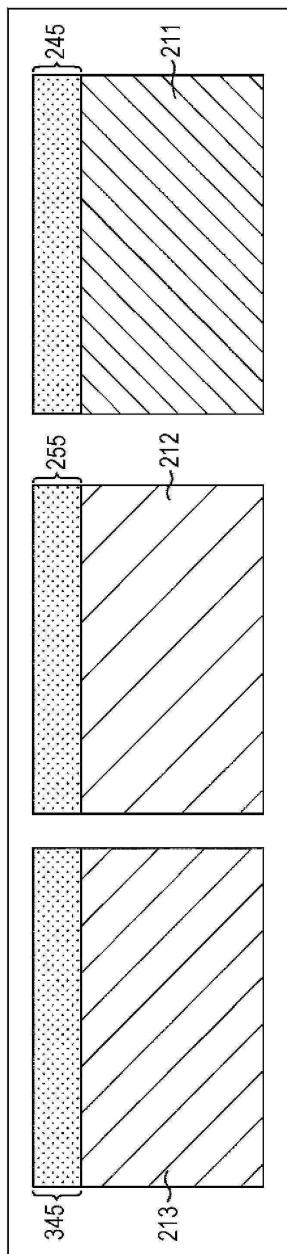
도면19



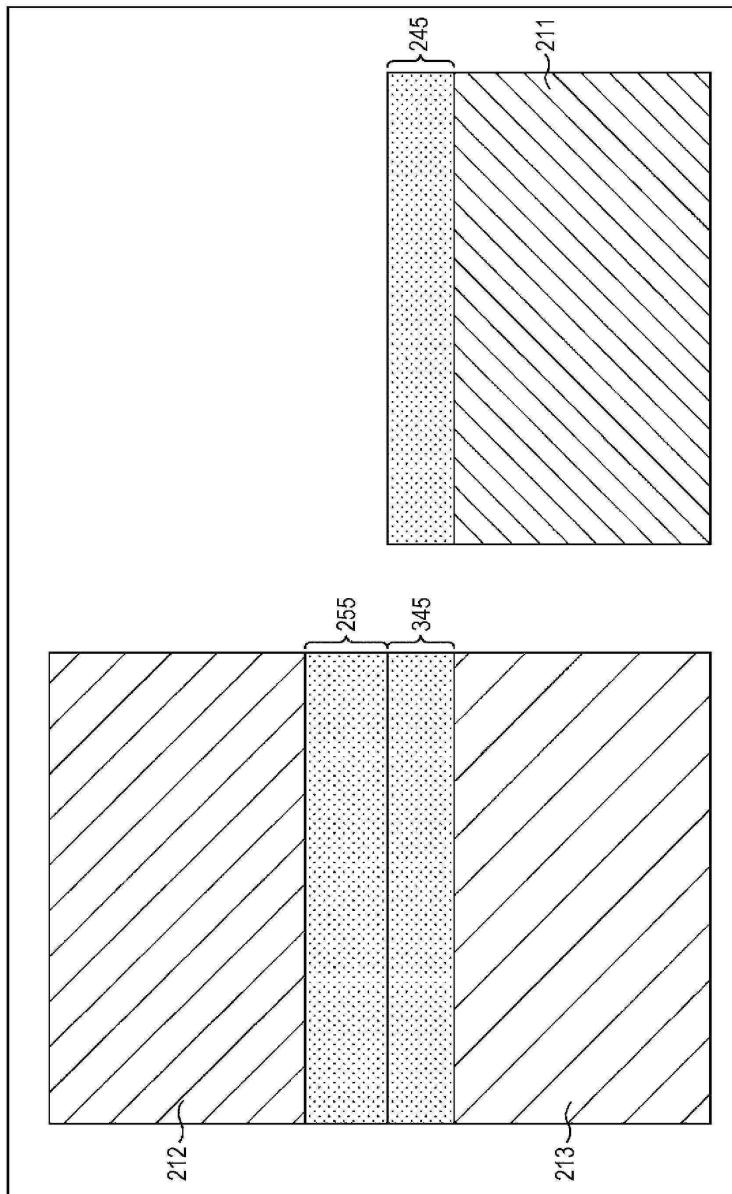
도면20



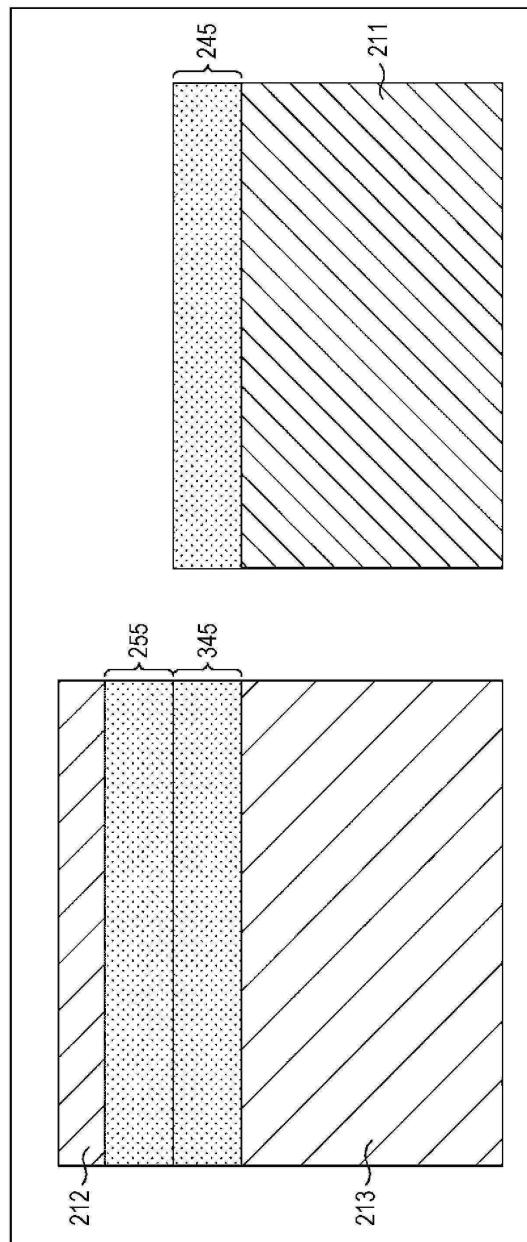
도면21



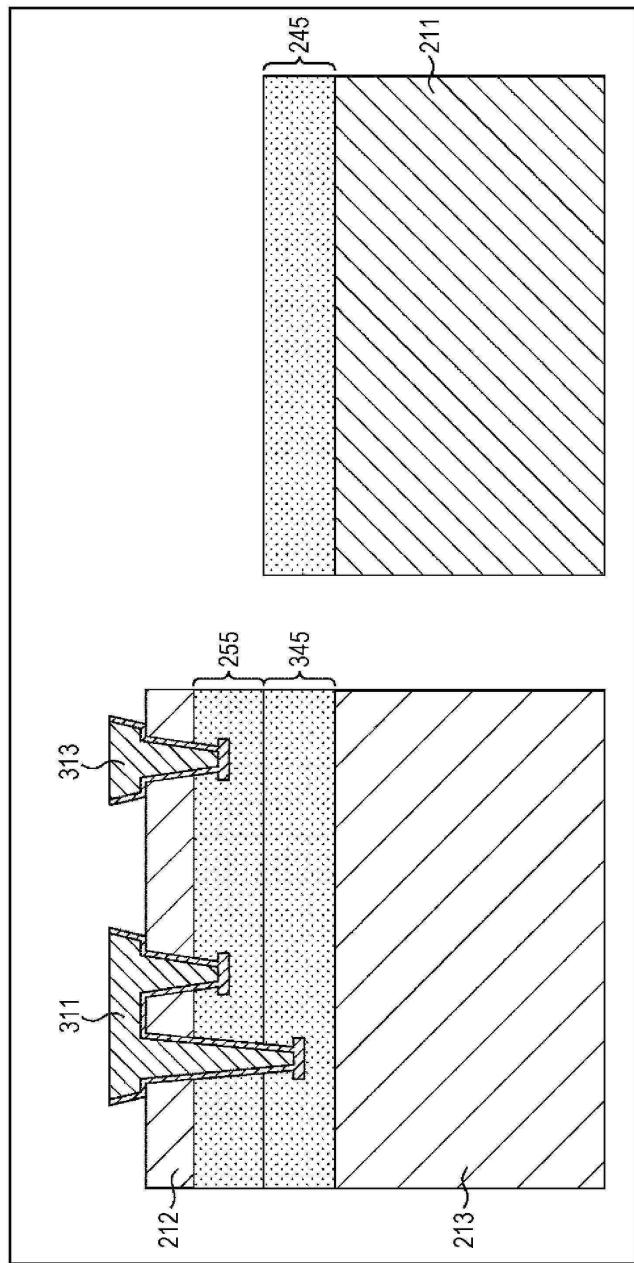
도면22



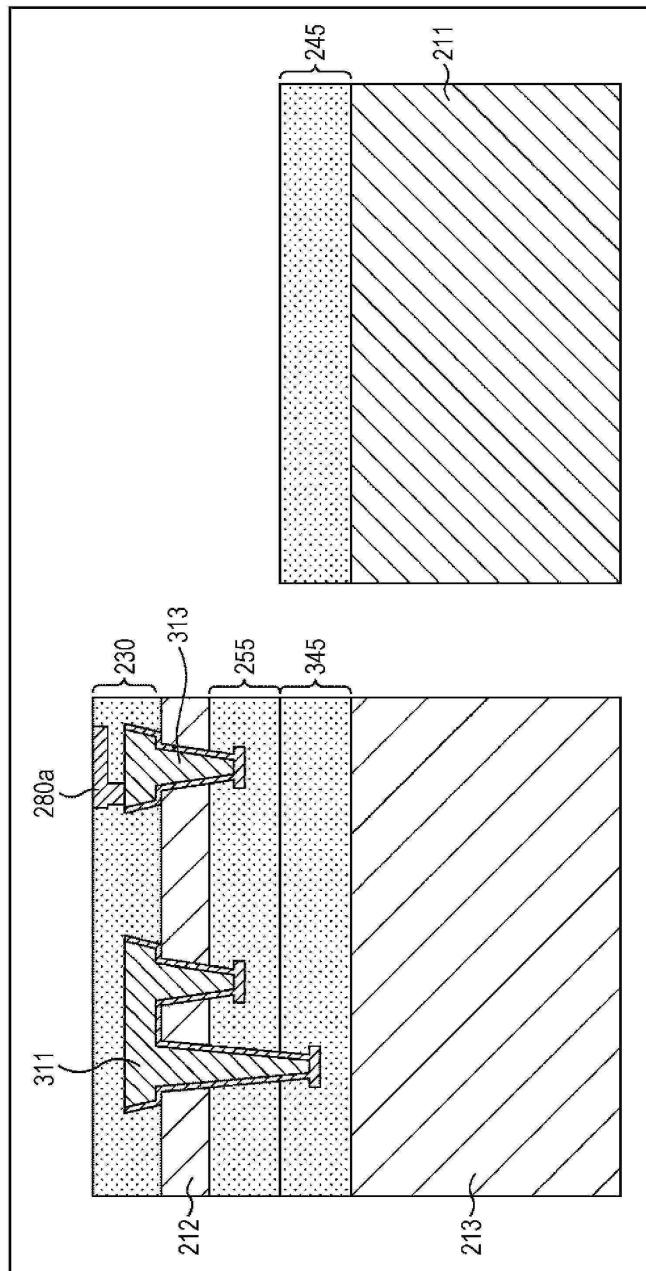
도면23



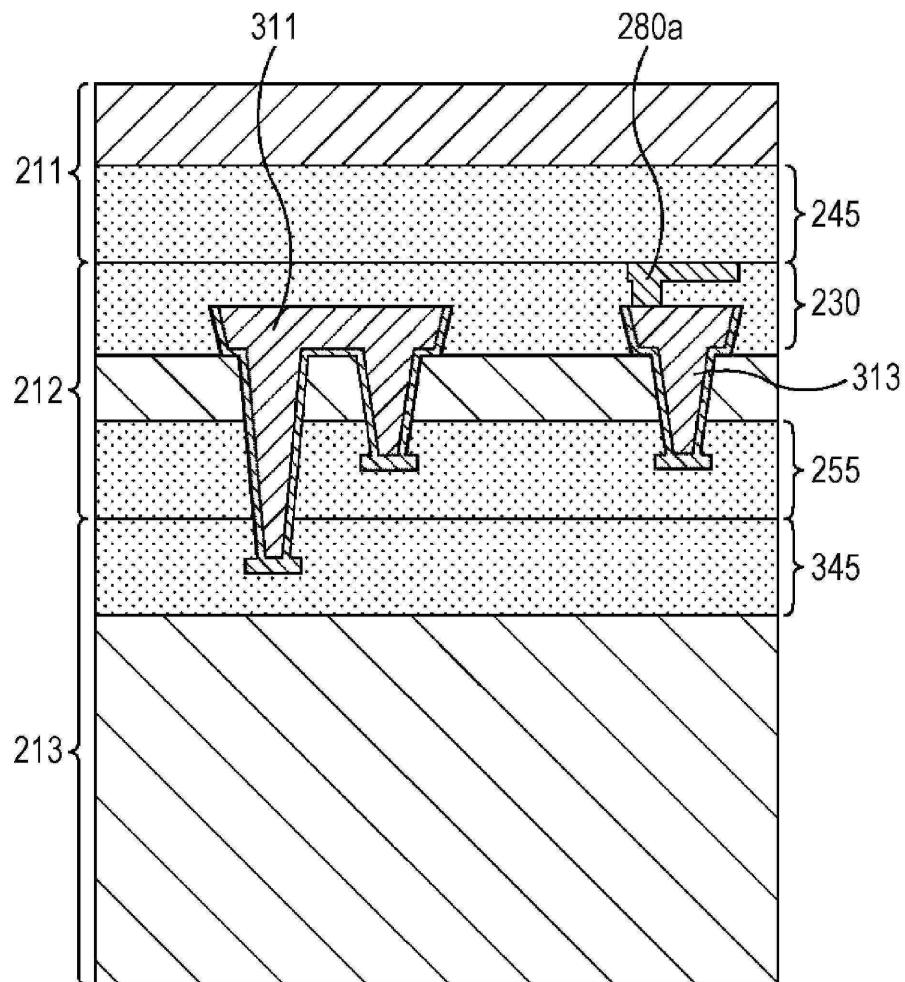
도면24



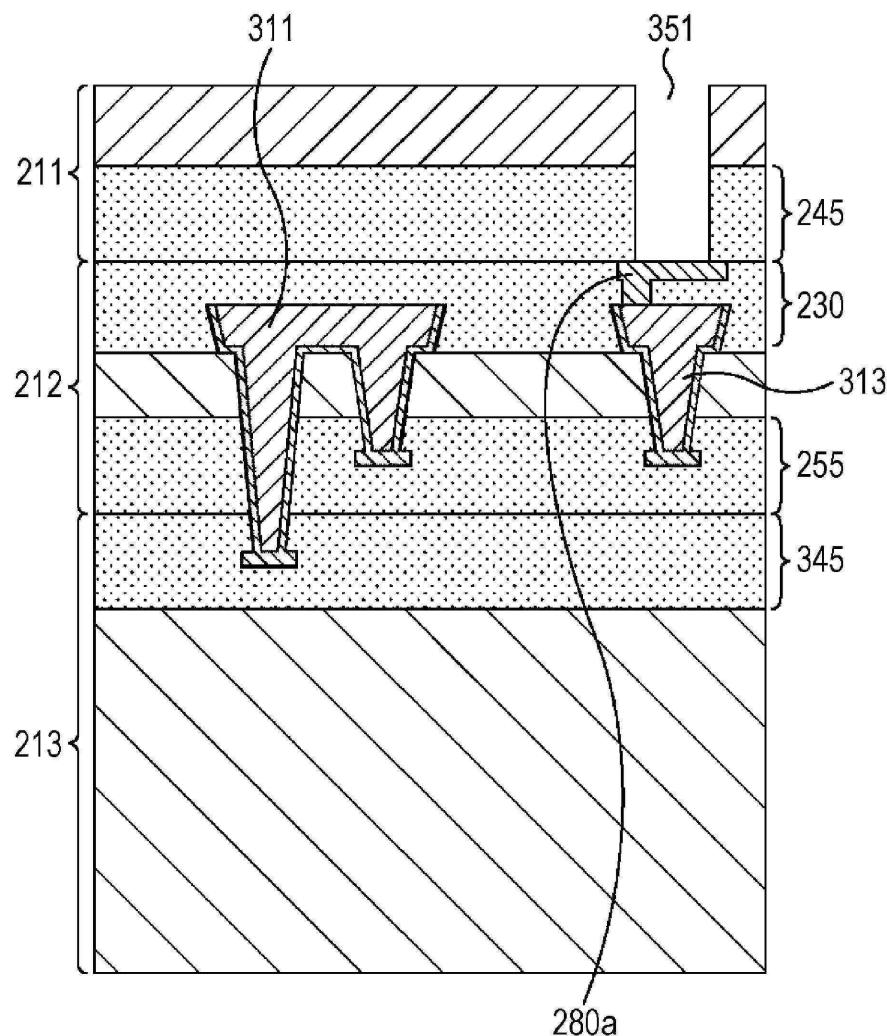
도면25



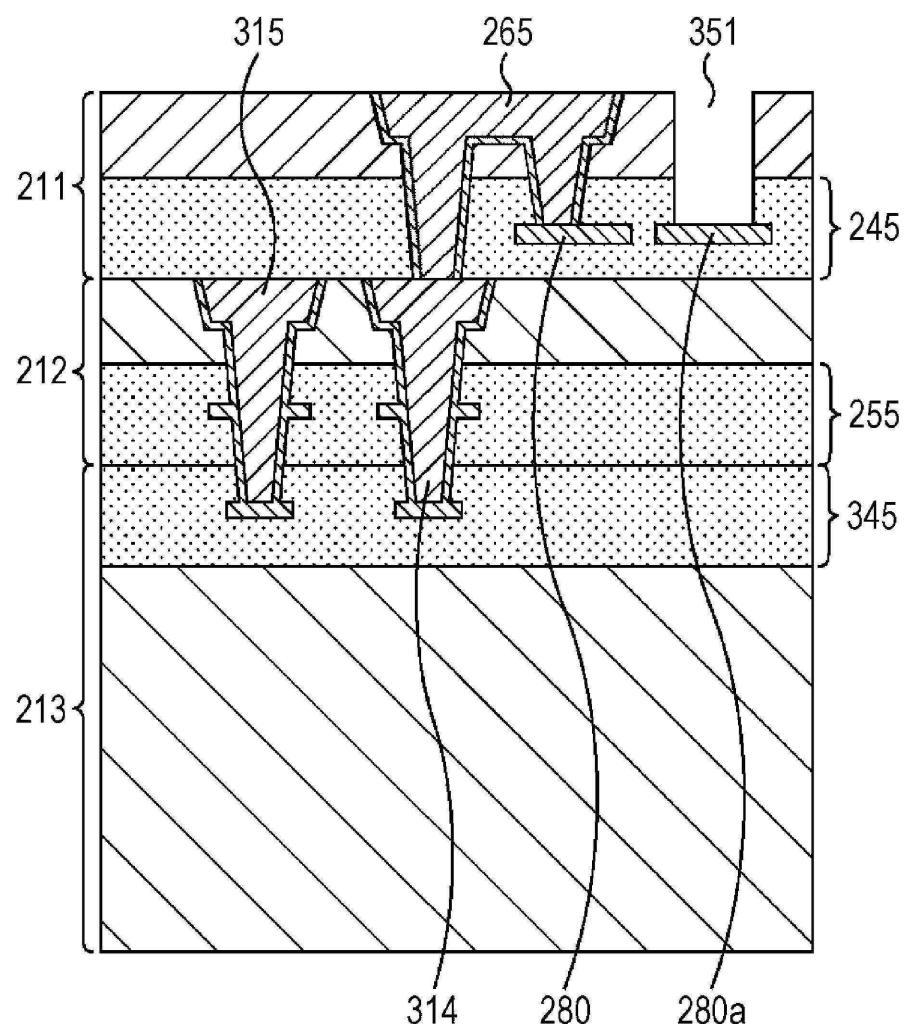
도면26



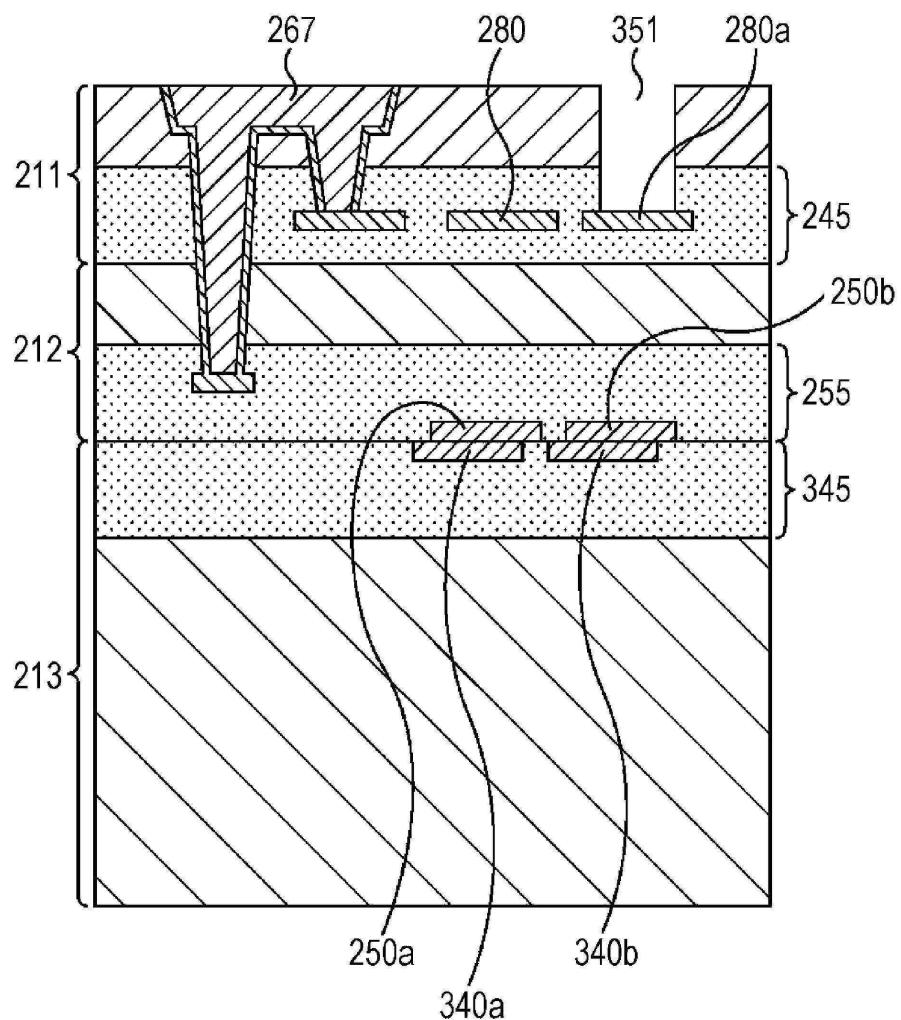
도면27



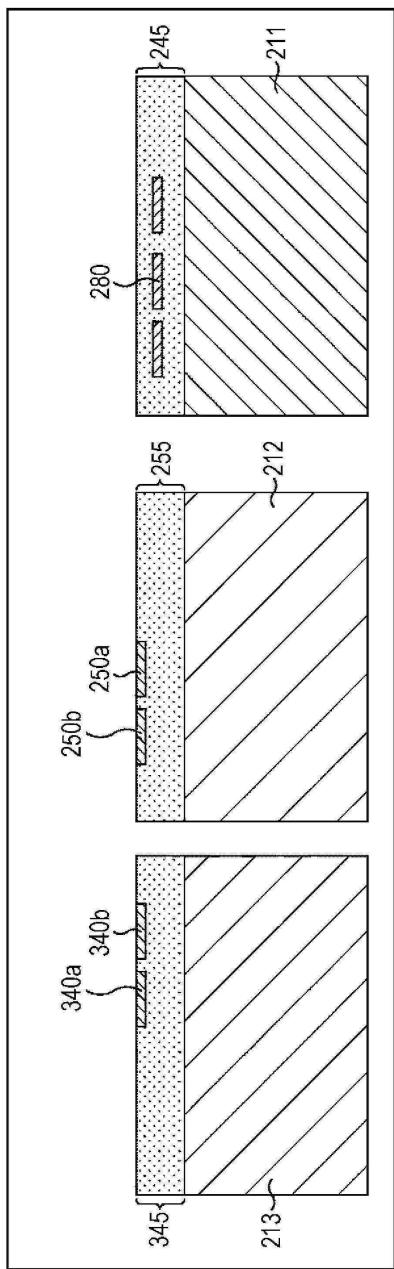
도면28



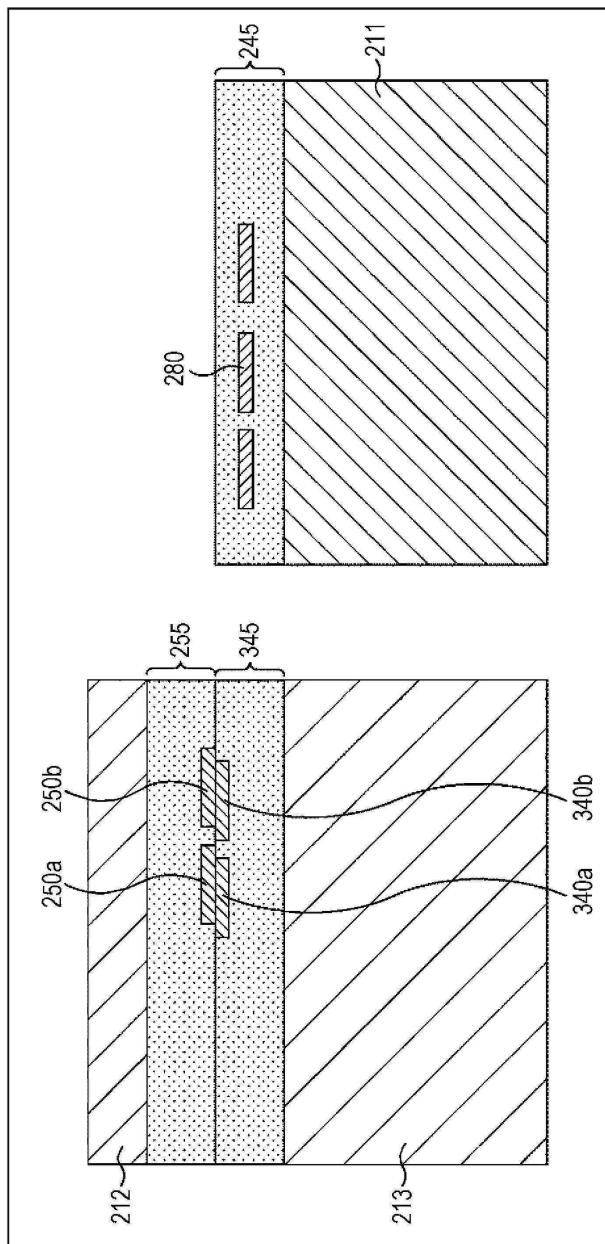
도면29



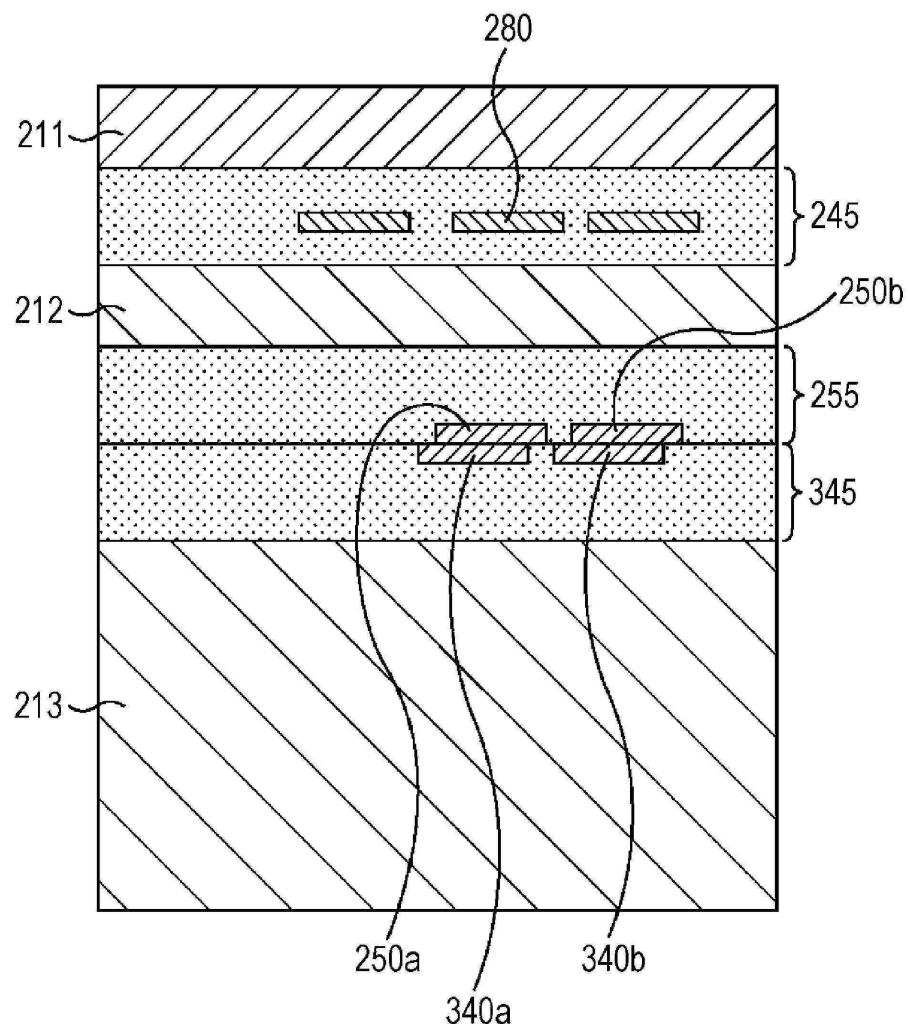
도면30



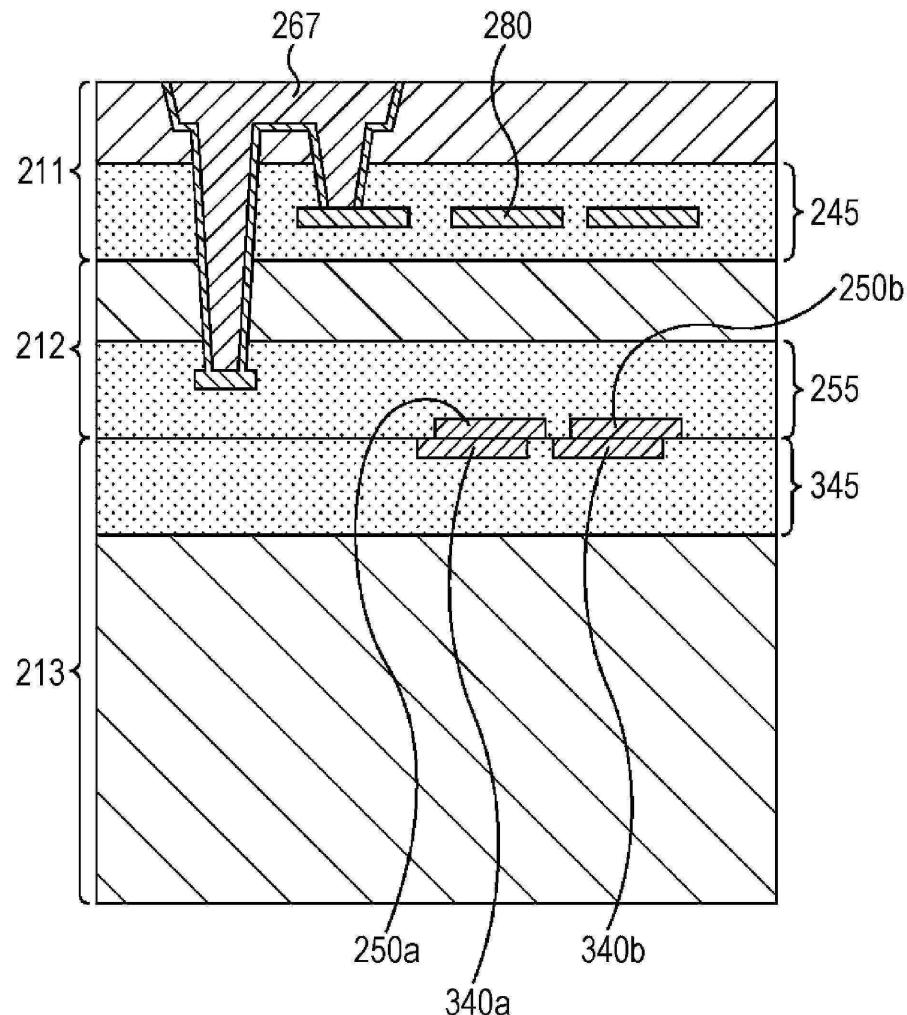
도면31



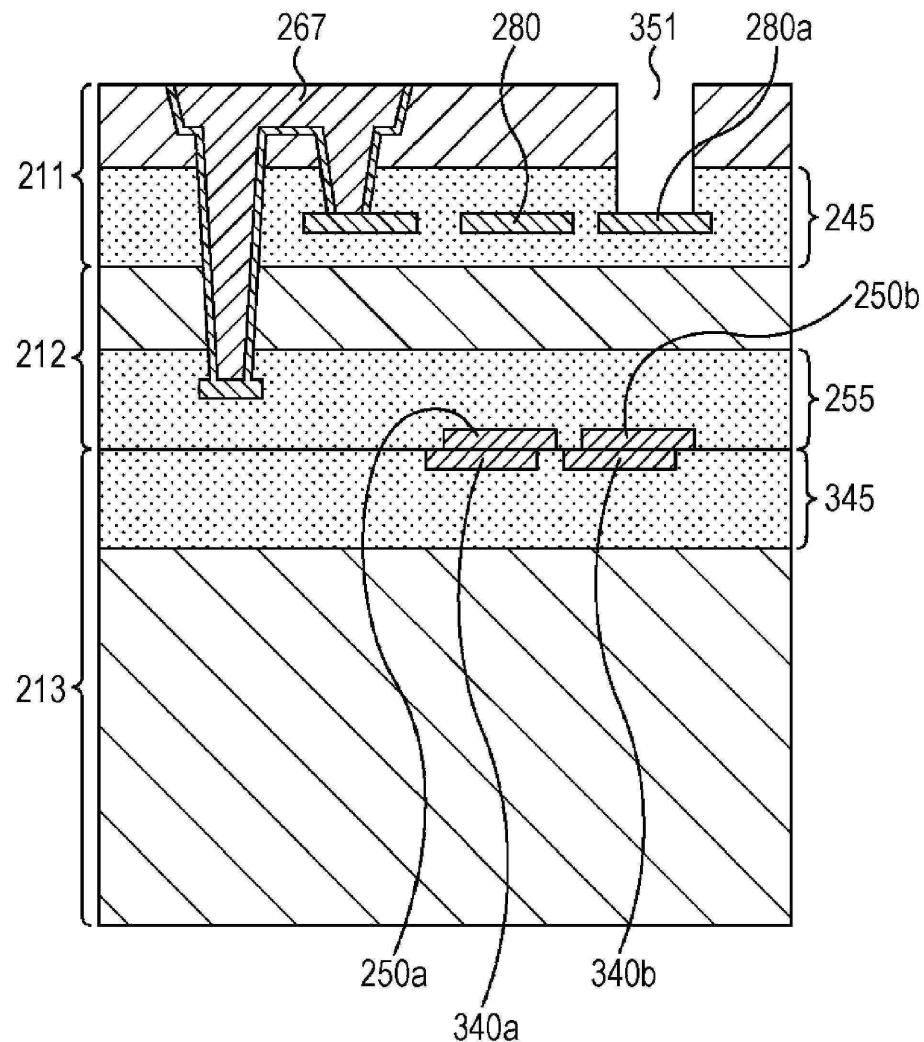
도면32



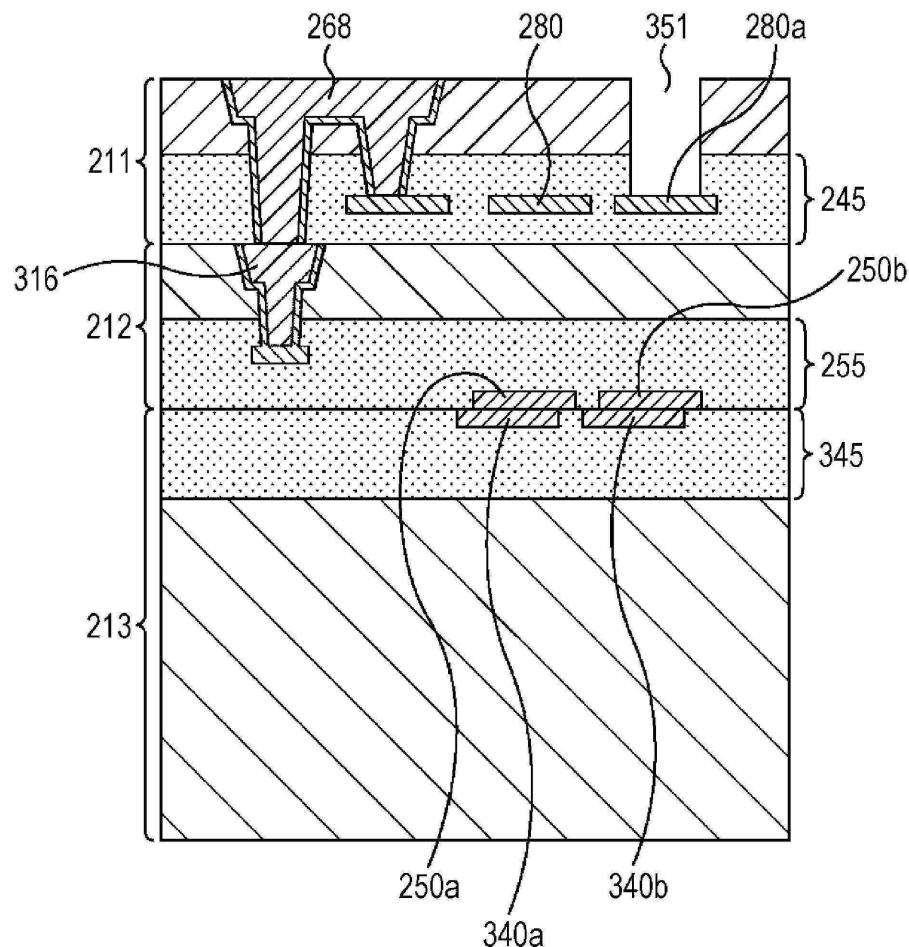
도면33



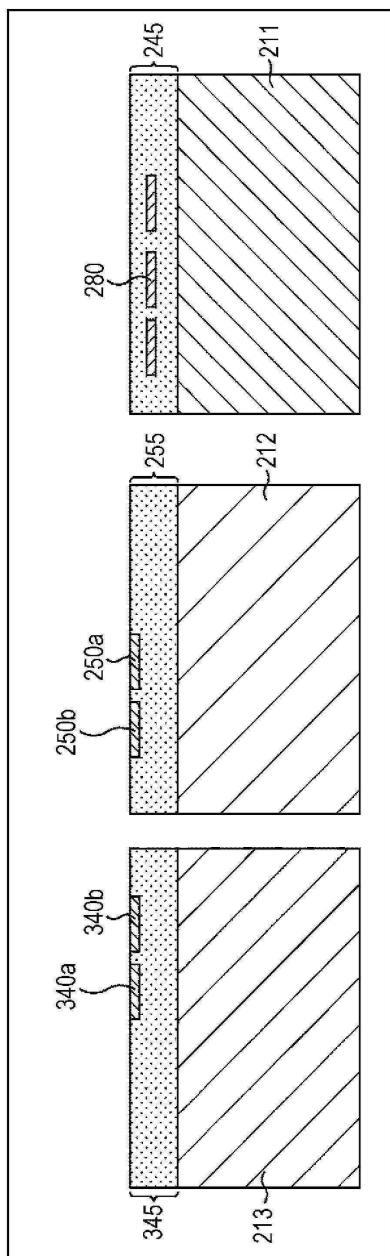
도면34



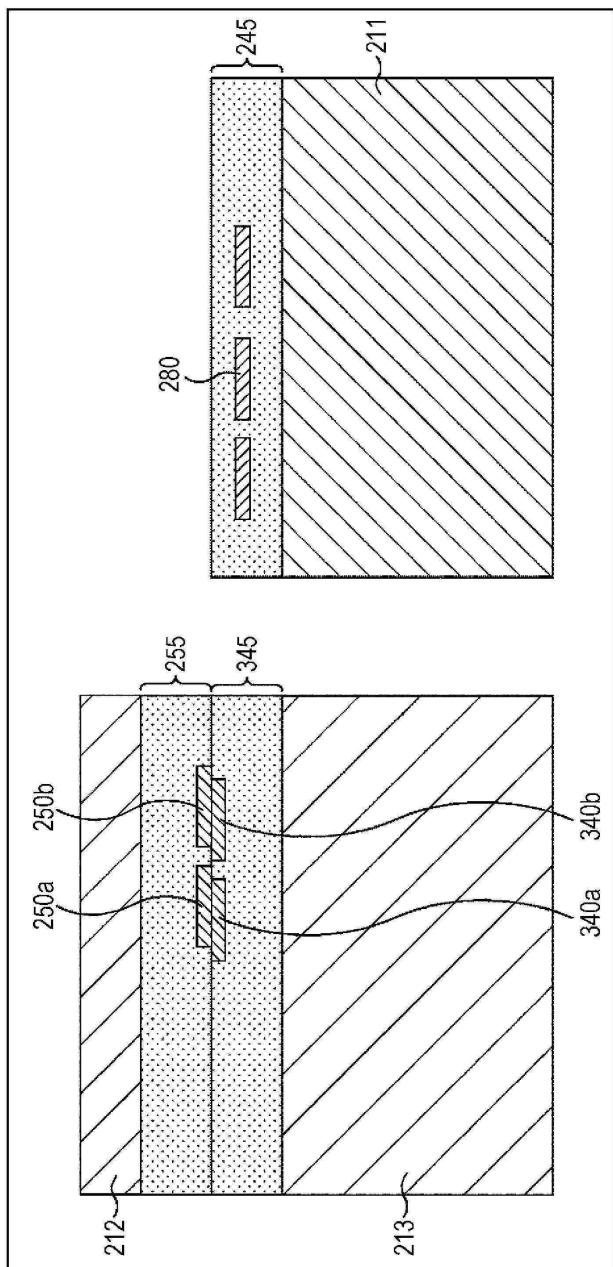
도면35



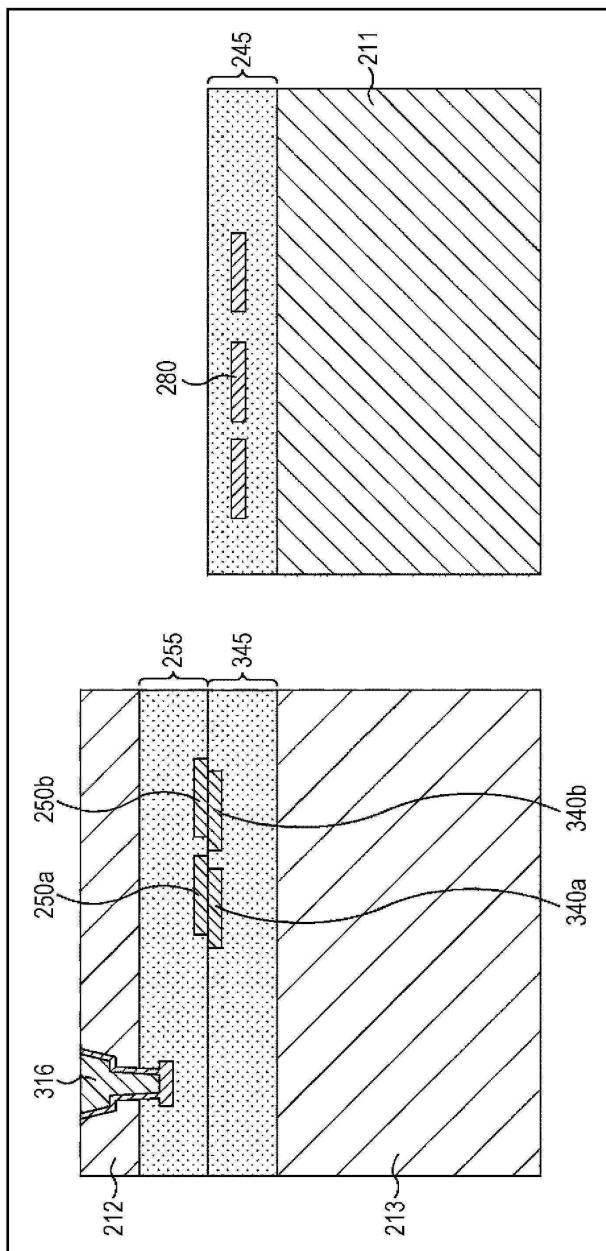
도면36



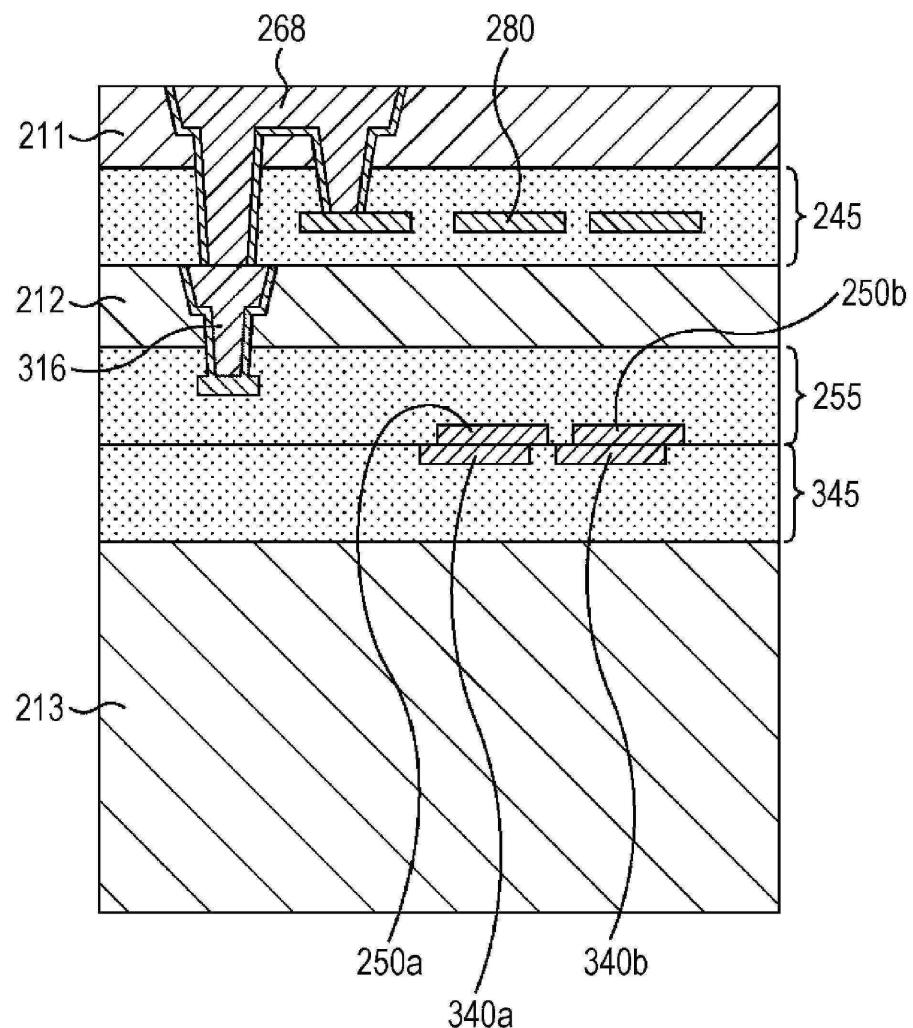
도면37



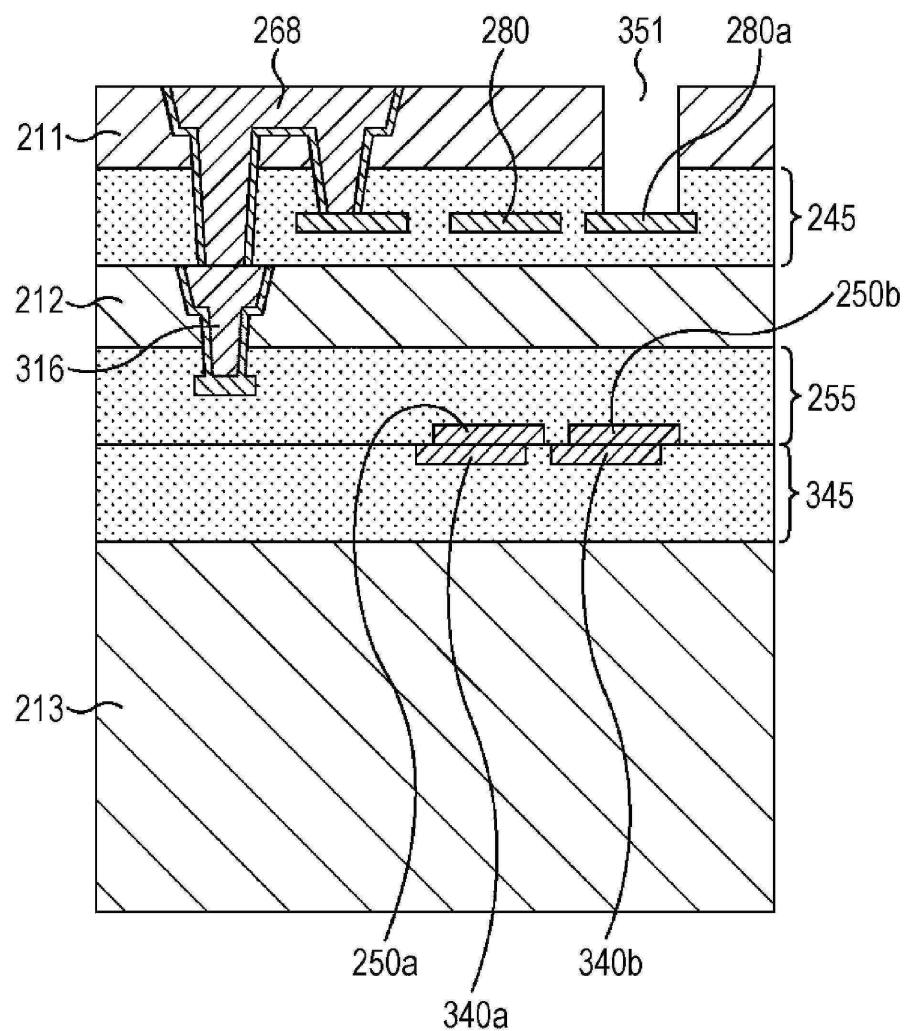
도면38



도면39



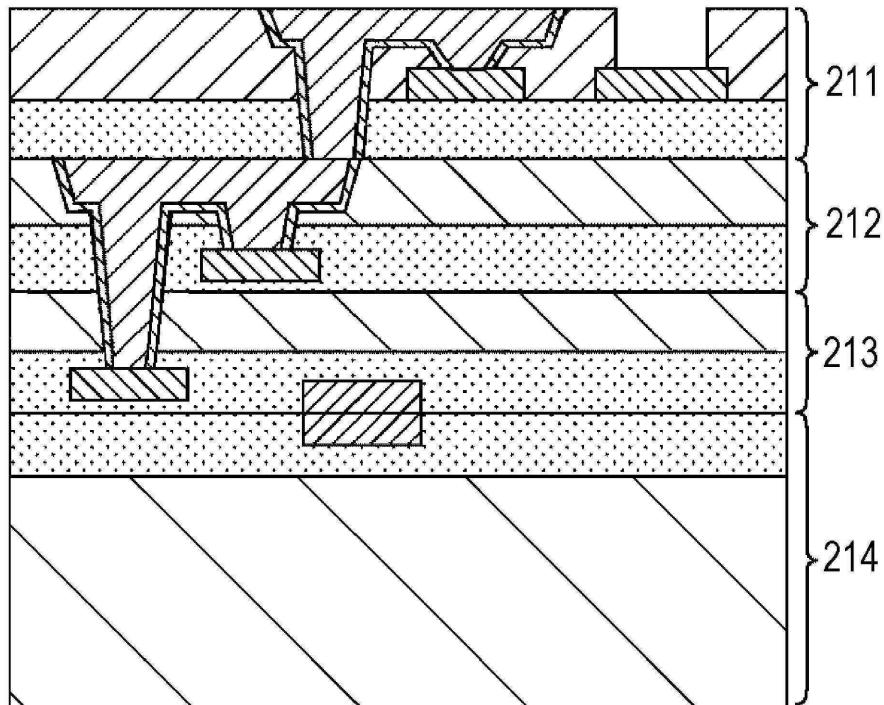
도면40



도면41

올루미늄페드의 배치위치	제1의반도체기판과 제2의반도체기판과의 전기적접속	제2의반도체기판과 제3의반도체기판과의 전기적접속
제1의반도체기판의 다중배선총내	트원콘택트 쉐어드콘택트	트원콘택트 쉐어드콘택트 직접접합
제2의반도체기판의 다중배선총내	트원콘택트 쉐어드콘택트 직접접합	트원콘택트 쉐어드콘택트 직접접합
절연막총	트원콘택트 쉐어드콘택트 직접접합	트원콘택트 쉐어드콘택트 직접접합

도면42



도면43

