



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I555069 B

(45)公告日：中華民國 105 (2016) 年 10 月 21 日

(21)申請案號：099142440

(22)申請日：中華民國 99 (2010) 年 12 月 06 日

(51)Int. Cl. : **H01L21/30 (2006.01)**

(30)優先權：2009/12/15 美國

12/638,424

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國(72)發明人：劉連鈞 LIU, LIANJUN (US)；卡琳 莉莎 H KARLIN, LISA H. (US)；麥納斯 艾
倫 J MAGNUS, ALAN J. (US)

(74)代理人：陳長文

(56)參考文獻：

TW 200601514

TW 200727371

審查人員：黃泰淵

申請專利範圍項數：20 項 圖式數：6 共 24 頁

(54)名稱

晶圓結構之電耦合

ELECTRICAL COUPLING OF WAFER STRUCTURES

(57)摘要

本發明揭示一種用於電耦合一第一晶圓(105)與一第二晶圓(103)之方法。該方法包含使用一接合材料(121)接合該第一晶圓與該第二晶圓。該方法進一步包含在該第二晶圓之一刻線區(141 或 143)中，於該第一晶圓中形成一開口(201 或 203)以曝露該第二晶圓之一導電結構(108 或 112)之一表面。該方法進一步包含形成上覆該第一晶圓及該第一晶圓中之該開口之一導電層(301)，使得該導電層形成與該第二晶圓之該導電結構(108 或 112)之一電接觸，藉此電耦合該第一晶圓與該第二晶圓。

A method for electrically coupling a first wafer (105) with a second wafer (103) is provided. The method includes bonding the first wafer with the second wafer using a bonding material (121). The method further includes forming an opening (201 or 203) in the first wafer in a scribe area (141 or 143) of the second wafer to expose a surface of a conductive structure (108 or 112) of the second wafer. The method further includes forming a conductive layer (301) overlying the first wafer and the opening in the first wafer such that the conductive layer forms an electrical contact with the conductive structure (108 or 112) of the second wafer thereby electrically coupling the first wafer with the second wafer.

指定代表圖：

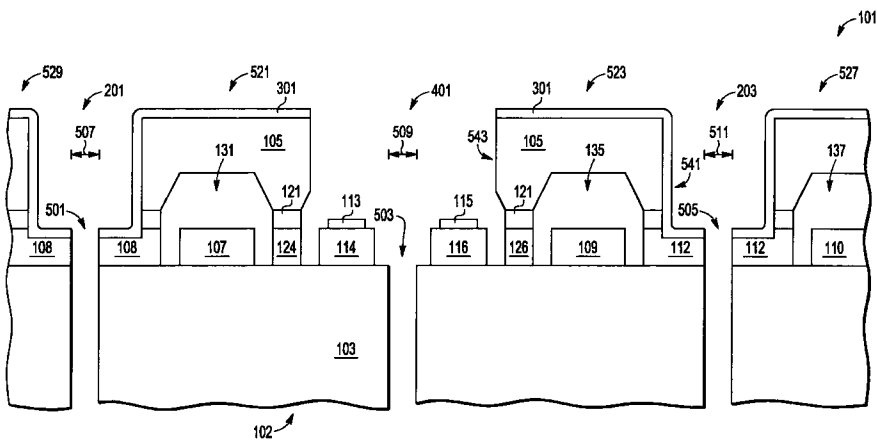


圖 5

- 符號簡單說明：
- 101 . . . 所得晶圓
 - 102 . . . 裝置晶圓
 - 103 . . . 基板
 - 105 . . . 罩體晶圓
 - 107 . . . 半導體裝置
 - 108 . . . 刻線導電結構
 - 109 . . . 半導體裝置
 - 110 . . . 半導體裝置
 - 112 . . . 刻線導電結構
 - 113 . . . 襯墊
 - 114 . . . 襯墊支撐結構
 - 115 . . . 襯墊
 - 116 . . . 襯墊支撐結構
 - 121 . . . 接合材料
 - 124 . . . 導電結構
 - 126 . . . 導電結構
 - 131 . . . 開口
 - 135 . . . 開口
 - 137 . . . 開口
 - 201 . . . 開口
 - 203 . . . 開口
 - 301 . . . 導電層
 - 401 . . . 開口
 - 501 . . . 鋸切路徑
 - 503 . . . 鋸切路徑
 - 507 . . . 寬度
 - 509 . . . 寬度
 - 511 . . . 寬度
 - 521 . . . 晶粒
 - 523 . . . 晶粒
 - 527 . . . 晶粒
 - 529 . . . 晶粒
 - 541 . . . 側壁

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99142447

※ 申請日： 99. 12. 6

※IPC 分類：H01L21/30, 2006.01

一、發明名稱：(中文/英文)

晶圓結構之電耦合

ELECTRICAL COUPLING OF WAFER STRUCTURES

二、中文發明摘要：

本發明揭示一種用於電耦合一第一晶圓(105)與一第二晶圓(103)之方法。該方法包含使用一接合材料(121)接合該第一晶圓與該第二晶圓。該方法進一步包含在該第二晶圓之一刻線區(141或143)中，於該第一晶圓中形成一開口(201或203)以曝露該第二晶圓之一導電結構(108或112)之一表面。該方法進一步包含形成上覆該第一晶圓及該第一晶圓中之該開口之一導電層(301)，使得該導電層形成與該第二晶圓之該導電結構(108或112)之一電接觸，藉此電耦合該第一晶圓與該第二晶圓。

三、英文發明摘要：

A method for electrically coupling a first wafer (105) with a second wafer (103) is provided. The method includes bonding the first wafer with the second wafer using a bonding material (121). The method further includes forming an opening (201 or 203) in the first wafer in a scribe area (141 or 143) of the second wafer to expose a surface of a conductive structure (108 or 112) of the second wafer. The method further includes forming a conductive layer (301) overlying the first wafer and the opening in the first wafer such that the conductive layer forms an electrical contact with the conductive structure (108 or 112) of the second wafer thereby electrically coupling the first wafer with the second wafer.

四、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件符號簡單說明：

101	所得晶圓
102	裝置晶圓
103	基板
105	罩體晶圓
107	半導體裝置
108	刻線導電結構
109	半導體裝置
110	半導體裝置
112	刻線導電結構
113	襯墊
114	襯墊支撐結構
115	襯墊
116	襯墊支撐結構
121	接合材料
124	導電結構
126	導電結構
131	開口
135	開口
137	開口
201	開口
203	開口

301	導電層
401	開口
501	鋸切路徑
503	鋸切路徑
507	寬度
509	寬度
511	寬度
521	晶粒
523	晶粒
527	晶粒
529	晶粒
541	側壁

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大致係關於半導體裝置且特定言之係關於兩個晶圓之結構之電耦合。

此申請案已於2009年12月15日在美國以專利申請案第12/638424號提出申請。

【先前技術】

一些半導體裝置(諸如一MEMS半導體裝置)利用單體晶圓(cap wafer)以在操作期間為MEMS裝置提供保護腔。在一些實施例中，一MEMS裝置通常係使用半導體裝置製程製造之一微電子機械裝置。MEMS裝置之實例包含加速度計、感測器、微型馬達及開關。在一些實例中，MEMS裝置包含在操作期間移動之零件(例如質量塊(proof mass))。由於此移動，故使用一腔以在允許該零件移動的同時保護該零件。

可藉由在一單體晶圓中形成一開口及接合該單體晶圓至裝置晶圓(其中該開口上覆該MEMS裝置)而實施一腔。隨後，將該單體晶圓及該裝置晶圓單切以形成MEMS晶粒。

在一些實例中，實施一單體晶圓之一問題在於需要與裝置晶圓之一良好接地耦合。在一些實施例中，用從該單體晶圓至該裝置晶圓之配線接合、穿透該單體晶圓至該裝置晶圓之導電通孔或該單體晶圓與該裝置晶圓之間之導電接合材料進行接地耦合。

【實施方式】

可以藉由參考隨附圖式使熟悉此項技術者更好地理解本發明及瞭解其諸多目的、特徵及優點。

在不同圖式中相同元件符號的使用表示相同的物件，除非另有注明。圖式不一定按比例繪製。舉例而言，圖式中所示之結構之寬高比可出現偏差以更清楚地繪示本發明之諸態樣。

下文闡明用於實行本發明之一模式之詳細描述。本描述旨在闡釋本發明且不應被視為限制性。

如本文所述，在一實施例中，從一單體晶圓結構至一裝置晶圓結構之一電耦合係藉由下列方式進行：在至該裝置晶圓之一導電結構之一刻線區中於該單體晶圓中形成一開口及隨後在該單體晶圓上方(包含該開口中及該開口之側壁上)形成一導電層(其中該導電層接觸該裝置晶圓之該導電結構)；隨後，在刻線區中將該單體晶圓及該裝置晶圓單切，使得開口側壁上之導電材料保留用於電耦合該單體晶圓結構及該裝置晶圓結構。

圖1係包含用一接合材料121接合至單體晶圓105之一裝置晶圓102之一所得晶圓101之一部分截面側視圖。在一實施例中，接合材料121係非導電之一玻璃粉。但是，在其他實施例中，可使用其他類型之接合材料諸如一導電玻璃粉(例如具有一導電材料諸如鉛)或焊料。在一實施例中，該等晶圓可在溫度及壓力下經歷一時段而接合在一起以提供該兩個晶圓之間之一機械上堅固之接合。在一實施例中，該接合為一密封接合。

裝置晶圓 102 包含定位在基板 103 上之數個半導體裝置 (107、109、110)，該基板 103 係在晶圓 102 與晶圓 105 接合之前形成。在一實施例中，此等裝置包含藉由半導體製程而形成之由半導體、導電及/或介電材料所製成的結構。裝置 107、109、110 可包含已經處理以形成不同結構之不同材料之多重層。在一實施例中，裝置 107、109 及 110 係多軸加速度計，但是在其他實施例中，裝置 107、109 及 110 可為其他類型之 MEMS 裝置 (諸如其他類型之加速度計、感測器、馬達或開關)。此外，在其他實施例中，裝置 107、109 及 110 可為其他類型之半導體裝置 (諸如積體電路、獨立裝置或感測器)。在一實施例中，裝置 107、109 及 110 係藉由在基板 103 上形成及處理不同層而形成。

晶圓 102 包含用於外部地耦合裝置 107、109 及 110 至外部裝置 (例如，位於積體電路晶粒上) 以傳送信號至該等外部裝置之襯墊 (113 及 115)。襯墊 113 及 115 係由一導電材料 (例如銅、鋁、金) 製成，其在一實施例中係可配線接合。襯墊 113 及 115 係分別定位在多晶矽結構 114 及 116 上且與之電接觸。在一實施例中，基板 103 包含用於電耦合該等半導體裝置 (107、109 及 110) 之導電結構與襯墊支撐結構 (114 及 116) 之多重導電結構 (未展示)。舉例而言，裝置 107 係電耦合至結構 114 且裝置 109 係電耦合至結構 116。

在一實施例中，基板 103 包含一半導體材料，例如矽，其中導電結構及介電結構係定位在該半導體材料中之層中。在一些實施例中，選擇性地摻雜該半導體材料之部分

以具備導電性。但是，在其他實施例中，晶圓102可具有其他組態。

裝置晶圓102包含刻線導電結構108及112，該等刻線導電結構108及112包含定位在刻線區141及143中之部分。一刻線區係定位在一晶圓之裝置區之間將在單切期間分離且包含一分離路徑之該晶圓之一區。結構108及112係由一導電材料(諸如多晶矽或一金屬)製成。各刻線結構(108及112)係藉由定位在基板103中之電傳導結構(未展示)而電耦合至(裝置107、109及110)之兩個裝置。舉例而言，導電結構112係電耦合至裝置109及裝置110。

晶圓102亦包含定位在該等裝置與用於接合該單體晶圓以提供裝置107及109之一密封之襯墊區之間之導電結構124及126。

在一實施例中，單體晶圓105係由一半導體材料(例如矽)製成且包含用於形成裝置晶圓102之結構之腔之開口131、133、135及137(例如藉由蝕刻而形成)。在一實施例中，在將晶圓105附接至晶圓102後，晶圓105之頂側係經研磨及拋光以減小晶圓105之厚度。在一實施例中，晶圓105係研磨至100微米至400微米之範圍中之一減小厚度。但是，在其他實施例中，單體可經研磨至其他厚度或根本未經研磨。在一些實施例中，單體晶圓105可包含諸裝置(諸如MEMS裝置或形成於其上之其他半導體裝置)。在一實施例中，晶圓105不包含開口131、133、135及137。

圖2係在晶圓105中製作開口(201及203)以曝露晶圓102

之刻線區中之導電結構(108及112)後所得晶圓101之一部分截面側視圖。在一實施例中，製作開口至一深度以確保晶圓105及接合材料121係從結構108及112上方之位置移除以曝露導電結構。此一切割可包含移除結構108及112之一頂部部分。在一實施例中，開口係使用一鋸子而形成。在所展示之實施例中，開口201及203具有80微米之寬度205及207，但在其他實施例中可具有其他寬度。

在其他實施例中，接合材料121不會形成在開口201及203之區中。在此等區中，在單體晶圓105與刻線導電結構(108及112)之間可能會存在一空隙。但是，在此等區中形成接合材料可提供開口之一等高側壁，因為接合材料係定位於刻線導電結構(108及112)與單體晶圓105之間。一等高側壁使得隨後更好地在側壁上形成一導電層。

在其他實施例中，開口201及203可藉由其他方法(諸如藉由雙鋸切割、藉由雷射或藉由蝕刻)而形成。

圖3係在於晶圓101上方形成一導電層301後所得晶圓101之一部分截面側視圖。在一實施例中，層301係由金屬(例如銅、鋁或金)製成。在一實施例中，層具有2微米之一厚度，但在其他實施例中可具有其他厚度。層301係形成為在開口201及203之側壁上具有良好的階梯覆蓋以提供用於良好電傳導性之一路徑。在一實施例中，層301係藉由一金屬沈積製程(諸如一化學氣相沈積製程、一物理氣相沈積製程、一電鍍製程或其他金屬形成製程)而形成。在一實施例中，層301可包含不同材料之多重層。

圖4係在於襯墊(113及115)上方形成開口(401)以曝露襯墊用於隨後之測試後所得晶圓101之一部分截面側視圖。在一實施例中，開口401係使用雙鋸切割製作，但在其他實施例中可藉由其他方法製作(例如，諸如蝕刻)。在形成開口之後，晶圓101經歷清潔程序(諸如灰化)以移除不想要的有機材料。隨後，使用接觸該等所曝露的襯墊(113及115)之測試探針以測試該等裝置(107、109及110)之可操作性。

圖5係將所得晶圓101單切為個別晶粒(529、521、523及527)後之一部分截面側視圖。在一實施例中，藉由在刻線區(141及143)中及在襯墊(例如114及116)之間切割晶圓101而達成單切。在一實施例中，用一鋸子、雷射或其他晶圓切割工具切割晶圓。在其他實施例中，可藉由在刻線區中蝕刻晶圓101而執行單切。各晶粒(529、521、523及527)包含定位在一腔(由開口131、135及137所形成)中之一半導體裝置(107、109及110)。在一實施例中，當晶圓102接合至晶圓105時，此等腔係隔絕密封的。

在所展示之實施例中，鋸切路徑(501、503及515)具有大約40微米至50微米寬之寬度(507、509及511)，但在其他實施例中可具有其他寬度。此等鋸切路徑之寬度(507、509及511)小於之前形成之開口(201及203)之寬度(205及207)。因此，層301之部分保留在開口201及203之側上以提供用於電耦合各晶粒之晶圓105之部分與其對應之單切後保留之電傳導刻線結構(108、112)之一電傳導路徑。

在所展示之實施例中，刻線導電結構(112、108)之保留部分連同導電結構(諸如結構124及126)形成一密封環以密封各晶粒之腔。

圖6係單切後晶粒523之一俯視圖。在所展示之實施例中，層301覆蓋晶粒523之頂部之所有，由曝露襯墊115、605及607之開口401所形成之部分除外。在所展示之實施例中，層301覆蓋由刻線區上方之開口(例如201及203)所形成之三個側壁(541、603及601)。因此，對於所展示之實施例，存在相對大量的將兩個晶圓部分耦合在一起之導電材料。在其他實施例中，層301之形狀及覆蓋可能不同。舉例而言，其可僅覆蓋單體晶圓結構之側壁之部分或覆蓋單體晶圓結構之所有四個側。此外，層301之頂側中可能存在用於其他外部導體之一開口。

隨後，所得晶粒可獨自或與其他積體電路晶粒一起進一步封裝(例如在囊封體中)。層301可電耦合至封裝之一接地終端。隨後所得封裝可用於各種電子系統中。

與其他習知技術相比，在兩個接合晶圓之間提供一電連接(包含在一刻線區中形成一開口及隨後形成電鍍該開口之一導電層)可提供兩個晶圓之間更高效且可靠之電耦合。由於兩個晶圓之電耦合係用一電傳導層進行，故可針對其接合性質選擇晶圓接合材料121且不考慮其電傳導性質。

此外，使用此等實施例，兩個晶圓之間之接地耦合無需配線接合。此亦可減小一隨後封裝之總高度，因為單體晶

圓接地配線接合通常係製作至該單體晶圓之頂部表面。

此外，在相對較大之開口之側壁上形成一導電層在技術上比穿透一單體晶圓中之相對較小開口形成導電通孔簡單。此外，由於層301可經組態以覆蓋圍繞一晶粒之刻線區之一大部分(例如圖6中所示之3個側)，故並非如同利用配線接合或通孔形成般需要內部裝置區。此外，需要多重配線接合及導電通孔以取得與定位在單體晶圓結構之側壁上用於電耦合晶圓之導電材料量相同之導電材料量。

在其他實施例中，可從裝置晶圓102之底部製作初始刻線開口(201及203)以曝露單體晶圓105之導電表面。隨後導電層301可形成在裝置晶圓102之底側上且可在開口中延伸以接觸單體晶圓105之所曝露導電表面。使用此等實施例，裝置晶圓102之底部可磨薄以減小晶圓接合後之厚度。

本發明之一實施例包含一種用於電耦合一第一晶圓與一第二晶圓之方法。該方法包含接合該第一晶圓與該第二晶圓；在該第二晶圓之一刻線區中，於該第一晶圓中形成一開口以曝露該第二晶圓之一導電結構之一表面及形成上覆該第一晶圓及該第一晶圓中之該開口之一導電層，使得該導電層形成與該第二晶圓之該導電結構之一電接觸，藉此電耦合該第一晶圓與該第二晶圓。

另一實施例包含一種用於電耦合一單體晶圓與一裝置晶圓之方法。該方法包含使用一接合材料接合該單體晶圓與該裝置晶圓。該裝置晶圓包含一基板。該方法包含在該裝

置晶圓之一刻線區中，於該罩體晶圓及該接合材料中形成一開口以曝露該裝置晶圓之一導電結構之一表面。該穿透該罩體晶圓及該接合材料形成該開口包含在該裝置晶圓之該刻線區中鋸穿該罩體晶圓及該接合材料。該方法包含形成上覆該罩體晶圓及該罩體晶圓中之該開口之一導電層，使得該導電層形成與該裝置晶圓之該導電結構之一電接觸，藉此電耦合該罩體晶圓與該裝置晶圓。

另一實施例包含一種用於電耦合一第一晶圓與一第二晶圓之方法。該方法包含使用一接合材料接合該第一晶圓與該第二晶圓；在該第二晶圓之一刻線區中，於該第一晶圓及該接合材料中形成一開口以曝露該第二晶圓之一導電結構之一表面；及形成上覆該第一晶圓及該第一晶圓中之該開口之一導電層，使得該導電層形成與該第二晶圓之該導電結構之一電接觸，藉此電耦合該第一晶圓與該第二晶圓。該方法包含將經接合之晶圓分離為複數個晶粒。分離包含移除該第二晶圓之一分離路徑之材料，該分離路徑具有一第一寬度。該開口具有一第二寬度且選擇該第一寬度及該第二寬度，使得該導電層之至少一部分保留在一經分離晶粒之至少一側壁上且藉此提供該第一晶圓與該第二晶圓之間之電耦合。

雖然已繪示及描述本發明之特定實施例，但是熟悉此項技術者應認知基於其中的教示，可在不脫離本發明及其更廣泛態樣的情況下進行進一步變更及修改，且因此隨附申請專利範圍之範疇內將包含所有本發明之真實精神及範圍

內之此等變更及修改。

【圖式簡單說明】

圖1至圖6闡明製造根據本發明之實施例之具有一單體晶圓結構之一半導體裝置之各種階段之視圖。

【主要元件符號說明】

101	所得晶圓
102	裝置晶圓
103	基板
105	單體晶圓
107	半導體裝置
108	刻線導電結構
109	半導體裝置
110	半導體裝置
112	刻線導電結構
113	襯墊
114	襯墊支撐結構
115	襯墊
116	襯墊支撐結構
121	接合材料
124	導電結構
126	導電結構
131	開口
133	開口
135	開口

137	開口
141	刻線區
143	刻線區
201	開口
203	開口
205	寬度
207	寬度
301	導電層
401	開口
501	鋸切路徑
503	鋸切路徑
507	寬度
509	寬度
511	寬度
521	晶粒
523	晶粒
527	晶粒
529	晶粒
541	側壁
601	側壁
603	側壁
605	襯墊
607	襯墊

七、申請專利範圍：

1. 一種用於電耦合一第一晶圓與一第二晶圓之方法，該方法包括：

接合該第一晶圓與該第二晶圓；

在該第二晶圓之一刻線區中，於該第一晶圓中形成一開口以曝露該第二晶圓之一導電結構之一表面；及

形成上覆該第一晶圓及該第一晶圓中之該開口之一導電層，使得該導電層形成與該第二晶圓之該導電結構之一電接觸，藉此電耦合該第一晶圓與該第二晶圓。

2. 如請求項1之方法，其中該第二晶圓包括複數個襯墊，且該方法進一步包括在於該第一晶圓中形成該開口後在該第一晶圓中形成一第二開口以曝露該複數個襯墊。
3. 如請求項1之方法，其中穿透該第一晶圓形成該開口包括：在該第二晶圓之該刻線區中鋸穿該第一晶圓。
4. 如請求項1之方法，其中接合該第一晶圓與該第二晶圓包含：使用一接合材料接合該第一晶圓與該第二晶圓，其中形成該開口包含在該接合材料中形成一開口。
5. 如請求項1之方法，其中該第二晶圓包括至少一微電子機械系統(MEMS)裝置。
6. 如請求項1之方法，其進一步包括鋸穿該第二晶圓以將該等經接合之第一晶圓及第二晶圓分離為複數個晶粒，其中該鋸切包含在該刻線區中鋸穿一鋸切路徑。
7. 如請求項1之方法，其進一步包括將該等經接合之第一晶圓及第二晶圓分離為複數個晶粒，其中該分離包含移

除該第二晶圓之一分離路徑之材料，該分離路徑具有一第一寬度，其中該開口具有一第二寬度，且其中選擇該第一寬度及該第二寬度，使得該導電層之至少一部分保留在一經分離晶粒之至少一側壁上且藉此提供該第一晶圓與該第二晶圓之間之電耦合。

8. 如請求項7之方法，其中該第二寬度大於該第一寬度。
9. 一種用於電耦合一單體晶圓與一裝置晶圓之方法，該方法包括：

使用一接合材料接合該單體晶圓與該裝置晶圓，其中該裝置晶圓包括一基板；

在該裝置晶圓之一刻線區中，於該單體晶圓及該接合材料中形成一開口以曝露該裝置晶圓之一導電結構之一表面，其中穿透該單體晶圓及該接合材料形成該開口包括在該裝置晶圓之該刻線區中鋸穿該單體晶圓及該接合材料；及

形成上覆該單體晶圓及該單體晶圓中之該開口之一導電層，使得該導電層形成與該裝置晶圓之該導電結構之一電接觸，藉此電耦合該單體晶圓與該裝置晶圓。

10. 如請求項9之方法，其中該裝置晶圓包括複數個襯墊且該方法進一步包括在該單體晶圓中形成該開口後在該單體晶圓中形成一第二開口以曝露該複數個襯墊。
11. 如請求項9之方法，其中該裝置晶圓包括至少一微電子機械系統(MEMS)裝置。
12. 如請求項9之方法，其進一步包括鋸穿該裝置晶圓以將

經接合之晶圓分離為複數個晶粒，其中該複數個晶粒中之各者包括至少一微電子機械系統(MEMS)裝置。

13. 如請求項9之方法，其進一步包括將該等經接合之晶圓分離為複數個晶粒，其中該分離包含在該刻線區中移除該裝置晶圓之一分離路徑之材料，該分離路徑具有一第一寬度，其中該開口具有一第二寬度，且其中選擇該第一寬度及該第二寬度，使得該導電層之至少一部分保留在一經分離晶粒之至少一側壁上且藉此繼續提供該單體晶圓與該裝置晶圓之間之電耦合。
14. 如請求項9之方法，其中該接合材料係非導電的。
15. 如請求項14之方法，其中該非導電接合材料係玻璃粉。
16. 一種用於電耦合一第一晶圓與一第二晶圓之方法，該方法包括：

使用一接合材料接合該第一晶圓與該第二晶圓以形成經接合之晶圓；

在該第二晶圓之一刻線區中，於該第一晶圓及該接合材料中形成一開口以曝露該第二晶圓之一導電結構之一表面；

形成上覆該第一晶圓及該第一晶圓中之該開口之一導電層，使得該導電層形成與該第二晶圓之該導電結構之一電接觸，藉此電耦合該第一晶圓與該第二晶圓；及

將該等經接合之晶圓分離為複數個晶粒，其中該分離包含移除該第二晶圓之一分離路徑之材料，該分離路徑具有一第一寬度，其中該開口具有一第二寬度，且其中

選擇該第一寬度及該第二寬度，使得該導電層之至少一部分保留在一經分離晶粒之至少一側壁上且藉此提供該第一晶圓與該第二晶圓之間之一電耦合。

17. 如請求項16之方法，其中該第二晶圓包括複數個襯墊，且該方法進一步包括在於該第一晶圓中形成該開口後在該第一晶圓中形成一第二開口以曝露該複數個襯墊。
18. 如請求項16之方法，其中該複數個晶粒之各者包含由該第一晶圓之一結構之一表面及該第二晶圓之一結構之一表面所界定之一腔。
19. 如請求項18之方法，其中該第二晶圓包括複數個微電子機械系統(MEMS)裝置。
20. 如請求項16之方法，其中該接合材料係一非導電玻璃粉。

八、圖式：

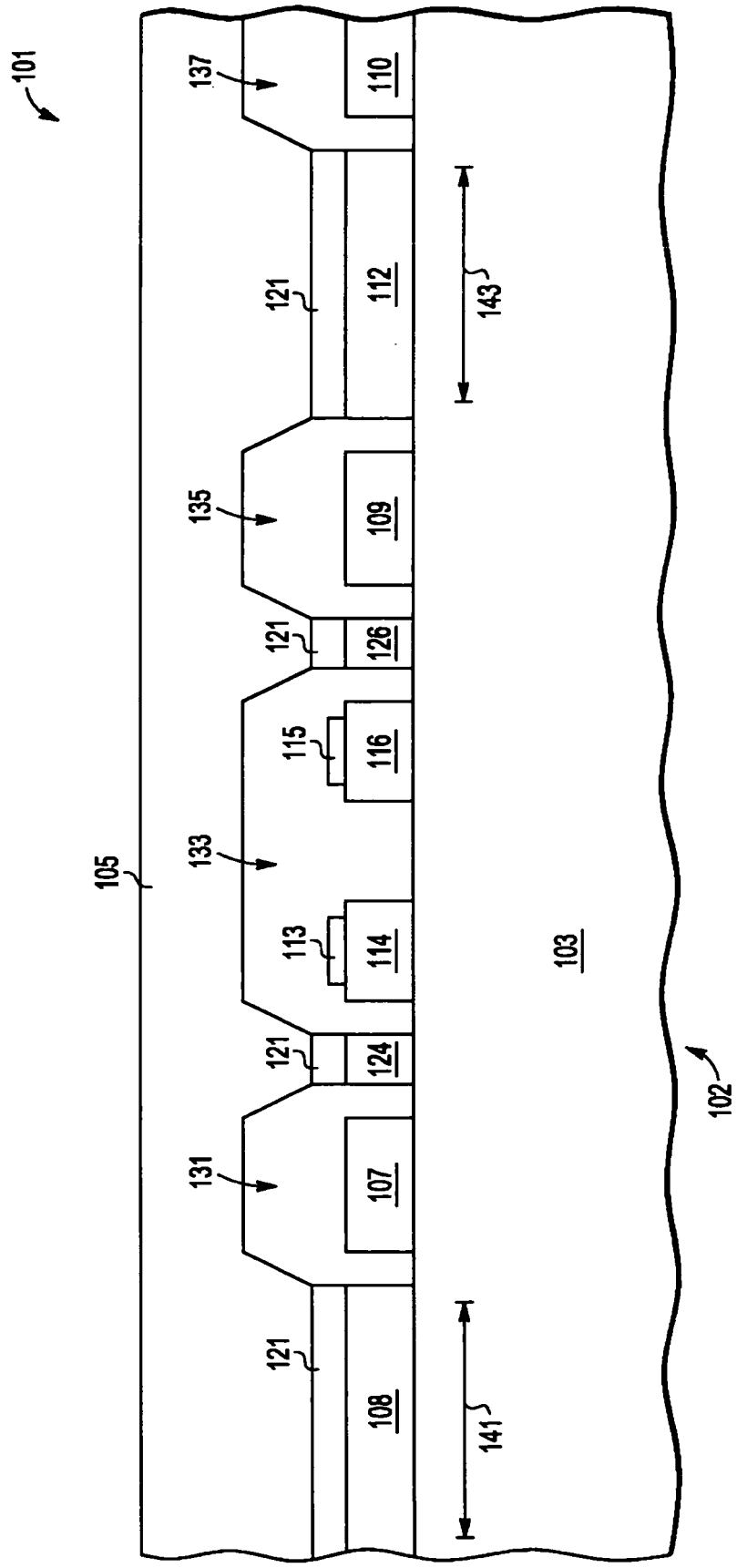


圖 1

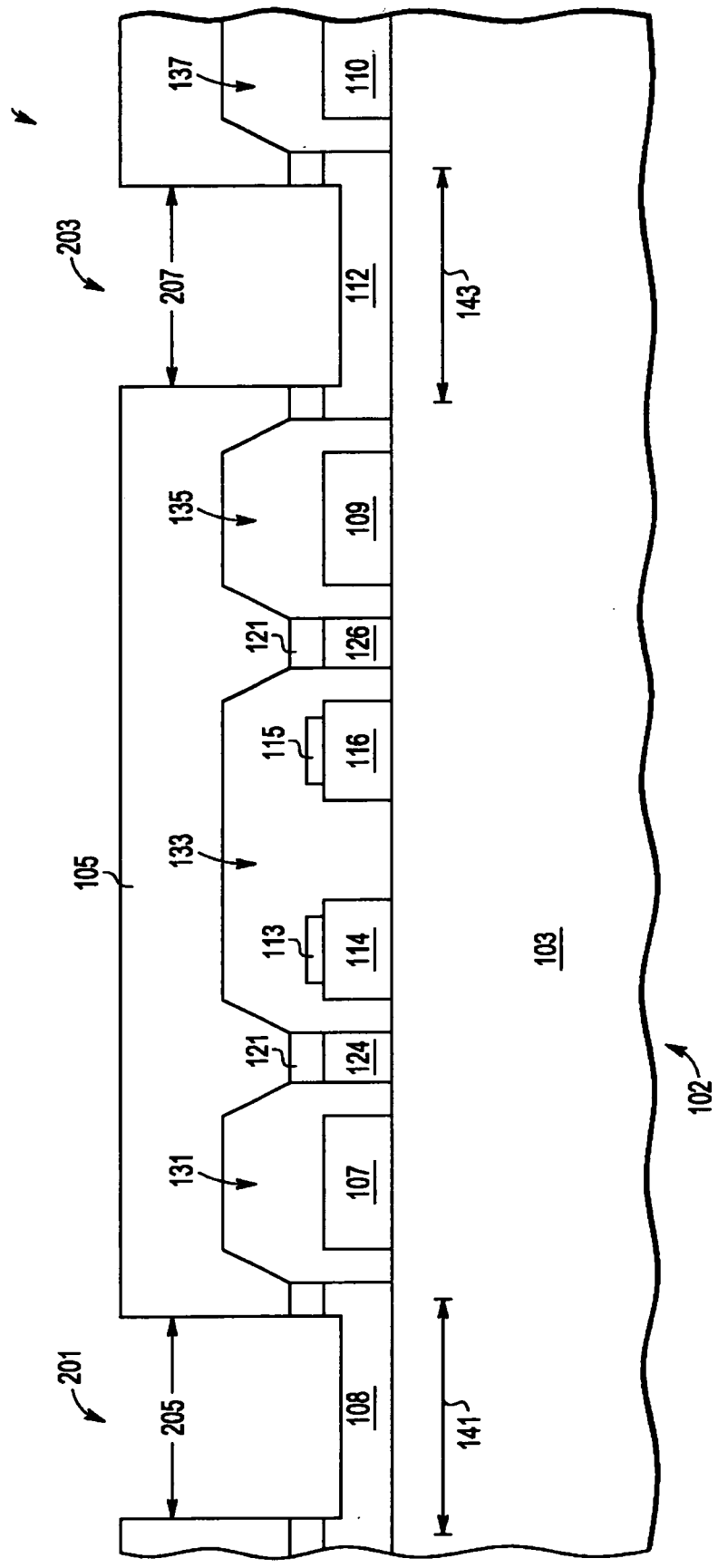
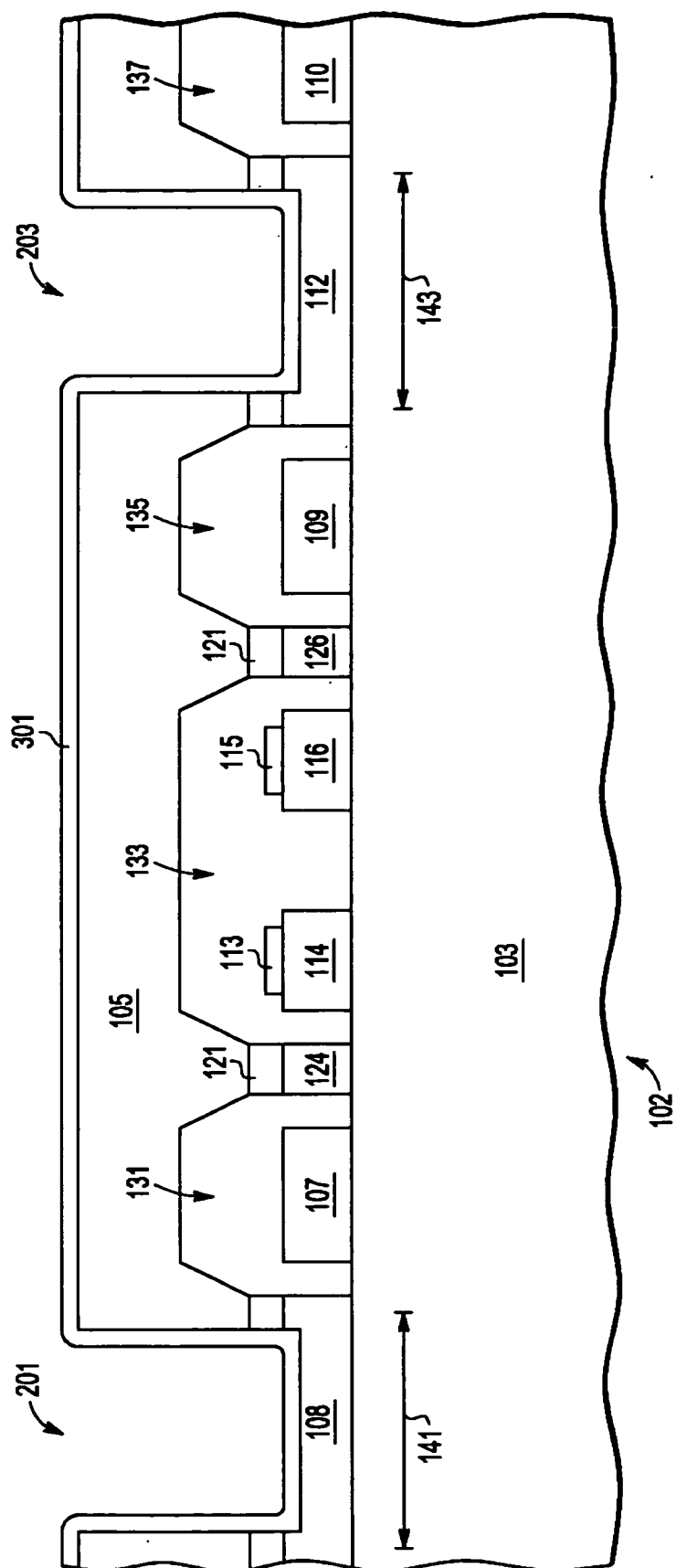
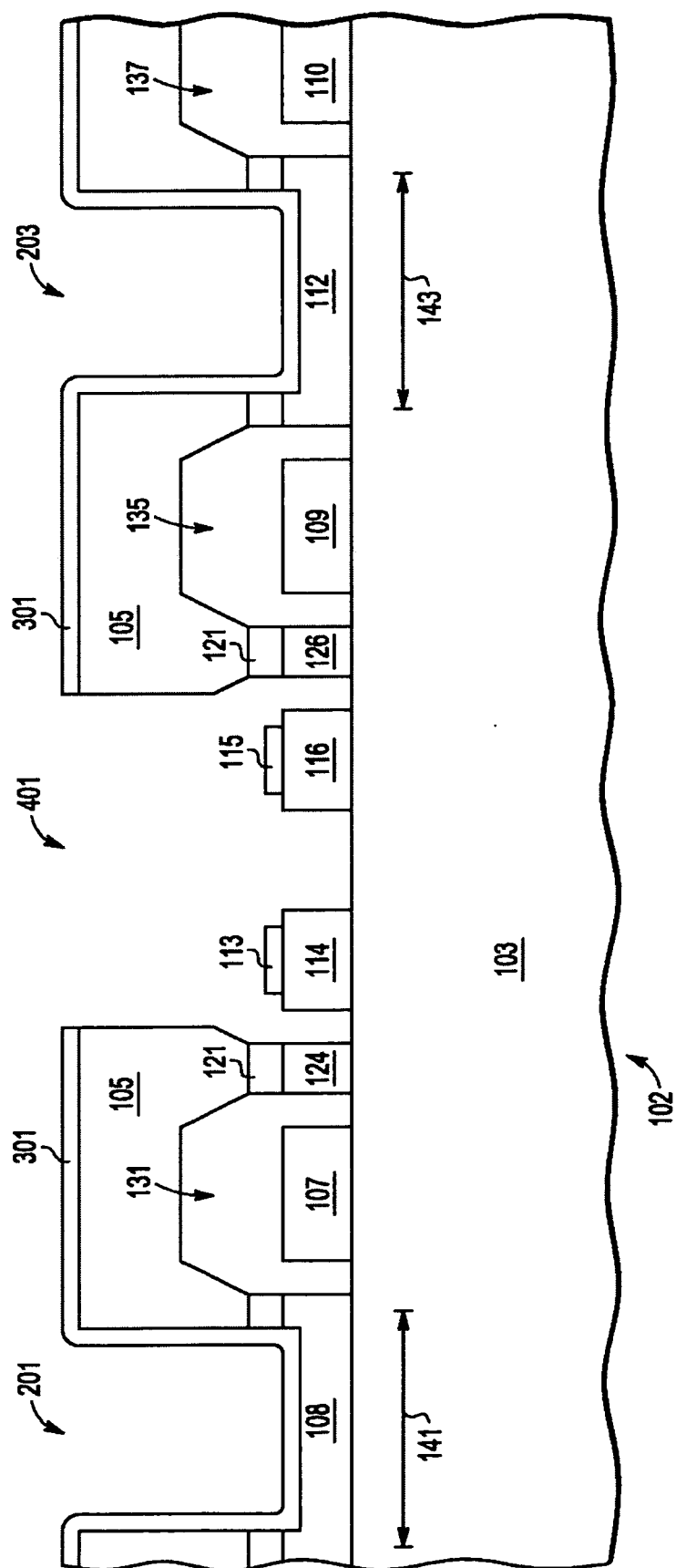


圖 2



3



4

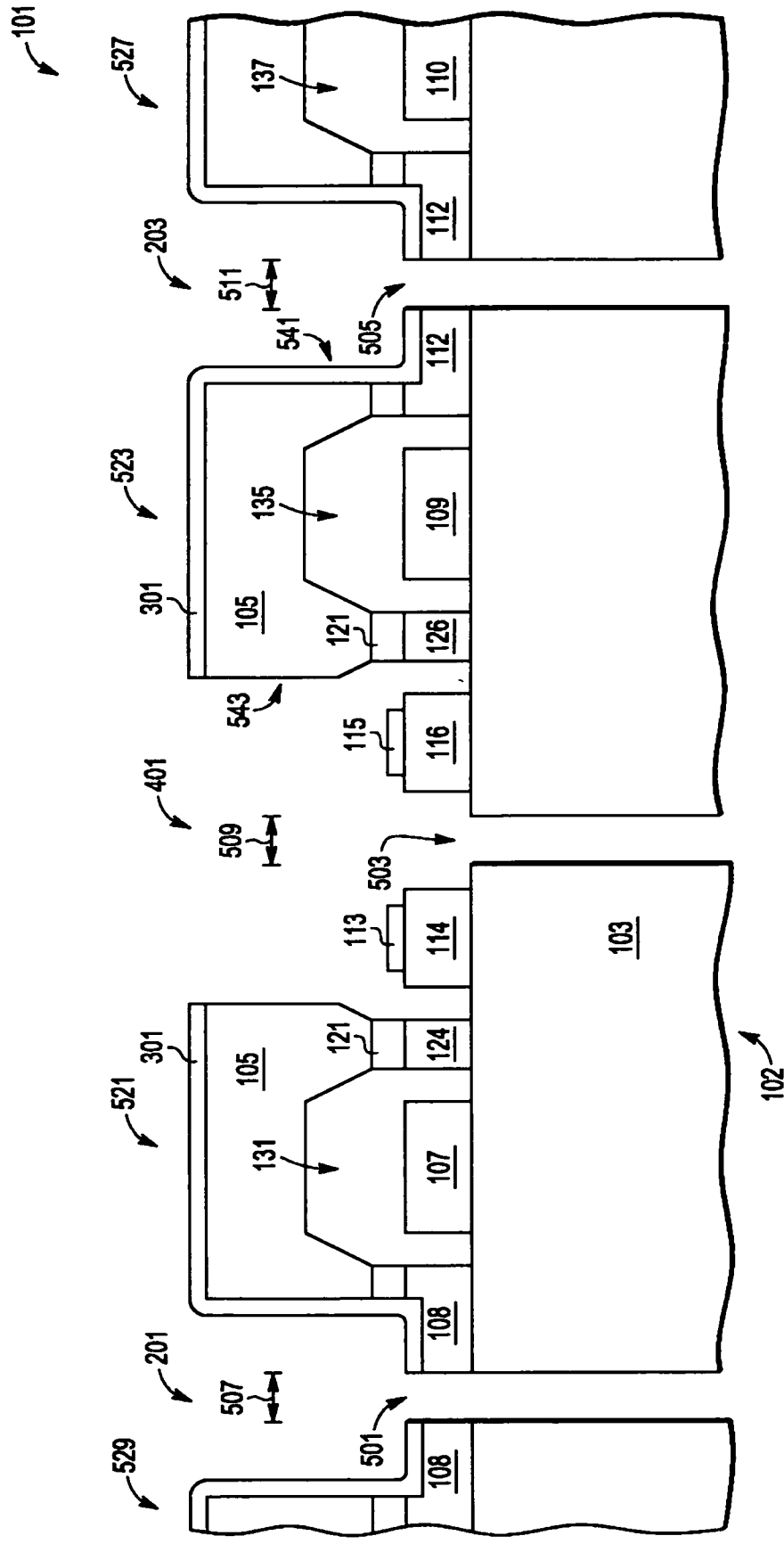


圖 5

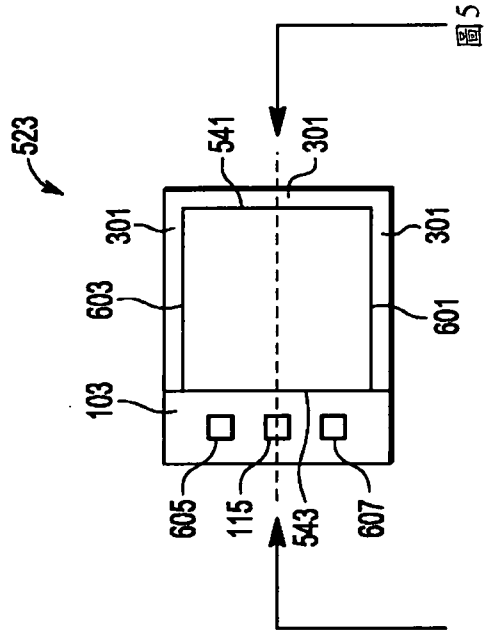


圖 6