

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3543555号  
(P3543555)

(45) 発行日 平成16年7月14日(2004.7.14)

(24) 登録日 平成16年4月16日(2004.4.16)

(51) Int. Cl.<sup>7</sup>

G06F 3/00

F I

G06F 3/00

T

請求項の数 8 (全 10 頁)

(21) 出願番号	特願平9-214396	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成9年8月8日(1997.8.8)	(74) 代理人	100075096 弁理士 作田 康夫
(65) 公開番号	特開平11-53077	(72) 発明者	石橋 賢一 神奈川県川崎市幸区鹿島田890番地 株式会社日立製作所 情報システム事業部内
(43) 公開日	平成11年2月26日(1999.2.26)	(72) 発明者	林 剛久 神奈川県川崎市幸区鹿島田890番地 株式会社日立製作所 情報システム事業部内
審査請求日	平成13年2月26日(2001.2.26)	(72) 発明者	後藤 努 神奈川県川崎市幸区鹿島田890番地 株式会社日立製作所 情報システム事業部内

最終頁に続く

(54) 【発明の名称】 信号伝送装置

(57) 【特許請求の範囲】

【請求項1】

複数の論理基板と、  
前記論理基板間の信号伝送を行なう複数の中継基板と、  
前記論理基板と前記中継基板を面上に搭載するバックプレーンであって、前記論理基板を前記中継基板に対し縦向きの姿勢で横方向に配列して搭載し、前記中継基板を横向きの姿勢で縦方向に配列して搭載するバックプレーンと、  
前記論理基板と前記中継基板を接続する複数の信号線を有し、  
前記中継基板は各々、第一の領域に横方向に前記論理基板の枚数分分割され、  
前記論理基板は各々、第二の領域に縦方向に前記中継基板の枚数分分割され、  
前記信号線は、第一の領域の各々と第二の領域の各々を前記論理基板の配列順と前記中継基板の配列順に一对一で接続することを特徴とする信号伝送装置。

【請求項2】

請求項1記載の信号伝送装置において、  
前記信号線のそれぞれは、前記論理基板、前記中継基板、前記バックプレーンの少なくとも一つにおいて、略等長さとなることを特徴とする信号伝送装置。

【請求項3】

請求項1記載の信号伝送装置において、  
前記中継基板はそれぞれスイッチを構成する半導体集積回路装置を有することを特徴とする信号伝送装置。

10

20

## 【請求項4】

請求項1乃至3のいずれか一つに記載される信号伝送装置において、  
前記バックプレーンは前記論理基板を片面上に搭載することを特徴とする信号伝送装置。

## 【請求項5】

複数の論理基板と、  
前記論理基板間の信号伝送を行なう少なくとも一つの中継基板と、  
前記論理基板と前記中継基板を搭載するバックプレーンであって、  
前記中継基板を接続する複数の第1のコネクタと、  
前記第1のコネクタに対して縦向きの姿勢で横方向に配列された前記論理基板を接続する  
複数の第2のコネクタを有するバックプレーンを有し、  
前記バックプレーンは複数の前記第1のコネクタを前記第2のコネクタに対して縦方向に  
配列して搭載し、  
前記第1のコネクタは、前記第2のコネクタの数の第1の領域に横方向に分割され、  
前記第2のコネクタのそれぞれは、前記第1のコネクタに対応する第2の領域に前記第1  
のコネクタの数分縦方向に分割され、  
第1の領域のそれぞれは、前記第1の領域に対応する第2の領域であって第1のコネクタ  
に最近の第2の領域と、第2のコネクタから最遠の第1の領域から順に1対1に接続され  
ることを特徴とする信号伝送装置。

10

## 【請求項6】

請求項5記載の信号伝送装置において、  
さらに前記論理基板と前記中継基板を接続する複数の伝送線を有し、  
前記信号線のそれぞれは、前記論理基板、前記中継基板、前記バックプレーンの少なくと  
も一つにおいて、略等長さとなることを特徴とする信号伝送装置。

20

## 【請求項7】

請求項5または6に記載の信号伝送装置において、  
前記中継基板はそれぞれスイッチを構成する半導体集積回路装置を有することを特徴とす  
る信号伝送装置。

## 【請求項8】

請求項5乃至7のいずれか一つに記載される信号伝送装置において、  
前記バックプレーンは前記第1のコネクタと前記第2のコネクタを片面上に搭載すること  
を特徴とする信号伝送装置。

30

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、複数の論理基板間を中継基板を介して高速に信号伝送する装置に適用して好適  
な論理基板の相互接続装置に関する。

## 【0002】

## 【従来の技術】

複数の論理基板間をバックプレーンや中継基板を介して信号伝送する装置が計算機や交換  
機で採用されている。例えば、プロセッサ、メモリ、IO(アイオー、入出力装置)等の複  
数の論理基板をバックプレーンに接続し、バックプレーン上に設けたバス配線により論理  
基板間の信号伝送を行うワークステーション等の計算機の例が、コンプコン(CONPCON)  
93のダイジェスト・オブ・テクニカル・ペーパーズ(Digest of Technical Papers, 1  
993年2月発行)の330~337ページに開示されている。バス接続方式では、1枚  
の論理基板が入出力する信号本数は数バイト~十数バイト(例えば8バイト)である。ま  
た、転送周波数は、バス配線に複数の論理基板を接続するため、高負荷であることや各論  
理基板からの反射により波形が乱れること等から高速化が難しく、30~80MHz程度に留ま  
る。

40

## 【0003】

プロセッサの動作周波数向上とマルチプロセッサ化に伴い、バス接続方式ではデータ転送

50

のスループットが不足する。この解決のためには、スイッチ接続方式の採用が必要になる。例えば、中継基板を設け、中継基板上のLSI（半導体集積回路装置）にスイッチを構成し、スイッチを介して論理基板間の信号伝送を行う。スイッチ接続方式では、論理基板上の論理LSIと中継基板上のスイッチLSI間を1対1で接続することが可能なため、転送周波数を高速化でき、100MHz以上が可能となる。複数の論理基板間を中継基板を介して信号伝送する装置が特開平5-314068号に開示されている。上記公知例を図7に示す。図中5a、5bは論理基板、7bは論理基板5bに実装する論理LSIであり、論理基板5aにも同様なLSIを実装する。76bは論理基板5bと中継基板72g~72jを接続するコネクタである。74gは中継基板72gに実装するスイッチ等を構成する中継LSIであり、中継基板72h~72jにも同じLSIを実装する。従来例では、バックプレーンを介さずに論理基板5を中継基板72に直接接続し、論理基板5と中継基板72がクロスする箇所のコネクタ76のピンを介し信号伝送を行うため、論理基板5が1枚の中継基板72に接続するピン数が少ない（特開平5-314068号の実施例では3ピン、内信号ピンは2ピン）。従って、論理基板当たり8バイト（64ビット）のデータを転送するためには、30枚以上の中継基板が必要となり、実装や組立が困難、コスト高といった第一の問題が生じる。

10

#### 【0004】

スイッチ接続方式を採用しスループットを向上させる際に前記問題点以外にも以下の問題がある。転送周波数の向上に伴い、1サイクルではデータ転送できなくなり、複数サイクルでデータ転送する方式を採用することになる。この際に論理基板と中継基板間のデータの伝搬遅延時間を等しくすることが必要になり、少なくとも、論理基板と中継基板間の配線長を等しくする必要が生じる。しかし、スイッチ接続方式では、配線本数が多い（論理基板枚数×論理基板当たりの入出力信号本数）ことから、すべての配線の配線長を等しくするためには膨大な設計工数を要するといった第二の問題が生じる。特開昭62-204359号に上記転送方式において配線長を等長とすることが示されているが、配線方法に関しては開示されていない。

20

#### 【0005】

##### 【発明が解決しようとする課題】

本発明が解決しようとする課題は、従来技術の前記第一および第二の問題点を解決し、低コスト、高信頼性、かつ高速な信号伝送が可能な論理基板の相互接続装置を提供することにある。

30

#### 【0006】

##### 【課題を解決するための手段】

前記第一の問題点は、論理基板と中継基板をバックプレーンに接続し、論理基板と中継基板がクロスする箇所以外のコネクタのピンを介し信号伝送を行うことにより、中継基板がバックプレーンに接続する信号本数を増加し中継基板枚数を削減することにより効果的に解決できる。第二の問題点は、さらに、すべての論理基板を中継基板に対して垂直方向にかつ所定の間隔でバックプレーンに接続する。中継基板とバックプレーンとを接続するコネクタを論理基板数の領域に分割し、論理基板の順番に分割した領域を割り当て、論理基板とバックプレーンとを接続するコネクタを中継基板数の領域に分割し、中継基板の順番に分割した領域を割り当て、互いに対応する中継基板のコネクタの領域と論理基板のコネクタの領域間をバックプレーン上の配線により接続することにより、論理基板と中継基板間を接続するすべての配線が容易に等長となることから効果的に解決できる。

40

#### 【0007】

##### 【発明の実施の形態】

図1は、本発明の第一の実施例を示す図であり、バックプレーンの等長配線に対する設計工数が最も少なくなる。図1において、1はバックプレーン、2g~2iは中継基板である。4gは中継基板2gに実装する中継LSIであり、図では1個のLSIとして示したが、複数個で構成してもよい。中継基板2h、2iにも4gと同じ中継LSIを実装する。中継LSI4gは従来例と同様にバス、リング、スイッチ接続を行うためのトランジスタ等で構成する。3g~3iは中継基板2g~2iとバックプレーン1を接続するコネクタであり、図2のバックプレーン1のコネク

50

タ23g~23iに図5の中継基板2のコネクタ53が接続する。5a, 5b, 5e, 5fはプロセッサ, メモリ, I/O(アイオー, 入出力装置)等の論理基板, 7bは論理基板5bに実装する論理LSIであり, 論理基板5a, 5e, 5fにも同様な論理LSIを実装する。論理LSI7bも中継LSI4gと同様に複数個で構成してもよい。6bは論理基板5bとバックプレーン1を接続するコネクタであり, 論理基板5aも同様にコネクタでバックプレーン1に接続する。論理基板5e, 5fはバックプレーンの反対側にコネクタ6e, 6fにより接続する。コネクタ6cには論理基板が接続されていないが, ここにも論理基板を接続可能である。コネクタ6b, 6c, 6e, 6fは, 図2のバックプレーン1のコネクタ26a~26fに図4の論理基板5のコネクタ46が接続する。本実施例では, 中継基板2g~2iを水平方向にバックプレーン1に接続し, バックプレーン1の両側から論理基板5a, 5b, 5e, 5fを垂直方向に接続し, すべての論理基板5a, 5b, 5e, 5fを中継基板2g~2iに対して等距離に配置する。ここで, 論理基板5a, 5b, 5e, 5fはバックプレーン1の両面に接続するが, バックプレーン1の片面だけに接続してもよい。また, 中継基板を設けずに, 中継LSIを直接バックプレーンに半田付けする構造も考えられるが, 論理基板を抜き挿しする際にバックプレーンがたわみ, 半田が損傷する可能性があるため, 信頼性が低下する。本実施例の場合, 中継基板をバックプレーンにコネクタ接続するため, 上記のような問題はない。さらに, 半田を使わない圧入型のコネクタを使用すれば, バックプレーンは半田が不要となるので, 信頼性の向上が可能である。

#### 【0008】

図2はバックプレーン1の詳細を示す図である。図2において, 1はバックプレーン, 23g~23iは中継基板を接続するコネクタ, 26a~26fは論理基板を接続するコネクタであり, 28はコネクタ23g~23iとコネクタ26a間を接続する配線である。コネクタ26a~26fは中継基板の枚数と同じ3つの領域26g~26iに, コネクタ23g~23iは論理基板の枚数と同じ6つの領域23a~23fに分割する。領域26g~26iのコネクタピンは, それぞれコネクタ23g~23iのコネクタピンへの信号を割り当てる。領域23a~23fのコネクタピンは, それぞれコネクタ26a~26fのコネクタピンへの信号を割り当てる。領域間の接続は, コネクタ26aとコネクタ23g~23i間の接続を例とすると, コネクタ26aの領域26gとコネクタ23gの領域23aを, コネクタ26aの領域26hとコネクタ23hの領域23aを, コネクタ26aの領域26iとコネクタ23iの領域23aを, それぞれほぼ長さが等しい配線28で接続する。1枚の論理基板に入出力する信号本数を8バイト(64ビット)とすると, 各領域間の配線28の本数はそれぞれ21~22本である。コネクタ26aの領域26gとコネクタ23gの領域23a間の配線を図3を用いさらに詳細に説明する。図3はバックプレーンの配線の例を示す図であり, コネクタ23g~23i, 26aのピンが4列であり, 領域間の配線が6本の例を示す。白丸が信号ピン, 黒丸が電源ピンであり, 電源ピンはバックプレーンの電源層に直接接続する。281~286は図2の配線28であり, 色の異なる配線は配線層が異なる。中継基板のコネクタ23g~23iの間隔を4mm, コネクタ23iとコネクタ26aとの間隔を50mm, コネクタのピン間距離を2mm, ピン間を等間隔に2本の配線が引けると仮定すると, 配線長は, 281が76.7mm, 282と284が75.3mm, 283, 285, 286が78.0mmである。従って, 最大と最小の配線長差は2.7mmであり, 配線の伝搬遅延時間を7ns/mとすると, 伝搬遅延時間差は高々20psである。配線を最適化すればさらに伝搬遅延時間の短縮が可能である。コネクタ26aの領域26hとコネクタ23h間, 領域26iとコネクタ23i間の配線についても, 配線するピンの相対位置を領域26gとコネクタ23gのピンと同じとし, 配線281~286とは別な配線層に布線することにより, 配線281~286を垂直方向に移動するだけで等長配線が可能となる。図2のコネクタ26b~26fとコネクタ23g~23i間の配線についても, コネクタ26aとコネクタ23g~23i間の配線と同様であり, 配線するピンの相対位置をコネクタ26aとコネクタ23g~23iと同じにすれば, 配線を水平方向に移動するだけでコネクタ間の等長配線が可能となる。結局, 図3の配線281~286をすべてのコネクタ間の配線に利用でき, 設計工数の削減が可能となる。また, コネクタ26a~26fがそれぞれ領域23a~23f内にある場合, 水平方向の配線長が最小となり, 論理基板から中継基板までの伝搬遅延時間の短縮が可能となる。このときにバックプレーン1の配線は, ほとんどが垂直方向であり, 水平方向の配線はコネクタピンからの引き出し部分のみとなり, 水平方向の配線層数を削減できる。本実施例のように中継基板と論理基板をバックプレーンに

10

20

30

40

50

接続し、コネクタの領域を適当に割り当てることで、ピン間の距離がほぼ等しくなり、すべての論理基板と中継基板間の配線において、容易に等長配線を行うことができる。

【0009】

図4は論理基板の詳細を示す図である。図4において、5は論理基板、46はバックプレーンに接続するコネクタであり、図2のコネクタ26a~26fと同様に3つの領域46g~46iに分割する。コネクタ46は図2のコネクタ26a~26fのいずれかに接続する。48はコネクタ46の領域46g~46iと論理LSI7間を接続する配線であり、等長配線を行う。図4では、配線48はLSI7の一辺と接続する。配線48が接続するLSI7の入出力ピンは、配線48を配線し易いように、領域46g~46iに対応して、3つの領域に分割する。1枚の論理基板に入出力する信号本数を8バイト(64ビット)とすると、図2の配線28と同様に、各領域46g~46iとLSI7間の信号48の本数はそれぞれ21~22本である。

10

【0010】

図5は中継基板の詳細を示す図である。図5において、2は中継基板、53はバックプレーンに接続するコネクタであり、図2のコネクタ23g~23iと同様に6つの領域53a~53fに分割する。コネクタ53は図2のコネクタ23g~23iのいずれかに接続する。58はコネクタ53の領域53a~53fと中継LSI4間を接続する配線であり、等長配線を行う。LSI4の入出力ピンは、配線58を配線し易いように、領域53a~53fに対応して、6つの領域に分割する。1枚の論理基板に入出力する信号本数を8バイト(64ビット)とすると、図2の配線28と同様に、各領域53a~53fとLSI4間の信号58の本数はそれぞれ21~22本である。

【0011】

図6を用い、伝搬遅延時間がほぼ等しい場合と、等しくない場合のデータ転送について、論理基板から中継基板への転送を例として説明する。送信データは、論理基板上の論理LSI1が出力する数バイトのデータであり、データ間の伝搬遅延時間のばらつきはほとんどない。受信データは中継基板上のスイッチLSIへ入力するデータであり、論理基板、バックプレーンまたは中継基板の配線長ばらつき等によりデータ間の伝搬遅延時間差が生じる。スイッチLSIは、図中の1番のデータが全ビット到達してから2番の最初のデータが到達するまでの間にデータを受信する必要がある。伝搬遅延時間が等しくない場合、伝搬遅延時間がほぼ等しい場合に比べ、伝搬遅延時間差によるデータ不確定領域が大きく、スイッチLSIが正しくデータを受信するためには、データの転送周期 $t_{cyc}$ を大きくしなければならない。従って、高速な信号伝送を行うためには、すべてのデータの伝搬遅延時間を等しくすることが必要になる。本実施例のように等長配線を行うことにより、論理基板と中継基板間のデータの伝搬遅延時間がほぼ等しくなるため、高速な信号伝送が可能となる。

20

30

【0012】

中継基板の枚数を削減するためには、図1のようにバックプレーン1に論理基板5a, 5b, 5e, 5fと中継基板2g~2iを接続し、バックプレーン上の配線を介し信号伝送すればよい。さらに、論理基板、中継基板、バックプレーンの等長配線を行うことにより、低コスト、高信頼性、かつ高速な信号伝送が可能となる。本実施例では、後述する第二、第三の実施例と異なり、すべての論理基板を中継基板に対して等距離に配置するため、論理基板、中継基板、バックプレーンそれぞれに等長配線すればよく、また、バックプレーンの配線が規則的なことから、等長配線に要する設計工数が最も少なくなる。

40

【0013】

図8は、本発明の第二の実施例を示す図であり、バックプレーンの配線層数が少ない場合でも等長配線が可能となる。図8において、1はバックプレーン、2g~2iは中継基板、4gは中継基板2gに実装する中継LSIであり、中継基板2h, 2iにも同じLSIを実装する。3g~3iは中継基板2g~2iとバックプレーン1を接続するコネクタ、5a, 5b, 5e, 5fは論理基板、7bは論理基板5bに実装する論理LSIであり、論理基板5a, 5e, 5fにも同様なLSIを実装する。6bは論理基板5bとバックプレーン1を接続するコネクタであり、論理基板5aも同様にコネクタでバックプレーン1に接続する。論理基板5e, 5fはバックプレーン1の裏面にコネクタ6e, 6fにより接続する。コネクタ6c, 6dには論理基板を接続していないが、他のコネクタと同様に接続可能である。図1がすべての論理基板5a, 5b, 5e, 5fを中継基板2g~2iに

50

対して等距離に配置するのに対し、図8は、論理基板5e、5fを中継基板2g~2iの背面に接続し、コネクタ6d~6fとコネクタ3g~3iがクロスする構造をとる。論理基板5e、5fと中継基板2g~2i間の配線は、以下のように行う。1枚の論理基板に入出力する信号本数を8バイト(64ビット)とすると、論理基板5e、5fから中継基板2g~2iに対する信号本数はそれぞれ21~22本となる。コネクタがクロスする場所のピンで直接接続する信号本数を4本とすると、残りの17~18本をクロスする場所以外のコネクタピンとバックプレーン上の配線を用い接続することになる。この際のバックプレーン上の配線は、コネクタがクロスする場所のピンで直接接続する場合のバックプレーン上の配線長がゼロなので、そのまま配線長差となる。中継基板2g~2i、あるいは、論理基板5e、5fの配線を行う際に、コネクタがクロスする場所のピンで直接接続する配線は長く、バックプレーンを介する配線は短くすることによりこの差を吸収し、中継基板と論理基板間の等長配線を行う。論理基板5a、5bと中継基板2g~2i間の配線は、第一の実施例の論理基板と中継基板間の配線と同様に行う。以上のように配線を行うと、論理基板5e、5fと中継基板2g~2i間の配線長、あるいは、論理基板5a、5bと中継基板2g~2i間のそれぞれの配線長は揃うが、両者の配線長に差が生じる。すべての論理基板と中継基板間の伝搬遅延時間を揃えるためには、さらに論理基板間で生じる配線長差を中継基板2g~2i、あるいは、論理基板5a、5b、5e、5fの配線により吸収する。ここで、図8では、バックプレーン1に対し、論理基板5a、5bを中継基板2g~2iと同じ側に接続したが、論理基板5e、5fと同様に反対側に接続してもよい。本実施例では、論理基板と中継基板間の配線の一部をコネクタを介して直接接続するため、バックプレーン上の配線本数を削減することができ、バックプレーンの配線層数が少ない場合でも論理基板と中継基板間の等長配線が可能となる。

10

20

#### 【0014】

図9は、本発明の第三の実施例を示す図であり、論理基板と中継基板間の信号本数が多く、中継基板枚数が多い場合に有効である。図8と同じ符号は同じ部品であることを示す。図9では、バックプレーン1に対し、すべての論理基板を中継基板の反対側に接続し、さらに、中継基板2j~2lを論理基板5a、5bの背面に接続する。3j~3lは中継基板2j~2lとバックプレーン1を接続するコネクタ、4jは中継基板2jに実装する中継LSIである。論理基板5e、5fと中継基板2g~2i間の配線、論理基板5a、5bと中継基板2j~2l間の配線は、第二の実施例の論理基板5e、5fと中継基板2g~2i間の配線と同様である。また、論理基板5e、5fと中継基板2j~2l間の配線、論理基板5a、5bと中継基板2g~2i間の配線は、第二の実施例の論理基板5a、5bと中継基板2g~2i間の配線と同様である。本実施例では、第二の実施例と同様に、論理基板と中継基板間の配線の一部をコネクタを介して直接接続するため、バックプレーン上の配線本数を削減することができ、バックプレーンの配線層数が少ない場合でも論理基板と中継基板間の等長配線が可能となる。

30

#### 【0015】

##### 【発明の効果】

本発明によれば、論理基板と中継基板間の接続において、数バイトのデータ配線の等長配線が容易になるために、低コスト、高信頼性、かつ高速な信号伝送が可能となる。

##### 【図面の簡単な説明】

【図1】本発明の第一の実施例を示す図

40

【図2】図1のバックプレーンの詳細を示す図

【図3】図2のバックプレーンの配線を示す図

【図4】図1の論理基板の詳細を示す図

【図5】図1の中継基板の詳細を示す図

【図6】伝搬遅延時間と転送周期の関係を説明する図

【図7】従来例の装置を示す図

【図8】本発明の第二の実施例を示す図

【図9】本発明の第三の実施例を示す図

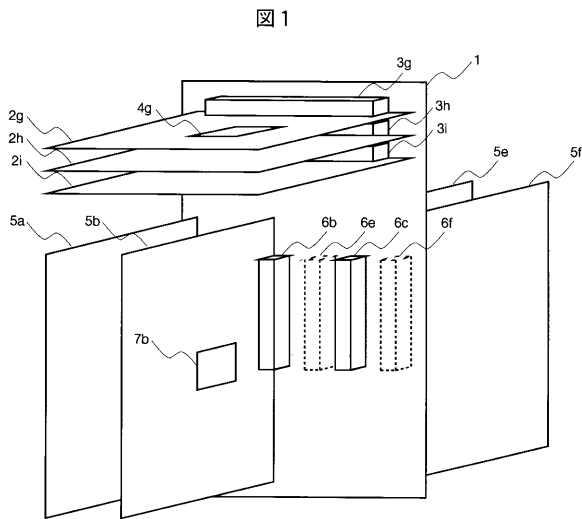
##### 【符号の説明】

1...バックプレーン、

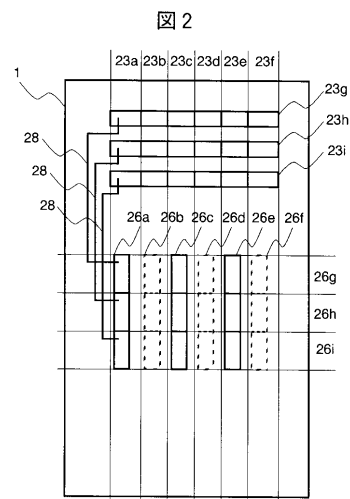
50

- 2... 中継基板、
- 72... 中継基板、
- 3... コネクタ、
- 23... コネクタ、
- 53... コネクタ、
- 4... 中継LSI、
- 74... 中継LSI、
- 5... 論理基板、
- 6... コネクタ、
- 26... コネクタ、
- 46... コネクタ、
- 76... コネクタ、
- 7... 論理LSI、
- 28... 配線、
- 48... 配線、
- 58... 配線、
- 281 ~ 286... 配線。

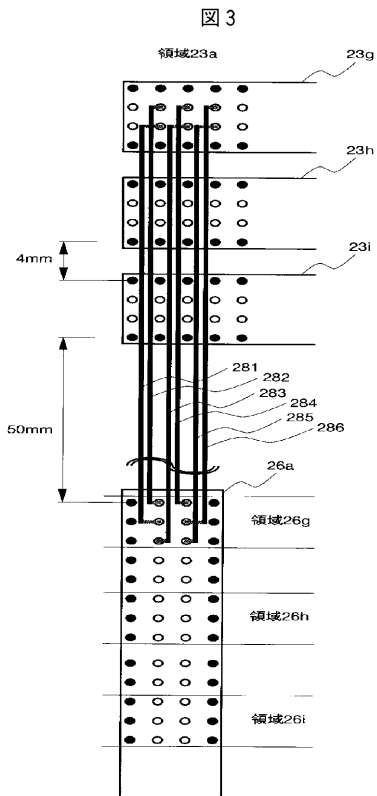
【 図 1 】



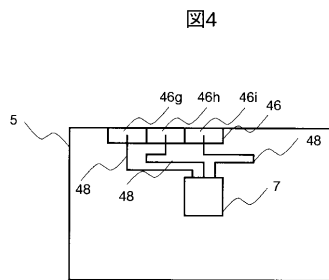
【 図 2 】



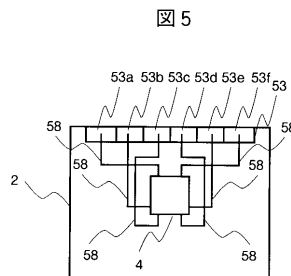
【 図 3 】



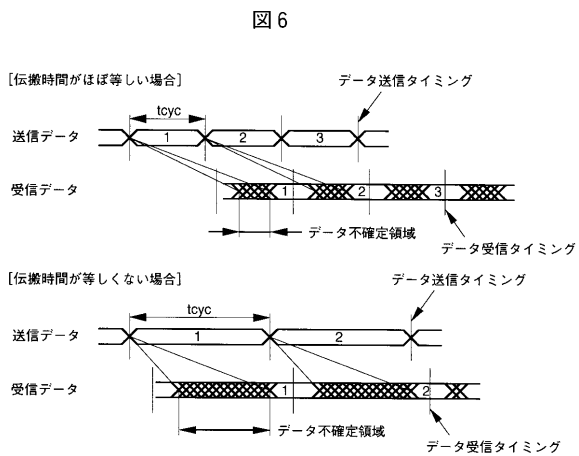
【 図 4 】



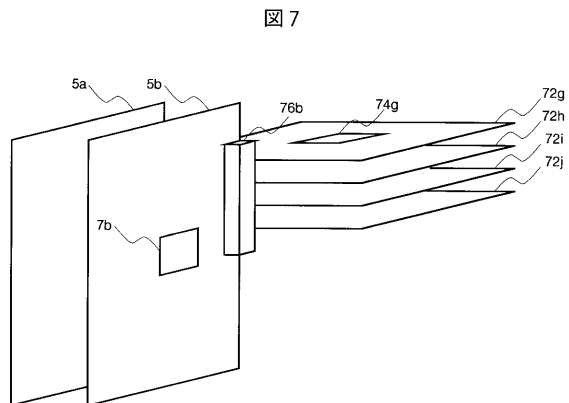
【 図 5 】



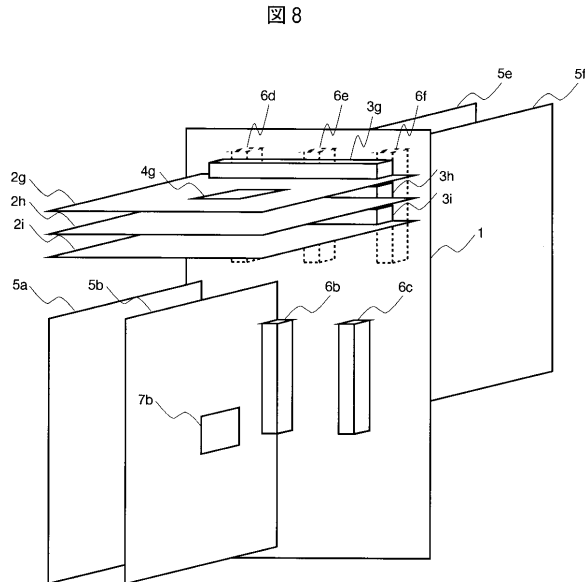
【 図 6 】



【 図 7 】



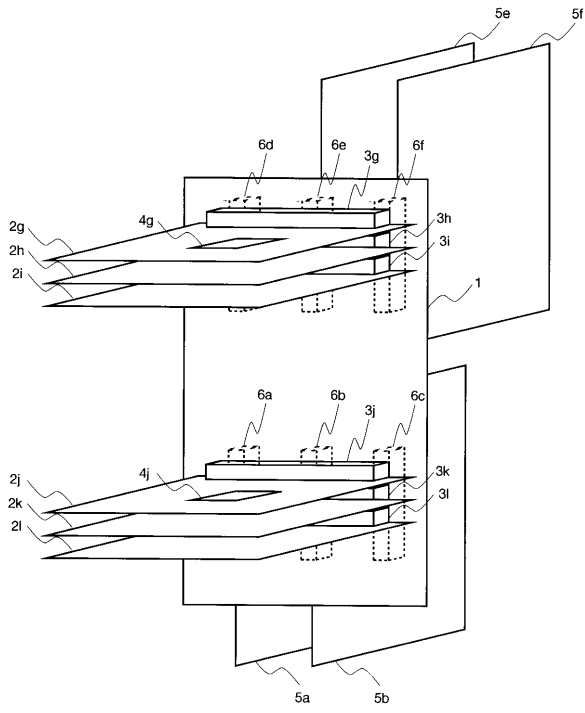
【 図 8 】





【 図 9 】

図 9



---

フロントページの続き

- (72)発明者 山際 明  
神奈川県海老名市下今泉810番地 株式会社日立製作所 オフィスシステム事業部内
- (72)発明者 渡辺 毅  
神奈川県海老名市下今泉810番地 株式会社日立製作所 オフィスシステム事業部内

審査官 山崎 慎一

- (56)参考文献 特開平05-314068(JP,A)  
特開平6-161972(JP,A)  
Ken,Chan et al., Multiprocessor Features of the HP Corporate Business Servers, Comcon  
Spring '93, Digest of Papers., 米国, IEEE, 1993年 2月, 330-337

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G06F 3/00