

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 11 月 30 日 (2006.11.30)

【公表番号】特表 2006-507684 (P2006-507684A)

【公表日】平成 18 年 3 月 2 日 (2006.3.2)

【年通号数】公開・登録公報 2006-009

【出願番号】特願 2004-555330 (P2004-555330)

【国際特許分類】

H 0 1 L 27/08 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

【F I】

H 0 1 L 27/08 3 3 1 E

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 1 8 C

H 0 1 L 29/78 6 1 7 N

H 0 1 L 27/08 1 0 2 C

【手続補正書】

【提出日】平成 18 年 10 月 10 日 (2006.10.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

独立して制御可能な第 1 および第 2 ゲート領域、ソース領域、およびドレイン領域を含む、第 1 F i n F E T と、

独立して制御可能な第 1 および第 2 ゲート領域、ソース領域、およびドレイン領域を含む、第 2 F i n F E T と、

前記第 1 F i n F E T の前記第 1 ゲート領域と、前記第 2 F i n F E T の前記第 1 ゲート領域に接続される NOR ゲートの第 1 入力線と、

前記第 1 F i n F E T の前記第 2 ゲート領域と、前記第 2 F i n F E T の前記第 2 ゲート領域に接続される NOR ゲートの第 2 入力線と、

前記第 1 F i n F E T の前記ソースと、前記第 2 F i n F E T の前記ドレインに接続される NOR ゲートの出力線とを含む、NOR ゲート。

【請求項 2】

前記第 1 F i n F E T および第 2 F i n F E T の前記第 1 ゲート領域は、n 型不純物でドーピングされる、請求項 1 記載の NOR ゲート。

【請求項 3】

前記第 1 F i n F E T および第 2 F i n F E T の前記第 2 ゲート領域は、p 型不純物でドーピングされる、請求項 2 記載の NOR ゲート。

【請求項 4】

前記 NOR ゲートに含まれるトランジスタは、前記第 1 F i n F E T および第 2 F i n F E T のみである、請求項 1 記載の NOR ゲート。

【請求項 5】

前記第 1 F i n F E T および前記第 2 F i n F E T は、非対称の F i n F E T である、

請求項 1 ないし 4 記載の NOR ゲート。

【請求項 6】

複数の非対称の F i n F E T を含む集積半導体デバイスであって、
前記非対称の F i n F E T のうちの少なくともいくつかは、論理 NOR ゲートを定義する対となる F i n F E T を複数含むようにして配列される、
集積半導体デバイス。

【請求項 7】

前記対となる F i n F E T は、
独立して制御可能な第 1 および第 2 ゲート領域、ソース領域、およびドレイン領域を含む、第 1 F i n F E T と、
独立して制御可能な第 1 および第 2 ゲート領域、ソース領域、およびドレイン領域を含む、第 2 F i n F E T と、
前記 第 1 F i n F E T の前記第 1 ゲート領域と、前記 第 2 F i n F E T の前記第 1 ゲート領域に接続される第 1 入力線と、
前記 第 1 F i n F E T の前記第 2 ゲート領域と、第 2 F i n F E T の前記第 2 ゲート領域に接続される第 2 入力線と、
前記 第 1 F i n F E T の前記ソースと、前記 第 2 F i n F E T の前記ドレインに接続される出力線とを含む、請求項 6 記載の集積半導体デバイス。

【請求項 8】

前記 第 1 F i n F E T および 第 2 F i n F E T の前記第 1 ゲート領域は、n 型不純物でドーピングされる、請求項 7 記載の集積半導体デバイス。

【請求項 9】

前記 第 1 F i n F E T および 第 2 F i n F E T の前記第 2 ゲート領域は、p 型不純物でドーピングされる、請求項 8 記載の集積半導体デバイス。

【請求項 10】

第 1 非対称ダブルゲートトランジスタと、
第 2 非対称ダブルゲートトランジスタとを含み、
前記 第 1 トランジスタ および 第 2 トランジスタ と接続される出力信号は、この第 1 トランジスタおよび第 2 トランジスタに与えられる 2 つの入力信号の論理 NOR 演算を反映する、
論理 NOR 回路。

【請求項 11】

前記 第 1 非対称ダブルゲートトランジスタ および前記 第 2 非対称ダブルゲートトランジスタ は F i n F E T である、請求項 10 記載の論理 NOR 回路。

【請求項 12】

前記 第 1 非対称ダブルゲートトランジスタ および前記 第 2 非対称ダブルゲートトランジスタ はそれぞれ、
第 1 ゲート領域と、
前記第 1 ゲート領域と無関係に制御可能に構成される第 2 ゲート領域と、
ソース領域と、
ドレイン領域とを含む、請求項 10 記載の論理 NOR 回路。

【請求項 13】

前記第 1 ゲート領域は、n 型不純物でドーピングされる、請求項 12 記載の論理 NOR 回路。

【請求項 14】

前記第 2 ゲート領域は、p 型不純物でドーピングされる、請求項 12 記載の論理 NOR 回路。