

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5849670号
(P5849670)

(45) 発行日 平成28年2月3日(2016.2.3)

(24) 登録日 平成27年12月11日(2015.12.11)

(51) Int.Cl.	F I
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 C
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H
HO 1 L 27/04 (2006.01)	HO 1 L 27/08 3 2 1 H
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 B
HO 1 L 27/092 (2006.01)	

請求項の数 7 (全 18 頁)

(21) 出願番号	特願2011-269891 (P2011-269891)	(73) 特許権者	000002369
(22) 出願日	平成23年12月9日 (2011.12.9)		セイコーエプソン株式会社
(65) 公開番号	特開2013-122945 (P2013-122945A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成25年6月20日 (2013.6.20)	(74) 代理人	100095728
審査請求日	平成26年12月4日 (2014.12.4)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	奥山 正樹
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	佐藤 久克
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	宇多川 勉
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、
第2導電型の第1不純物拡散領域と、
第1導電型の第2不純物拡散領域と、
第2導電型の第3不純物拡散領域と、
第2導電型の第4不純物拡散領域と、
第1コンタクトと、
第1の電源と、
第1のゲートと、を含み、
前記第1不純物拡散領域は、前記半導体基板内に設けられ、
前記第2不純物拡散領域は、前記第1不純物拡散領域内に設けられ、
前記第3不純物拡散領域は、前記第2不純物拡散領域内に設けられ、
前記第4不純物拡散領域の第1の部分は、前記第2不純物拡散領域内に、前記第3不純物拡散領域に離間して設けられ、前記第4不純物拡散領域の第2の部分は、前記第1不純物拡散領域の第3の部分の前記半導体基板の表面側に設けられ、
前記第1の部分と前記第2の部分が連続し、
前記第1コンタクトは、前記第2の部分に接するように設けられ、
前記第1コンタクトと前記第3の部分とが平面視において重なり、
前記第1の電源は前記第3不純物拡散領域に接続され、

前記第 1 ゲートは、前記第 4 不純物拡散領域と前記第 3 不純物拡散領域との間の前記第 2 不純物拡散領域の上方に設けられ、

前記第 1 ゲートは GND に接続され、

前記第 1 ゲートの一部が、前記第 4 不純物拡散領域に平面視で重なっていることを特徴とする半導体装置。

【請求項 2】

前記第 1 ゲートの一部が、前記第 3 不純物拡散領域に平面視で重なっていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 4 不純物拡散領域の前記半導体基板の表面側に、第 2 導電型の第 6 不純物拡散領域が設けられ、 10

前記第 6 不純物拡散領域の不純物濃度は、前記第 4 不純物拡散領域の不純物濃度より高いことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 6 不純物拡散領域の表面にはシリサイド層が設けられていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記第 1 コンタクトと、前記第 3 の部分との間で前記第 2 不純物拡散領域を挟むことができる前記第 1 不純物拡散領域の所定の領域とが、第 1 の配線で接続されていることを特徴とする請求項 1 ~ 4 のいずれか一項に記載の半導体装置。 20

【請求項 6】

第 1 導電型の半導体基板と、

前記半導体基板内に設けられた第 2 導電型の第 1 不純物拡散領域と、

前記第 1 不純物拡散領域内に設けられた第 1 導電型の第 2 不純物拡散領域と、

前記第 2 不純物拡散領域内に設けられた第 2 導電型の第 3 不純物拡散領域と、

第 2 導電型の第 4 不純物拡散領域と、

前記第 2 不純物拡散領域内に設けられた第 2 導電型の第 5 不純物拡散領域と、

第 1 コンタクトと、

第 1 の電源と、

前記第 4 不純物拡散領域と前記第 3 不純物拡散領域との間の前記第 2 不純物拡散領域の上方に設けられた第 1 のゲートと、 30

前記第 4 不純物拡散領域と前記第 5 不純物拡散領域との間の前記第 2 不純物拡散領域の上方に設けられた第 2 のゲートと、

を含み、

前記第 2 不純物拡散領域は、平面視において、前記第 1 不純物拡散領域の第 1 の領域に囲まれると共に前記第 1 不純物拡散領域の第 2 の領域を囲むように配置され、

前記第 3 不純物拡散領域及び前記第 5 不純物拡散領域は、平面視において、前記第 2 の領域が間に位置するように配置され、

前記第 4 不純物拡散領域は、平面視において、前記第 3 不純物拡散領域と前記第 5 不純物拡散領域との間に配置され、 40

前記第 4 不純物拡散領域は、第 1 部分と、第 2 部分と、第 3 部分とからなり、前記第 2 部分は前記第 2 の領域に配置され、前記第 1 部分は前記第 2 不純物拡散領域の前記第 3 不純物拡散領域側に前記第 3 不純物拡散領域に離間して配置され、前記第 3 部分は前記第 2 不純物拡散領域の前記第 5 不純物拡散領域側に前記第 5 不純物拡散領域に離間して配置され、

前記第 1 部分と、前記第 2 部分と、前記第 3 部分が連続し、

前記第 1 コンタクトは、前記第 2 部分に接するように設けられ、

前記第 1 の電源は前記第 3 不純物拡散領域および前記第 5 不純物拡散領域に接続され、

前記第 1 ゲートおよび前記第 2 ゲートは GND に接続され、

前記第 1 ゲートの一部および前記第 2 ゲートの一部が、前記第 4 不純物拡散領域に平面 50

視で重なっていることを特徴とする半導体装置。

【請求項 7】

前記第 1 コンタクトと前記第 1 不純物拡散領域の所定の領域とが第 1 の配線で接続されていることを特徴とする請求項 6 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に静電気等を要因とするサージ電流から回路を保護する構造に関する。

【背景技術】

10

【0002】

従来、様々な素子を形成して半導体装置が形成されてきた。その中のひとつとして、デジタル回路とアナログ回路を混在させた半導体装置がある。デジタル回路部分は、閾値と呼ばれるハイレベルとローレベルとの境目となる電圧レベルに対し取り扱う信号の電圧レベルが電圧の変化範囲の両端に近いレベルとなることから、信号値を取り間違える可能性は低く、閾値から外れたところの電圧レベルの取り扱いがアナログ信号に比べてシビアではないという利点がある。デジタル回路の多くは基準となる動作クロック信号の切替わりタイミングでの信号の電圧レベルにより信号のレベルが確定されることから、該動作クロック信号の切替わりタイミング以外のときの電圧レベルの乱れは、デジタル回路の処理結果に対して影響を与えない場合が多い。これに対して、アナログ回路部分では、取り扱う信号の電圧レベルを正確に検出し伝達及び処理を行うことが重要であり、信号電圧の乱れは処理結果に大きな影響を与えることになる。

20

【0003】

信号電圧の乱れは様々なノイズの影響により発生する。半導体装置外部から与えられるノイズなどは、半導体装置自体の所謂シールド性を高めることで内部素子への影響を低減することができる場合がある。しかしながら、ノイズには半導体素子内部で発生するものもある。たとえば、デジタル素子はハイレベルからローレベルへのスイッチング並びにローレベルからハイレベルへのスイッチングにおいてノイズが発生する。このようなスイッチングノイズはデジタル回路においては誤動作に繋がらなくても、アナログ回路の処理においては大きな影響を与えることになる。このような問題に対応するために、半導体装置内でデジタル素子とアナログ素子とを分離するトリプルウェルと呼ばれる構造がとられる場合がある。

30

【0004】

しかしながら、他の構造と同様に、トリプルウェルの構造においても ESD（静電気放電）などによるサージ電流が要因となって内部素子が破壊される問題がある。サージ電流に対する対応としては、例えば特許文献 1 に記載されている方法がある。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 11 - 135735 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

サージによる注入電荷を、半導体基板に設けた複数の不純物拡散領域からなる素子を介して、GND 等の所望の領域に放電させるためには、不純物拡散領域の配置および電位の制御が重要となる。特にサージによる注入電荷が、外部端子、配線、コンタクトを經由して半導体基板に到達する不純物領域においては、周辺の領域との境界における電位差が拡大し、静電破壊に至る場合がある。静電破壊は、コンタクトの直下の境界において特に発生しやすい。

【課題を解決するための手段】

50

【0007】

本発明は、上述した問題若しくは課題の少なくともひとつを解決するためになされたものであり、以下の適用例若しくは実施形態として実現することが可能である。

【0008】

[適用例1]

本適用例にかかる半導体装置は、第1導電型の半導体基板と、第2導電型の第1不純物拡散領域と、第1導電型の第2不純物拡散領域と、第2導電型の第3不純物拡散領域と、第2導電型の第4不純物拡散領域と、第1コンタクトと、第1の電源と、を含み、前記第1不純物拡散領域は、前記半導体基板内に設けられ、前記第2不純物拡散領域は、前記第1不純物拡散領域内に設けられ、前記第3不純物拡散領域は、前記第2不純物拡散領域内に設けられ、前記第4不純物拡散領域の第1の部分は、前記第2不純物拡散領域内に、前記第3不純物拡散領域に離間して設けられ、前記第4不純物拡散領域の第2の部分は、前記第1不純物拡散領域の第3の部分の前記半導体基板の表面側に設けられ、前記第1の部分と前記第2の部分が連続し、前記第1コンタクトは、前記第2の部分に接するように設けられ、前記第1コンタクトと前記第3の部分とが平面視において重なり、前記第1の電源は前記第3不純物拡散領域に接続されていることを特徴とする。尚、本明細書において、「離間」というのは、接することなく適切な距離を保っていることを言う。

10

【0009】

この構成によれば、第1導電型の半導体基板と、第2導電型の第1不純物拡散領域と、第1導電型の第2不純物拡散領域と、第2導電型の第3不純物拡散領域と、第2導電型の第4不純物拡散領域と、第1コンタクトと、第1の電源と、を含み、前記第1不純物拡散領域は、前記半導体基板内に設けられ、前記第2不純物拡散領域は、前記第1不純物拡散領域内に設けられ、前記第3不純物拡散領域は、前記第2不純物拡散領域内に設けられ、前記第4不純物拡散領域の第1の部分は、前記第2不純物拡散領域内に、前記第3不純物拡散領域に離間して設けられ、前記第4不純物拡散領域の第2の部分は、第1不純物拡散領域の第3の部分の前記半導体基板の表面側に設けられ、前記第1の部分と前記第2の部分が連続し、前記第1コンタクトは、前記第2の部分に接するように設けられ、前記第1コンタクトと前記第3の部分とが平面視において重なり、前記第1の電源は前記第3不純物拡散領域に接続されていることで、第1コンタクトに進入したサージ電流による第4不純物拡散領域の破壊若しくは第4不純物拡散領域の周辺領域における破壊を低減することができる。特に、第1コンタクト直下の第4不純物拡散領域と他の領域とが接している領域における破壊を防止することができる。

20

30

【0010】

従来のトリプルウェル構造の半導体装置は、第1導電型の半導体基板を用いる場合には、コンタクトが接続された第2導電型の不純物拡散領域の下には第1導電型の不純物拡散領域が形成され、当該第1導電型の不純物拡散領域の下には第2導電型の不純物拡散領域が形成されている。即ち、コンタクトの下層は、当該コンタクト側から見て第2導電型の層、第1導電型の層、第2導電型の層及び第1導電型の層（基板）の順に層が存在する。この場合、コンタクトにサージ電流が進入するとコンタクトが接続された第2導電型の層と、導電型の異なる当該層直下の第1導電型の層との間の界面において破壊が起こりやすい。

40

【0011】

これに対して本発明にかかる半導体装置は、第1コンタクトが接続された第2導電型の第4不純物拡散領域の下が第2導電型の第1不純物拡散領域であり、同一の導電型となることから第4不純物拡散領域との第1不純物拡散領域との境界における破壊が起こりにくくなる。また、この第1不純物拡散領域は、例えば、アナログ素子とデジタル素子との間における素子分離の機能を有する層であり、半導体装置を平面視した場合における第1不純物拡散領域の面積の広さは上述した他の不純物拡散領域の面積の広さよりも大きくなり、第1不純物拡散領域と半導体基板との間の境界におけるサージ電流の影響は第4不純物拡散領域の境界における影響より小さいと考えられる。

50

【 0 0 1 2 】

第 2 導電型の第 3 不純物拡散領域には第 1 の電源が接続されている。第 1 の電源とは、例えば GND でよい。また、第 4 不純物拡散領域の第 1 の部分と第 3 不純物拡散領域との間にゲートコントールドダイオード (GCD) などを設けることで、第 4 不純物拡散領域と第 3 不純物拡散領域との間の障壁を適切に制御することができる。

【 0 0 1 3 】

[適用例 2]

上記適用例にかかる半導体装置において、前記第 1 コンタクトと、前記第 3 の部分との間で前記第 2 不純物拡散領域を挟むことができる前記第 1 不純物拡散領域の所定の領域とが、第 1 の配線で接続されていることが好ましい。

10

【 0 0 1 4 】

この構成によれば、第 1 コンタクトと、第 3 の部分との間で第 2 不純物拡散領域を挟むことができる第 1 不純物拡散領域の所定の領域とが第 1 の配線で接続されることで、サージ電圧による電圧が、主に素子が形成されることになる第 2 不純物拡散領域を挟んで広く第 1 不純物拡散領域にかかることにより第 1 不純物拡散領域内における電位差の発生を低減できることで、第 1 の電源へのルート以外でのサージ電流の流れを抑制でき、サージ電流による破壊を低減することができる。

【 0 0 1 5 】

[適用例 3]

本適用例にかかる半導体装置は、第 1 導電型の半導体基板と、前記半導体基板内に設けられた第 2 導電型の第 1 不純物拡散領域と、前記第 1 不純物拡散領域内に設けられた第 1 導電型の第 2 不純物拡散領域と、前記第 2 不純物拡散領域内に設けられた第 2 導電型の第 3 不純物拡散領域と、第 2 導電型の第 4 不純物拡散領域と、前記第 2 不純物拡散領域内に設けられた第 2 導電型の第 5 不純物拡散領域と、第 1 コンタクトと、第 1 の電源と、を含み、前記第 2 不純物拡散領域は、平面視において、前記第 1 不純物拡散領域の第 1 の領域に囲まれると共に前記第 1 不純物拡散領域の第 2 の領域を囲むように配置され、前記第 3 不純物拡散領域及び前記第 5 不純物拡散領域は、平面視において、前記第 2 の領域が間に位置するように配置され、前記第 4 不純物拡散領域は、平面視において、前記第 3 不純物拡散領域と前記第 5 不純物拡散領域との間に配置され、前記第 4 不純物拡散領域は、第 1 部分と、第 2 部分と、第 3 部分とからなり、前記第 2 部分は前記第 2 の領域に配置され、前記第 1 部分は前記第 2 不純物拡散領域の前記第 3 不純物拡散領域側に前記第 3 不純物拡散領域に離間して配置され、前記第 3 部分は前記第 2 不純物拡散領域の前記第 5 不純物拡散領域側に前記第 5 不純物拡散領域に離間して配置され、前記第 1 部分と、前記第 2 部分と、前記第 3 部分が連続し、前記第 1 コンタクトは、前記第 2 部分に接するように設けられ、前記第 1 の電源は前記第 3 不純物拡散領域および前記第 5 不純物拡散領域に接続されていることを特徴とする。

20

30

【 0 0 1 6 】

この構成によれば、本発明にかかる半導体装置が、第 1 導電型の半導体基板と、前記半導体基板内に設けられた第 2 導電型の第 1 不純物拡散領域と、前記第 1 不純物拡散領域内に設けられた第 1 導電型の第 2 不純物拡散領域と、前記第 2 不純物拡散領域内に設けられた第 2 導電型の第 3 不純物拡散領域と、第 2 導電型の第 4 不純物拡散領域と、前記第 2 不純物拡散領域内に設けられた第 2 導電型の第 5 不純物拡散領域と、第 1 コンタクトと、第 1 の電源と、を含み、前記第 2 不純物拡散領域は、平面視において、前記第 1 不純物拡散領域の第 1 の領域に囲まれると共に前記第 1 不純物拡散領域の第 2 の領域を囲むように配置され、前記第 3 不純物拡散領域及び前記第 5 不純物拡散領域は、平面視において、前記第 2 の領域が間に位置するように配置され、前記第 4 不純物拡散領域は、平面視において、前記第 3 不純物拡散領域と前記第 5 不純物拡散領域との間に配置され、前記第 4 不純物拡散領域は、第 1 部分と、第 2 部分と、第 3 部分とからなり、前記第 2 部分は前記第 2 の領域に配置され、前記第 1 部分は前記第 2 不純物拡散領域の前記第 3 不純物拡散領域側に前記第 3 不純物拡散領域に離間して配置され、前記第 3 部分は前記第 2 不純物拡散領域の

40

50

前記第 5 不純物拡散領域側に前記第 5 不純物拡散領域に離間して配置され、前記第 1 部分と、前記第 2 部分と、前記第 3 部分が連続し、前記第 1 コンタクトは、前記第 2 部分に接するように設けられ、前記第 1 の電源は前記第 3 不純物拡散領域および前記第 5 不純物拡散領域に接続されていることにより、第 1 コンタクトに進入したサージ電流による第 4 不純物拡散領域の破壊若しくは第 4 不純物拡散領域の周辺領域における破壊を低減することができる。特に、第 1 コンタクト直下の第 4 不純物拡散領域と他の領域とが接している領域における破壊を防止することができる。

【 0 0 1 7 】

第 1 コンタクトが接続された第 2 導電型の第 4 不純物拡散領域の第 2 部分が第 2 導電型の第 1 不純物拡散領域の第 2 の領域に形成されており、第 1 コンタクトが接続された領域とその下の領域が同一の導電型となることから第 4 不純物拡散領域との第 1 不純物拡散領域との境界における破壊が起こりにくくなる。また、第 1 部分と第 3 不純物拡散領域との間、及び、第 3 部分と第 5 不純物拡散領域との間に G C D など設けることで、第 4 不純物拡散領域と第 3 不純物拡散領域との間の障壁を適切に制御することができる。

【 0 0 1 8 】

[適用例 4]

上記適用例にかかる半導体装置において、前記第 1 コンタクトと前記第 1 の領域とが第 1 の配線で接続されていることが好ましい。

【 0 0 1 9 】

この構成によれば、第 1 コンタクトと第 1 の領域が第 1 の配線で接続されることにより、第 1 不純物拡散領域の異なる部分に対して同電位が供給されることになり、第 1 不純物拡散領域内で電位差を低減することができ、第 1 の電源へのルート以外でのサージ電流の流れを抑制でき、サージ電流による破壊を低減することができる。

【図面の簡単な説明】

【 0 0 2 0 】

【図 1】半導体装置の断面の模式図。

【図 2】実施例 1 における半導体装置の平面及び断面の模式図。

【図 3】実施例 2 における半導体装置の平面及び断面の模式図。

【図 4】半導体装置の製造過程を示す図。

【図 5】従来の半導体装置の製造過程を示す図。

【図 6】半導体装置の平面の模式図。

【図 7】従来の半導体装置の断面図。

【発明を実施するための形態】

【 0 0 2 1 】

以下、図を用いて本発明の実施形態について説明する。尚、模式図に描かれているものは、説明に必要な部分を記載した便宜上のものである。このため、同じものを記載していても図により異なった表記となっている場合があり、形状若しくは各部分の大きさなどを正しく示しているものではない。例えば、縦横の長さの比率などは図で示した比率と実際のものでは異なっている場合がある。

【 0 0 2 2 】

まず、従来のトリプルウェルの構造における、サージ電流を原因とするドレイン領域と他の領域との境界の破壊について図を用いて説明する。図 7 - (a) に、従来のトリプルウェルの構造を有する半導体装置 9 0 0 の所定部分における断面図を示す。半導体装置 9 0 0 は、第 1 導電型の半導体基板 9 1 0 に第 2 導電型の第 1 不純物拡散領域 9 2 0 が形成され、第 1 不純物拡散領域 9 2 0 内に浮かぶように第 1 導電型の第 2 不純物拡散領域 9 3 0 が形成され、第 2 不純物拡散領域 9 3 0 内に浮かぶように第 2 導電型の第 3 不純物拡散領域 9 4 0、第 2 導電型の第 3 不純物拡散領域 9 4 1 及び第 2 導電型の第 4 不純物拡散領域 9 5 0 が形成されている。

【 0 0 2 3 】

第 4 不純物拡散領域 9 5 0 にはコンタクト 9 5 3 が形成されており、コンタクト 9 5 3

10

20

30

40

50

に第1配線901が接続されている。第1配線901は、外部端子に接続されるパッド909に繋がる配線である。また、第3不純物拡散領域940及び第3不純物拡散領域941の表面にはコンタクト948及びコンタクト949が形成されており、コンタクト948には第2配線902が接続され、コンタクト949には第3配線903が形成されている。第2配線902及び第3配線903は図示しない第1電源に接続されている。また、第3不純物拡散領域940と第4不純物拡散領域950との間には第1ゲート960が設けられ、第3不純物拡散領域941と第4不純物拡散領域950との間には第2ゲート961が設けられている。

【0024】

ここで、第1導電型をP型、第2導電型をN型とすると、第1不純物拡散領域920はN型ウェル、第2不純物拡散領域930はP型ウェルとなる。即ち、半導体基板910、第1不純物拡散領域920及び第2不純物拡散領域930が、トリプルウェルの構造を形成している。また、第1電源はGNDでよい。

【0025】

ここで、パッド909にサージ電圧がかかると、第2不純物拡散領域930と第4不純物拡散領域950との間に存在する寄生ダイオードがアバランシェブレイクを起こし、その後第2不純物拡散領域930、第3不純物拡散領域940及び第4不純物拡散領域950により構成されるバイポーラBP(図7-(a)のBP及び図7-(b))がオンとなり、バイポーラBPを介して第1電源にサージ電流を流すことが可能である。しかしながら、バイポーラBPがオンになるまでには所定の時間が経過し、その間にコンタクト直下の第4不純物拡散領域950と第2不純物拡散領域930との境界付近(図7の×で示した辺り)が破壊されるおそれがある。尚、図示及び上記説明にないが、上記のバイポーラBPと同様な動作は、第3不純物拡散領域941側でも発生している。

【0026】

次に本発明の第1実施形態について説明する。

【0027】

(第1実施形態)

図1に、本発明を適用した半導体装置100の所定部分における断面図を示す。半導体装置100は、第1導電型の半導体基板10に、第2導電型の第1不純物拡散領域20、第1導電型の第2不純物拡散領域30、第2導電型の第3不純物拡散領域40、第2導電型の第3不純物拡散領域41及び第2導電型の第4不純物拡散領域50が形成されたものである。また、第3不純物拡散領域40と第4不純物拡散領域50との間には第1ゲート60が設けられ、第3不純物拡散領域41と第4不純物拡散領域50との間には、第2ゲート61が設けられている。半導体基板10、第1不純物拡散領域20及び第2不純物拡散領域30による構造が、トリプルウェルの構造を構成している。尚、上述した従来例と同様に、ここで、第1導電型をP型、第2導電型をN型とする。第1不純物拡散領域20はN型ウェル、第2不純物拡散領域30はP型ウェルである。

【0028】

また、第4不純物拡散領域50の表面にはコンタクト53が形成されており、コンタクト53に第1配線101が接続されている。第1配線101は、外部端子に接続されるパッド109に繋がる配線である。また、コンタクト53が設けられている部分の第4不純物拡散領域50の直下の領域は、第1不純物拡散領域20が配置されている。また、第3不純物拡散領域40及び第3不純物拡散領域41の表面にはコンタクト48及びコンタクト49が形成されており、コンタクト48には第2配線102が接続され、コンタクト49には第3配線103が形成されている。第2配線102及び第3配線103は図示しない第1電源に接続されている。

【0029】

ここで、パッド109にサージ電圧がかかると、第2不純物拡散領域30と第4不純物拡散領域50との間に存在する寄生ダイオードがアバランシェブレイクを起こし、その後第2不純物拡散領域30、第3不純物拡散領域40及び第4不純物拡散領域50により

構成されるバイポーラ B P がオンとなり、バイポーラ B P を介して第 1 電源にサージ電流を流すことが可能である。バイポーラ B P がオンになるまでには所定の時間が経過するが、コンタクト 5 3 が設けられている部分の第 4 不純物拡散領域 5 0 の直下は、第 4 不純物拡散領域 5 0 と同じ導電型の第 1 不純物拡散領域 2 0 であることから、第 4 不純物拡散領域 5 0 と第 1 不純物拡散領域 2 0 との境界付近における破壊を防ぐことができる。また、第 1 電源は G N D でよい。

【実施例 1】

【0030】

本実施例は、第 1 導電型を P 型、第 2 導電型を N 型とする半導体装置 2 0 0 (C M O S を構成する出力素子の一部) に適用した例である。図 2 に、半導体装置 2 0 0 の一部における平面図と該平面図の A - B における断面図とを示す。破線は平面図と断面図との対応を便宜的に示すものである。尚、本実施例の説明において、半導体装置 1 0 0 と同様の構成部分においては、同じ番号を付し、その説明を省略する場合がある。

10

【0031】

半導体装置 2 0 0 は、それぞれの領域において半導体基板の表面側に不純物の濃度がより高い領域 (以降、タップ領域と呼ぶ) が存在する。半導体基板 1 0 におけるタップ領域 8 0、第 1 不純物拡散領域 2 0 におけるタップ領域 2 1、第 2 不純物拡散領域 3 0 におけるタップ領域 3 2、第 3 不純物拡散領域 4 0 におけるタップ領域 4 2、第 3 不純物拡散領域 4 1 におけるタップ領域 4 3 及び第 4 不純物拡散領域 5 0 におけるタップ領域 5 1 がこれに当たる。尚、タップ領域 2 1 とタップ領域 5 1 は第 1 配線 1 0 1 を介して接続されている。また、それぞれのタップ領域を挟むようにして素子分離領域 9 0 が接続されている。第 2 不純物拡散領域 3 0 は第 1 不純物拡散領域 2 0 に浮かぶように形成されており、平面視した場合において、コンタクト 5 3 の直下の領域は、第 1 不純物拡散領域 2 0 の一部の領域であり、第 4 不純物拡散領域 5 0 が該一部の領域に蓋をするような構造となっている。

20

【0032】

第 1 配線 1 0 1 は、パッド 1 0 9 に接続されていると共に、対となる C M O S の一部に接続される。第 1 ゲート 6 0 及び第 2 ゲート 6 1 に繋がる第 1 信号配線 1 0 4 は、図示しない回路に接続されている。また、タップ領域 3 2、タップ領域 4 2 及びタップ領域 4 3 は、G N D に接続されている。

30

【0033】

第 1 配線 1 0 1 がタップ領域 2 1 及びタップ領域 5 1 に接続されていることから、パッド 1 0 9 にサージ電圧がかかった場合でも第 1 不純物拡散領域 2 0 内は同電位に保たれる。この構造により、第 4 不純物拡散領域 5 0 と第 1 不純物拡散領域 2 0 との境界付近でサージ電流による破壊が起こるのを防ぐことができる。サージ電圧が正電圧の場合は、第 4 不純物拡散領域 5 0 と第 2 不純物拡散領域 3 0 の間の寄生ダイオードがアバランシェブレークとなった後、第 2 不純物拡散領域 3 0、第 3 不純物拡散領域 4 0 及び第 3 不純物拡散領域 4 1 を介して G N D にサージ電流が流れることになる。また、サージ電圧が負電圧の場合には、第 4 不純物拡散領域 5 0 と第 2 不純物拡散領域 3 0 との間の寄生ダイオードにおいて順方向に電流が流れることになり、タップ領域 3 2 から第 4 不純物拡散領域 5 0 に対してサージ電流が流れることになる。

40

【0034】

尚、タップ領域 2 1、タップ領域 3 2、タップ領域 4 2、タップ領域 4 3 及びタップ領域 5 1、タップ領域 8 0 の表面にはシリサイド 5 2 が形成されている。シリサイド 5 2 が形成されていることにより電流路における抵抗値を低減することができる。

【実施例 2】

【0035】

本実施例は、第 1 導電型を P 型、第 2 導電型を N 型とする半導体装置 3 0 0 (E S D 素子) に適用した例である。図 3 に、半導体装置 3 0 0 の一部における平面図と該平面図の A - B における断面図とを示す。破線は平面図と断面図との対応を便宜的に示すものであ

50

る。本実施例の説明においても、半導体装置 100 若しくは半導体装置 200 と同様の構成部分においては、同じ番号を付し、その説明を省略する場合がある。

【0036】

本実施例において、第 1 ゲート 60 は第 2 配線 102 に接続されている。また、第 2 ゲート 61 は第 3 配線 103 に接続されている。第 1 ゲート 60 及び第 2 ゲート 61 が GND に接続されていることで第 4 不純物拡散領域 50 と第 3 不純物拡散領域 40 との間の障壁は適切に維持される。半導体装置 300 は ESD のためだけの素子であり、第 1 配線 101 は、他の入出力素子に接続されることになる。他の構造は半導体装置 200 と同じである。この構造により、第 4 不純物拡散領域 50 と第 1 不純物拡散領域 20 との境界付近でサージ電流による破壊が起こるのを防ぐことができる。

10

【0037】

サージ電圧が正電圧の場合は、第 4 不純物拡散領域 50 と第 2 不純物拡散領域 30 との間の寄生ダイオードがアバランシェブレイクとなった後、第 2 不純物拡散領域 30、第 3 不純物拡散領域 40 及び第 3 不純物拡散領域 41 を介して GND にサージ電流が流れることになる。また、サージ電圧が負電圧の場合には、第 4 不純物拡散領域 50 と第 2 不純物拡散領域 30 との間の寄生ダイオードにおいて順方向に電流が流れることになり、タップ領域 32 から第 4 不純物拡散領域 50 に対してサージ電流が流れることになる。

【0038】

(第 2 実施形態)

本実施形態は、半導体装置 200 若しくは半導体装置 300 の製造方法について説明するものである。尚、本実施形態の説明において、第 1 実施形態で説明した半導体装置の構成要素と同じ若しくは同等の構成要素については同じ番号を付与し、その説明は省略する場合がある。

20

【0039】

はじめに、図 4 及び図 5 を用いて、従来及び本発明の半導体装置の製造方法について説明する。図 4 及び図 5 で示したのは、図 2 若しくは図 3 で示したのと同じ位置における断面図である。

【0040】

まず、第 1 導電型の半導体基板 10 の第 1 の面の表面に複数の素子分離領域 90 を形成する(図 4 - (a))。ここで、複数の素子分離領域 90 は、第 1 素子分離領域 91 及び第 2 素子分離領域 92 を含む。

30

【0041】

次に、第 1 素子分離領域 91 に囲まれる領域にイオン注入などの処理を行い、第 1 不純物拡散領域 20 を形成する(図 4 - (b))。

【0042】

次に、第 2 素子分離領域 92 に囲まれる領域を残してレジスト 93 を形成し、イオン注入を行うことで第 2 不純物拡散領域 30 を形成する(図 5 - (a))。

【0043】

更に工程が繰り返され、第 2 不純物拡散領域 30 内に、第 3 不純物拡散領域 40、第 4 不純物拡散領域 50、第 1 ゲート 60 及び第 2 ゲート 61 などが形成される。また、素子分離領域 90 で覆われていない領域にはより濃度の高いタップ領域が形成される(図 5 - (b))。

40

【0044】

続いて、本発明にかかる半導体装置の製造方法について説明する。

【0045】

まず、第 1 導電型の半導体基板 10 の第 1 の面の表面に複数の素子分離領域 90 を形成する(図 4 - (a))。

【0046】

次に、第 1 素子分離領域 91 に囲まれる領域にイオン注入を行い、第 1 不純物拡散領域 20 を形成する(図 4 - (b))。

50

【 0 0 4 7 】

次に、第 2 素子分離領域 9 2 に囲まれる領域の中の、第 1 不純物拡散領域 2 0 の表面の一部の領域を残してレジスト 9 4 を形成し、イオン注入を行うことで第 2 不純物拡散領域 3 0 を形成する（図 4 - (c) ）。ここで、第 1 不純物拡散領域 2 0 の表面の一部の領域以外の領域は、後の工程でコンタクト 5 3 が形成される領域である。

【 0 0 4 8 】

更に工程が繰り返され、第 2 不純物拡散領域 3 0 内に、第 3 不純物拡散領域 4 0 、第 4 不純物拡散領域 5 0 、第 1 ゲート 6 0 及び第 2 ゲート 6 1 などが形成される。また、素子分離領域 9 0 で覆われていない領域にはより濃度の高いタップ領域が形成される（図 4 - (d) ）。 10

【 0 0 4 9 】

図 6 に半導体装置 2 0 0 若しくは半導体装置 3 0 0 の図 4 - (d) の工程後における平面図を示す。図 6 においては、半導体装置 2 0 0 若しくは半導体装置 3 0 0 の表面における第 1 不純物拡散領域 2 0 、第 2 不純物拡散領域 3 0 、第 3 不純物拡散領域 4 0 、第 3 不純物拡散領域 4 1 及び第 4 不純物拡散領域 5 0 の配置を破線で示している。第 4 不純物拡散領域 5 0 のコンタクト 5 3 が形成された部分の下は第 2 不純物拡散領域 3 0 が形成されておらず、第 1 不純物拡散領域 2 0 が形成されている。

【 0 0 5 0 】

本実施形態で示すように、本発明にかかる半導体装置の製造方法と従来の半導体装置の製造方法の違いは、形成されるレジスト 9 3 とレジスト 9 4 の形の違いのみである。よって、製造設備などの大きな変更を行うことなく本発明にかかる半導体装置を製造することが可能である。 20

【 0 0 5 1 】

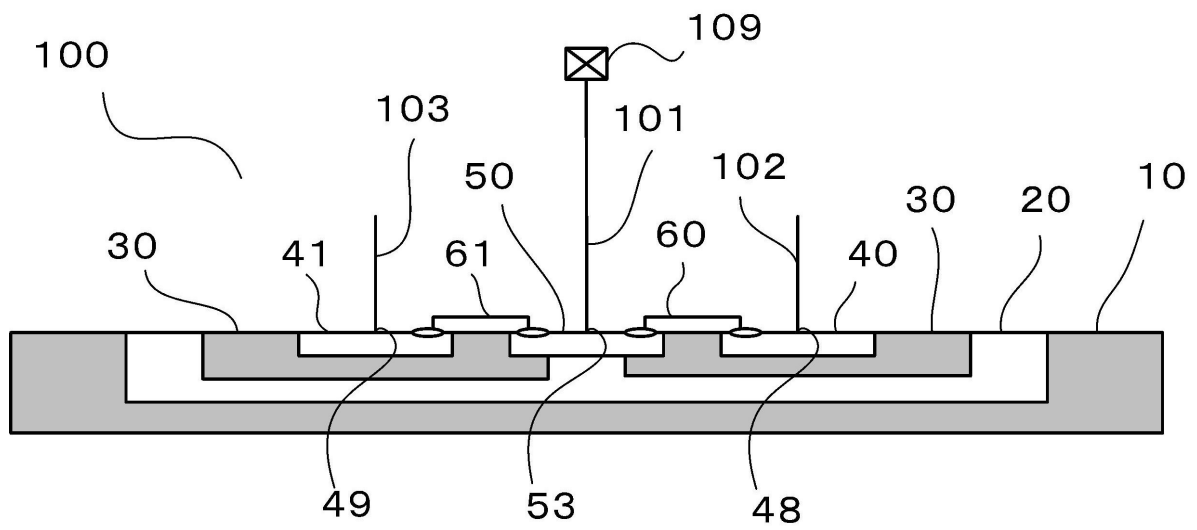
以上、本発明の実施形態並びに適用例の説明を行ったが、本発明の適用は上述した記載内容に限られるものではない。本発明の趣旨を逸脱しない範囲において広く適用が可能である。たとえば、本実施形態においては第 1 導電型を P 型、第 2 導電型を N 型としたが、第 1 導電型を N 型、第 2 導電型を P 型として適用させることも可能である。

【 符号の説明 】

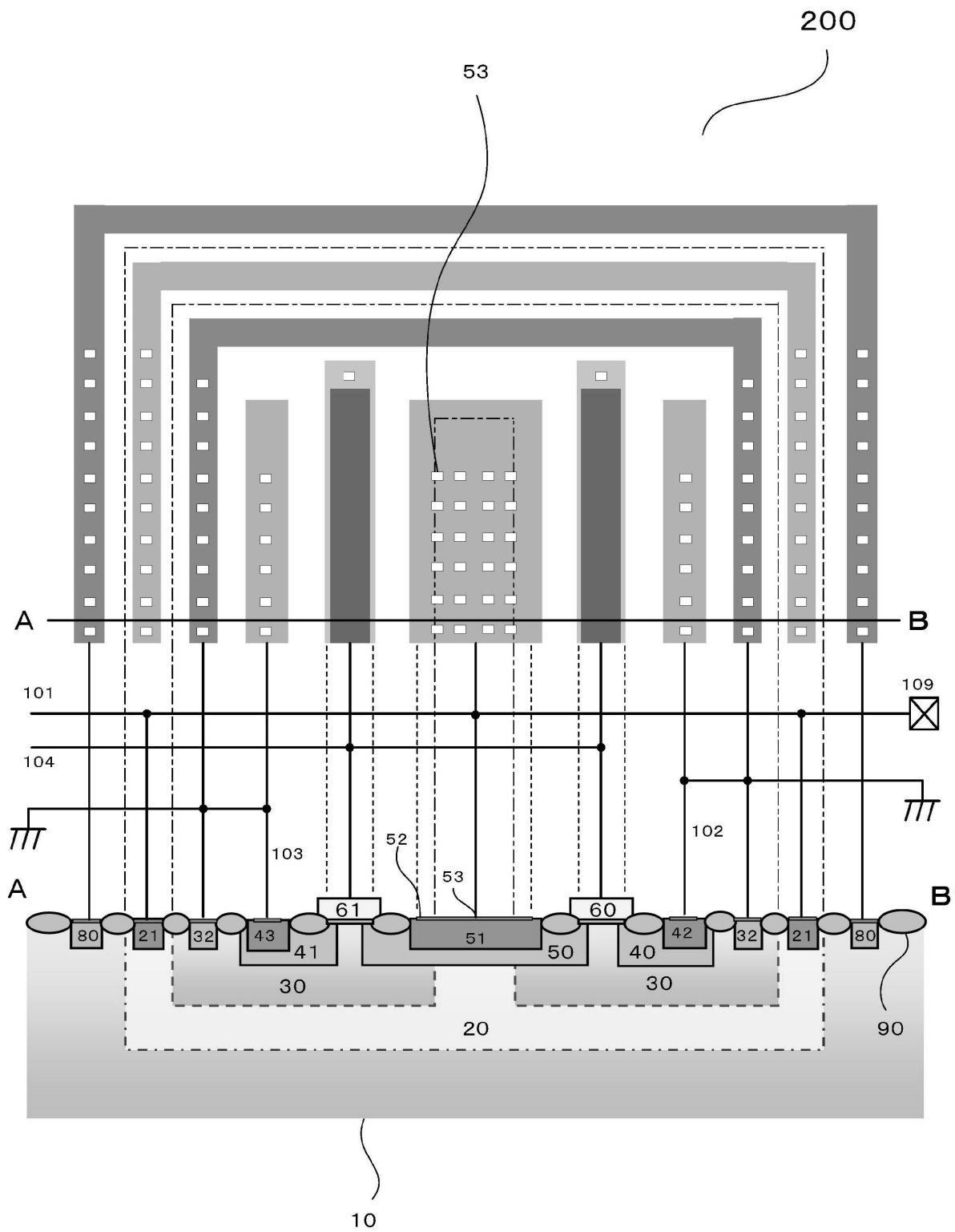
【 0 0 5 2 】

1 0 ... 半導体基板、 2 0 ... 第 1 不純物拡散領域、 2 1 ... タップ領域、 3 0 ... 第 2 不純物 30
拡散領域、 3 2 ... タップ領域、 4 0 ... 第 3 不純物拡散領域、 4 1 ... 第 3 不純物拡散領域、
4 2 ... タップ領域、 4 3 ... タップ領域、 4 8 ... コンタクト、 4 9 ... コンタクト、 5 0 ... 第
4 不純物拡散領域、 5 1 ... タップ領域、 5 2 ... シリサイド、 5 3 ... コンタクト、 6 0 ... 第
1 ゲート、 6 1 ... 第 2 ゲート、 8 0 ... タップ領域、 9 0 ... 素子分離領域、 9 1 ... 第 1 素子
分離領域、 9 2 ... 第 2 素子分離領域、 9 3 ... レジスト、 9 4 ... レジスト、 1 0 0 ... 半導体
装置、 1 0 1 ... 第 1 配線、 1 0 2 ... 第 2 配線、 1 0 3 ... 第 3 配線、 1 0 9 ... パッド、 2 0
0 ... 半導体装置、 3 0 0 ... 半導体装置、 9 0 0 ... 半導体装置、 9 0 1 ... 第 1 配線、 9 0 2
... 第 2 配線、 9 0 3 ... 第 3 配線、 9 0 9 ... パッド、 9 1 0 ... 半導体基板、 9 2 0 ... 第 1
不純物拡散領域、 9 3 0 ... 第 2 不純物拡散領域、 9 4 0 ... 第 3 不純物拡散領域、 9 4 1 ... 第
3 不純物拡散領域、 9 4 8 ... コンタクト、 9 4 9 ... コンタクト、 9 5 0 ... 第 4 不純物拡散 40
領域、 9 5 3 ... コンタクト、 9 6 0 ... 第 1 ゲート、 9 6 1 ... 第 2 ゲート。

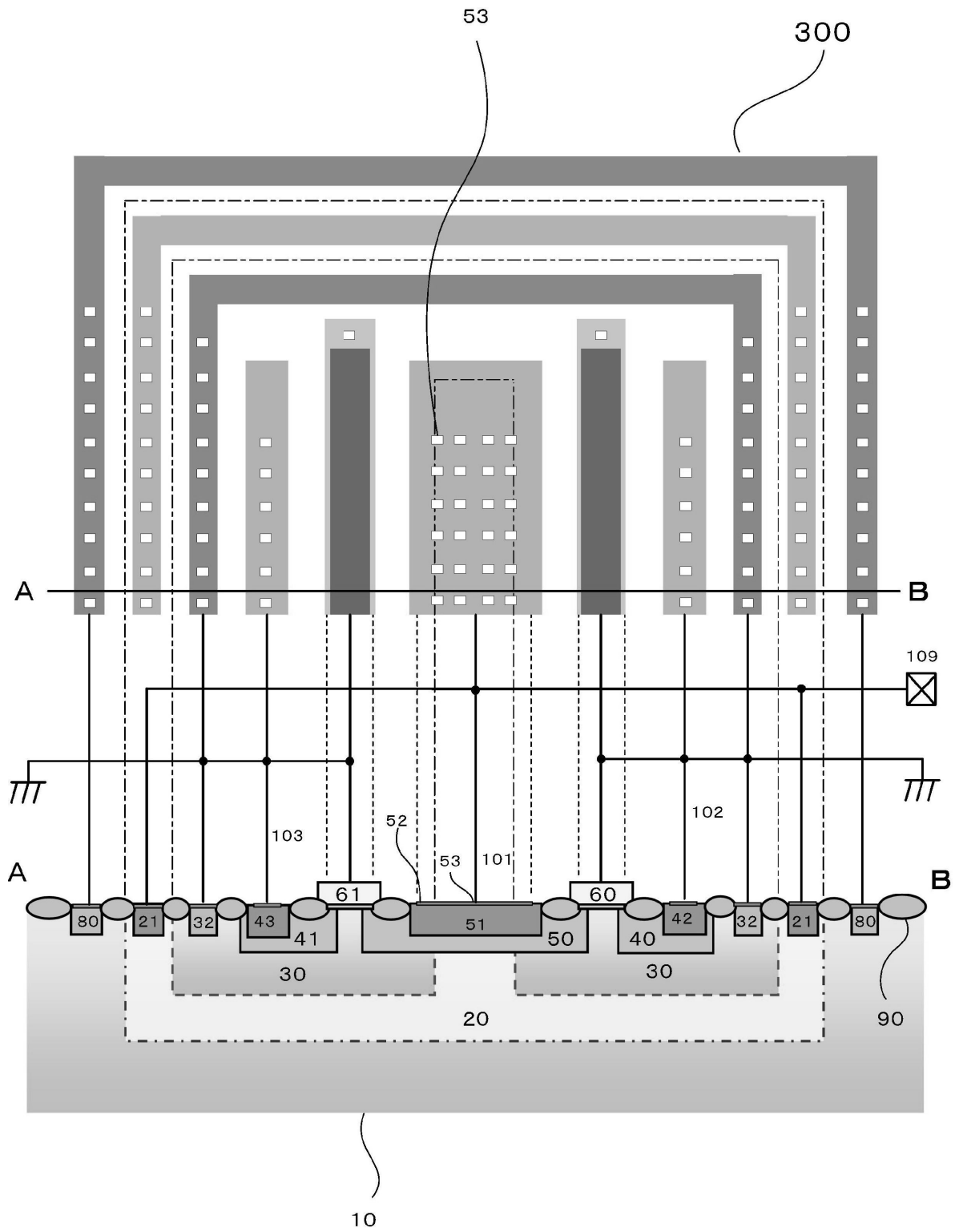
【図 1】



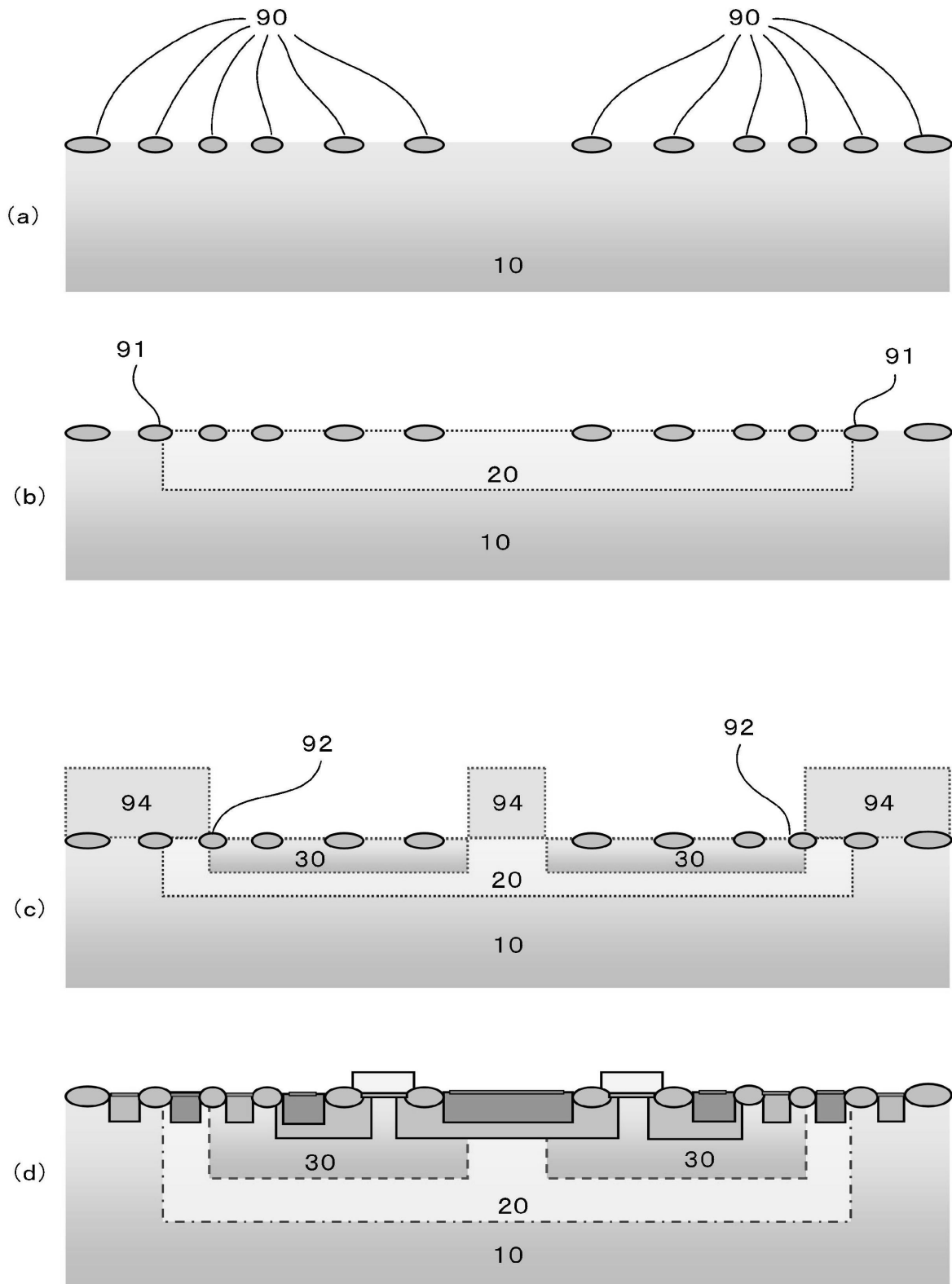
【図 2】



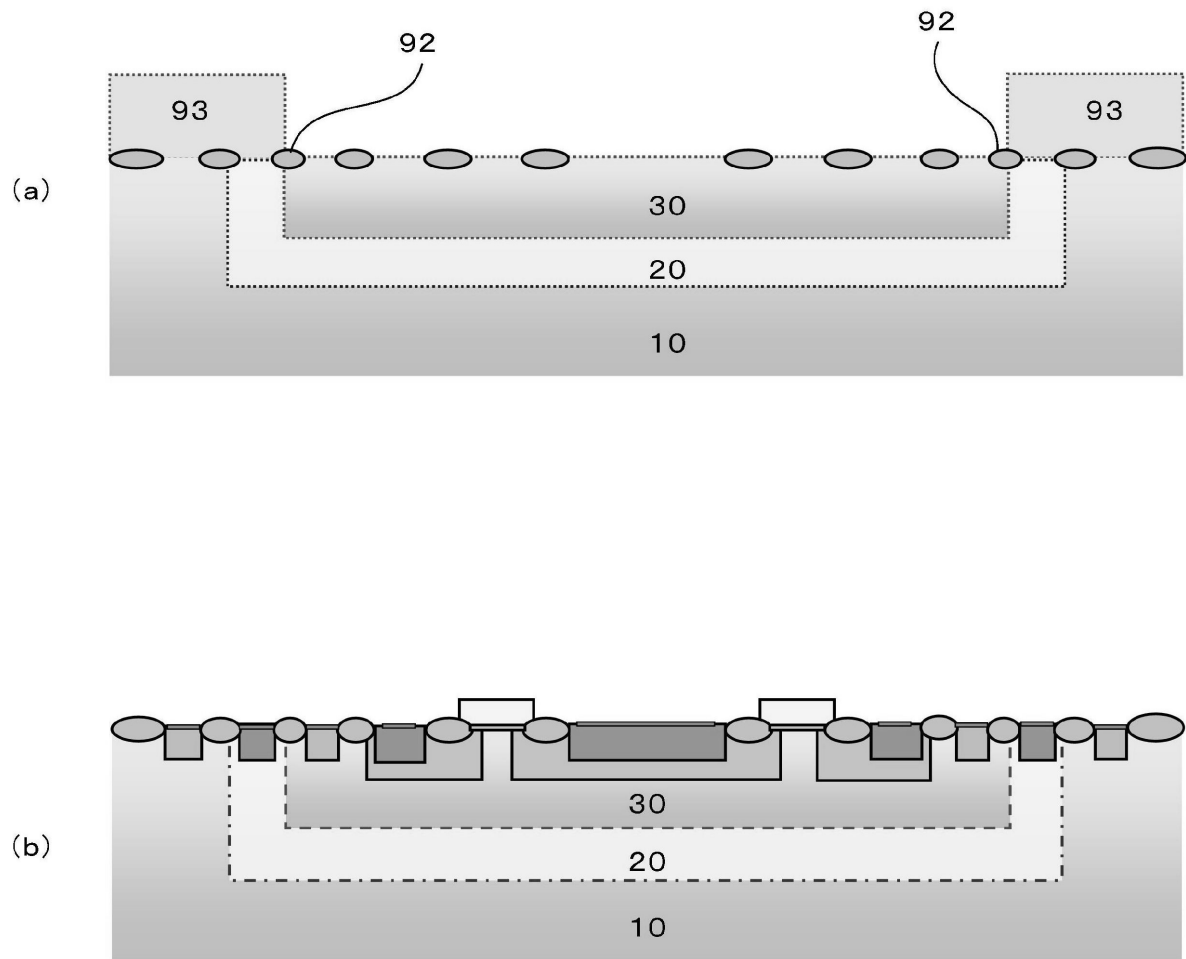
【図 3】



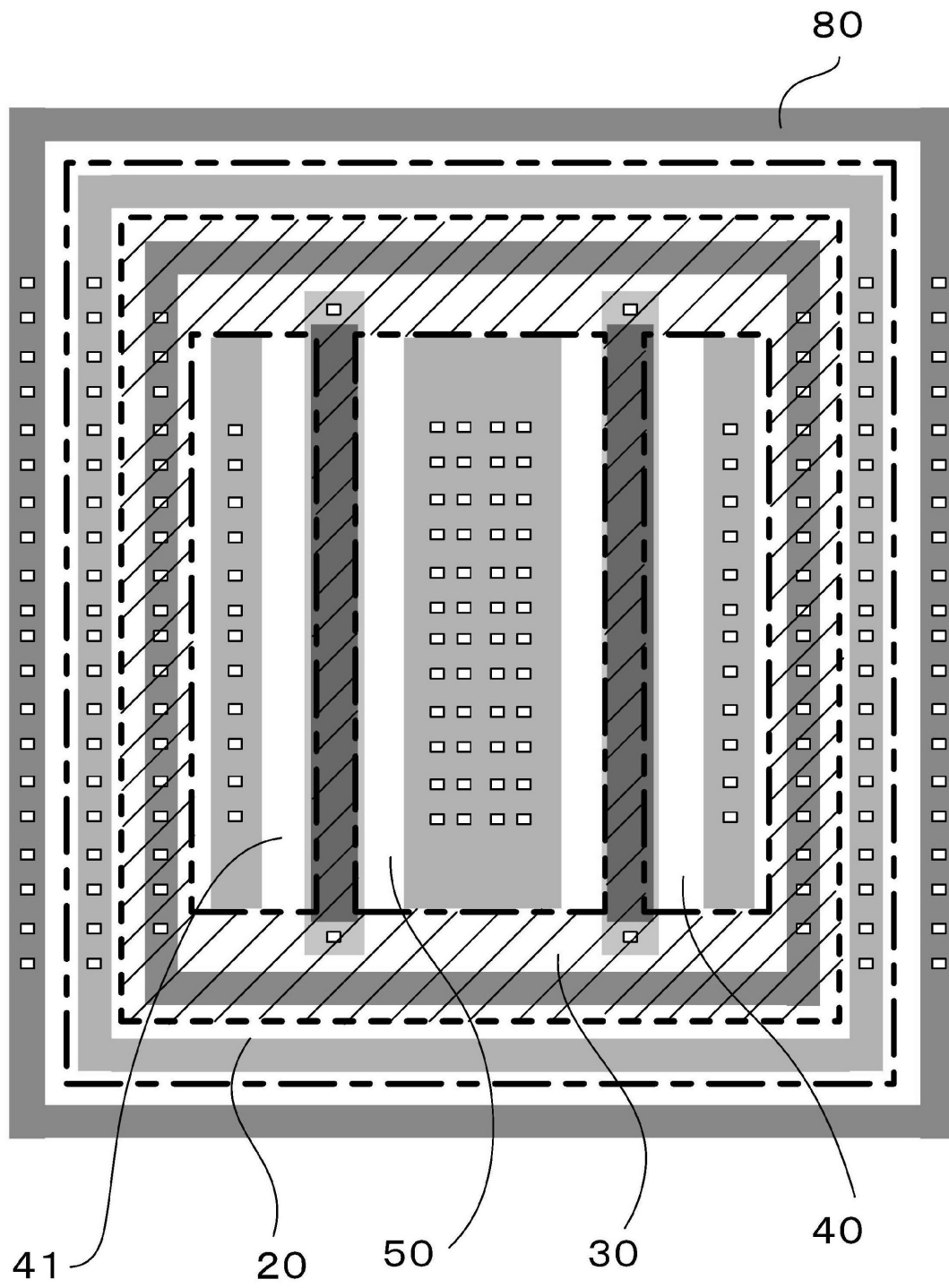
【図 4】



【図 5】



【図6】



A cross-sectional view of a semiconductor device 900. The device features a substrate 910 with a central layer 920. On top of layer 920, there are several components: a central vertical structure 901 with a cross-section symbol at the top (909), flanked by two rectangular blocks 902 and 903. Below these blocks are two circular features 950 and 960. The entire structure is surrounded by a layer 940. The substrate 910 has a central opening 949 and two side openings 948. A label 'BP' is located near the central opening 949.

A cross-sectional view of a device. A central electrode (950) is positioned above a bottom plate (930). The bottom plate (930) is connected to ground. A label 'BP' is located near the bottom plate. An arrow points from the bottom plate (930) towards the central electrode (950). The device is enclosed in a circular boundary (940).

(b)

フロントページの続き

(56)参考文献 特開2010-021228(JP,A)
特開2006-013450(JP,A)
特開2002-026315(JP,A)
特開昭59-217368(JP,A)
特開2009-088139(JP,A)
特開2006-202847(JP,A)
特開2001-110995(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	27/06
H01L	21/822
H01L	21/8238
H01L	27/04
H01L	27/092