



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0075351
(43) 공개일자 2011년07월06일

(51) Int. Cl.

H03K 17/08 (2006.01) H03K 17/04 (2006.01)

(21) 출원번호 10-2009-0131784

(22) 출원일자 2009년12월28일

심사청구일자 2009년12월28일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

윤광섭

인천광역시 남구 용현동 인하대학교 하이테크 804호

임동균

인천광역시 남구 용현동 인하대학교 하이테크 810호

(74) 대리인

이원희

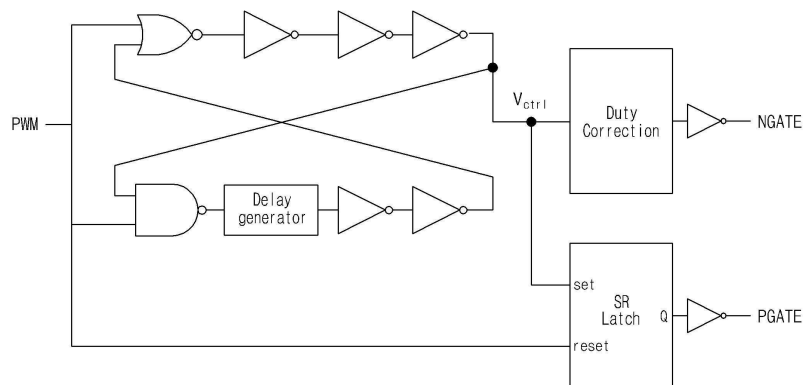
전체 청구항 수 : 총 3 항

(54) 전류원을 이용한 가변적 사구간 제어회로

(57) 요약

본 발명은 반도체 회로설계기술 중 파워매니지먼트(Power Management) IC에 대한 것으로 본 발명에 의한 가변적인 사구간 제어기는 PWM신호를 입력받는 NOR 게이트, NOR 게이트의 출력을 입력받는 제1 NOT 게이트, 제1 NOT 게이트의 출력을 입력받는 제2 NOT 게이트, 제2 NOT 게이트의 출력을 입력받는 제3 NOT 게이트, PWM신호를 입력받는 NAND 게이트, NAND 게이트의 출력을 입력받는 지연발생회로부, 지연발생회로부의 출력을 입력받는 제4 NOT 게이트, 제4 NOT 게이트의 출력을 입력받는 제5 NOT 게이트, 제3 NOT 게이트의 출력은 NAND 게이트의 또 다른 입력으로 되고, 제5 NOT 게이트의 출력은 NOR 게이트의 또다른 입력으로 되며, 제 3 NOT 게이트의 출력을 입력받는 듀티보정회로부, 듀티보정회로부의 출력을 입력받는 제 6 NOT 게이트, PWM신호와 제 3NOT 게이트의 출력을 각각 set, reset으로 입력받는 SR 래치 및 SR 래치의 출력을 입력받는 제 7NOT게이트를 포함하며 스위치의 효율을 높이고 안정성을 향상시키며 사구간의 효과적인 제어가 가능한 회로이다.

대표도 - 도11



이 발명을 지원한 국가연구개발사업

과제고유번호 C1090-0902-0019

부처명 정보통신부

연구관리전문기관

연구사업명 대학 IT연구센터 육성지원

연구과제명 초광대역(UWB) 무선전송 및 시스템 응용기술

기여율

주관기관 인하대학교

연구기간 2009년 9월 1일 ~ 2010년 8월 30일

특허청구의 범위

청구항 1

PWM신호를 입력받는 NOR 게이트;
 상기 NOR 게이트의 출력을 입력받는 제1 NOT 게이트;
 상기 제1 NOT 게이트의 출력을 입력받는 제2 NOT 게이트;
 상기 제2 NOT 게이트의 출력을 입력받는 제3 NOT 게이트;
 상기 PWM신호를 입력받는 NAND 게이트;
 상기 NAND 게이트의 출력을 입력받는 지연발생회로부;
 상기 지연발생회로부의 출력을 입력받는 제4 NOT 게이트;
 상기 제4 NOT 게이트의 출력을 입력받는 제5 NOT 게이트;
 상기 제3 NOT 게이트의 출력은 상기 NAND 게이트의 또 다른 입력으로 되고, 상기 제5 NOT 게이트의 출력은 상기 NOR 게이트의 또다른 입력으로 되며,
 상기 제 3 NOT 게이트의 출력을 입력받는 듀티보정회로부;
 상기 듀티보정회로부의 출력을 입력받는 제 6 NOT 게이트;
 상기 PWM신호와 상기 제3 NOT 게이트의 출력을 각각 set, reset으로 입력받는 SR 래치; 및
 상기 SR 래치의 출력을 입력받는 제 7 NOT게이트를 포함하는 전류원을 이용한 가변적 사구간제어회로.

청구항 2

청구항 1에서,
 상기 듀티보정회로는,
 입력전원(Vdd)이 전류감지회로(I_{ctrl})에 연결되고,
 상기 전류감지회로와 커패시터(C1)의 일측이 연결되고 상기 커패시터의 타측은 GND에 연결되며,
 상기 전류감지회로와 상기 커패시터의 연결부에 드레인단이 연결되고 소스단은 GND와 연결된 제1 트랜지스터(M1);
 상기 전류감지회로와 상기 커패시터의 연결부에 그라운드단이 연결되고 소스단은 GND에 연결된 제 2트랜지스터;
 상기 입력전원이 소스단에 연결되고 듀티보정회로의 입력단(IN)이 그라운드단에 연결된 제 3 트랜지스터; 및
 상기 듀티보정회로의 입력단(IN)이 그라운드단에 연결되고 소스단이 상기 제 2 트랜지스터의 드레인단에 연결된 제 4 트랜지스터를 포함하는 것을 특징으로 하는 전류원을 이용한 가변적 사구간제어회로.

청구항 3

청구항 1에서,
 상기 지연발생회로는,
 입력전원(Vdd)이 전류감지회로(I_{ctrl})의 일측과 연결되고,
 상기 전류감지회로와 커패시터(C_{delay})의 일측이 연결되고 상기 커패시터의 타측은 GND에 연결되며,
 상기 전류감지회로와 상기 커패시터 사이에 연결된 클록(CLK)을 포함하는 것을 특징으로 하는 전류원을 이용한

가변적 사구간제어회로.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 회로설계기술 중 파워매니지먼트(Power Management) IC에 대한 것으로 스위치의 전도손실을 최소화하고 소장에 안정성을 향상시킬 수 있는 회로설계에 관한 것이다.

배경 기술

[0002] 스위치는 on/off를 반복하면서 VDD에서 GND로 전류가 흐르는 쏜-스루(Shoot-Through)현상이 나타나는바 이러한 현상을 방지하여 전력소비를 막아야 높은 효율을 가진 회로를 구성할 수 있으며, 특히 DC-DC 벅 변환기(강압 변환기)의 효율또한 높일 수 있다. 또한 스위치에는 높은 전류가 형성 되므로 스위치의 안정성도 문제가 있을 수 있다. 따라서 인버터 형식의 스위치를 구동함 있어 각각의 스위치가 동시에 on이 되는 현상을 막아야 한다. 이때 동시에 on이 되는 것을 막는 시간을 Dead-time(사구간)이라고 한다.

[0003] 기존에 사용하던 고정된 시간 구간을 가진 사구간제어기는 효율이 향상되지 못했으며, 기존의 가변적인 시간 구간을 가진 사구간제어기 또한 제어에 문제가 있어 효율이 높지 못했다.

발명의 내용

해결 하고자하는 과제

[0004] 따라서 상기와 같은 문제를 해결하기 위한 본 발명은 스위치의 전도손실을 최소화하여 효율 높은 회로를 구성할 수 있게 한다.

[0005] 또한 본 발명은 스위치의 안정성을 향상시킬 수 있는 회로설계를 가능하도록 한다.

과제 해결수단

[0006] 본 발명에 의한 가변적인 사구간 제어기는 PWM신호를 입력받는 NOR 게이트, NOR 게이트의 출력을 입력받는 제1 NOT 게이트, 제1 NOT 게이트의 출력을 입력받는 제2 NOT 게이트, 제2 NOT 게이트의 출력을 입력받는 제3 NOT 게이트, PWM신호를 입력받는 NAND 게이트, NAND 게이트의 출력을 입력받는 지연발생회로부, 지연발생회로부의 출력을 입력받는 제4 NOT 게이트, 제4 NOT 게이트의 출력을 입력받는 제5 NOT 게이트, 제3 NOT 게이트의 출력을 입력받는 제4 NOT 게이트의 또 다른 입력으로 되고, 제5 NOT 게이트의 출력은 NOR 게이트의 또다른 입력으로 되며, 제 3 NOT 게이트의 출력을 입력받는 듀티보정회로부, 듀티보정회로부의 출력을 입력받는 제 6 NOT 게이트, PWM신호와 제3 NOT 게이트의 출력을 각각 set, reset으로 입력받는 SR 래치 및 SR 래치의 출력을 입력받는 제 7 NOT게이트를 포함한다.

[0007] 또한, 듀티보정회로는 입력전원(Vdd)이 전류감지회로(I_{ctrl})에 연결되고, 전류감지회로와 커패시터(C1)의 일측이 연결되고 커패시터의 타측은 GND에 연결되며, 전류감지회로와 커패시터의 연결부에 드레인단이 연결되고 소스단은 GND와 연결된 제1 트랜지스터(M1), 전류감지회로와 커패시터의 연결부에 그라운드단이 연결되고 소스단은 GND에 연결된 제 2트랜지스터, 입력전원이 소스단에 연결되고 듀티보정회로의 입력단(IN)이 그라운드단에 연결된 제 3 트랜지스터 및 듀티보정회로의 입력단(IN)이 그라운드단에 연결되고 소스단이 제 2 트랜지스터의 드레인단에 연결된 제 4 트랜지스터를 포함하는 것을 특징으로 한다.

[0008] 또한, 지연발생회로는 입력전원(Vdd)이 전류감지회로(I_{ctrl})의 일측과 연결되고, 전류감지회로와 커패시터(C_{delay})의 일측이 연결되고 커패시터의 타측은 GND에 연결되며, 전류감지회로와 커패시터 사이에 연결된 클록(CLK)을 포함하는 것을 특징으로 한다.

효 과

- [0009] 본 발명에 의한 가변적 사구간 제어회로는 스위치의 단락에 의한 타이밍손실을 줄여서 효율성을 높일 수 있고, 안정성을 높이는 효과가 있다.
- [0010] 또한, 본 발명에 의한 가변적 사구간 제어회로는 상승지연시간과 하강지연시간을 동일하게 제어할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0011] 본 발명을 설명함에 앞서 본 발명이 사용된 DC-DC 벡 변환기(강압 변환기)와 변환기에서의 손실에 대해 먼저 살펴본다.
- [0012] 도 1은 본 발명이 사용된 DC-DC 벡 변환기의 구조를 나타내고 있는데, 휴대용으로 적합한 전류모드 펄스폭변조(PWM, Pulse Width Modulation)방식과 휴대용 기기가 스텐바이에서 동작할 때를 고려하여 저부하에서 적합한 펄스 주파수 변조(PFM, Pulse Frequency Modulation) 방식으로 동작을 하는 회로이다.
- [0013] 상기 변환기는 저전력을 사용하는바 이러한 특성에 맞도록 고효율을 달성하기 위한 방법이 필요하게 되는바 이러한 손실에 대해 먼저 설명한다.
- [0014] 상기 변환기에 있어서 생기는 손실은 크게 3가지로 나눌 수 있는데, 가장 큰 손실을 가져오는 것은 전도손실(Conduction loss)이며, 그 중 타이밍손실에 대해 자세히 설명한다.
- [0015] 타이밍 손실은 파워트랜지스터가 스위칭하는 동안에 발생하는 손실을 말하는데, 이를 줄이기 위해서는 1) 파워스위치의 단락회로(short circuit loss)와 2) 파워스위치에 기생적으로 생성되는 바디 다이오드손실(body diode loss)을 각각 염두에 두어야 한다.
- [0016] 먼저 파워 스위치 단락회로의 경우를 설명하면, DC-DC 벡 변환기의 스위치는 인버터 형태로 구성되는데 두 개의 트랜지스터가 상보적으로 동작하여 NMOS가 켜지면 PMOS가 꺼지고, PMOS가 켜지면 NMOS가 꺼지는 형태의 동작형태를 가지고 있다.
- [0017] 하지만 파워스위치의 사이즈는 보통 수만 μm 이므로 MOS에 기생적으로 생성되는 커패시턴스가 커지게 되며 이 경우 스위치가 각각 On/Off되는 시간이 지연된다.
- [0018] 이러한 지연에 의해 순간적으로 두 개의 스위치가 단락이 되면서 매우 큰 전력손실을 가져올 뿐 아니라 파워트랜지스터에도 영향을 끼치게 된다.
- [0019] 따라서 도 2와 같이 NMOS와 PMOS가 동시에 켜지고 꺼지는 시간(t_1 , t_2)인 사구간(Dead-time)이 필요하게 된다.
- [0020] 이하 본 발명에 의한 사구간제어(dead-time control)에 대하여 도면과 함께 상세히 설명한다.
- [0021] 적당한 시간의 사구간을 결정하기란 매우 어렵다. 왜냐하면 파워스위치의 크기, 입력전압, 부하전류 및 기생커패시터와의 상관관계로 결정되기 때문이다. 도 2에 도시된 것과 같이 적절한 사구간인 t_1 , t_2 를 결정하려면 아래의 수식 1, 2에 맞는 t_1 , t_2 를 구해야 한다.

수학식 1

$$\frac{t_1}{t_2} = \frac{(\Delta I) / 2 + I_0}{(\Delta I) / 2 - I_0}$$

[0022]

수학식 2

$$C_x = \frac{t_1 ((\Delta I) / 2 - I_0)}{V_{in}}$$

[0023]

- [0024] 상기 수식 1, 2 에서, t_1 과 t_2 는 각각 도2와 상기에 설명된 사구간의 간격을 의미하고, C_x 는 각 장치에 존재하는 기생 커패시턴스, V_{in} 은 DC-DC 벅 변환기의 입력 전압(도1의 100), ΔI 는 인덕터에 흐르는 리플전류, I_0 는 도 1의 110을 각각 의미한다.
- [0025] 기존의 고정된 시간의 사구간제어기는 도 3에 도시되는데, 이 회로는 각 NOR게이트, NAND게이트, NOT게이트의 연결로 구성되어 지연시간이 고정되기 때문에 부하전류가 바뀌거나 입력전압이 바뀌었을 경우 최대의 효율을 나타내기 어렵고 지연시간을 길게 하기 위해서는 인버터의 개수가 기하급수적으로 늘어나야 하기 때문에 비효율적이다.
- [0026] 이러한 비효율을 해결하기 위해 본 발명이 제안한 사구간제어기가 도 11에 도시되어 있으며, 이를 각 회로로 분석한 도면이 각각 도 4 및 도 5에 도시되어 있다.
- [0027] 도 4는 파워스위치의 NMOS입력신호를 발생시키는데 NOR, NAND, NOT 게이트들과 지연발생회로 및 듀티보정회로로 구성되어 있다.
- [0028] 먼저 입력으로 PWM신호가 들어오면 듀티 보정회로(Duty corrector)를 이용하여 PWM신호의 하강지연시간을 제어한다. 그 후 지연발생회로(Delay generator)를 이용하여 PWM신호의 상승지연시간을 제어하게 된다.
- [0029] 이와 같이 NMOS 입력신호를 발생시키면, 파워스위치의 PMOS와 동기를 맞추기 위하여 래치를 이용하는데, 도 5에서의 SR 래치와 NOT 게이트로 구성되며, PWM신호와 도 4에서 발생하는 V_{ctrl} 신호를 래치로 입력시킨다. 래치는 두 신호의 동기를 맞추어 주는 역할을 하기 때문에 파워스위치의 동기를 맞출 수 있게 된다.
- [0030] 좀 더 자세히 설명을 위하여 도 6과 도 7에 각각 듀티 보정회로와 지연발생회로를 도시하였다.
- [0031] 도 6과 도 7에 있는 전류원은 본 발명에 의한 사구간제어 회로가 전류구동방식의 DC-DC 벅 변환기이므로 전류감지회로를 사용하여야 한다. 이때 사용되는 전류감지회로를 이용하여 전력손실을 최소화 하도록 하였다.
- [0032] 도 6의 듀티 보정회로는 먼저 전류감지회로(I_{ctrl})에서 발생하는 전류를 이용하여 커패시터 C1을 충전한다. 충전되는 시간동안 듀티비율이 바뀌게 된다. 이때 트랜지스터 M1은 커패시터 C1을 방전시키기 위하여 PWM 신호를 인가하여 동기를 맞추는 역할을 한다.
- [0033] 지연발생회로인 도 7은 인가되는 전류감지회로(I_{ctrl})에서 발생하는 전류를 이용하여 커패시터 C_{delay} 를 충전한다. 이때 커패시터를 충전하는 시간동안 지연된다.
- [0034] 이와 같이 도 6과 도 7의 회로를 이용하여 부하전류에 따라서 사구간(Dead-time)을 조절한다.
- [0035] 본 발명에서 제안된 가변적인 사구간제어기(Adjustable Dead time controller)는 도2와 같이 t_1 과 t_2 의 시간을 동일하게 제어할 수 있는 장점을 가지고 있다.
- [0036] 도 8은 본 발명에 의한 가변적인 사구간제어기에 입력되는 NMOS와 PMOS의 입력파형을 나타내고, 도 9는 본 발명에 의한 사구간의 상승지연시간을 도 10은 본 발명에 의한 사구간의 하강지연시간을 각각 도시하고 있다.
- [0037] 도 9와 도 10에서와 같이 상승지연과 하강지연시간이 모두 6ns로 동일함을 알 수 있다.
- [0038] 이상과 같이 본 발명에 의한 가변적인 사구간제어기를 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상 범위내에서 당업자에 의해 다양한 변형이 이루어질 수 있음은 물론이다.

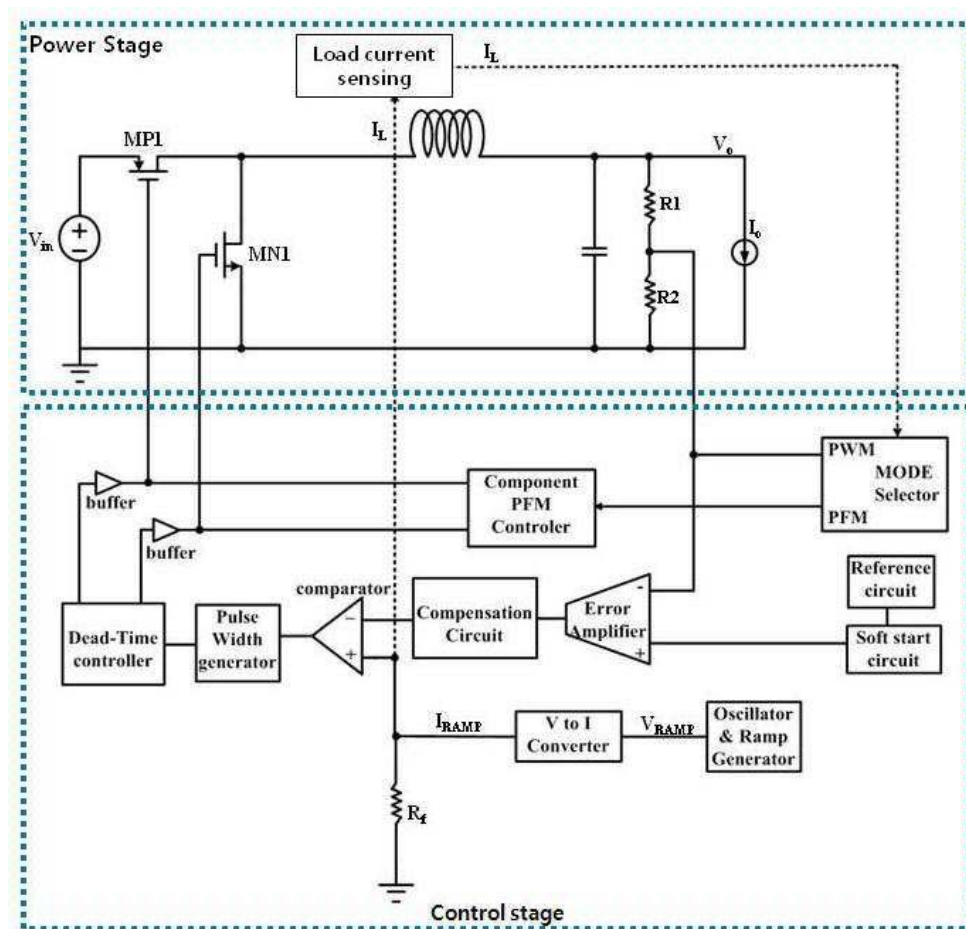
도면의 간단한 설명

- [0039] 도 1은 본 발명의 사구간 제어기가 사용되는 DC-DC 벅 변환기를 나타낸다.
- [0040] 도 2는 스위치의 NMOS와 PMOS가 동시에 켜지고 꺼지는 시간(t_1 , t_2)인 사구간(Dead-time)을 도시한다.
- [0041] 도 3은 기존의 고정된 시간의 사구간제어기를 도시한다.
- [0042] 도 4는 본 발명에 의한 파워스위치의 NMOS입력신호를 발생시키는 회로를 도시한다.

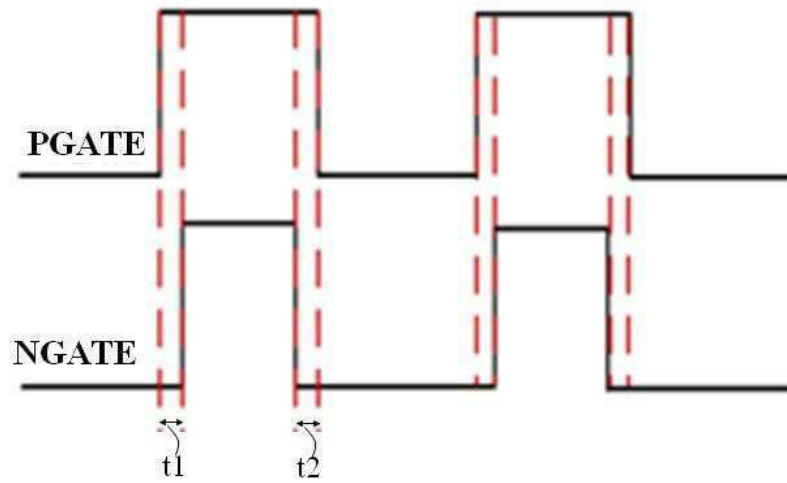
- [0043] 도 5는 본 발명에 의한 파워스위치의 PMOS입력신호를 발생시키는 회로를 도시한다.
- [0044] 도 6은 본 발명에 의한 NMOS입력신호 발생장치내의 듀티 보정회로를 도시한다.
- [0045] 도 7은 본 발명에 의한 NMOS입력신호 발생장치내의 지연발생회로를 도시한다.
- [0046] 도 8은 본 발명에 의한 가변적인 사구간제어기에 입력되는 NMOS와 PMOS의 입력파형을 도시한다.
- [0047] 도 9는 본 발명에 의한 사구간의 상승지연시간을 도시한다.
- [0048] 도 10은 본 발명에 의한 사구간의 하강지연시간을 도시한다.
- [0049] 도 11은 본 발명에 의한 사구간제어기 회로 전체를 도시한다.

도면

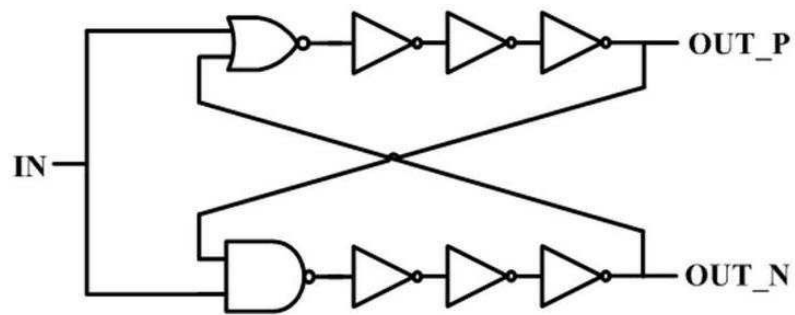
도면1



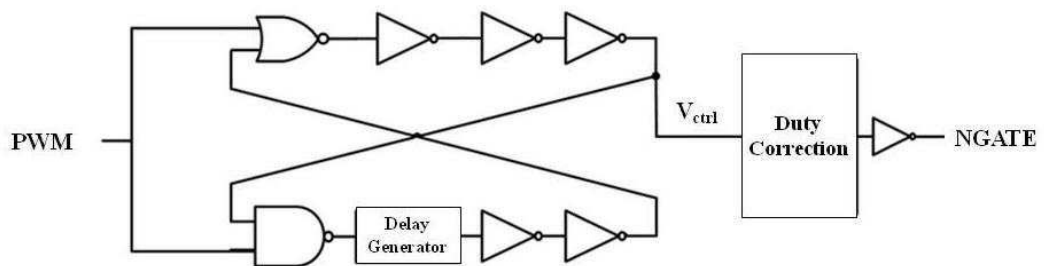
도면2



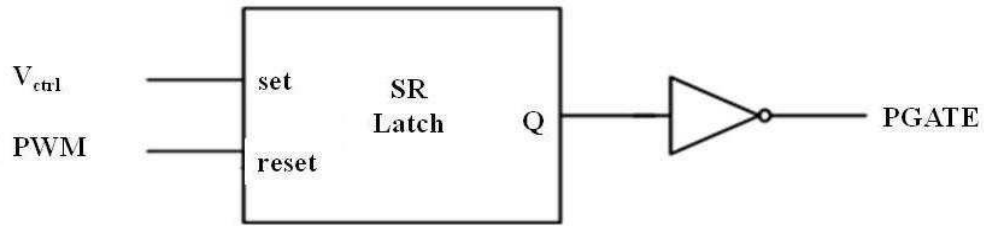
도면3



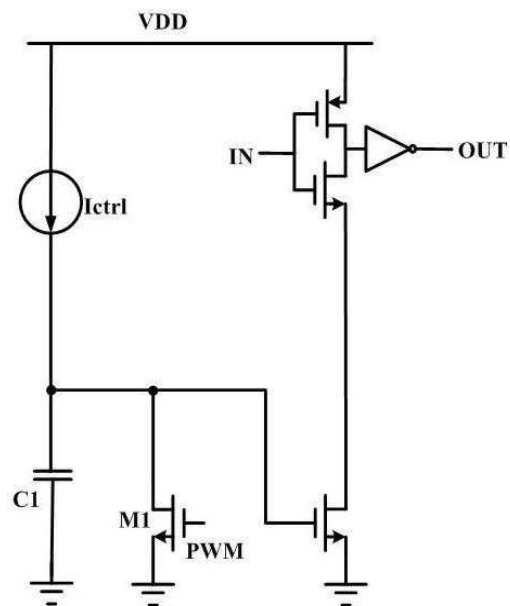
도면4



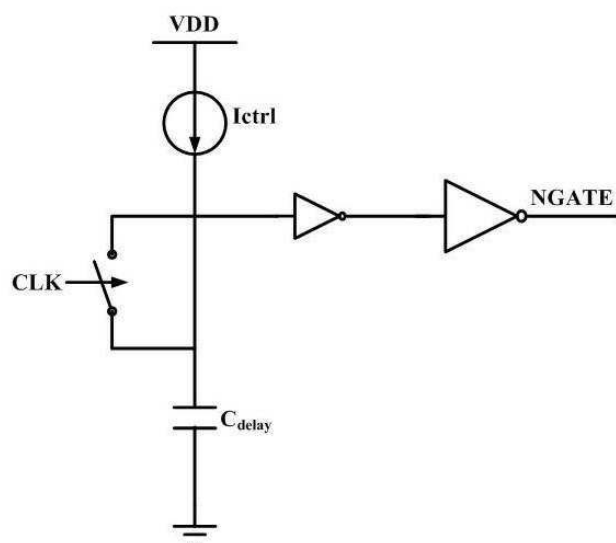
도면5



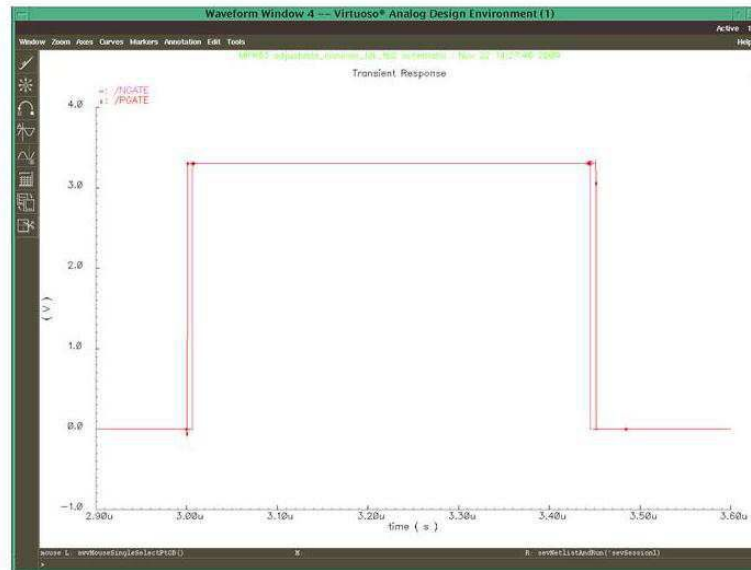
도면6



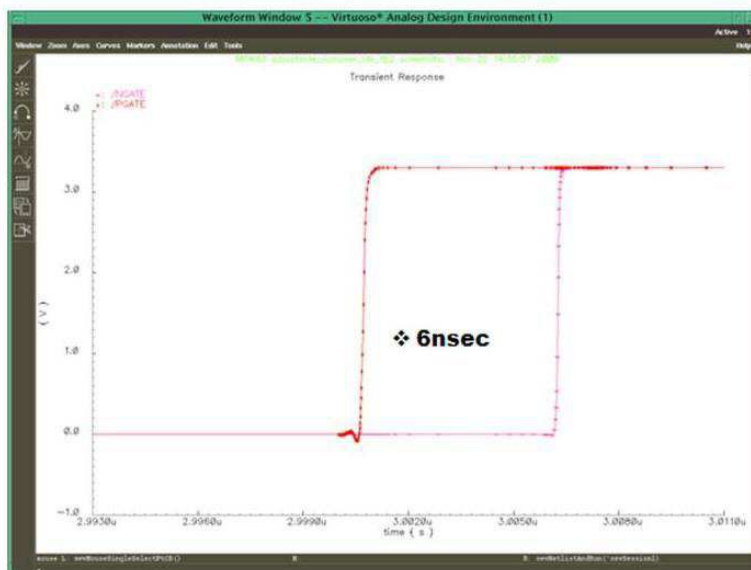
도면7



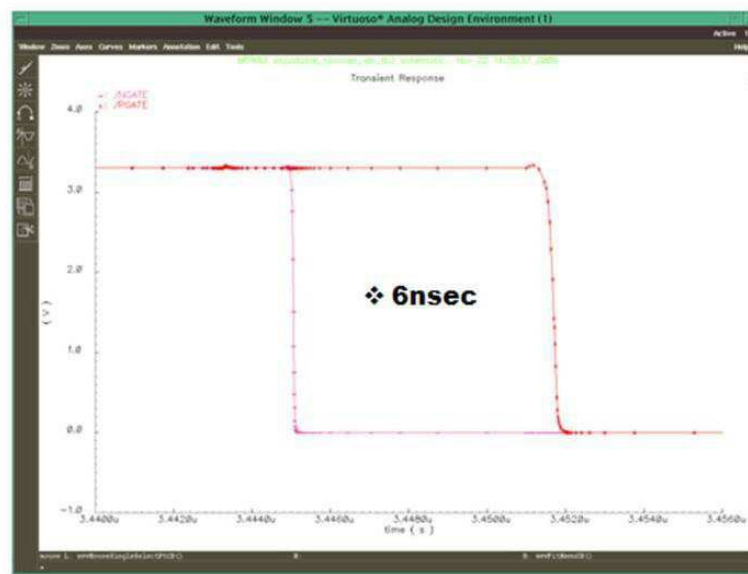
도면8



도면9



도면10



도면11

