

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5095074号
(P5095074)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl.		F I		
HO 1 L 23/12	(2006.01)	HO 1 L 23/12	5 O 1 C	
HO 1 L 25/10	(2006.01)	HO 1 L 23/12	5 O 1 W	
HO 1 L 25/11	(2006.01)	HO 1 L 25/14	Z	
HO 1 L 25/18	(2006.01)			

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2004-239945 (P2004-239945)	(73) 特許権者	390019839
(22) 出願日	平成16年8月19日(2004.8.19)		三星電子株式会社
(65) 公開番号	特開2005-72587 (P2005-72587A)		Samsung Electronics
(43) 公開日	平成17年3月17日(2005.3.17)		Co., Ltd.
審査請求日	平成19年7月27日(2007.7.27)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	2003-057514		129, Samsung-ro, Yeon
(32) 優先日	平成15年8月20日(2003.8.20)	(74) 代理人	100064908
(33) 優先権主張国	韓国 (KR)		弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆

最終頁に続く

(54) 【発明の名称】 パッケージ積層構造

(57) 【特許請求の範囲】

【請求項 1】

2つ以上積層された単位パッケージを含み、各単位パッケージは、
活性面のエッジに複数のチップパッドが形成され、前記チップパッドに連結されたリルーティング配線パターンにより活性面の中央部に複数のソルダーボールパッドが形成された半導体チップと、

前記半導体チップの非活性面に塗布された接着材を通じて前記半導体チップが接着され、上面にボンドフィンガーと下面に基板ランドとが形成された基板と、

前記チップパッドと前記ボンドフィンガー間を電氣的に連結する導電性ワイヤと、

前記ソルダーボールパッドを通じて前記半導体チップに付着される複数のソルダーボールと、

前記基板上の前記半導体チップと前記導電性ワイヤとを覆うように形成されるが、前記ソルダーボールは露出させるように形成された封止材と、を含み、

上部パッケージの前記ソルダーボールと下部パッケージの前記基板ランドとが接続されたパッケージ積層構造。

【請求項 2】

前記基板は対応する前記半導体チップのエッジ外側に延長されたエッジを有することを特徴とする請求項 1 に記載のパッケージ積層構造。

【請求項 3】

最上部に積層された他の BGA パッケージをさらに含み、前記他の BGA パッケージの

ソルダーボールとその下部パッケージの基板ランドとが接続され、
前記他の B G A パッケージは、
基板と、
前記基板の上面に接着された半導体チップと、
前記半導体チップの上面に具備された複数のソルダーボールと、
前記基板上的前記半導体チップを覆うように形成されるが、前記ソルダーボールは露出させるように形成された封止材と、を含む請求項 1 に記載のパッケージのパッケージ積層構造。

【請求項 4】

積層された上部パッケージと下部パッケージとを含み、
前記上部パッケージは、
基板と、
前記基板の上面に接着された半導体チップと、
前記半導体チップの上面に具備された複数のソルダーボールと、
前記基板上的前記半導体チップを覆うように形成されるが、前記ソルダーボールは露出させるように形成された封止材と、を含み、

前記下部パッケージは、
活性面のエッジに複数のチップパッドが形成され、前記チップパッドに連結されたリルーティング配線パターンにより活性面の中央部に複数のソルダーボールパッドが形成された半導体チップと、

前記半導体チップの非活性面に塗布された接着材を通じて前記半導体チップが接着され、上面にボンドフィンガーと下面に基板ランドとが形成された基板と、

前記チップパッドと前記ボンドフィンガー間を電気的に連結する導電性ワイヤと、
前記ソルダーボールパッドを通じて前記半導体チップに付着される複数のソルダーボールと、

前記基板上的前記半導体チップと前記導電性ワイヤとを覆うように形成されるが、前記ソルダーボールは露出させるように形成された封止材と、を含み、

前記上部パッケージの前記ソルダーボールと前記下部パッケージの前記基板ランドとが接続されたパッケージ積層構造。

【請求項 5】

前記基板は対応する前記半導体チップのエッジ外側に延長されたエッジを有することを特徴とする請求項 4 に記載のパッケージ積層構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はパッケージ及びその製造方法に係り、より詳細には、B G A (B a l l G r i d A r r a y) パッケージとその製造方法、そしてその B G A パッケージを単位パッケージとして複数積層された形態のパッケージ積層構造に関する。

【背景技術】

【0002】

一般的に、半導体ウェーハに各種工程により複数の半導体チップが構成された場合、スクライプラインに沿って半導体ウェーハを切断して別個の半導体チップに分離させる。分離された半導体チップに対してはボード実装のためのパッケージング工程が実施される。パッケージング工程によって半導体パッケージが完成される。このような半導体パッケージは電子機器の集約的な発達及び小型化の傾向により薄型化されると共に、高集積化、高機能化が要求される。

【0003】

より狭い面積により多数の半導体チップを実装するために C S P (C h i p S c a l e P a c k a g e) を適用しようとする研究が活発である。C S P は半導体チップが最終的にパッケージング完了した後、パッケージの面積と半導体チップの面積比が 1.2 以下

10

20

30

40

50

であるので、他の種類のパッケージに比べて実装時に占める面積が狭い。C S Pの種類には、 μ B G A、W B G A (W i r e b o n d i n g B G A)、及びF B G A (F i n e p i t c h B G A) などがある。

【 0 0 0 4 】

図 1 に示した C S P は W B G A であって、活性面のエッジにチップパッド 1 0 が形成されたエッジパッド型チップ 5 が基板 2 0 上面に接着材 1 5 によって付着されている。ボンディングワイヤ 2 5 がチップパッド 1 0 と基板 2 0 の金属パターン (図示せず) とを連結している。ソルダーマスク 3 5 がチップ 5 の反対側の基板 2 0 面に導入され、ソルダーマスク 3 5 のサイトを通じてソルダーボール 4 0 が付着されている。成形樹脂 4 5 はチップ 5 の露出された面がないようにソルダーボール 4 0 側を除外した残りの部分を全部覆うように形成されている。

10

【 0 0 0 5 】

このような構造のパッケージを製造するためには、モールドイングなどで成形樹脂 4 5 を形成した後、ソルダーボール 4 0 を付着する。このために、成形樹脂 4 5 で取り囲まれていない基板 2 0 面の方にソルダーボール 4 0 を付着する。反対側、すなわちチップ 5 の方にソルダーボールを付けようとするれば、別途のパターニング工程や追加基板が必要である。

【 0 0 0 6 】

一方、より狭い面積により多くの数の半導体チップを実装するために何枚かのパッケージを垂直に積層して使用する場合がある。そのような場合、パッケージは狭い面積を占めるだけでなく、積層するに容易な構造でなければならない。特許文献 1 には小型化されるか縮小されたチップパッケージ製造方法が開示されている。

20

【特許文献 1】韓国登録特許 0 3 5 3 1 7 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

本発明が解決しようとする技術的課題は、パッケージ積層が容易な構造のパッケージを提供することである。

【 0 0 0 8 】

本発明が解決しようとする他の技術的課題は、占める面積の狭いパッケージ積層構造を提供することである。

30

【 0 0 0 9 】

本発明が解決しようとするさらに他の技術的課題は、パターニング工程や追加基板を必要とせず、チップの方にソルダーボールを付着したパッケージ製造方法を提供することである。

【課題を解決するための手段】

【 0 0 1 0 】

前記技術的課題を解決するための本発明によるパッケージは、基板、前記基板の上面に接着された半導体チップ、前記半導体チップの上面に具備された複数のソルダーボール、及び前記基板上の前記半導体チップを覆うように形成されるが、前記ソルダーボールは露出させるように形成された封止材を含む B G A パッケージである。

40

【 0 0 1 1 】

実施例によれば、次のような B G A パッケージが提供される。B G A パッケージは、活性面のエッジに複数のチップパッドが形成され、前記チップパッドに連結されたリルーティング配線パターンにより活性面の中央部に複数のソルダーボールパッドが形成された半導体チップを含む。前記半導体チップはその非活性面に塗布された接着材を通じて基板の上面に接着されているが、前記基板は上面にボンДФィンガー (フィンガー) と下面に基板ランドとが形成されて対応する前記半導体チップのエッジ外側に延長されたエッジを有することである。前記チップパッドと前記ボンДФィンガー間は導電性ワイヤで電氣的に連結されている。前記ソルダーボールパッドには複数のソルダーボールが付着されている

50

。前記基板上の前記半導体チップと前記導電性ワイヤとを覆うように形成されるが、前記ソルダーボールは露出させるように封止材が形成されている。

【0012】

このようなパッケージは前記本発明が解決しようとする他の技術的課題を解決するために、上部パッケージのソルダーボールと下部パッケージの基板ランドとが接続された構造で2つ以上のパッケージが積層でき、狭い面積を占めるパッケージ積層構造を提供する。

【0013】

この時、最上部に積層された他のBGAパッケージをさらに含み、前記上部パッケージの基板ランドと前記他のBGAパッケージのソルダーボールが接続され、前記他のBGAパッケージは、基板、前記基板の上面に接着された半導体チップ、前記半導体チップの上面に具備された複数のソルダーボール、及び前記基板上の前記半導体チップを覆うように形成されるが、前記ソルダーボールは露出させるように形成された封止材を含むことでありうる。

10

【0014】

のみならず、このようなパッケージ1つの上に他のBGAパッケージが積層されうるが、ここでも前記パッケージの基板ランドと前記他のBGAパッケージのソルダーボールとが接続される。

【0015】

前記のさらに他の技術的課題を解決するための本発明によるパッケージ製造方法では、基板上面に半導体チップを接着する。前記半導体チップの上面に複数のソルダーボールを付着した後、前記ソルダーボールより低く前記半導体チップの上面と側面とを保護する封止材を形成する。

20

【0016】

前記のさらに他の技術的課題を解決するための本発明による他のパッケージ製造方法では、活性面のエッジに複数のチップパッドが形成され、前記チップパッドに連結されたりルーティング配線パターンにより活性面の中央部に複数のソルダーボールパッドが形成された半導体チップを、上面にボンドフィンガーと下面に基板ランドとが形成され、対応する前記半導体チップのエッジの外側に延長されたエッジを有する基板上に接着する。前記ソルダーボールパッドにソルダーボールを付着した後、前記チップパッドと前記ボンドフィンガー間を導電性ワイヤで連結させてワイヤボンディングする。次いで、前記ソルダーボールより低く前記半導体チップの上面と側面、ワイヤボンディングされた部分を保護する封止材を形成する。

30

【発明の効果】

【0017】

本発明によるBGAパッケージ製造方法では、カプセル化工程の進行前にソルダーボールを付着することによってカプセル化後、ソルダーボールを付着する従来の製造方法と工程順序を別にする。このような順序変更を通じて、半導体チップの上面方向にソルダーボールを付着するための別途のパターニング工程や別途の基板を利用せずにパッケージが製造できる。したがって、組立て手順を非常に簡素化して製造コスト及び処理コストが節減できる。のみならず、パッケージの厚さが薄くて有利である。

40

【発明を実施するための最良の形態】

【0018】

以下、図面を参照して本発明による実施例を説明する。しかし、本発明は以下で開示される実施例に限定されるものでなく、異なる多様な形態に具現されるものであり、ただ、本実施例は本発明の開示を完全にし、当業者に発明の範疇を完全に知らせるために提供されるものであり、本発明は特許請求の範囲により定義されるだけである。

【0019】

[第1実施例]

図2ないし図6は、本発明の第1実施例によるBGAパッケージ及びその製造方法を説明するための図面であって、図4ないし図6は、図2のA'-A"断面に対応する。そし

50

て、図7は本発明の第1実施例の変形例によるBGAパッケージの断面図である。

【0020】

まず、図2と同じ半導体チップ100を準備する。半導体チップ100は上面にソルダーボールを置かれるように複数のソルダーボールパッド115を有したものである。ソルダーボールパッド115は銅やアルミニウムを蒸着した後でパターニングしたものであって、その上面には金及びニッケルをメッキして、ソルダーボールを堅固に融着させうる。

【0021】

このような半導体チップ100を図3と同じ基板120上面に接着する。接着された後の断面形状は図4と同じである。半導体チップ100と基板120とは接着剤または両面接着テープのような接着材150を媒介として接着する。例えば、ペースト形態またはプレフォームされたフィルムの形態のエポキシまたは熱可塑性物質などのような接着材料が使用できる。半導体チップ100の露出される面がないように、基板120のサイズは半導体チップ100と同じか、さらに大きいことが良い。したがって、基板120のエッジは対応する半導体チップ100のエッジ外側に延びていることが望ましい。

10

【0022】

本実施例で、半導体チップ100と基板120間に介在された接着材150が導電性を帯びる場合に半導体チップ100と基板120とが電氣的に接続されうる。導電性接着材の代りに、ソルダーボール、スタッドバップ、導電性ペースト、導電膜または他の任意の機械的であるか、冶金学的な相互接続を含む他のフリップチップ接続方法を使用することも考慮できる。しかし、本実施例で半導体チップ100と基板120とが必ずしも電氣的に接続される必要はない。電氣的に接続されていない場合、基板120は単に半導体チップ100のパッケージングのための支持部材として使われることになる。

20

【0023】

次に、図5のように、半導体チップ100の上面に複数のソルダーボール160を付着する。ソルダーボール160はソルダーボールパッド115に定着させた後、高温のファーンネスに投入する。それにより、ソルダーボール160がリフローされながら熱融着される。ソルダーボール160の直径は約300 μ m程度でありうる。

【0024】

次に、図6を参照して、ソルダーボール160より低く半導体チップ100上面と側面とを保護する封止材180を形成してBGAパッケージP1製造を完了する。封止材180としては、液状封止材を使用して硬化でき、その種類は多様に変更可能である。これは半導体チップ100を外部の埃、湿気及び機械的接触などから保護させる。

30

【0025】

液状封止材は通常ディスペンサーを利用して作業する。常温で液状を維持し、空気中に露出された時に固くなる性質があるので、ディスペンサーを利用して液状封止材を基板120の上部に塗布すれば、液状封止材が半導体チップ100の上面と側面とにまかれて徐々に硬化される。

【0026】

この時、図7でのように封止材180'が半導体チップ100の上面を覆うBGAパッケージP2を製造することもできる。その場合、半導体チップ100上面での厚さがソルダーボール160高さより低く形成されてソルダーボール160を露出させるように形成する。

40

【0027】

半導体チップ100と基板120を電氣的に接続するためにソルダーバンプや他の導電性バンプを利用する場合に、封止材180、180'は半導体チップ100と基板120間の空間を充填するためのアンダーフィルとも使われ、基板120の周囲にフィレットが形成できる。

【0028】

以上で詳細に説明したように、本発明によるBGAパッケージ製造方法の実施例では封止材180、180'を形成するカプセル化工程の進行前にソルダーボール160を付着

50

することによって、従来のカプセル化工程の進行後、ソルダーボールを付着する場合に比べて、半導体チップ100の上面にソルダーボールの付着のための別途のパターニング工程や別途の基板が不要である。したがって、本発明の製造方法によれば、パターニング工程や追加基板を必要とせず半導体チップの方にソルダーボールを付着したパッケージを製造できる。

【0029】

図6及び図7に示したように、本発明の実施例によるBGAパッケージP1またはP2は、基板120、基板120上面に接着された半導体チップ100、半導体チップ100上面に具備された複数のソルダーボール160、及び基板120上の半導体チップ100を覆うように形成されるが、ソルダーボール160は露出させるように形成された封止材180または180'を含む。

10

【0030】

このようなBGAパッケージP1またはP2は半導体チップ100の方にソルダーボール160が付着された構造でありながらも別途の基板などを必要としないので、カプセル化時に必要な垂直的空間が最小化されたものである。したがって、パッケージが薄いことが長所である。

【0031】

[第2実施例]

図8ないし図14は、本発明の第2実施例によるBGAパッケージ及びその製造方法を説明するための図面であって、図10及び図11は、図8のB'-B"断面に対応する。そして、図13及び図14は、図12のC'-C"断面に対応する。

20

【0032】

図8に示したものと半導体チップ200とを準備する。この半導体チップ200は活性面のエッジに複数のチップパッド205が形成され、チップパッド205に連結されたリルーティング配線パターン210により活性面の中央部に複数のソルダーボールパッド215が形成されている。

【0033】

チップパッド205はアルミニウムまたは銅材質で半導体製造工程で形成されたものである。一般的に、チップパッド205だけを露出させ、半導体チップ200上面は保護するパッシベーション膜(図示せず)が形成されたまま、半導体製造工程が完了する。そのような半導体チップ200の上面にリルーティング配線パターン210とソルダーボールパッド215との形成からパッケージング工程が始まる。リルーティング配線パターン210とソルダーボールパッド215とは銅またはアルミニウムのような導電膜を蒸着した後、パターニングして形成し、ソルダーボールパッド215の上面には金及びニッケルをメッキしてソルダーボールを堅固に融着させる。1つのパターニングされたリルーティング配線パターン210は半導体チップ200のエッジ側に形成され、露出された1つのチップパッド205を外部接続端子として、今後各ソルダーボールパッド215上に1つずつ形成されるソルダーボールと接続させる。例えば、各パターニングされたリルーティング配線パターン210は、例えば幾つかのアドレス電極、接地電極、データ信号伝送用のデータ電極、幾つかの制御信号送受信用の制御電極(具体的に信号記録用、信号判読用、信号選択用、及び信号制御用)、及び電力供給用電極Vcc(これらはチップパッド205として形成される)からそれぞれの該当するソルダーボールまで延びるように1つずつ形成される。

30

40

【0034】

次に、このような半導体チップ200を図9に示したような基板220上面に接着する。接着された後の断面形状は図10と同じである。基板220は上面エッジの方にボンДФィンガー225を有する。ボンДФィンガー225は銅などをパターニングして形成したものであって、表面には、例えば銀をメッキした後導電性ワイヤが良好にボンディングされうる。基板220の下面には基板ランド230が形成されている。そして、基板220は対応する半導体チップ200のエッジの外側に延長されたエッジを有してボンДФィ

50

ンガー 225 が半導体チップ 200 の外側に出なければならない。半導体チップ 200 と基板 220 とは接着剤または両面接着テープのような接着材 250 を媒介として接着する。例えば、ペースト状またはプレフォームされたフィルムの形態であるエポキシまたは熱可塑性物質などの接着材料が使用できる。

【0035】

次に、図 11 に示したように、ソルダーボールパッド 215 にソルダーボール 260 を付着する。ソルダーボール 260 はソルダーボールパッド 215 に定着させた後、熱融着させて付着する。

【0036】

次に、チップパッド 205 とボンドフィンガー 225 間を導電性ワイヤ 270 で連結させてワイヤボンディングする。図 12 は、ワイヤボンディングされた状態を示す上面図であり、図 13 は、図 12 の C' - C'' 断面である。導電性ワイヤ 270 は金やアルミニウムなどの導電性材質よりなるものである。

【0037】

次いで、図 14 に示したように、ソルダーボール 260 より低く半導体チップ 200 上面と側面とを保護する封止材 280 を形成して BGA パッケージ P3 を製造する。封止材 280 は導電性ワイヤ 270 でボンディングされた部分も覆うように形成する。封止材 280 は半導体チップ 200 の上面を覆うように形成するが、半導体チップ 200 の上面での厚さがソルダーボール 260 より低く形成してソルダーボール 260 を露出させる。封止材 280 としては液状封止材が使用でき、その種類は多様に変更可能である。これは導電性ワイヤ 270 と半導体チップ 200 のチップパッド 205 とを外部の埃、湿気及び機械的接触などから保護されるようにする。液状封止材を基板 220 の上部に塗布すれば、液状封止材が導電性ワイヤ 270 及び半導体チップ 200 のチップパッド 205 上にまかれて徐々に硬化される。

【0038】

以上で詳細に説明したように、本発明による BGA パッケージ製造方法の実施例では封止材 280 を形成するカプセル化工程の進行前にソルダーボール 260 を付着することによって、従来のカプセル化工程の進行後、ソルダーボールを付着する場合に比べて、半導体チップ 200 の上面にソルダーボール付着のための別途のパターニング工程や別途の基板が不要である。したがって、本発明の製造方法によれば、パターニング工程や追加基板を必要とせずに、半導体チップの方にソルダーボールを付着したパッケージを製造できる。

【0039】

図 14 は、このように製造した BGA パッケージ P3 構造である。示されたように、BGA パッケージは、活性面のエッジに複数のチップパッド 205 が形成され、活性面の中央部に複数のソルダーボールパッド 215 が形成された半導体チップ 200 を含む。半導体チップ 200 はその非活性面に塗布された接着材 250 を通じて基板 220 の上面に接着されているが、基板 220 は上面にボンドフィンガー 225 と下面に基板ランド 230 とが形成されており、対応する半導体チップ 200 のエッジの外側に延長されたエッジを有するものである。チップパッド 205 とボンドフィンガー 225 間は導電性ワイヤ 270 で電氣的に連結されている。ソルダーボールパッド 215 には複数のソルダーボール 260 が付着されている。封止材 280 は基板 220 上の半導体チップ 200 と導電性ワイヤ 270 とを覆うように形成されている。特に、ソルダーボール 260 は覆わずに、ソルダーボール 260 より低く封止材 280 が形成されている。

【0040】

このような BGA パッケージ P3 はカプセル化時に必要な垂直的空間を最小化してパッケージの厚さが薄いだけでなく、基板 220 の一面（具体的に基板ランド 230 が形成された側）が別途の工程進行なしにベア（むき出しの）状態に残ってパッケージ積層が可能になる。

【0041】

【第3実施例】

図15ないし図17は、本発明の実施例によるパッケージを積層した構造の例を示した断面図である。特に、前の第2実施例で説明したようなBGAパッケージP3の基板ランド230を利用してパッケージを積層した構造である。

【0042】

まず、図15は2つ以上、例えば4つのBGAパッケージP3が積層された構造を示した図である。示したように、上部パッケージのソルダーボール260と下部パッケージの基板ランド230とが直ちに接続された構造である。

【0043】

BGAパッケージP3で基板ランド230が形成された方が別途工程の進行なしにベア状態に残るので、BGAパッケージP3を順に積み上げ、上部パッケージのソルダーボール260と下部パッケージの基板ランド230とが接続されてパッケージ積層が非常に容易である。また、BGAパッケージP3はCSPでありながら、パッケージの厚さが薄い。したがって、積層構造のパッケージは狭い面積を占めるだけでなく、垂直的空間も狭く占める。

【0044】

図16は、2つ以上、例えば3つのBGAパッケージP3が積層された上、第1実施例の変形例として説明したBGAパッケージP2をさらに積層した構造を示した図である。ここでも、BGAパッケージP3同士は上部パッケージのソルダーボール260と下部パッケージの基板ランド230とが接続される。特に、基板ランドのないBGAパッケージP2は最上部に位置し、BGAパッケージP2のソルダーボール160がその下のBGAパッケージP3の基板ランド230に接続されて積層される。

【0045】

図17は、1つずつのBGAパッケージP3とBGAパッケージP2とが積層された構造を示した図である。基板ランドのないBGAパッケージP2が最上部に位置し、BGAパッケージP2のソルダーボール160がその下のBGAパッケージP3の基板ランド230に接続されて積層される。

【0046】

以上、本発明を望ましい実施例を挙げて詳細に説明したが、本発明は前記実施例に限定されず、本発明の技術的思想内で当業者によって色々な多くの変形が可能であることは明らかである。

【産業上の利用可能性】

【0047】

本発明による製造方法で製造するBGAパッケージは、基板ランドが形成された基板の一面が別途の工程の進行なしにベア状態に残ってパッケージ積層が非常に容易になる。これを利用したパッケージ積層構造はNANDフラッシュかDRAMに適用時に別途空間のサイズ増加なしにメモリを増加できて有用である。

【図面の簡単な説明】

【0048】

【図1】従来のWBGAパッケージを図示する図である。

【図2】本発明の第1実施例によるBGAパッケージ及びその製造方法を説明するための平面図である。

【図3】本発明の第1実施例によるBGAパッケージ及びその製造方法を説明するための平面図である。

【図4】本発明の第1実施例によるBGAパッケージ及びその製造方法を説明するための図であって、最初の工程を示す図2のA'-A"断面に対応する図である。

【図5】図4の次の工程を示す図である。

【図6】図5の次の工程を示す図である。

【図7】本発明の第1実施例の変形例によるBGAパッケージの断面図である。

【図8】本発明の第2実施例によるBGAパッケージ及びその製造方法を説明するための

10

20

30

40

50

平面図である。

【図 9】本発明の第 2 実施例による BGA パッケージ及びその製造方法を説明するための平面図である。

【図 10】本発明の第 1 実施例による BGA パッケージ及びその製造方法を説明するための図であって、最初の工程を示す図 8 の B' - B" 断面に対応する図である。

【図 11】図 10 の次の工程を示す図である。

【図 12】ワイヤボンディングされた状態を示す平面図である。

【図 13】図 12 の C' - C" 断面に対応する図である。

【図 14】図 12 の C' - C" 断面に対応する図である。

【図 15】本発明の実施例によるパッケージを積層したパッケージ積層構造の例を示した断面図である。

10

【図 16】本発明の実施例によるパッケージを積層したパッケージ積層構造の例を示した断面図である。

【図 17】本発明の実施例によるパッケージを積層したパッケージ積層構造の例を示した断面図である。

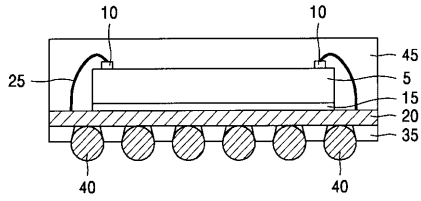
【符号の説明】

【0049】

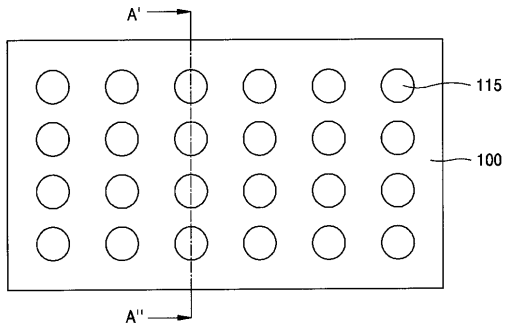
P 3	BGA パッケージ
2 0 0	半導体チップ
2 0 5	チップパッド
2 1 5	ソルダーボールパッド
2 2 0	基板
2 2 5	ボンドフィンガー
2 3 0	基板ランド
2 5 0	接着材
2 6 0	ソルダーボール
2 7 0	導電性ワイヤ
2 8 0	封止材

20

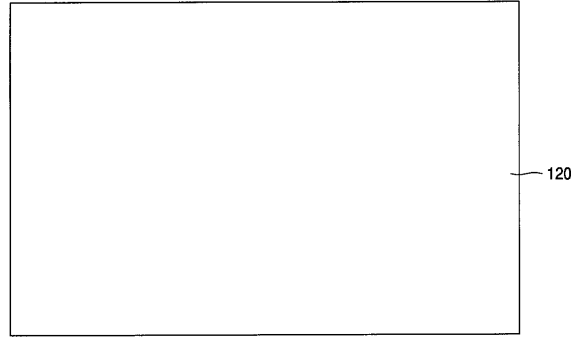
【 図 1 】



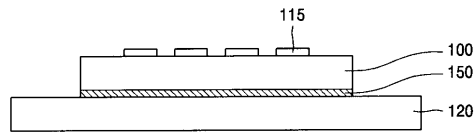
【 図 2 】



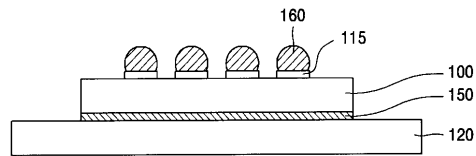
【 図 3 】



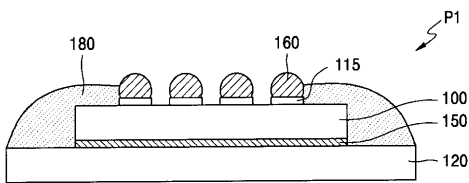
【 図 4 】



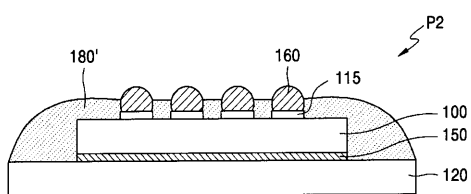
【 図 5 】



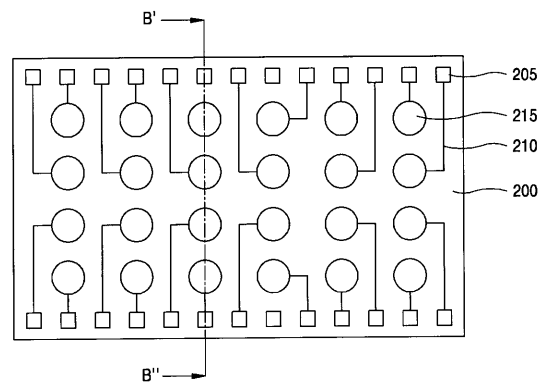
【 図 6 】



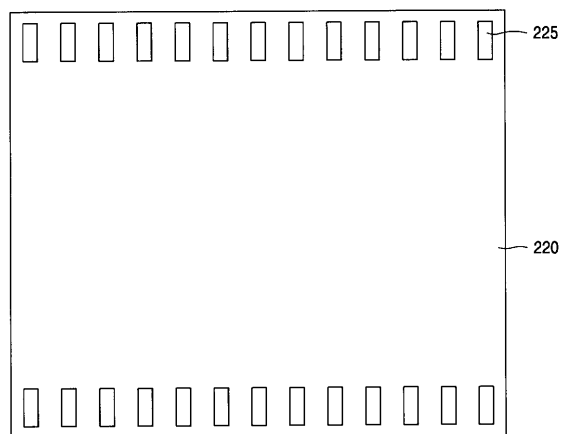
【 図 7 】



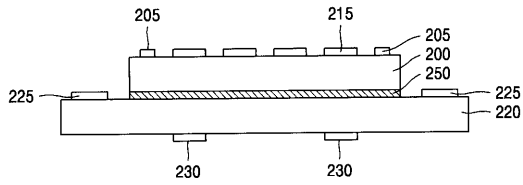
【 図 8 】



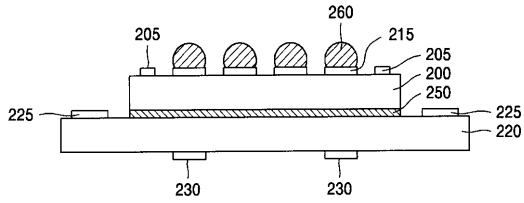
【 図 9 】



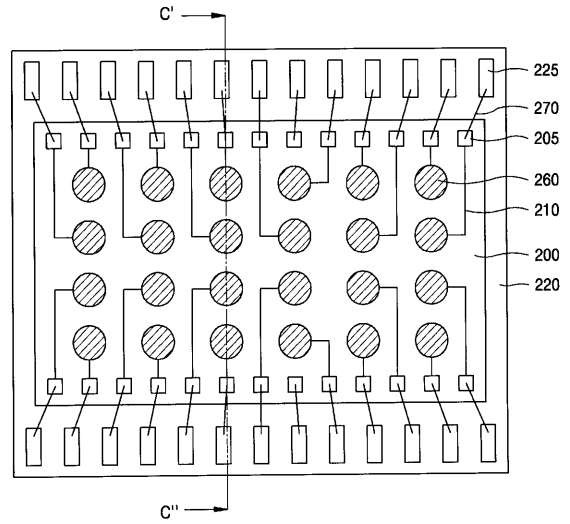
【 図 1 0 】



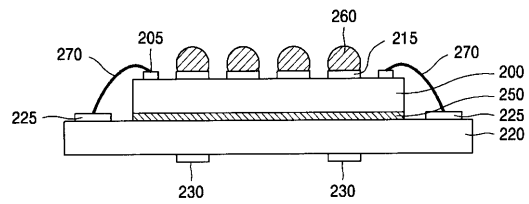
【 図 1 1 】



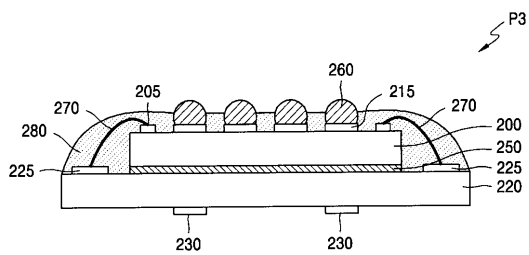
【 図 1 2 】



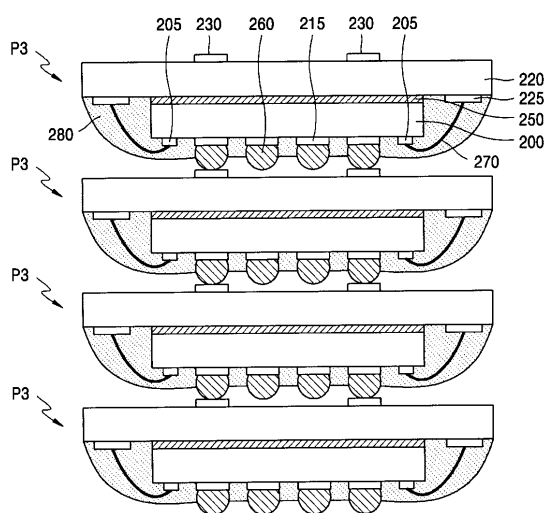
【 図 1 3 】



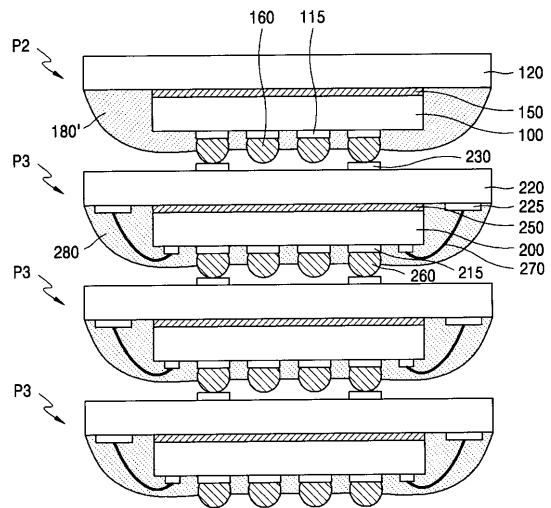
【 図 1 4 】



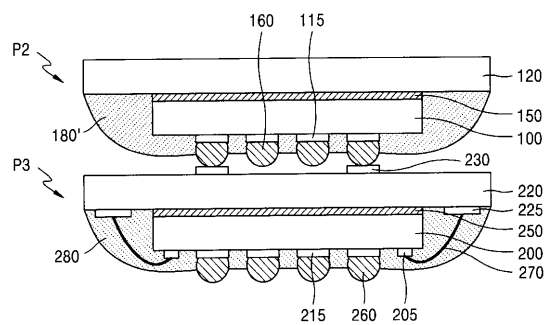
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(72)発明者 李 揆鎮

大韓民国忠清南道天安市斗井洞1607番地 宇南斗井マウルアパート201棟1406号

審査官 宮本 靖史

(56)参考文献 特開2003-086733(JP,A)

特開2001-320013(JP,A)

特開2002-170924(JP,A)

特開2002-083923(JP,A)

特開2002-170906(JP,A)

特表2003-526922(JP,A)

特開2002-016182(JP,A)

特開2004-172157(JP,A)

特開2000-349228(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 25/00 - 25/18