

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成31年4月4日(2019.4.4)

【公開番号】特開2018-46136(P2018-46136A)

【公開日】平成30年3月22日(2018.3.22)

【年通号数】公開・登録公報2018-011

【出願番号】特願2016-179331(P2016-179331)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/331 (2006.01)

H 0 1 L 29/732 (2006.01)

【F I】

H 0 1 L 27/04 H

H 0 1 L 27/04 R

H 0 1 L 27/06 1 0 1 P

H 0 1 L 29/72 P

【手続補正書】

【提出日】平成31年2月20日(2019.2.20)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 9

【補正方法】変更

【補正の内容】

【0 0 1 9】

これにより、例えば、入力端子 I N にプラスのサージ電荷が入った場合、入力端子 I N とグランド端子 G N D との間に接続されているダイオード D には、逆方向電圧が印加されることとなる。そして、この逆方向電圧がダイオード D の降伏電圧を超えると、ダイオード D に逆方向電流が流れて、入力端子 I N に入ったプラスのサージ電荷はグランド端子 G N D に流れることになる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 8

【補正方法】変更

【補正の内容】

【0 0 3 8】

そして、図 4 に示すように、ポリシリコン膜 P F の表面および分離絶縁膜 L S の表面を覆うように、エピタキシャル層 E P I の上方に、例えば、酸化シリコン膜からなる層間絶縁膜 I L が形成されている。そして、この層間絶縁膜 I L には、層間絶縁膜 I L を貫通して、ポリシリコン膜 P F に達するプラグ P L G 3 が形成されている。さらに、層間絶縁膜 I L 上には、プラグ P L G 3 と電氣的に接続される配線 W L 1 が形成されている。したがって、図 4 に示すように、埋込半導体領域 B S R とシンカー領域 S K R とポリシリコン膜 P F とプラグ P L G 3 と配線 W L 1 とは、電氣的に接続されていることになる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 9

【補正方法】変更

【補正の内容】

【0059】

続いて、図8(a)は、図4に対応する模式図であり、図8(b)は、I-Vカーブを示すグラフである。特に、図8(a)は、図2に示す入力端子INに入ったサージ電荷により、抵抗領域RRの一端部ED1に110Vの電位が印加された場合の説明図である。図8(a)に示すように、抵抗領域RRの一端部ED1は、110Vの電位に固定されている。一方、本実施の形態における半導体素子SD1では、埋込半導体領域BSRと分離半導体領域ISOとの間に110Vの逆バイアスが印加される結果、埋込半導体領域BSRと分離半導体領域ISOとの間に流れるリーク電流が増加する。この結果、図8(a)に示すように、エピタキシャル層EPIとシンカー領域SKRと埋込半導体領域BSRでは、リーク電流が増加するためにオームの法則に従った電位ドロップが大きくなる。これにより、例えば、図8(a)に示すように、エピタキシャル層EPIの電位は、約109.3Vとなり、埋込半導体領域BSRの電位は、109Vとなる。このように、図8(a)に示す状態では、抵抗領域RRの一端部ED1は、110Vの電位に固定されているが、抵抗領域RRに接するエピタキシャル層EPIの電位は、抵抗領域RRの一端部ED1よりもかなり低い電位となる。この結果、抵抗領域RRの一端部ED1とエピタキシャル層EPIとの間のpn接合には順バイアスが印加されることになり、この順バイアス(0.7V)は、pn接合のビルトインポテンシャル(0.7V)に達することになり、抵抗領域RRの一端部ED1からエピタキシャル層EPIへ電流が流れ始める。つまり、図8(a)に示す状態では、抵抗領域RRをエミッタとし、かつ、エピタキシャル層EPIをベースとし、半導体基板1Sをコレクタとする寄生バイポーラトランジスタ(PNPバイポーラトランジスタ)において、エミッタからベースに向かって電流が流れ始める。この図8(a)に示す状態は、図8(b)に示すI-Vカーブのポイント(3)に対応しており、寄生バイポーラトランジスタが動作し始める直前のポイントに対応する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0066

【補正方法】変更

【補正の内容】

【0066】

特に、本実施の形態では、リーク電流経路(図7(a)におけるシンカー領域SKR埋込半導体領域BSR 分離半導体領域ISOの電流経路)に、n型半導体領域NR2を含むシンカー領域SKRを設けている(第2特徴点)。このため、本実施の形態によれば、シンカー領域SKRを設けないデバイス構造に比べて、寄生バイポーラトランジスタを安定的に動作させることができる。以下に、この点について説明する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正の内容】

【0069】

これに対し、例えば、図4に示す本実施の形態における半導体素子SD1のデバイス構造では、n型半導体領域NR1を含むシンカー領域SKRが形成されている。この場合、図7(a)に示すように、サージ電荷に起因するpn接合の降伏は、埋込半導体領域BSRと分離半導体領域ISOとの間の局所的な深い領域で生じる。その後、本実施の形態では、エピタキシャル層EPIよりも不純物濃度の高いシンカー領域SKRが形成されているため、リーク電流が増加しても、リーク電流は、抵抗の高いエピタキシャル層EPIの表面を流れるのではなく、抵抗の低いシンカー領域SKRに流れ込む。すなわち、n型半導体領域NR1を含むシンカー領域SKRを形成するという本実施の形態における第2特徴点を採用すると、エピタキシャル層EPIの表面がリーク電流の電流経路とならないの

である。この結果、本実施の形態における半導体素子SD1によれば、エピタキシャル層EPIの表面に「電流焼け跡」が形成されることを回避することができ、これによって、「電流焼け跡」に起因するエピタキシャル層EPIと分離半導体領域ISOとの間の導通不良を防止できることになる。したがって、本実施の形態における半導体素子SD1によれば、n型半導体領域NR1を含むシンカー領域SKRが形成されていることから、大きなリーク電流を流すことができる結果、「電流焼け跡」を形成することなく、寄生バイポーラトランジスタを動作させることができるのである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

このように、本実施の形態によれば、検討技術と比較して、pn接合の降伏後のリーク電流経路を安定的に、埋込半導体領域BSRと分離半導体領域ISOとの間の局所的な深い位置に保つことができるのは、n型半導体領域NR1を含むシンカー領域SKRを設けるからである。すなわち、本実施の形態では、不純物濃度が高く、抵抗値の低いシンカー領域SKRを設けることによって、埋込半導体領域BSRの電位が安定的に固定される結果、埋込半導体領域BSRと分離半導体領域ISOとの間の電界を大きく保つことができるからである。つまり、エピタキシャル層EPIよりも不純物濃度の高いn型半導体領域NR1を含むシンカー領域SKRによって、シンカー領域SKRを流れるリーク電流経路の抵抗値が低下する。この結果、埋込半導体領域BSRの電位が、電圧降下の影響を受けにくくなり、埋込半導体領域BSRと分離半導体領域ISOとの間の電位差を安定的に維持できることになり、これによって、埋込半導体領域BSRと分離半導体領域ISOとの間の電界を大きく維持することができるのである。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

これに対し、シンカー領域SKRが設けられていない検討技術においては、例えば、図10(a)に示すn型半導体領域NR2と埋込半導体領域BSRの間には、不純物濃度が低く、抵抗値の高いエピタキシャル層EPIしか存在しない。このため、リーク電流が増加すると、エピタキシャル層EPIによる電圧降下が大きくなる結果、埋込半導体領域BSRの電位が、電圧降下の影響を大きく受けることになり、埋込半導体領域BSRと分離半導体領域ISOとの間の電位差が小さくなる。このことは、埋込半導体領域BSRと分離半導体領域ISOとの間の電界を大きく維持することが困難になることを意味する。これにより、検討技術においては、リーク電流が増加すると、埋込半導体領域BSRと分離半導体領域ISOとの間の局所的な深い領域ではなく、図10(a)の矢印で示すリーク電流経路の方が、降伏しやすくなるため、この矢印の経路に沿ってリーク電流が流れるようになる。この結果、エピタキシャル層EPIの表面に「ミミズ」の這ったような「電流焼け跡」が形成されてしまい、この「電流焼け跡」に沿って、エピタキシャル層EPIと分離半導体領域ISOとの間のショート不良が発生する。すなわち、検討技術では、リーク電流がエピタキシャル層EPIの表面を流れる結果、エピタキシャル層EPIの表面に「電流焼け跡」が形成され、この「電流焼け跡」によって、エピタキシャル層EPIと分離半導体領域ISOとが電氣的に導通してしまうのである。