

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-14152

(P2014-14152A)

(43) 公開日 平成26年1月23日(2014.1.23)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03K 19/0175 (2006.01)</b>	H03K 19/00 101Q	5J056
	H03K 19/00 101J	
	H03K 19/00 101S	

審査請求 有 請求項の数 7 O L (全 10 頁)

(21) 出願番号	特願2013-184009 (P2013-184009)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成25年9月5日(2013.9.5)		神奈川県川崎市中原区下沼部1753番地
(62) 分割の表示	特願2009-207627 (P2009-207627) の分割	(74) 代理人	100103894 弁理士 冢入 健
原出願日	平成21年9月9日(2009.9.9)	(72) 発明者	光明 雅泰 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
		(72) 発明者	飯塚 洋一 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
		Fターム(参考)	5J056 AA04 AA40 BB25 BB54 CC00 DD13 DD29 DD59 EE06 EE07 FF02 FF08 GG09 GG12 GG14 KK01

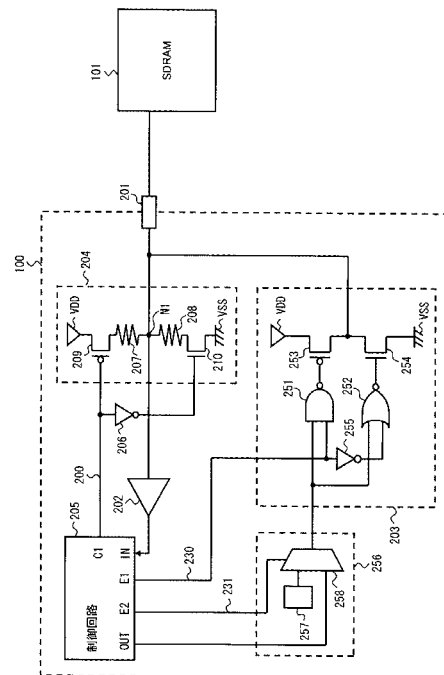
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】従来の半導体集積回路は、データの送信を精度良く行うことができないという問題があった。

【解決手段】本発明にかかる半導体集積回路は、複数の信号線を介して平行に送信データを送信するSoC回路100と、送信データを受信するSDRAM回路101と、を備える。SoC回路100は、各信号線に対して設けられ、送信データを送信するためのデータ送信モードと、出力をハイインピーダンスにするためのハイインピーダンスモードと、が切り替わる複数のデータ出力回路203と、データ出力回路203に対して、送信データと予め設定された固定データとのいずれかを選択して出力するデータ選択回路256と、各データ出力回路203において、ハイインピーダンスモードからデータ送信モードへモードが切り替わってから実際に送信データの出力を開始するまでの間、固定データを出力するように制御する制御回路205と、を備える。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

複数の信号線を介して平行に送信データを送信するデータ送信回路を備え、  
 前記データ送信回路は、  
 前記各信号線に対して設けられ、前記送信データを出力するためのデータ送信モードと、出力をハイインピーダンスにするためのハイインピーダンスモードと、が切り替わる複数のデータ出力回路と、  
 前記各データ出力回路に対して、前記送信データと予め設定された固定データとのいずれかを選択して出力するデータ選択回路と、  
 前記各データ出力回路が、前記ハイインピーダンスモードから前記データ送信モードへモードが切り替わってから前記送信データの出力を開始するまでの間、前記固定データを出力するように制御する制御回路と、を備えた半導体集積回路。

10

## 【請求項 2】

前記データ選択回路は、  
 前記固定データを記憶するレジスタと、  
 前記レジスタに記憶された前記固定データと、前記送信データと、の何れかを、前記制御回路から出力された制御信号に基づいて選択し出力するセクタと、を備えた、請求項 1 に記載の半導体集積回路。

## 【請求項 3】

前記制御回路は、前記各データ出力回路のモードを前記ハイインピーダンスモード及び前記データ送信モードの何れかに切り替える、請求項 1 又は 2 に記載の半導体集積回路。

20

## 【請求項 4】

前記制御回路は、前記データ送信回路が前記送信データの送信を行う場合、前記各データ出力回路のモードを前記データ送信モードに切り替え、前記データ送信回路が前記送信データの送信を行わない場合、前記各データ出力回路のモードを前記ハイインピーダンスモードに切り替える、請求項 1 ~ 3 の何れか一項に記載の半導体集積回路。

## 【請求項 5】

前記データ送信回路は、前記複数の信号線上にそれぞれ設けられた複数の外部端子をさらに備え、  
 前記制御回路は、前記複数の外部端子のそれぞれに対し、隣接する外部端子とは異なる電位の前記固定データを出力するように制御する、請求項 1 ~ 4 の何れか一項に記載の半導体集積回路。

30

## 【請求項 6】

前記各データ出力回路は、  
 PチャネルMOSトランジスタ及びNチャネルMOSトランジスタによって構成されるインバータを有し、  
 前記PチャネルMOSトランジスタ及び前記NチャネルMOSトランジスタは、前記ハイインピーダンスモードの場合、何れもオフし、前記データ送信モードの場合、前記送信データ及び前記固定データの何れかに基づいて何れか一方がオン、他方がオフする、請求項 1 ~ 5 の何れか一項に記載の半導体集積回路。

40

## 【請求項 7】

前記送信データを受信するデータ受信回路をさらに備えた請求項 1 ~ 6 の何れか一項に記載の半導体集積回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体集積回路に関し、特に電源ノイズ低減に関する。

## 【背景技術】

## 【0002】

半導体集積回路において、データ送信回路とデータ受信回路との間のデータ転送に用い

50

られる複数の信号線上に電源ノイズが発生し、両回路間のデータ転送が正しく行われないう問題がある。

【0003】

そのため、データ受信回路がデータを受信するために用いられる信号線上にはODT (On Die Termination) 等の電源ノイズを低減する対策が施されている (非特許文献1)。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】 JEDEC STANDARD, DDR2 SDRAM SPECIFICATION JESD79-2E (Revision of JESD79-2D), April 2008, JEDEC SOLID STATE TECHNOLOGY ASSOCIATION

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来技術では、ODT機能のようにデータ受信回路が受ける電源ノイズを低減する対策は施されているが、データ送信回路が受ける電源ノイズを低減する対策は施されていない。通常、データ送信回路は、データ送信用にスリーステートバッファ等を有するデータ出力回路を備える。データ送信回路は、制御信号に基づいてデータ出力回路が送信データを出力するか否かを制御する。

20

【0006】

つまりデータ出力回路は、送信データを出力するためのデータ送信モードと、出力をハイインピーダンス (HiZ) にするためのハイインピーダンスモード (HiZモード) と、が制御信号によって切り替わる。そしてデータ送信回路は、データ送信を行う場合にはデータ出力回路をデータ送信モードに切り替え、データ送信を行わない場合にはデータ出力回路をHiZモードに切り替える。

【0007】

またデータ出力回路は、HiZモードからデータ送信モードへモードが切り替わってから、実際に送信データの出力を開始するまでの間、直前のデータ送信モードにおいて当該データ出力回路が最後に出力していた送信データを出力する。ここで各信号線上に設けられたデータ出力回路は、Hレベル及びLレベルのいずれか一方の電圧レベルに偏った送信データを出力する可能性がある。

30

【0008】

特に、各信号線に対して設けられたIO領域 (IOバッファ等) が互いに近傍に配置されている場合において、各データ出力回路が、HiZモードから同時に同電位の送信データを出力し始めた場合、各信号線に発生する電源ノイズが増幅してしまう。そのため、従来技術ではデータの送信を精度良く行うことができないという問題があった。

【課題を解決するための手段】

【0009】

本発明にかかる半導体集積回路は、複数の信号線を介してパラレルに送信データを送信するデータ送信回路と、前記送信データを受信するデータ受信回路と、を備え、前記データ送信回路は、前記各信号線に対して設けられ、前記送信データを出力するためのデータ送信モードと、出力をハイインピーダンスにするためのハイインピーダンスモードと、が切り替わる複数のデータ出力回路と、前記データ出力回路に対して、前記送信データと予め設定された固定データとのいずれかを選択して出力するデータ選択回路と、前記各データ出力回路において、前記ハイインピーダンスモードから前記データ送信モードへモードが切り替わってから前記送信データの出力を開始するまでの間、前記固定データを出力するように制御する制御回路と、を備える。

40

【0010】

50

上述のような回路構成により、電源ノイズの増幅を抑制することができるため、データの送信を精度良く行うことができる。

【発明の効果】

【0011】

本発明により、データの送信を精度良く行うことが可能な半導体集積回路を提供することができる。

【図面の簡単な説明】

【0012】

【図1】本発明の実施の形態1にかかる半導体集積回路を示す図である。

【図2】本発明の実施の形態1にかかる半導体集積回路を示す図である。

10

【図3】本発明の実施の形態1にかかる半導体集積回路のレイアウトを示す図である。

【図4】本発明の実施の形態1にかかる半導体集積回路の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0013】

以下では、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。説明の明確化のため、必要に応じて重複説明は省略される。

【0014】

実施の形態1

本発明の実施の形態1について図面を参照して説明する。なお本発明は、複数の信号線を介して平行に送信データを送信するデータ送信回路と、送信データを受信するデータ受信回路と、を備え、制御信号によってデータ送信回路からのデータ送信が制御される回路に対して適用可能である。本実施の形態では、SoC (System On Chip) 回路とSDRAM (Synchronous Dynamic Random Access Memory) 回路とを備え、両回路間で双方向にデータ転送が行われる信号線 (以下、単に双方向用信号線と称す) を介してデータ転送が行われる場合を例に説明する。

20

【0015】

図1は、本発明の実施の形態1にかかる半導体集積回路である。図1に示す回路は、SoC回路 (データ送信回路) 100とSDRAM回路 (データ受信回路) 101とを備える。これら両回路間のデータ転送は、DDR (Double data rate) 規格によって行われている。

30

【0016】

まず、本実施の形態1の回路構成について説明する。SoC回路100は、2ビット幅のクロックCKと、クロックCKの差動信号である2ビット幅のクロックCKBと、をSDRAM回路101に対して出力する。また、SoC回路100は、SDRAM回路101の各アドレスに対するコマンドが含まれる16ビット幅の制御信号CMDを、当該SDRAM回路101に対して出力する。なお、SDRAM回路101は、クロックCK/CKBに同期して制御信号CMDを取り込む。

【0017】

40

また、SoC回路100とSDRAM回路101との間では、32ビット幅のデータDQと、4ビット幅のストロブ信号DQS及びその差動信号DQSBと、が双方向に送受信される。なお、データ受信側となる受信側回路は、ストロブ信号DQS/DQSBに同期して受信データDQを取り込む。なお便宜上、上記の各信号名は、同時にそれぞれ信号線名も表すものとする。

【0018】

図2は、図1の回路のうち、1ビットの双方向用信号線 (ストロブ信号線DQS [3:0] / DQSB [3:0], データ信号線DQ [31:0] のうちいずれか1ビットの信号線) とそれに対応する周辺回路のみを図示している。ここでは、この1ビットの双方向用信号線がデータ信号線DQ [0] である場合を例に説明する。データ信号線DQ [0

50

]は、前述のようにS o C回路100とS D R A M 101との間に接続される。

【0019】

S o C回路100は、外部端子201と、バッファ202と、送信データを入力するデータ出力回路203と、データ選択回路256と、O D T機能を有するターミネーション回路204と、制御回路205と、インバータ206と、を備える。ターミネーション回路204は、抵抗207、208と、スイッチ209、210と、を有する。

【0020】

データ出力回路203は、N A N D回路251と、N O R回路252と、トランジスタ253、254と、を有する。なお、スイッチ209、トランジスタ253はPチャネルM O Sトランジスタであって、スイッチ210、トランジスタ254はNチャネルM O Sトランジスタである場合を例に説明する。データ選択回路256は、固定データを記憶するレジスタ257と、セクタ258と、を有する。

【0021】

S o C回路100において、データ信号線D Q [ 0 ]は、外部端子201を介して、バッファ202の入力端子とデータ出力回路203の出力端子とに接続される。

【0022】

また、外部端子201とバッファ202との間にターミネーション回路204が設けられる。ターミネーション回路204において、高電位側電源端子V D Dと、外部端子201とバッファ202とを接続する信号線上のノードN1と、の間にスイッチ209及び抵抗207とが直列に接続される。低電位側電源端子V S SとノードN1との間にスイッチ210と抵抗208とが直列に接続される。より具体的には、スイッチ209のソース端子は高電位側電源端子V D Dに接続される。スイッチ209のドレイン端子は抵抗207の一端に接続される。抵抗207の他端は抵抗208の一端に接続される。抵抗208の他端はスイッチ210のドレイン端子に接続される。スイッチ210のソース端子は低電位側電源端子V S Sに接続される。抵抗207の他端と抵抗208の一端とがノードN1に共通接続される。なお、高電位側電源端子V D DとノードN1との間に直列に接続されたスイッチ209及び抵抗207は、接続関係を入れ替えても良い。同様に低電位側電源端子V S SとノードN1との間に直列に接続されたスイッチ210と抵抗208とは、接続関係を入れ替えても良い。

【0023】

バッファ202の出力端子は、制御回路205のデータ入力用の入力端子I Nに接続される。制御回路205の出力端子C1は、スイッチ209のゲート端子に接続されるとともに、スイッチ210のゲート端子にインバータ206を介して接続される。このような周辺回路の構成は、他の双方向用信号線にも採用されている。なお、制御回路205は各双方向用信号線に共通に設けられる。

【0024】

制御回路205のデータ出力用の出力端子O U Tは、データ選択回路256のセクタ258の一方の入力端子に接続される。レジスタ257の出力端子は、セクタ258の他方の入力端子に接続される。制御回路205の制御信号(第1の制御信号)231出力用の出力端子E2は、セクタ258の切替制御端子に接続される。セクタ258の出力端子は、データ出力回路203のN A N D回路251の一方の入力端子と、N O R回路252の一方の入力端子と、にそれぞれ接続される。

【0025】

制御回路205の制御信号(第2の制御信号)230出力用の出力端子E1は、データ出力回路203のN A N D回路251の他方の入力端子に接続されるとともに、インバータ255を介してN O R回路252の他方の入力端子に接続される。N A N D回路251の出力端子は、トランジスタ253のゲート端子に接続される。A N D回路252の出力端子は、トランジスタ254のゲート端子に接続される。トランジスタ253、254は、高電位側電源端子V D Dと低電位側電源端子V S Sとの間に直列に接続される。つまり、トランジスタ253、254によりインバータを構成する。トランジスタ253のドレ

10

20

30

40

50

イン端子とトランジスタ254のドレイン端子とが、バッファ202と外部端子201との間の信号線上のノードに共通接続される。

【0026】

次に、本実施の形態1の動作について説明する。SoC回路100がSDRAM回路101からのデータを受信(リード)する場合について説明する。まず、SoC回路100は、SDRAM回路101に対して制御信号CMDを出力する。その後、SDRAM回路101は、例えば、制御信号CMDによって指定されたアドレスのデータDQとストロブ信号DQS/DQSBとをSoC回路100に対して送信する。このとき、SDRAM回路101から送信されるデータDQは、所定のバースト長を有する。

【0027】

SoC回路100は、対応する信号線、外部端子201、及びバッファ202を介して各信号を受信する。なお、SoC回路100は、データDQをストロブ信号DQS/DQSBに同期して受信する。SoC回路100が受信したデータは、制御回路205やその他の周辺回路(不図示)に入力される。SoC回路100が制御信号CMDを送信してからデータDQの受信を開始するまでの期間をリードレイテンシ(RL)と称す。

【0028】

SoC回路100は、SDRAM回路101からのデータ受信時において、データ信号線DQ上及びストロブ信号線DQS/DQSB上に発生する電源ノイズを抑制するために、対応するターミネーション回路204のODT機能をオンする。つまり、SoC回路100は、制御回路205からの制御信号200に基づいて各ターミネーション回路204に含まれるスイッチ209,210をオンする。そして、SoC回路100は、対応する信号線上のノードを所定の電位(例えば、高電位側電源VDDの1/2の電位)にする。それにより、SoC回路100は、受信データに含まれる電源ノイズを低減し、データの受信を精度良く行うことができる。

【0029】

さらにSoC回路100は、制御回路205からの制御信号230に基づいて、データ出力回路203がSDRAM回路101に対して送信データを出力しないように制御する。つまりSoC回路100は、Lレベルの制御信号230により、データ出力回路203の出力をハイインピーダンス状態(HiZ)にする。ここで制御信号230がLレベルの場合、トランジスタ253,254はいずれもオフに制御されるため、データ出力回路203の出力はHiZを示す。それによりSoC回路100は、データ出力回路203から出力されるデータに影響されることなく、SDRAM回路101から送信されたデータの受信を精度良く行うことができる。

【0030】

SoC回路100がSDRAM回路101に対してデータを送信(ライト)する場合について説明する。まず、SoC回路100は、SDRAM回路101に対して制御信号CMDを出力する。その後、SoC回路100は、データDQ及びストロブ信号DQS/DQSBをSDRAM回路101に対して送信する。このとき、SoC回路100から送信されるデータDQは、所定のバースト長を有する。

【0031】

そして、SDRAM回路101は、データDQをストロブ信号DQS/DQSBに同期して受信する。データDQは、例えば、制御信号CMDによって指定されたアドレスに書き込まれる。なお、SoC回路100が制御信号CMDを送信してからデータDQの送信を開始するまでの期間をライトレイテンシ(WL)と称す。

【0032】

SoC回路100は、SDRAM回路101へのデータ送信時において、対応するターミネーション回路204のODT機能をオフする。つまり、SoC回路100は、制御回路205からの制御信号200に基づいて各ターミネーション回路204に含まれるスイッチ209,210をオフし、データ出力回路203及び外部端子201を介してSDRAM回路101に対して送信するデータの電位を減衰させないようにする。それにより、

10

20

30

40

50

S o C回路100は、S D R A M回路101へのデータの送信を精度良く行うことができる。

【0033】

そしてS o C回路100は、制御回路205からの制御信号230に基づいて、データ出力回路203がS D R A M回路101に対して送信データを出力するように制御する。つまりS o C回路100は、Hレベルの制御信号230により、データ出力回路203が送信データを出力するように制御する。

【0034】

ここで制御信号230がHレベルの場合、トランジスタ253, 254は、制御回路205から出力された送信データに基づいてオンオフが制御される。それによりS o C回路100は、S D R A M回路101に対して送信データの送信を行う。なお、データ選択回路256において、セクタ258は、制御回路205からの送信データと、レジスタ257に設定された固定データと、のいずれかを制御信号231に基づいて選択し、データ出力回路203に対して出力する。つまり、S o C回路100が送信データを送信する場合、データ選択回路256は、制御回路205からの送信データを選択して出力する。

10

【0035】

このようにS o C回路100は、S o C回路100がS D R A M回路101からのデータを受信するリードモードと、S o C回路100がS D R A M回路101に対してデータを送信するライトモードと、を制御信号C M Dによって切り替える。また、S o C回路100は、1クロックC K周期分のデータ長を有する制御信号C M Dを所定の間隔で出力する。

20

【0036】

またS o C回路100は、制御信号230に基づいてデータ出力回路203が送信データを出力するか否かを制御する。つまりデータ出力回路203は、送信データを出力するためのデータ送信モードと、出力をハイインピーダンス(H i Z)にするためのハイインピーダンスモード(H i Zモード)と、が制御信号230によって切り替わる。そしてS o C回路100は、データ送信を行う場合にはデータ出力回路203をデータ送信モードに切り替え、データ送信を行わない場合にはデータ出力回路203をH i Zモードに切り替える。

【0037】

例えば、S o C回路100は、リード/ライトモードでデータを受信/送信し、その後所定の間隔において、再び同じモードで別のデータを送受信する。あるいは、S o C回路100は、リード/ライトモードでデータを受信/送信し、その後所定の間隔において、当該モードと異なるモードで別のデータを送受信する。このようなデータの送受信が繰り返される。

30

【0038】

ここで本実施の形態では、S o C回路100がデータを送信する場合に特徴を有する。このときの動作について、図3及び図4を用いて説明する。

【0039】

図3は、S o C回路100に含まれるI O領域のレイアウトを示す図である。図3に示すように、I O領域はS o C回路100の外枠に沿ってリング状に配置されている。ここでS o C回路100におけるI O領域とは、S D R A M回路101等の外部回路とのインターフェースを行う領域である。このI O領域には、I Oバッファ、I O P A D、外部端子等も含まれるものとする。

40

【0040】

本実施の形態では、図3に示すように、データD Qの各ビットに対応するI O領域が、それぞれS o C回路100の外枠に沿って紙面の横方向に隣接して配置されている場合を例に説明する。便宜上、紙面の左方向から右方向に向けて配置されたI O領域をそれぞれスロット0~スロット7と称す。スロット0はデータD Q[0]、スロット1はデータD Q[1]、スロット2はデータD Q[2]、スロット3はデータD Q[3]、スロット4

50

はデータDQ[4]、スロット5はデータDQ[5]、スロット6はデータDQ[6]、スロット7はデータDQ[7]、にそれぞれ対応する。

【0041】

図4は、ライトモードが連続する場合のタイミングチャートである。まず、SoC回路100は、SDRAM回路101に対して制御信号CMD(図4のA;以下、単に「ライトコマンドA」と称す)を出力する。SoC回路100は、ライトレイテンシWL(図4のC)の期間を経て、所定のバースト長を有するデータDQ(図4のD)と、それに対応するストローク信号DQS/DQSBと、をSDRAM回路101に対して送信する。

【0042】

ここでSoC回路100は、データを送信する場合、対応するデータ出力回路203から送信データを出力する。

10

【0043】

SoC回路100は、ライトコマンドAを出力後、所定の間隔(図4のB)をおいて、ライトコマンドE(図4のE)を出力する。SoC回路100は、ライトレイテンシWL(図4のF)の期間を経て、所定のバースト長を有するデータDQ(図4のG)と、それに対応するストローク信号DQS/DQSBと、をSDRAM回路101に対して送信する。

【0044】

ここで各データ出力回路203は、HiZモードからデータ送信モードへモードが切り替わってから、実際に送信データの出力を開始するまでの間(図4のH,I)、レジスタ257に設定された固定データを出力する。つまり各データ選択回路256は、制御回路205からの制御信号231に基づいて、それぞれ対応するデータ出力回路203に対して固定データを出力する。

20

【0045】

ここでは、偶数スロット0,2,4,6に対応するデータ出力回路203がLレベルの固定データを出力する。奇数スロット1,3,5,7に対応するデータ出力回路203がHレベルの固定データを出力する。ここで、図3に示すように各スロット0~7が紙面の横方向に隣接して配置されているため、隣接するスロット同士(例えばスロット0とスロット1)の固定データは互いに異なる電位となる。

【0046】

つまり各データ出力回路203は、HiZモードからデータ送信モードへモードが切り替わってから、実際に送信データの出力を開始するまでの間(図4のH,I)、隣接するIO領域の信号線上の電位に偏りが生じないように固定データを出力する。そのため、各IO領域の信号線上に発生する電源ノイズの増幅を抑制することができる。それにより、SoC回路100は、データの送信を精度良く行うことができる。

30

【0047】

以上のように、本実施の形態にかかる半導体集積回路は、データ送信回路が複数の信号線を介してパラレルにデータを送信する場合において、HiZモードからデータ送信モードへモードが切り替わってから、実際に送信データの出力を開始するまでの間、各データ出力回路203がそれぞれ予め設定された固定データを出力する。それにより、本実施の形態にかかる半導体集積回路は、電源ノイズの増幅を抑制し、データの送信を精度良く行うことができる。

40

【0048】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。上記実施の形態では、SoC回路100がSDRAM回路101に対してデータを送信する場合について説明したが、これに限られない。SDRAM回路101がSoC回路100に対してデータを送信する場合にも本発明を適用可能である。

【0049】

また上記実施の形態では、データ出力回路203の出力側の信号線が双方向用信号線で

50

ある場合を例に説明したが、これに限られない。データ出力回路 203 の出力側の信号線が、データ送信用の信号線である場合にも適用可能である。

【0050】

また、ターミネーション回路は上記実施の形態に示す回路に限られない。所定の電位（例えば、高電位側電源 VDD の 1/2 の電位）を有する電源端子と、対応する信号線上のノードと、の間に直列に接続された抵抗及びスイッチを有する回路構成にも適宜変更可能である。さらに上記実施の形態では、ターミネーション回路を備えた場合を例に説明したが、ターミネーション回路を備えない回路構成にも適宜変更可能である。

【0051】

また上記実施の形態では、半導体集積回路が 1 つの SDRAM 回路を備えた場合について説明したが、これに限られない。半導体集積回路が複数の SDRAM 回路を備えた回路構成にも適宜変更可能である。

10

【0052】

また上記実施の形態では、データ DQ の各ビットに対応する IO 領域が図 3 のように配置された場合について説明したが、これに限られない。各 IO 領域が、電源ノイズの影響を及ぼしあう距離に配置されている場合であれば本発明を適用可能である。この場合、近傍に配置された各 IO 領域の信号線には、同じ電位の固定データが局所的に供給されないように設定しておく必要がある。

【符号の説明】

【0053】

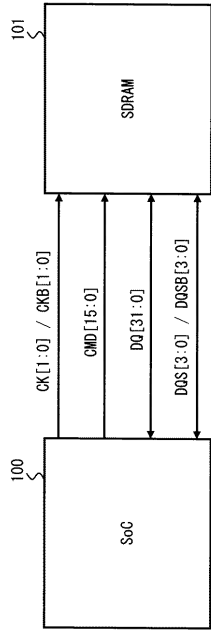
20

- 1 ~ 7 スロット ( IO 領域 )
- 100 SoC 回路
- 101 SDRAM 回路
- 200 制御信号
- 201 外部端子
- 202 バッファ
- 203 データ出力回路
- 204 ターミネーション回路
- 205 制御回路
- 206 インバータ
- 207 抵抗
- 208 抵抗
- 209 スイッチ
- 210 スイッチ
- 230 制御信号
- 231 制御信号
- 251 NAND 回路
- 252 AND 回路
- 253 トランジスタ
- 254 トランジスタ
- 255 インバータ
- 256 データ選択回路
- 257 レジスタ
- 258 セレクタ

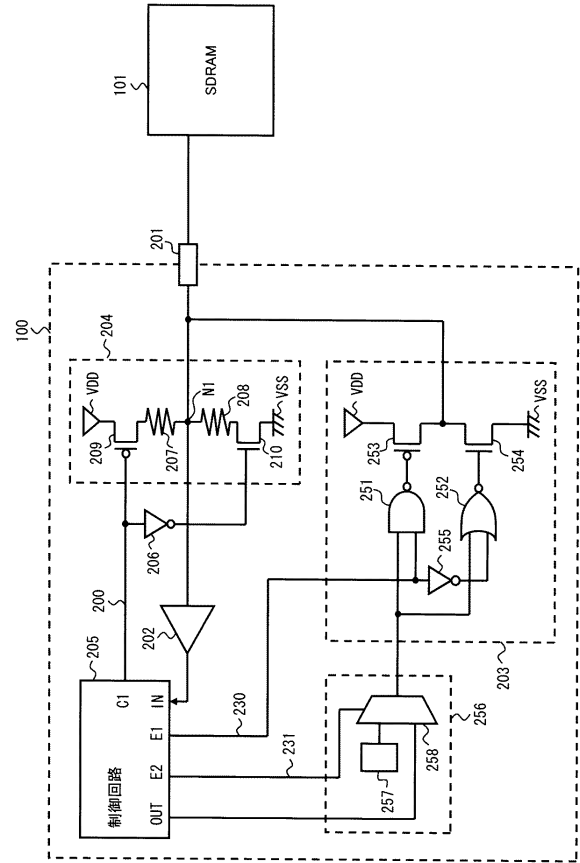
30

40

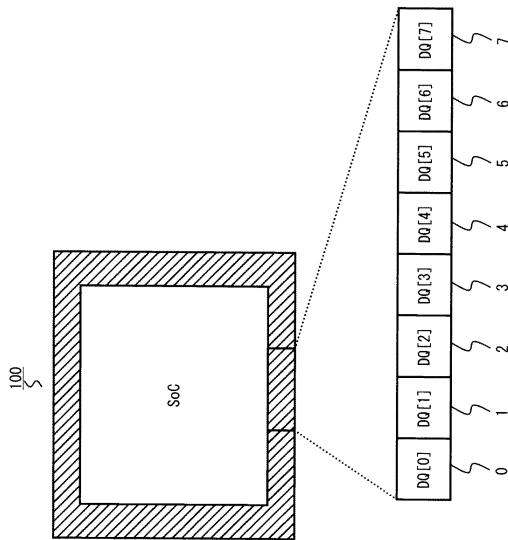
【図 1】



【図 2】



【図 3】



【図 4】

