（此處由本局於收文時黏貼條碼）

公告本 I240005

I233532-2

分割案

發明專利分割說明書

（本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：94117864　　※IPC分類：H03M 1/66 H01L 21/00

※申請日期：88年11月30日

原申請案號：90116423　　專利證書號碼：

一、發明名稱：

(中) 電子裝置

(英) Electronic device

二、申請人：(共 1 人)

1.姓　名：（中）半導體能源研究所股份有限公司
（英）SEMICONDUCTOR ENERGY LABORATORY CO.,LTD.
代表人：（中）1.山崎舜平
（英）1.YAMAZAKI, SHUNPEI
地　址：（中）日本國神奈川縣厚木市長谷三九八番地
（英）398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan
國籍：（中英）日本　JAPAN

三、發明人：(共 4 人)

1.姓　名：（中）淺見宗廣
（英）
國　籍：（中）日本
（英）JAPAN

2.姓　名：（中）納光明
（英）
國　籍：（中）日本
（英）JAPAN

3.姓　名：（中）塩野入豊
（英）
國　籍：（中）日本
（英）JAPAN

4.姓　名：（中）長尾祥

（英）
國　籍：（中）日本
（英）JAPAN

四、聲明事項:

◎本案申請前已向下列國家（地區）申請專利□主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】

1.日本　；1998/12/03；10-344732 ☑有主張優先權

2.日本　；1999/03/23；11-077846 ☑有主張優先權

（英）
國　籍：（中）日本
（英）JAPAN

四、聲明事項:

◎本案申請前已向下列國家（地區）申請專利□主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】

1.日本　；1998/12/03；10-344732 ☑有主張優先權

2.日本　；1999/03/23；11-077846 ☑有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於D／A轉換器（數位／類比轉換器）電路（DAC），特別地，關於用於主動矩陣型半導體裝置之驅動電路的DAC。此外，發明係關於使用DAC之主動矩陣型半導體顯示裝置。

【先前技術】

近來，已快速發展生產具有形成於不貴的玻璃基底上的半導體薄膜之諸如薄膜電晶體（TFT）等半導體裝置的技術。

主動矩陣型液晶顯示裝置係像素TFT以陣列設置於像素區上，像素區包含有像矩陣般配置的數以千計至數佰萬像素，且藉由像素TFT的切換特徵，控制電荷被汲入及取出連接至個別像素TFT的像素電極。

此外，能夠具有高速驅動之數位驅動系統的主動矩陣型液晶顯示裝置於顯示裝置的高精細度及高影像準確度方面已被認可。

數位類比轉換器電路（DAC）會將自週邊裝置輸入之數位視頻資料轉換成類比訊號（灰度電壓），其爲數位驅動系統之主動矩陣型液晶顯示裝置所需。有不同型式的數位類比轉換器電路。但是，於此說明用於主動矩陣列液晶顯示裝置之DAC實施例。

現在，參考圖25，圖式係顯示習知的DAC之實施

(2)

例。圖２５中所示的習知ＤＡＣ具有ｎ個切換開關（ＳＷ$_0$至ＳＷ$_{n-1}$），它們係由ｎ位元數位資料的個別位元（Ｄ$_0$至Ｄ$_{n-1}$）、連接至個別切換開關（ＳＷ$_0$至ＳＷ$_{n-1}$）之電容（Ｃ，２Ｃ，2^{n-1}Ｃ）、及重設開關（Ｒｅｓ）所控制。而且，電源Ｖ$_H$及電源Ｖ$_L$會連接至習知的ＤＡＣ。此外，電容Ｃ$_L$係連接至輸出Ｖ$_{out}$之訊號線的負載電容。此外，接地電源係以Ｖ$_G$標示。但是，Ｖ$_G$可爲何選加的固定電源。

當對應於輸入的數位資料（Ｄ$_0$至Ｄ$_{n-1}$）之位元爲０（Ｌｏ）時，位元切換開關（ＳＷ$_0$至ＳＷ$_{n-1}$）係分別連接至電源Ｖ$_L$，當對應的位元爲１（Ｈｉ）時，分別連接至電源Ｖ$_H$。

將依序說明習知的ＤＡＣ。將習知ＤＡＣ的作動分列成重設週期（Ｔ$_R$）及資料輸入週期（Ｔ$_B$）以便說明。

首先，在重設週期Ｔ$_R$中，重設開關Ｒｅｓ會關閉，數位資料的所有位元（Ｄ$_0$至Ｄ$_{n-1}$）爲０（Ｌｏ），且所有的開關（ＳＷ$_0$至ＳＷ$_{n-1}$）會連接至電源Ｖ$_L$。圖２６（Ａ）係顯示此狀態下的習知ＤＡＣ之等效電路。在重設週期Ｔ$_R$終止之後，由於數位資料的所有位元（Ｄ$_0$至Ｄ$_{n-1}$）爲０（Ｌｏ）。累積於圖２６（Ａ）中所示之負載電容Ｃ$_L$中的電荷之初始值（內定）Ｑ$_L$變成如下式（１９）所示。

$$Q_L^o = c_L.(V_L - V_G) \qquad ...(19)$$

在重設週期Ｔ$_R$終止之後，資料寫入週期Ｔ$_E$開始，

(3)

且具有選加的位元資訊之數位資料（D_0至D_{n-1}）會控制開關（SW_0至SW_{n-1}）。而且，電荷會依據個別的位元資訊充電及放電，因此，之後會達到穩定狀態。圖26（B）係顯示此時的等效電路。累積於組合電容C_0、C_1、及C_L中的電荷Q_0、Q_1、及Q_L會變成如下式（20a）至（20c）所示。

$$Q_0=c_0.(V_L - V_{out}) \quad ...(20a)$$

$$Q_1=c_1.(V_H - V_{out}) \quad ...(20b)$$

$$Q_L=c_L.(V_{out} - V_G) \quad ...(20c)$$

此處，由於建立下述表示式（21a）及（21b）

$$c_0=c\cdot(\overline{D}_0+2\overline{D}_1+4\overline{D}_2+\cdots+2^{2-1}\overline{D}_{n-1})\cdots\cdots\cdots(21a)$$

$$c_1=c\cdot(D_0+2D_1+4D_2+\ldots+2^{n-1}D_{n-1})\cdots\cdots\cdots(21b)$$

藉由V_{OUT}時的電荷守恒定律，可建立下述表示式（23）。

$$Q_L^0 = Q_L-Q_0-Q_1 \quad (23)$$

輸出V_{OUT}變成如下式（24）所示。

$$V_{out} = V_L + \frac{C_1\cdot\alpha\cdot(V_H-V_L)}{(2^n-1)\cdot c}\cdots\cdots\cdots(24)$$

(4)

但是，α（在本說明書中，稱爲「電壓壓縮比」）係輸出V_{OUT}的最大電壓振幅對電壓振幅（$V_H - V_L$）之比例，其中α表示如下：

$$\alpha = \frac{1}{1 + \frac{1}{2^n - 1} \cdot \frac{C_L}{C}} \cdots\cdots\cdots (25)$$

如圖26（C）所示，輸出V_{OUT}與位址（0至2^{n-1}）係成線性關係。但是，由於根據式（24），輸出V_{OUT}會視V_H與V_L之間的差以及相對於數位資料的位址與作爲參考電位之V_L之間線性形式的改變而定，所以，無法獨立地控制輸出V_{OUT}之電壓振幅及參考電位。

接著，圖27顯示習知DAC的另一實施例。圖27中所示的習知DAC具有“n”個開關（SW_0至SW_{n-1}），它們係由”n”位元數位資料（D_0至D_{n-1}）的個別位元、連接至個別開關（SW_0至SW_{n-1}）之電容（C、2C、...2^{m-1}C、C、2C、...2^{n-m-1}C）、二重設開關（Res1及Res2）、以及耦合電容所控制。而且，電源V_H及電源V_L會連接至習知DAC。

而且，圖28顯示習知的DAC之又另一實施例。圖28中所示的習知DAC具有n開關（SW_0至SW_{n-1}），它們係由”n”位元數位資料（D_0至D_{n-1}）的個別位元、連接至個別開關（SW_0至SW_{n-1}）之電容（C

、２Ｃ、．．．2^{m-1}Ｃ、Ｃ、２Ｃ、．．．2^{n-m-1}Ｃ）、及二重設開關（Ｒｅｓ１及Ｒｅｓ２）所控制。而且，圖２８中所示之習知ＤＡＣ與圖２７中所示之習知ＤＡＣ不同之處在於電容Ｃ會連接至較低位元側電路，且連接對應於較低位元之電路至對應於較高位元的電路之耦合電容不同於圖２７中所示之耦合電容。

在圖２７中所示的習知ＤＡＣ或圖２８中所示的習知ＤＡＣ中，開關（SW_0至SW_{n-1}）分別設計成當輸入的數位資料（D_0至D_{n-1}）爲０（Ｌｏ）時，連接至電源V_L，而當輸入的數位資料爲１（Ｈｉ）時，連接至電源V_H。

圖２７中所示的習知ＤＡＣ的輸出V_{OUT}變成如下示（２６）所示；

$$V_{out}=V_L+\frac{c_1}{(2^n-1)\cdot c}\cdot\alpha_A\cdot(V_H-V_L)\cdots\cdots\cdots(26)$$

此外，圖２８中所示的習知ＤＡＣ的輸出V_{OUT}變成如下示（２７）所示；

$$V_{out}=V_L+\frac{c_1}{2^n\cdot c}\cdot\alpha_B\cdot(V_H-V_L)\cdots\cdots\cdots(27)$$

此處，Ｃ１與上述表示式（２１ｂ）中之Ｃ１相同，及建立下述表示式，其中α_A及α_B係電壓壓縮比。

(6)

$$\alpha_A = \frac{1}{1+\frac{2^n}{2^n-1}\cdot\frac{C_L}{C}} \cdots\cdots\cdots (28a)$$

$$\alpha_B = \frac{1}{1+\frac{2^m}{2^n}\cdot\frac{C_L}{C}} \cdots\cdots\cdots (28b)$$

而且，在這些習知的ＤＡＣ中，可瞭解到輸出V_{OUT}與圖１７（Ｃ）中所示的習知ＤＡＣ一般會數位資料的位址（０至2^{n-1}）成線性關係。但是，由於根據上述表示式（２６）及（２７），輸出V_{OUT}會視V_H與V_L之間的差以及相對於作爲參考電壓之V_L之數位資料的位址之線形形式的改變而定，所以，不能獨立地控制輸出V_{OUT}的電壓振幅及參考電位。

【發明內容】

因此，在慮及上述問題及缺點下，研發本發明。所以，發明的目的係提供ＤＡＣ，其能夠獨立地控制輸出V_{OUT}的電壓振幅及參考電位。將於下說明根據發明之ＤＡＣ。

本發明係關於數位類比轉換器電路，其能將ｎ位元數位資料轉換成類比訊號（其中ｎ係自然數），其中ｎ位元數位資料的個別位元會控制開關及控制連接至開關之電容中的電荷充電及放電，且數位類比轉換器電路會輸出具有偏移電壓之類比訊號，偏移電壓係作爲參考電壓。

發明係關於數位類比轉換器電路，其能將ｎ位元數位

資料轉換成類比訊號（其中n係自然數），其中數位類比轉換器電路具有n個開關及n個對應於n位元數位資料的個別位元之n電容，對應於n位元之n個開關會控制連接至n個開關中的每一開關之電容中的電荷之充電及放電，且數位類比轉換器電路會輸出具有偏移電壓之類比訊號，偏移電壓係作爲參考電壓。

根據發明之數位類比轉換器電路，數位類比轉換器電路會將n位元數位資料轉換成類比訊號，包括由n位元數位資料之較低m位元的個別位元（其中n及m係自然數，$m < n$）所控制之開關、以及由n位元數位資料之較高（$n - m$）位元的個別位元所控制之開關；連接至較低m位元的個別位元所控制之每一開關之電容，其中每一電容係2^{m-1}乘上單位電容；連接至較高$n - m$位元的個別位元所控制之每一開關之電容，其中每一電容係2^{n-m-1}乘上單位電容；耦合電容；及二重設開關；其中二電源及偏移電源會連接至數位類比轉換器電路；開關會選取二電源中的任一電源，二重設開關會控制電容之電荷充電；及數位類比轉換器會從n位元數位視頻資料的較高（$n - m$）位元電容的共同連接端輸出具有偏壓電源的電位之類比訊號，偏壓電源的電位係作爲參考電位。

根據發明之數位類比轉換器電路包括：由資料的較低m位元（其中n及m係自然數，$m < n$）所控制的較低位元電路部份，其中較低位元部份係由個別位元所控制的開關及連接至開關之電容所組成，其具有之電容係比單位電

容大2^{m-1}倍；由n位元數位資料的較高（n－m）位元所控制的較高位元電路部份，其中較高位元電路部份係由個別位元所控制之開關及連接至開關之電容所組成，其具有之電容比單元電容大2^{n-m-1}倍；耦合電容，由上述單位電容組成，用以連接較低位元電路部份至較高位元電路；及二重設開關；其中，二電源及偏壓電源會輸入其中；二重設開關會控制較低位元電路部份以及較高位元電路的個別電容之電荷充電；偏壓電源會輸入至較高位元電路部份之個別電容的共同連接端；較低電路部份的個別開關會從個別位元的資訊選取二電源中的任一電源，及控制連接至個別切換開關之電容的電荷充電及放電；較高位元電路部份的個別開關會從個別位元的資訊選取二電源中的任一電源，及控制連接至個別開關的電容之電荷充電及放電；及使用偏壓電源的電位作爲參考電位之類比訊號會從較高位元電路部份的共同連接端輸出。

在根據發明之ＤＡＣ中，輸出V_{OUT}可藉由V_H與V_L之間的差以決定其振幅，及使用V_L作爲參考電位下決定相對於數位資料的位址之線性形式的改變。亦即，能夠獨立地控制輸出V_{OUT}之電壓振幅及參考電位。因此，假使V_H與V_L之間的差固定，則即使V_H與V_L二者均小，仍能取得相同的輸出V_{OUT}。因此，能夠將電源電壓抑制至較低值，因此，α可以爲小，亦即，電容可以小，且可減少電容部份的佈局區。

【實施方式】

將於下述中說明根據發明之ＤＡＣ的較佳實施例。此外，根據發明之ＤＡＣ不侷限於下述實施例。

圖１係顯示根據發明之ＤＡＣ的電路圖。圖１中所示之發明的ＤＡＣ能夠處理ｎ位元的數位資料（D_0至D_{n-1}）。此外，D_0可視爲ＬＳＢ，而D_{n-1}可視爲ＭＳＢ。而且，假設ｎ位元數位資料分成較低ｍ位元（D_0至D_{m-1}）及較高的ｎ－ｍ位元（D_m至D_{n-1}）。

如圖１所示，根據發明之ＤＡＣ具有由ｎ位元數位資料（D_0至D_{n-1}）之個別位元所控制的ｎ個開關（SW_0至SW_{n-1}）、連接至個別開關（SW_0至SW_{n-1}）之電容（Ｃ、２Ｃ、．．．$2^{m-1}C$，Ｃ、２Ｃ、．．．$2^{n-m-1}C$）、及二重設開關（Ｒｅｓ１及Ｒｅｓ２）。這些電容係製成單位電容Ｃ的整數倍。根據發明之ＤＡＣ具有電容以連接對應於較低ｍ位元的電路部份至對應於較高ｎ－ｍ位元之電路部份。如圖１所示，對應於較低ｍ位元的電路部份之個別電容的一端係製成共同連接端。而且，對應於較高ｎ－ｍ位元的電路部份之個別電容的一端也製成共同連接端。此外，電容C_L係連接至輸出V_{OUT}之訊號線的負載電容。接地電壓係設定爲V_G。但是，V_G可爲任何選加的固定電源。

電源V_H、V_L、偏壓電源V_B及電源V_A會連接至根據發明之ＤＡＣ。此外，在$V_H > V_L$及$V_H < V_L$的情形中，相位反轉的類比訊號會經由輸出V_{OUT}輸出。而且，

於此，當$V_H > V_L$時，將輸出假設爲正常相位，當$V_H < V_L$時，將輸出假設爲反轉相位。

當輸入的數位資料（D_0至D_{m-1}）爲0（Lo）時，開關（SW_0至SW_{n-1}）會分別連接至電源V_L，且當輸入的數位資料爲1（Hi）時，開關（SW_0至SW_{n-1}）會分別連接至電源V_H。重設開關Res1會控制電荷從V_H充電至對應於較高的n－m位元之電容（C、2C、．．．$2^{n-m-1}C$），重設開關Res2會控制電荷從V_A充電至對應於較低的m位元之電容（C、2C、．．．$2^{m-1}C$）。

此外，藉由連接重設開關Res2的一端至電源V_L，則不會有電壓從電源V_A供應。

接著，將依序說明根據發明之DAC的作動。將以分成重設週期T_R及資料輸入週期T_B之作動，說明發明的DAC之作動。

首先，重設開關Res1及Res2會於重設週期T_R中關閉，其中數位資料的所有的位元（D_0至D_{n-1}）會變成0（Lo），而所有的開關（SW_0至SW_{n-1}）會連接至電源V_L。在此狀態中，圖1中所示之根據發明的DAC之等效電路係顯示於圖2（A）中。

在重設週期T_R終止之後，累積於圖2（A）中所示之個別的合成電容中的電荷之內定值（初始值）Q_0^0、Q_1^0、Q_2^0、Q_3^0、Q^0、及Q_L^0會變成如下式（1a）至（1f）示。

(11)

$$Q_0^0 = (2^m - 1) . c . (V_L - V_A) \quad (1a)$$

$$Q_1^0 = 0 \quad (1b)$$

$$Q_2^0 = (2^{n-m} - 1) . c . (V_L - V_B) \quad (1c)$$

$$Q_3^0 = 0 \quad (1d)$$

$$Q^0 = c . (V_A - V_B) \quad (1e)$$

$$Q_L^0 = c_L . (V_B - V_G) \quad (1f)$$

在重設週期終止之後，資料寫入週期 T_E 開始，其中具有選加的位元資訊之數位資料（D_0 至 D_{n-1}）會控制開關（SW_0 至 SW_{n-1}），電荷會依據個別的位元資訊充電及放電。之後，穩定狀態會上升。而且，累積於合成電容 C_0、C_1、C_2、C_3、C 及 C_L 中的電荷 Q_0、Q_1、Q_2、Q_3、Q、及 Q_L 會變成如下式（2a）至（2f）所示。

$$Q_0 = c_0 . (V_L - V_m) \quad (2a)$$

$$Q_1 = c_1 . (V_H - V_m) \quad (2b)$$

$$Q_2 = c_2 . (V_L - V_{out}) \quad (2c)$$

$$Q_3 = c_3 . (V_H - V_{out}) \quad (2d)$$

$$Q = c . (V_m - V_{out}) \quad (2e)$$

$$Q_L = c_L . (V_{out} - V_G) \quad (2f)$$

其中

$$c_0 = c \cdot (\overline{D}_0 + 2\overline{D}_1 + 4\overline{D}_2 + \cdots + 2^{m-1}\overline{D}_{m-1}) \quad \cdots\cdots\cdots (3a)$$

$$c_1 = c \cdot (D_0 + 2D_1 + 4D_2 + \ldots + 2^{m-1}D_{m-1}) \quad \cdots\cdots\cdots (3b)$$

$$c_2 = c \cdot (\overline{D}_m + 2\overline{D}_{m+1} + 4\overline{D}_{m+2} + \cdots + 2^{n-m-1}\overline{D}_{n-1}) \cdots (3c)$$

(12)

$$c_3 = c \cdot (D_m + 2D_{m+1} + 4D_{m+2} + \ldots + 2^{n-m-1} D_{n-1}) \quad \cdots\cdots\cdots (3d)$$

此處，在圖2（B）中的點V_{OUT}及V_M，藉由電荷守恒定律，建立下述式子（4a）及（4b）。

$$-Q_0 - Q_1 + Q = -Q_0^0 - Q_1^0 + Q^0 \quad (4a)$$

$$-Q_2 - Q3 - Q + Q_L = -Q_2^0 - Q_3^0 - Q^0 + Q_L^0 \quad (4b)$$

此處，（1a）至（1f）及（2a）至（2f）代入（4a）及（4b），並解出V_{out}，因此導出下式（5）。

$$V_{out} = V_B + \frac{\{c_0 + 2^m \cdot c_2 - (2^n - 1) \cdot c\} V_L + (c_1 + 2^m \cdot c_3) V_H}{(2^n - 1) \cdot c + 2^m \cdot c_L} \cdots\cdots\cdots (5)$$

其中，由於建立下式（6a）及（6b），

$$c_0 + c_1 = c \,.\, (1 + 2 + 4 + \ldots + 2^{m-1}) = (2^m - 1) \,.\, c \quad (6a)$$

$$c_2 + c_3 = c \,.\, (1 + 2 + 4 + \ldots + 2^{n-m-1}) = (2^{n-m} - 1) \,.\, c \quad (6b)$$

所以，可取得下式

$$c_0 + c_1 + 2^m (c_2 + c_3) = (2^n - 1) \,.\, c \quad (7)$$

因此，將（6a）、（6b）及（7）代入式（5），可得下式，

(13)

$$V_{out}=V_B+\frac{(c_1+2^m\cdot c_3)}{(2^n-1)\cdot c}\cdot\alpha\cdot(V_H-V_L)\cdots\cdots\cdots(8)$$

其中，α變成如下式（9）所示；且α係電壓壓縮比。

$$\alpha=\frac{1}{1+\frac{2^m}{2^n-1}\cdot\frac{c_L}{c}}\cdots\cdots\cdots(9)$$

因此，藉由表示式（8），可瞭解到V_{out}並未取決於V_A。根據式（8），圖2（C）係顯示Vout爲縱軸，而位址爲橫軸。如圖2（C）所示，可發現輸出V_{OUT}係相對於數位資料的位址（0至2^{n-1}）之線性形式。此外，輸出V_{OUT}可以藉由V_H與V_L之間的差而決定其振幅，以及決定偏壓電源V_B作爲參考電位時相對於數位資料的位址之線性形式的變化。亦即，能夠獨立地控制輸出V_{OUT}的電壓振幅及參考電位。以其爲基礎，假使V_H與V_L之間的差異爲固定時，則即使V_H與V_L均爲小時，仍可取得相同的輸出，因此，能夠將電源電壓抑制於低位準。因此，可以使α爲小，亦即，電容C可以小。因此，可以減少電容部份的佈局區。

此外，在用於本發明的結構之電容中，幾乎符合上述線性關係之誤差是可以允許的。

將於下說明根據發明的DAC之較佳實施例。根據發明之DAC的詳細構造不限於下述實施例。

實施例1

圖3係顯示實施例的8位元DAC之電路圖。

圖3中所示之實施例的DAC會管理八位元（D_0（LSB）至D_7（MSB））所組成的數位資料。而且，八位元數位資料會分成較低四位元（D_0至D_3）及較高四位元（D_4至D_7）。

如圖3所示，實施例的DAC具有八個由八位元數位資料（D_0至D_7）之個別位元所控制的開關（SW_0至SW_7）、連接至個別開關（SW_0至SW_7）之電容（C、2C、4C、8C、C、2C、4C、及8C）、及二重設開關（Res1及Res2）。而且，實施例的DAC具有電容以連接對應於較低四位元的電路部份至對應於較高四位元的電路部份。

電源V_H及V_L、以及偏壓電源V_B會連接至根據實施例之DAC。

當輸入的數位資料（D_0至D_7）的個別位元爲0（Lo）時，開關（SW_0至SW_7）會連接至電源V_L，當輸入的數位資料的個別位元爲1（Hi）時，開關（SW_0至SW_7）會連接至電源V_H。這與上述是相同的。重設開關Res1會控制電荷從V_B充電至對應於較高四位元之電容（C、2C、4C、及8C）。而且，對應於較低四位元之電容（C、2C、4C及8C）的一端會連接至重設開關Res2。

根據實施例之八位元ＤＡＣ與上述圖１中所示之ＤＡＣ於結構上不同。實施例的ＤＡＣ與圖１中所示的ＤＡＣ之不同點在於重設開關Ｒｅｓ２的一端連接至電源V_L且無電壓從電源V_A供應。但是，如上所述，輸出電壓V_{OUT}不會視V_A而定，因此，實施例的ＤＡＣ會如上述圖１中所示的ＤＡＣ一般地操作。

接著，將依序說明根據實施例之ＤＡＣ的作動。將以分成重設週期T_R及資料輸入週期T_E之作動，說明根據實施例的ＤＡＣ之作動。

首先，重設開關Ｒｅｓ１與Ｒｅｓ２會於重設週期ＴＲ中關閉，數位視頻資料的所有位元（D_0至D_7）會變成０（Ｌｏ），且所有的開關（SW_0至SW_7）會連接至電源V_L。在此狀態中，根據實施例之ＤＡＣ的等效電路與圖４（Ａ）中所示相同。

在重設週期T_R終止之後，圖４（Ａ）中所示之累積於合成電容C_0、C_1、C_2、C_3、Ｃ及C_L中的電荷Q_0、Q_1、Q_2、Q_3、Ｑ、及Q_L內定值（初始值）最後會變成如下式（１０ａ）至（１０ｆ）所示；

$$Q_0^0 = 0 \qquad (10a)$$

$$Q_1^0 = 0 \qquad (10b)$$

$$Q_2^0 = 15.c.(V_L - V_B) \qquad (10c)$$

$$Q_3^0 = 0 \qquad (10d)$$

$$Q^0 = c.(V_L - V_B) \qquad (10e)$$

$$Q_L^0 = c_L.(V_B - V_G) \qquad (10f)$$

其中，可滿足下列表示式：

$$Q_0 = c_0 . (V_L - V_m) \quad (11a)$$

$$Q_1 = c_1 . (V_H - V_m) \quad (11b)$$

$$Q_2 = c_2 . (V_L - V_{out}) \quad (11c)$$

$$Q_3 = c_3 . (V_H - V_{out}) \quad (11d)$$

$$Q = c . (V_m - V_{out}) \quad (11e)$$

$$Q_L = c_L . (V_{out} - V_G) \quad (11f)$$

在重設週期終止之後，具有選加的位元資訊之數位資料（D_0至D_7）會提供給開關（SW_0至SW_7），其中電荷會依據個別的位元資訊充電及放電。最後，累積於合成電容C_0、C_1、C_2、C_3、C及C_L中的電荷Q_0、Q_1、Q_2、Q_3、Q、及Q_L會變成如上式（11a）至（11f）所示。

而且，建立下述表示式；

$$c_0=c\cdot(\overline{D}_0+2\overline{D}_1+4\overline{D}_2+8\overline{D}_3) \cdots\cdots\cdots (12a)$$

$$c_1=c\cdot(D_0+2D_1+4D_2+8D_3) \cdots\cdots\cdots (12b)$$

$$c_2=c\cdot(\overline{D}_4+2\overline{D}_5+4\overline{D}_6+8\overline{D}_7) \cdots\cdots\cdots (12c)$$

$$c_3=c\cdot(D+2D_5+4D_6+8D_7) \cdots\cdots\cdots (12d)$$

此處，在圖4中的點V_{OUT}及V_m，藉由電荷守恒定律，建立下述式子（13a）及（13b）。

$$-Q_0 - Q_1 + Q = -Q_0^0 - Q_1^0 + Q^0 \quad (13a)$$

$$-Q_2 - Q3 - Q + Q_L = -Q_2^0 - Q_3^0 - Q^0 + Q_L^0 \quad (13b)$$

此處，（１０ａ）至（１０ｆ）及（１２ａ）至（１２ｆ）代入（１３ａ）及（１３ｂ），則輸出V_{out}如下式（１４）所示。

$$V_{out}=V_B+\frac{\{c_0+16\cdot c_2-255\cdot c\}V_L+(c_1+16\cdot c_3)V_H}{255\cdot c+16\cdot c_L}\cdots\cdots\cdots(14)$$

亦即，由於建立下式（１５ａ）及（１５ｂ）；

$$c_0+c_1=c.(1+2+4+8)=15.c \qquad (15a)$$

$$c_2+c_3=c.(1+2+4+8)=15.c \qquad (15b)$$

所以，可取得下式

$$c_0+c_1+16(c_2+c_3)=255.c \qquad (16)$$

而且，將（１５ａ）、（１５ｂ）及（１６）代入式（１４），可建立下式（１７）；

$$V_{out}=V_B+\frac{(c_1+16\cdot c_3)}{255\cdot c}\cdot\alpha\cdot(V_H-V_L)\cdots\cdots\cdots(17)$$

其中，α如下所示；

(18)

$$\alpha = \frac{1}{1+\frac{16}{255}\cdot\frac{C_L}{C}} \cdots\cdots\cdots (18)$$

因此，由表示式（１７）可以瞭解到輸出ＶＯＵＴ與數位資料的位址（０至２ｓ－１）成線性形式。在本實施例中，由於八位元數位資料會被管理，所以，可取得２５６型式的輸出ＶＯＵＴ。此處，當改變表示式（１７）中的個別參數時，顯示輸出ＶＯＵＴ與數位資料的位址之轉變的圖形係顯示於圖２９中。

輸出ＶＯＵＴ可以藉由ＶＨ與ＶＬ之間的差而決定其振幅，以及決定相對於數位資料的位址隨著作爲參考電位的ＶＢ之變化。亦即，能夠獨立地控制輸出ＶＯＵＴ的電壓振幅及參考電位。以其爲基礎，假使ＶＨ與ＶＬ之間的差異爲固定時，則即使ＶＨ與ＶＬ均爲小時，仍可取得相同的輸出，因此，能夠將電源電壓抑制於低位準。因此，可以使α爲小，亦即，電容Ｃ可以小。因此，可以減少電容部份的佈局區。

（實施例２）

在實施例中，將說明根據上述實施例１之ＤＡＣ用於主動矩陣列液晶顯示裝置之驅動電路的情形。

圖５係根據實施例之主動矩陣型液晶顯示裝置的一般方塊圖，其中源極訊號線驅動電路Ａ以５０１標示，源極訊號線驅動電路Ｂ以５０２標示，閘極訊號線驅動電路以５０３標示，主動矩陣電路以５０４標示，數位視頻資料

驅動電路（ＳＰＣ：串列對並列轉換電路）係以５０５標示。

源極訊號線驅動電路Ａ５０１具有移位電阻電路（２４０級ｘ２移位暫存器電路）５０１－１、佇鎖電路１（９６０ｘ８數位佇鎖電路）５０１－２、佇鎖電路２（９６０ｘ８數位佇鎖電路）５０１－３、選取器電路１（２４０選取器電路）５０１－４、Ｄ／Ａ轉換器電路（２４０ＤＡＣ）５０１－５、及選取器電路２（２４０選取器電路）５０１－６。此外，其尙具有緩衝器電路及位準偏移電路（均未顯示）。再者，爲了便於說明，ＤＡＣ５０１－５包含位準偏移電路。

源極訊號線驅動電路Ｂ５０２具有同於源極訊號線驅動電路Ａ５０１之構造。此外，源極訊線驅動電路Ａ５０１會提供視頻訊號（階度電壓訊號）給奇數號源極訊號線，而源極訊號線驅動電路Ｂ５０２會提供視頻訊號給偶數號源極訊號線。

此外，在根據發明之主動矩陣型液晶顯示裝置中，爲了便於說明，僅設有二源極訊號線驅動電路Ａ５０１及Ｂ５０２，以致於這些驅動電路可以在它們之間保持主動矩陣電路的上側及下側。但是，假使電路配置佈局允許時，可僅設有一源極訊號線驅動電路。

而且，閘極訊號線驅動電路會以５０３標示，其具有移位暫存器電路、緩衝器電路、位準移位電路、等等（未顯示於圖式中）。

主動矩陣電路５０４具有１９２０（橫向）ｘ１０８０（縱向）像素。像素ＴＦＴ會配置於個別像素中，其中源極訊號線會電連接至個別的像素ＴＦＴ之源極區，閘極訊號線會電連接至閘電極。而且，像素電極會電連接至個別像素ＴＦＴ的汲極區。個別像素ＴＦＴ會控制視頻訊號（階度電壓）對電連接至個別像素ＴＦＴ之像素電極的供應。其中視頻訊號（階度電壓）會提供給個別的像素電極，而電壓會供應給置於個別像素電極與相面對的電極之間的液晶，因而驅動液晶。

此處，將說明根據發明之主動矩陣型液晶顯示裝置的訊號作動及流動。

首先，將說明源極訊號線驅動電路Ａ５０１的作動。時計訊號（ＣＫ）及啓動脈沖（ＳＰ）會輸入至移位暫存器電路５０１－１。移位暫存器電路５０１－１會根據時計訊號（ＣＫ）及啓動脈沖（ＳＰ）產生依序之時序訊號，接著將時序訊號經由緩衝電路（未顯示）等等提供給後續的電路。

來自移位暫存器電路５０１－１之時序訊號會由緩衝器電路等等緩衝。由於一些電路及元件會連接至有時序訊號供應之源極訊號線，所以，負載電容（寄生電容）大。爲了防止時序訊號的上升及下降不會因負載電容大而遲滯，設置此緩衝電路。

由緩衝器電路緩衝之時序訊號會提供給佇鎖電路１（５０１－２）。佇鎖電路１（５０１－２）具有處理８位

元數位視頻資料之９６０級佇鎖電路。當上述時序訊號輸入時，佇鎖電路１（５０１－２）順序地拾取及固持數位視頻資料分割電路所提供之８位元數位視頻資料。

直到數位視頻資料完全地寫入於佇鎖電路１（５０１－２）的所有級之時間係稱爲「線週期」。亦即，從數位視頻資料開始寫入於佇鎖電路１（５０１－２）中的最左側級的時間至數位視頻資料之寫入結束於佇鎖電路的所極右側級之時間間隔係爲線週期。事實上，水平回歸週期會加至上述線週期之時間週期可稱爲「線週期」。

在一線週期終止之後，佇鎖訊號會依據移位暫存器電路５０１－１的作動時序而提供給佇鎖電路２（５０１－３）。此時，寫入及固持於佇鎖電路１（５０１－２）中的數位視頻資料會一次送出至佇鎖電路２（５０１－３），並被寫入及固持於佇鎖電路２（５０１－３）的所有級中。

根據來自移位暫存器電路５０１－１之時序訊號，由視頻資料分割電路提供的數位視頻資料會再度順序地寫入完成送出數位視頻資料給佇鎖電路２（５０２－３）之佇鎖電路１（５０１－２）中。

在第二線週期中，寫入及固持於佇鎖電路２（５０１－３）中的數位視頻資料會由選取器電路１（５０１－４）依序選取並提供給Ｄ／Ａ轉換器電路（ＤＡＣ）５０１－５。此外，在實施例中，在選取器電路１（５０１－４）中，一選取器電路對應於四源極訊號線。

此處，爲了說明本實施例中所使用的選取器電路1（501－4），將參考管理2位元數位視頻資料之選取器電路（圖6及圖7）。如同實施例中般，管理8位元數位資料的選取器電路的觀念配置同於管理2位元數位視頻資料之選取器電路的觀念配置。而且，可使用本申請人申請之日本專利申請號9－286098中所述之選取器電路。

圖6係顯示一選取器電路的電路圖。在圖6中，代號A、B、C及D係顯示源極訊號線，而附加至代號A、B、C及D之尾數0或1係顯示輸入至源極訊號線的2位元數位視頻資料的位元。對應於源極訊號線A、B、C或D的數位視頻資料係在一線掃瞄週期（水平掃瞄週期）中由選取訊號SS1及SS2以四分之一接四分之一的方式選取並從Out－0及Out－1輸出。圖7係顯示選取電路的時序圖，其中L及S係佇鎖訊號。

在實施例的選取器電路501－4中，一選取器電路提供給每四個源極訊號線。而且，從佇鎖電路1（501－2）提供給對應的源極訊號線之8位元數位視頻資料會於一週期中被四分之一接四分之一地選取。

由選取器電路501－4所選取的8位元數位視頻資料會提供給DAC501－5。此處，將參考圖8及圖9，說明用於本實施例中的DAC。

圖8係顯示用於本實施例中的DAC之電路圖。此外，雖然實施例的DAC具有位準偏移電路（L．S．），

但是，仍能設計不具1位準偏移電路之ＤＡＣ。此外，圖9（Ａ）係顯示位準偏移電路（Ｌ．Ｓ．）的電路配置。在位準偏移電路中，當訊號Ｌｏ輸入至輸入ＩＮ及訊號Ｈｉ輸入至輸入ＩＮｂ時，高電壓源ＶｄｄＨＩ會從輸出ＯＵＴ輸出且低電壓源Ｖｓｓ會從輸出ＯＵＴｂ輸出。而且，當訊號Ｈｉ輸入至輸入ＩＮ且訊號Ｌｏ輸入至輸入ＩＮｂ時，低電壓源Ｖｓｓ會從輸出ＯＵＴ輸出且高電壓源ＶｄｄＨＩ會從輸出ＯＵＴｂ輸出。

在實施例的ＤＡＣ中，數位視頻資料（D_0至D_7）的反轉資料（此處，反轉的D_0至D_7）會設計成輸入至反或（ＮＯＲ）電路（５０１－５－１）的一輸入。重設脈沖Ａ（ＲｅｓＡ）會輸入至反或電路（５０１－５－１）的其它輸入。重設脈沖Ａ會輸入至ＤＡＣ的重設週期T_R。在實施例的情形中，數位視頻資料（反轉的D_0至D_7）會於重設週期T_R中輸入至反或電路（５０１－５－１）。但是，當重設脈沖Ａ（ＲｅｓＡ）正輸入至反或電路時，不會有數位視頻資料從反或電路輸出。

此外，可省略反或電路，且在重設週期T_R終止之後會輸入數位視頻資料（反轉的D_0至D_7）。

在重設週T_R完成之後，資料寫入週期T_E開始，8位元數位視頻資料的電壓位準會由位準移位電路升高，且資料會輸入至切換電路（SW_0至SW_7）。

切換電路（SW_0至SW_7）分別由二類比切換開關ＡＳＷ１及ＡＳＷ２所構成。個別的切換開關ＡＳＷ１及

ＡＳＷ２的電路配置係顯示於圖９（Ｂ）中。ＡＳＷ１的一端會連接至ＤＣ＿ＶＩＤＥＯ＿Ｌ，而另一端會連接至ＡＳＷ２的一端及電容。而且，個別的ＡＳＷ２的一端係ＤＣ＿ＶＩＤＥＯ＿Ｈ＿，而另一端係連接至ＡＳＷ２的一端及電容（１ｐＦ、２ｐＦ、４ｐＦ、８ｐＦ、１ｐＦ、２ｐＦ、４ｐＦ、８ｐＦ）。個別電容之一會連接至二類比開關，而其另一端會連接至重設開關２（Ｒｅｓ２）。而且，重設開關１的一端會連接至ＤＣ＿ＶＩＤＥＯ＿Ｍ，而另一端會連接至對應於較高位元的電容之一端。重設脈沖（ＲｅｓＢ）及反轉脈沖（反轉的ＲｅｓＢ）會輸入至重設開關Ｒｅｓ１及Ｒｅｓ２。

而且，電容（１ｐＦ）會設於對應於較高位元的電路與對應於較低位元的電路之間的連接點處。此外，實施例中所有上述的電容不侷限於此處所述的值。

ＤＡＣ　５０１－５會將８位元數位視頻資料轉換成類比視頻資料（階度電壓）並順序地提供給選取器電路２（５０１－６）所選取的源極訊號線。實施例中的ＤＡＣ之作動符合上述實施例１的作動，且輸出V_{OUT}係以上述表示式（１７）表示。

提供給源極訊號線的類比訊號又會提供給連接至源極訊號線之主動矩陣電路的像素ＴＦＴ之源極區。

源極訊號線驅動電路Ｂ係以５０２標示，且其配置同於源極訊號線驅動電路Ａ　５０１的配置。源極訊號線驅動電路Ｂ　５０２提供類比視頻資料給偶數號的源極訊號

線。

來自移位暫器（未顯示）的時序訊號會提供給閘極訊號線驅動電路５０３中的緩衝器電路（未顯示），並提供給對應的閘極訊號線（掃瞄線）。由於等於一線之像素ＴＦＴ的閘電極會連接至閘極訊號線且等於一完整線之所有像素ＴＦＴ必須開啓，所以在緩衝器電路中使用具有較大電流容量的閘電極。

因此，藉由來自閘極訊號驅動電路之掃瞄訊號，以執行對應的像素ＴＦＴ之切換，其中來自源極訊號線驅動電路的類比訊號會提供給像素ＴＦＴ以驅動液晶粒子。

數位視頻資料分割電路（ＳＰＣ：串列對並列轉換電路）係以５０５標示。數位視頻資料分割電路５０５係用以將週邊輸入的數位視頻資料之頻率降至１／ｍ之電路。藉由分割週邊輸入的數位視頻資料，驅動電路的作動所需之訊號頻率會下降至１／ｍ。此處，將參考圖１０（Ａ）及１０（Ｂ），簡述實施例中所使用的數位視頻資料分割電路５０５。

如圖１０（Ａ）所示，實施例中的數位視頻資料分割電路具有時計產生器及眾多ＳＰＣ基本單元。ＳＰＣ基本單元的配置顯示於圖１０（Ｂ）中。在圖式中，Ｈ－ＤＬ及Ｌ－ＤＬ係稱爲Ｄ佇鎖之佇鎖電路。Ｈ－ＤＬ係Ｄ佇鎖電路，當輸入至Ｄ佇鎖中的佇鎖訊號爲Ｈｉ時，其會佇鎖輸入訊號，Ｌ－ＤＬ亦爲Ｄ佇鎖電路，當輸入至Ｄ佇鎖中的佇鎖訊號爲Ｌｏ時，其會佇鎖輸入訊號。

在實施例中，８０ＭＨｚ的８位元數位視頻資料會輸入至數位視頻資料分割電路５０５。數位視頻資料分割電路５０５會將以串列對並列形式自週邊輸入的８０ＭＨｚ的８位元數位視頻資料轉換並供應１０ＭＨｚ的數位視頻資料給源極訊號線驅動電路。

此外，除了８０ＭＨｚ的數位視頻資料之外，尚有４０ＭＨｚ的時計（ＣＫ）及重設脈沖自週邊輸入至實施例的數位視頻資料分割電路５０５。實施例的數位視頻資料分割電路５０５僅需頻率爲輸入的數位視頻資料的頻率的一半之時計，因此，相較於習知實施例，根據實施例之數位視頻資料於穩定性及可靠度上是優良的。

將於此參考圖１１，其係顯示構成數位視頻資料分割電路之ＳＰＣ基本單元的時序圖。

圖１１中所示的時序圖係顯示輸入的串列數位資料（Ｄ－１、Ｄ－２、．．．Ｄ－１０、．．．）被轉換成二並列數位資料（Ｐ１及Ｐ２）。

於此，說明實施例中所述的主動矩陣型液晶顯示裝置之生產方法的實施例。在本實施例中，此範例係顯示於圖９至圖１２中，其中眾多ＴＦＴ形成於具有絕緣表面的基底之上，主動矩陣電路、源極訊號線驅動電路、閘極訊號線驅動電路、數位資料分割電路、及其它週邊電路等等係形成於相同基底上。將於下說明的實施例係顯示一狀態，於其中，主動矩陣電路１的一像素ＴＦＴ及其它電路（源極訊號線驅動電路、閘極訊號線驅動電路、數位資料分割

電路及其它週邊電路）的基本電路之ＣＭＯ電路同時形成。而且，在下述範例中，將說明主動矩陣列液晶顯示裝置之生產製程，於其中，在ＣＭＯＳ電路中，Ｐ通道ＴＦＴ及Ｎ通道ＴＦＴ分別設有一閘電極。但是，也可能生產ＣＭＯＳ電路，其係由設有諸如雙閘或三閘等多個閘電極的ＴＦＴ所構成。而且，在下述實施例中，雖然ＴＦＴ係雙閘Ｎ通道ＴＦＴ，但是，像素ＴＦＴ可以由具有單閘、三閘、等等之ＴＦＴ所構成。

將參考圖１２（Ａ）。首先，製備石英基底４００１作爲具有絕緣表面之基底。可以使用有熱氧化層形成於上的矽基底以取代石英基底。可採用如此之方法，其中非晶矽層形成於石英基底上且將其完全熱氧化以取得絕緣膜。而且，可使用有氮化矽層形成於上以作爲絕緣膜之石英基底、陶瓷基底或矽基底。接著，形成基層４００２。在本實施例中，使用氧化矽（SiO_2）作爲基層４００２。接著，形成非晶矽層４００３。調整非晶矽層４００３，以致於最後的層厚度（在熱氧化之後考慮層縮減之後取得的層厚度）變成１０至７５ｎｍ（較佳地，１５至４５ｎｍ）。

此外，當形成非晶矽層４００３時，徹底地執行層中的雜質管理，是重要的。在本實施例的情形中，其會受控制，以致於阻礙非晶矽層４００３中後續晶化之雜質Ｃ（碳）及Ｎ（氮）的濃度爲5×10^{18}原子／cm^3或更少（以5×10^{17}原子／cm^3或更少爲代表，較佳地，２

x 10^{17}原子／cm^{3}或更少），O（氧）的濃度爲1.5x10^{19}原子／cm^{3}或更少（以1x10^{18}原子／cm^{3}或更少爲代表，較佳地，5x10^{17}原子／cm^{3}或更少）。因爲假使雜質以高於上述的比例存在時，它們可能不利於後續的晶化，並在晶化完成之後造成層的品質降低。在說明書中，層中之雜質元素濃度會定義爲最小值以符合SIMS（二次離子質量分析）量測結果。

爲了取得上述構造，較佳的是，本實施例中所使用的低壓熱CVD爐會週期地接受乾清潔，及嘗試淨化層形成室。100至300sccm的ClF_3（氟化氯）氣體會於加熱至200至400℃之爐中流通，且熱分解所產生的氟化物會用於層形成室的乾清潔。

根據申請人所知，爐中溫度爲300℃及ClF_3氣體的流量爲300sccm之情形中，能夠在四小時內完全地消除約2μm厚的雜質（主成份爲矽所構成）。

此外，非晶矽層4003中的氫濃度係顯著的參數之一。假使氫濃度被抑制於較低程度，則於取得良好晶化層時可取得較佳結果。因此，較佳的是，使用低壓CVD方法以形成非晶矽層4003。而且，藉由最佳化層形成條件，也可採用電漿CVD方法。

接著，對非晶矽層4003執行晶化處理。使用1995年之日本公開專利公告號130652作爲晶化手段。可使用相同文獻中的實施例1或2中的任一實施例。在本實施例中，較佳的是，使用相同專利公告中的實施

例２所揭示之技術（細節請參見１９９６年的日本公開專利公告號７８３２９）。

１９９６年的日本公開專利公告號７８３２９係形成１５０ｎｍ的掩罩絕緣膜４００４，其會選取摻雜觸媒元素之區域。掩罩絕緣膜４００４具有眾多開口埠以摻雜觸媒元素。藉由開口埠的位置，能夠決定晶化區域的位置（圖１２（Ｂ））。

以旋轉塗敷法塗著溶液４００５（醋酸鎳乙醇溶液），溶液４００５含有鎳（Ｎｉ）作爲促進非晶矽層４００３晶化之觸媒元素。除了鎳（Ｎｉ）之外，也可使用鈷（Ｃｏ）、鐵（Ｆｅ）、鈀（Ｐｄ）、鍺（Ｇｅ）、鉑（Ｐｔ）、銅（Ｃｕ）、金（Ａｕ）、等等作爲觸媒元素。使用光阻掩罩之離子佈植法、或電漿摻雜法可用於上述觸媒元素的摻雜製程。在此情形中，由於變得較容易減少摻雜區的佔據區及控制後述的水平生長區中的生長距離，所以，當構成微電路時，摻雜製程將爲有效的技術。

在完成觸媒元素的摻雜製程之後，在氫於４５０℃下發射一小時之後的不活化氛圍、氫氛圍或氧氛圍下，於５００至９６０℃（以５５０至６５０℃代表）下，熱處理４至２４小時。之後，晶化非晶矽層４００３。在本實施例中，於５７０℃下，氫氛圍中執行加熱處理。

此時，非晶矽層的晶化會優先從有鎳摻雜之區４００６中產生的核（原子核）開始，因此，形成晶化區４００７，其以幾乎平行於基底４００１的基底表面之方

式生長並由多晶矽層構成。晶化區４００７稱爲「水平生長區」。水平生長區係在比較匹配的狀態下，其中個別晶體會聚集。因此，其具有總體晶化優良之優點。

此外，在未使用掩罩絕緣膜４００４下，醋酸溶液會塗著於非晶矽層的整個表面上以用於晶化。

參考圖（１２Ｄ）。接著，執行觸媒元素的吸氣處理。首先，選擇性地執行磷離子的摻雜。以形成的掩罩絕緣膜４００４，執行磷摻雜。假使此點發生時，磷僅摻雜於未由掩罩絕緣膜４００４遮蔽之多晶矽層的區域４００８上（此區稱爲磷摻雜區４００８）。此時，摻雜的加速電壓及氧化層構成的掩罩厚度最佳化，以致於磷不會穿透掩罩絕緣膜４００４。由於氧化層假使直接接觸主動層時不會成爲污染的原因，所以，掩罩絕緣膜４００４雖然不須爲氧化層，但爲氧化層時是有利的。

磷的劑量從１ｘ１０^{14}至１ｘ１０^{15}離子／ｃｍ^{2}爲適當的。在本實施例中，使用離子摻雜裝置，摻雜５ｘ１０^{14}離子／ｃｍ^{2}的磷。

此外，離子摻雜時的加速電壓定爲１０ｋｅＶ。假使採用１０ｋｅＶ的加速電壓時，磷幾乎不會通過１５０ｎｍ厚的掩罩絕緣膜。

參考圖１２（Ｅ）。接著，在６００℃的氮氛圍下以熱處理執行鎳元素吸收１至１２小時（在實施例中爲１２小時）。因此，如圖１２（Ｅ）所示，鎳會被吸入及拉至接近磷。在６００℃的溫度下，磷原子幾乎不會在層中移

動。但是，鎳原子可以移動數佰微米或更多。根據此點，可瞭解到磷係最適宜吸收鎳的元素之一。

接著，參考圖１３（Ａ），說明多晶矽層的圖型化處理。此時，磷摻雜區４００８，亦即吸入鎳的區域，不會保留。因此，可取得幾乎未含鎳元素之多晶矽層的主動層４００９至４０１１。所取得的多晶矽層之主動層４００９至４０１１稍後變成ＴＦＴ的主動層。

參考圖（１３Ｂ）。在形成主動層４００９至４０１１之後，由含有矽的絕緣膜構成之閘絕緣層４０１２會形成於其上至變成７０ｎｍ厚。在氧化氛圍中，於８００至１１００℃（較佳地，９５０至１０５０℃）的溫度下，執行熱處理，藉以在主動層４００９至４０１１與閘絕緣層４０１２之間的邊界，形成熱氧化層（未顯示）。

此外，在此階段執行熱處理以吸收觸媒元素（觸媒元素的吸收處理）。在此情形中，熱處理係在含有鹵素的處理氛圍中利用鹵素造成的觸媒元素吸收效果。而且，爲了以鹵素充份取得吸收效果，較佳的是，在７００℃或更高的溫度下執行熱處理。假使溫度低於７００℃，則將難以分觸處理氛圍中的鹵素化合物，因此，恐怕無法取得吸收效果。此外，在本情形中，關於含有鹵素的氣體，可使用選自諸如ＨＣｌ、ＨＦ、NF_3、ＨＢｒ、Cl_2、ClF_3、BCl_2、Ｆｅ、Br_2、等等包含鹵素之化合物中之一或多種氣體。在此處理中，舉例而言，假使使用

ＨＣｌ，則主動層中的鎳會由氯的作用所吸收，並被移入氛圍中成爲揮發的氯化鎳。此外，在執行使用鹵素的觸媒元素之吸收處理之情形中，可以在掩罩絕緣膜４００４被移除之後圖型化主動層之前，執行觸媒元素的吸收處理。也可在圖型化主動層之後，執行觸媒元素吸收處理。再者，此二種處理可合併。

接著，形成鋁構成的金屬層（未顯示）以形成圖型化造成的閘電極原型。在本實施例中，鋁層可使用含有２ｗｔ％的釹。此外，閘電極可由摻雜有雜質之多晶矽層所形成，以便提供導電性。或者，可使用諸如Ｍｏ或Ｗ或此金屬的金屬矽化物等耐熱金屬。

接著，藉由１９９５年的日本公開專利公告號１３５３１８所揭示的技術，形成多孔陽極氧化層４０１３至４０２０、非多孔陽極氧化層４０２１至４０２４、及閘電極４０２５至４０２８（圖１３（Ｂ））。

因此，取得如圖１３（Ｂ）中所示的狀態，接著，使用閘電極４０２５至４０２８以及多孔陽極氧化層４０１３至４０２０作爲掩罩，蝕刻閘絕緣層４０１２。而且，多孔陽極氧化層４０１３至４０２０會被移除以取得圖１３（Ｃ）中所示的狀態。在本實施例中，４０２９至４０３１標示處理過的閘絕緣層。

參考圖１４（Ａ）。接著，執行摻雜製程，於其中，摻雜雜質元素以提供導電率。關於雜質元素，Ｐ（磷）或

Ａｓ（砷）可用於Ｎ通道型，而Ｂ（硼）或Ｇａ（鎵）可用於Ｐ通道型。

在本實施例中，在二製程中執行雜質摻雜，以形成Ｎ通道型ＴＦＴ及Ｐ通道型ＴＦＴ。

首先，摻雜雜質以形成Ｎ通道型ＴＦＴ。在８０ｋｅＶ的高加速電壓下，執行第一雜質摻雜（在本實施例中使用磷）。調整n^-區，以致於Ｐ離子濃度變成１ｘ１０^{18}原子／ｃｍ^{3}至１ｘ１０^{19}原子／ｃｍ^3。

在１０ｋｅＶ的低加速電壓下，執行第二雜質摻雜以形成n^+區。此時，由於加速電壓低，所以，閘絕緣層會作爲掩罩。而且，n^+區會被調整，以致於片電阻會變成小於５００Ω／平方（較佳地，３００Ω／平方）。

經由上述處理，形成構成ＣＭＯＳ電路之Ｎ通道型ＴＦＴ源極區４０３２及汲極區４０３３、低濃度雜質區４０３６、及通道形成區４０３９。此外，決定構成像素ＴＦＴ之Ｎ通道型ＴＦＴ源極區４０３４和汲極區４０３５、低濃度雜質區４０３７、及通道形成區４０４０及４０４１。（參見圖１４（Ａ））

此外，在圖１４（Ｃ）所示的狀態中，構成ＣＭＯＳ電路之Ｐ通道型ＴＦＴ的主動層具有同於Ｎ通道型ＴＦＴ的主動層之結構。

接著，如圖１４（Ｂ）所示，設置光阻掩罩４０４２以遮蓋Ｎ通道型ＴＦＴ，且摻雜雜質離子（在本實施例中，使用硼）以提供Ｐ型導電率。

如同上述雜質摻雜處理一般，此處理會執行二次。由於需要使N型導電率反轉成P型導電率，所以，摻雜濃度比P離子摻雜濃度大數倍之B（硼）離子。

因此，形成構成CMOS電路之P通道型TFT源極區4034及汲極區4044、低濃度雜質區4045及通道形成區4046。（參見圖14（B））。

此外，在閘電極由摻雜有雜質以提供導電率之多晶矽層所形成的情形中，可使用習知的側壁結構以形成低濃度雜質。

接著，藉由爐退火、雷射退火或燈退火或它們之組合，活化雜質離子。同時，修復摻雜製程中可能遭受到的主動層損傷。

參考圖14（C）。接著，形成氧化矽層及氮化矽層構成的疊層以作爲第一中間層絕緣膜4047，及形成接點孔。之後，形成源極電極及汲極電極4048至4052。此外，使用有機樹脂層作爲第一中間層絕緣膜。

參考圖15A。接著，第二中間層絕緣膜4053會由氮化矽層所形成。接著，形成0.5至3μm厚之有機樹脂層構成的第三中間層絕緣膜4054。可使用聚醯亞胺、丙烯酯、聚亞胺醯胺等作爲有機樹脂層。有機樹脂層的優點係容易形成膜、層容易厚化、因相對介電常數低所以可降低寄生電容、且平坦度優良、等等。也可使用上述物質之外的其它有機樹脂層。

接著，蝕刻第三中間層絕緣膜４０５４的部份，及在像素ＴＦＴ汲極電極４０５２上形成黑矩陣４０５４，以第二中間層絕緣膜夾於它們之間。在本實施例中，Ｔｉ（鈦）用於黑矩陣４０５４。而且，在本實施例中，在像素ＴＦＴ與黑矩陣之間形成固持電容（也稱爲儲存電容）。此外，在驅動電路部份中，使用黑矩陣４０５４作爲第三接線。而且，實施例的Ｄ／Ａ轉換器電路之電容會由形成源極電極與汲極電極時所產生的電極與黑矩陣所形成。接著，形成諸如丙烯酯樹脂等有機樹脂所製成的第四中間層絕緣膜４０５６。

接著，形成通過第二、第三、及第四中間層絕緣膜４０５３、４０５４及４０５６之接點孔，並形成１２０ｎｍ厚的像素電極４０５７。此外，由於實施例係透射型主動矩陣液晶顯示裝置的實施例，所以，使用諸如ＩＴＯ或ＩｎＺｎＯ等透明導電層以作爲構成像素電極４０５７之導電層。

接著，在氫氛圍中，於３５０℃下將整個基底加熱一至二小時，因此，可藉由氫化所有元素而補償層中的懸浮鍵（特別是在主動層中）。經由上述處理，在相同基底上，完成具有ＣＭＯＳ電路及像素矩陣電路之主動矩陣基底。

接著，以上述處理所產生的主動矩陣基底爲基礎，說明生產主動矩陣型液晶顯示裝置之製程。

在處於圖１５（Ｂ）所示的狀態中之主動矩陣基底上

(36)

，形成對齊層４０５８。在本實施例中，將聚醯亞胺用於對齊層。接著，製備相對基底。相對基底係由玻璃基底４０５９、透明導電層構成的相對電極４０６０、及對齊層４０６１所構成的。

此外，在本實施例中，使用聚醯亞胺層作爲對齊層。而且，在形成對齊層之後，執行摩擦處理。在本實施例中，使用具有比較大的預傾斜角之聚醯亞胺作爲對齊層。

接著，以習知的細胞組裝製程，將經過上述處理之主動矩陣基底及相對基底經由密封材料、間隔器（均未顯示），彼此黏合。之後，將液晶４０６２供應於二基底之間，並以密封劑（未顯示）完全地密封。在本實施例中，使用向列型液晶作爲液晶４０６２。

因此，完成如圖１５（Ｃ）所示之透射式主動矩陣型液晶顯示裝置。

也可使用雷射光（以準分子雷射或ＹＡＧ雷射爲代表）以晶化非晶矽層，而取代上述實施例中所述的晶化非晶矽層之方法。

（實施例３）

在實施例３中，將說明生產具有根據發明之ＤＡＣ之主動矩陣型液晶顯示裝置之另一方法，其不同於上述實施例２中所述之生產方法。而且，根據本實施例之主動矩陣型液晶顯示裝置可作爲實施例２的主動矩陣型液晶顯示裝置。

參考圖１６（Ａ）。首先，２００ｎｍ厚的氧化矽層５００２所構成之基層會形成於玻璃基底５００１上。基層可藉由疊加氮化矽層而取得，或者僅由氮化矽層構成。

接著，使用電漿ＣＶＤ法，在氧化矽層５００２上，形成３０ｎｍ厚的非晶矽層，並將其脫氫。之後，藉由準分子雷射退火，以形成多晶矽層（結晶矽層或多晶矽層）。

以習知之雷射晶化技術或熱晶化技術，執行晶化製程。在本實施例中，藉由以線性形式處理脈沖振盪型ＫｒＦ準分子雷射，以將非晶矽層晶化。

此外，在本實施例中，採用非晶矽層作爲初始層，及將其雷射退火，經由晶化而取得多晶矽層。但是，可使用微晶矽層作爲初始層，或是直接形成多晶矽層。當然，可以對所形成的多晶矽層執行雷射退火。此外，可執行爐退火以取代雷射退火。而且，藉由如實施例１所示的方法，執行非矽層的晶化。

將如此形成的結晶矽層圖型化，因而形成島狀矽層構成的主動層５００３及５００４。

接著，形成氧化矽層構成的閘絕緣層５００５以遮蓋主動層５００３及５００４，其中，於其上形成鉭及氮化鉭的疊層結構所構成之閘接線（包含閘電極）。（參見圖１６（Ａ））。

閘絕緣層５００５係製成１００ｎｍ厚。當然，氧化矽層除外，可以使用氧化矽層或氮化矽層、及氮氧化矽層

(38)

的疊層結構。此外，雖然其它金屬可用於閘接線５００６及５００７，但是，相對於矽具有高蝕刻選擇比例之材料，在後續處理中會是較佳的。

在如此取得圖１６（Ａ）中所示的狀態之後，執行第一磷摻雜處理（磷添加處理）。此處，由於經由閘絕緣層５００５執行摻雜，所以，加速電壓會建立至稍微高位準之８０ｋｅＶ。摻雜量也會被調整，以致於如此形成之第一雜質區５００８及５００９的長度（寬度）會變成０．５μｍ，而且，磷濃度會變成１ｘ１０^{17}原子／ｃｍ^{3}。此時，以（ｎ$^{-}$）表示磷濃度。可以使用砷取代磷。

此外，使用閘接線５００６及５００７作爲掩罩，以自我對齊的狀態形成第一雜質區５００８及５００９。此時，本質結晶矽維持於閘接線５００６及５００７的正下方，並形成通道形成區５０１０及５０１１。但是，事實上由於第一雜質區會稍微摻雜於閘接線內，所以取得之結構係閘接線５００６及５００７與第一雜質區５００８和５００９會彼此重疊。（請參見圖１６（Ｂ））。

接著，形成０．１至１μｍ厚（以０．２至０．３μｍ爲代表）的非晶矽層，以遮蓋閘接線５００６及５００７，並執行各向異性蝕刻以形成側壁５０１２及５０１３。側壁５０１２及５０１３會製成０．２μｍ寬（當從閘接線的側壁觀察時）。（請參見圖１６（Ｃ））。

此外，由於在本實施例中使用無雜質摻雜的層作爲非晶矽層，所以，形成本質矽層構成的側壁。

在取得圖１６（Ｃ）中所示的狀態之後，執行第二磷摻雜處理。在本情形中，加速電壓亦與第一次中一般設定爲８０ｋｅＶ。而且，調整摻雜量，以致於此次所形成的第二雜質區５０１４與５０１５中含有的磷濃度爲１ｘ１０^{18}原子／ｃｍ^{3}。此時，磷的濃度以（ｎ）表示。

此外，在圖１６（Ｄ）中所示的磷摻雜處理中，第一雜質區５００８及５００９保持在側壁５０１２與５０１３的正下方。這些第一雜質區５００８及５００９將作爲第一ＬＤＤ。

此外，在圖１６（Ｄ）的處理中，磷會摻雜於側壁５０１２與５０１３中。事實上，由於加速電壓高，所以磷係以磷濃度曲線的尾部（裙緣）在壁內佔優勢之狀態分佈。雖然側壁的電阻成份可以由此磷所調整，但是假使磷的濃度分佈相當不均勻，則其將變成施加至第二雜質區５０１４上的閘電壓於每一元素中變動的因素。因此，當摻雜時，需要執行準確的控制。

接著，形成光阻掩罩５０１６以遮蓋ＮＴＦＴ的一部份以及形成光阻掩罩５０１７以遮蓋整個ＰＴＦＴ。而且，在此狀態中，形成由閘絕緣層５００５的乾蝕刻所處理之閘絕緣層５０１８。（參見圖１６（Ｅ））

此時，閘絕緣層５０１８從側壁５０１２凸出至其外部之部份的長度（亦即，閘絕緣層５０１８與第二雜質區

５０１４接觸之長度）會決定第二雜質區５０１４的長度（寬度）。因此，需要以高準確度執行光阻掩罩５０１６的光罩對齊。

在取得圖１６（Ｅ）中所示的狀態之後，執行第三磷摻雜處理。由於磷將被摻雜於曝露的主動層上，所以，加速電壓會設定於１０ｋｅＶ的低位準。此外，調整摻雜量，以致於如此取得的第三雜質區５０１９中所含的磷濃度爲５ｘ１０^{20}原子／ｃｍ^{3}。此時，磷濃度以（ｎ$^{+}$）表示。（請參見圖１７（Ａ））

在本處理中，由於沒有磷被摻雜於光阻掩罩５０１６與５０１７所遮蔽的部份上，所以，第二雜質區５０１４及５０１５會原狀地保持於此部份中。因此，第二雜質５０１４會因而被分區。同時，第三雜質區５０１９也會被分區。

第二雜質區５０１４會作爲第二ＬＤＤ，而第三雜質區５０１９會作爲源極區或汲極區。

接著，移除光阻掩罩５０１６及５０１７，及新近形成光阻掩罩５０２１，其能遮蓋整個ＮＴＦＴ。而且，移除ＰＴＦＴ的側壁５０１３，此外，藉由閘絕緣層５００５的乾蝕刻，形成形狀同於閘接線５００７之閘絕緣層５０２２。（請參見圖１７（Ｂ））。

在取得圖１７（Ｂ）中所示的狀態之後，執行硼摻雜處理（硼添加處理）。此處，加速電壓設定爲１０ｋｅＶ，其中摻雜量會被調整，以致於第四雜質區中所包含的硼

濃度爲３ｘ１０^{20}原子／ｃｍ^{3}。此時，硼濃度以（ｐ＋＋）表示。（請參見圖１７（ｃ））。

此外，由於硼也會被摻雜成在閘接線５００７內佔優勢，所以，會在閘接線５００７內形成通道形成區５０１１。而且，在本處理中，形成於ＰＴＦＴ側之第一雜質區５００９及第二雜質區５０１５會被反轉成Ｐ型。因此，事實上，雖然電阻值會於原先爲第一雜質區的部份以及原先爲第二雜質區的部份處變動，但是，由於以足夠高的濃度摻雜硼，所以這不會造成問題。

因此，第四雜質區５０２３會被分區。使用閘接線５００７作爲掩罩，以完全自我對齊的狀態，形成第四雜質區５０２３，且第四雜質區會作爲源極區或汲極區。在本實施例中，雖然未對ＰＴＦＴ形成ＬＤＤ區，亦未形成偏移區，但是，由於ＰＴＦＴ本質上具有高可靠度，所以不會有問題。因此，由於ＯＮ電流會增加，所以無ＬＤＤ區形成的情形具有更多優點。

因此，如同最後顯示於圖１７（Ｃ）中般，通道形成區、第一雜質區、第二雜質區及第三雜質區會形成於ＮＴＦＴ的主動層上，並僅有通道形成區與第四雜質區形成於ＰＴＦＴ的主動層上。

因此，在取得圖１７（Ｃ）中所示的狀態之後，形成１μｍ厚的第一中間層絕緣膜５０２４。必須使用氧化矽層、氮化矽層、氮氧化矽層、有機樹脂層或它們的疊層，作爲第一中間層絕緣膜５０２４。關於有機樹脂層，可使

用丙烯酸樹脂層。

在形成第一中間層絕緣膜５０２４之後，形成由金屬材料製成的源極接線５０２５和５０２６、以及汲極接線５０２７。在本實施例中，採用三中間層接線，其中含有鈦的鋁層由鈦夾於中間。

此外，在使用稱爲ＢＣＢ（苯並環丁烯）的樹脂層作爲第一中間層絕緣膜５０２４之情形中，平坦度可增加，同時，變成能夠使用銅作爲接線金屬。由於銅的接線電阻低，所以，其可有效作爲接線材料。

在如此形成源極接線及汲極接線之後，形成５０ｎｍ厚的氮化矽層５０２８作爲被動層。此外，於其上形成第二中間層絕緣膜５０２９作爲保護膜。可使用同於上述第一中間層絕緣膜５０２４之材料作爲第二中間層絕緣膜５０２９。在本實施例中，採用之結構係疊加５０ｎｍ厚的丙烯酸樹脂層疊於氧化矽層上。

在經由上述處理之後，完成具有如圖１７（Ｄ）中所示的結構之ＣＭＯＳ電路。由於，在實施例所形成的ＣＭＯＳ電路中，ＮＴＦＴ具有優良的可靠度，所以，整個電路的可靠度可觀地增加。而且，假使採用如本實施例中所示的此結構時，ＮＴＦＴ與ＰＴＦＴ的特徵平衡（電特徵平衡）變成優良的。

此外，像素ＴＦＴ也可由ＮＴＦＴ構成。

在取得圖１７（Ｄ）中所示的狀態之後，打開接點孔，因而形成連接至像素ＴＦＴ的汲極電極之像素電極。而

且，形成第三中間層絕緣層以形成對齊層。接著，形成黑矩陣。

在驅動電路部份中，使用黑矩陣作爲第三接線。此外，以形成源極電極與汲極電極時產生的電極、及黑矩陣，形成根據發明的Ｄ／Ａ轉換器電路之電容。

接著，製備相對基底。相對基底係由玻璃基底、透明導電膜構成的相對電極、及對齊層所構成。

而且，在本實施例中，使用聚醯亞胺作爲對齊層。在形成對齊層之後，執行摩擦處理。此外，在實施例中，使用具有比較大的預傾角之聚醯亞胺作爲對齊層。

接著，以習知的細胞組合製程，將主動矩陣基底與相對基底彼此黏合。之後，將液晶供應至二基底之間，藉由密封劑，完全地密封液晶。在本實施例中，使用向列型液晶作爲液晶。

因此，完成主動矩陣液晶顯示裝置。

（實施例４）

在實施例４中，將說明矽基底用於上述實施例２或３中的情形。所有其它處理與實施例１或２中相符。

參考圖１８（Ａ）及圖１８（Ｂ）。在矽基底６００１上形成氧化矽層６００２。在氧化矽層６００２上形成非晶矽層（非晶矽膜６００３），及在其整個表面上形成含有鎳的層（含鎳層６００４）。接著，將層加熱以使非晶矽層多晶化以形成多晶矽膜６００５。後續處理

同於實施例２或５中所述。

（實施例５）

在實施例中，將說明生產主動矩陣型液晶顯示裝置的另一方法，其不同於上述實施例２或３中所揭示之方法。

參考圖１９（Ａ）－圖１９（Ｅ）及圖２０（Ａ）－２０（Ｂ）。舉例而言，以Ｃｏｒｎｉｎｇ公司製造之１７３７玻璃基底爲代表之無鹼玻璃基底作爲基底７００１。在會有基底７００１的ＴＦＴ形成於上的表面之上，形成２００ｎｍ厚由氧化矽構成的基層７００２。基層７００２又可設有疊層的氮化矽層或僅設有氮化矽層。

接著，使用電漿ＣＶＤ法，在基層７００２上形成５０ｎｍ厚的非晶矽層。雖然可視非晶矽層的氫含量而決定加熱溫度，但是，較佳地係在４００至５００℃下，加熱非晶矽層，以執行脫氫，因此，氫含量會被抑制至小於５ａｔｍ％，且藉由晶化處理而取得結晶矽層。

使用習知的雷射晶化技術或熱晶化技術作爲晶化處理。在較佳實施例中，以線性形式聚集脈沖振盪型ＫｒＦ準分子雷射，並將其照射至非晶矽層以取得結晶矽層。此外，可使用上述實施例１或３中所述的方法作爲晶化處理。

而且，在本實施例中，雖然使用非晶矽層作爲初始層，但是，也可使用微晶矽層作爲初始層，或直接形成結晶矽層。

將如此形成的結晶矽層圖型化，因而形成島狀半導體主動層７００３、７００４、及７００５。

接著，形成主要由氧化矽或氮化矽構成之閘絕緣層７００６以遮蓋半導體主動層７００３、７００４及７００５。此處，以電漿ＣＶＤ法，形成１００ｎｍ厚的氮氧化矽層。雖然未於圖１９中說明，但可使用濺射方法，形成１０至２００ｎｍ（舉例而言，５０ｎｍ）厚的鉭（Ｔａ），作爲第一導電層，及形成１００至１０００ｎｍ厚（舉例而言，２００ｎｍ厚）的鋁（Ａｌ）作爲第二導電層，因此，在閘絕緣層７００６的表面上構成第一閘電極。而且，藉由習知的圖型化技術，形成導電層７００７、７００８、７００９、和７０１０、以及第二導電層７０１２、７０１３、７０１４、及７０１５，它們係構成第一閘電極。

在使用鋁作爲構成第一閘電極的第二導電層之情形中，可使鋁純鋁、或是鋁合金，在鋁合金中，選自鈦、矽、及鈧中的任何元素會以０．１至５ａｔｍ％的比例摻雜於合金中。此外，在使用銅的情形中，雖然未顯示，但是，較佳的是，氮化矽設置於閘絕緣層７００６的表面上。

此外，在圖１９中，採用之結構係增加的電容部份設置於構成像素矩陣電路之ｎ通道型ＴＦＴ的汲極側處。此時，在增加的電容部份處的接線電極７０１１及７０１６係由同於第一閘電極的材料所形成。

當如此形成圖１９（Ａ）中所示的結構時，執行摻雜

n型雜質的第一處理。磷（P）、砷（As）、銻（Sb）、等等係習知之提供相對於結晶半導體材料爲n型之雜質元素。但是，於此使用磷，並使用磷化氫（PH_3）之離子摻雜。在此處理中，由於磷會經過閘絕緣層而摻雜至閘絕緣層下方的半導體層中，所以加速電壓設定於80keV之高位準。如此形成的雜質區也會形成稍後說明之n通道型TFT的第一雜質區7034，7042以及7046，並作爲LDD區。因此，較佳的是此區的磷濃在$1x10^{16}$至$1x10^{19}$原子／cm^3。此處，濃度定爲$1x10^{18}$原子／cm^3。

摻雜於半導體主動層中的上述雜質元素需要由雷射退火法或熱處理法活化。可在形成源極及汲極區之摻雜雜質的處理之後，執行此處理。但是，在此階段，以雷射退火法活化雜質元素是有效的。

在本處理中，構成第一閘電極之第一導電層7007、7008、7009及7010以及第二導電層7012、7013、7014及7015會作爲摻雜磷的掩罩。結果，沒有或幾乎沒有磷會通過閘絕緣層而摻雜於正位於半導體層的第一閘電極下方的區域上。如圖19（B）所示，形成摻雜有磷之低濃度雜質區7017、7018、7019、7020、7021、7022、及7023。

接著，僅對p通道型TFT的區域執行提供p型之雜質摻雜處理，以致於形成n通道型TFT的區域會由具有

作爲掩罩的光阻層之光阻掩罩７０２４及７０２５所遮蓋。雖然（Ｂ）、鋁（Ａｌ）、鎵（Ｇａ）、等等係習知之提供ｐ型的雜質元素，但是，此處使用乙硼烷（$Ｂ_2Ｈ_6$），以離子摻雜法，使用硼作爲雜質元素。此處，加速電壓爲８０ｋｅＶ，且硼係以$２ｘ１０^{２０}$原子／$ｃｍ^3$的濃度摻雜。如圖１９（Ｃ）所示，形成摻雜有高濃度的硼之區域７０２６以及７０２７。

在移除光阻掩罩７０２４及７０２５之後，執行形成第二閘電極之處理。此處，使用鉭作第二閘電極的材料及形成爲１００至１０００ｎｍ厚，舉例而言，２００ｎｍ厚。也以習知的方法，執行圖型化，因而形成第二閘電極７０２８、７０２９、７０３０、及７０３１。此時，執行圖型化，以致於第二閘電極的長度變成５μｍ。結果，形成第二閘電極，以致於在第一閘電極的二側形成與閘絕緣層接觸５μｍ長的區域。

此外，雖然在構成像素矩陣電路之ｎ通道型ＴＦＴ的汲極側設有固持電容部份，但是，當形成第二閘電極時，會同時形成固持電容部份的電極７０３２。

使用第二閘電極７０２８、７０２９、７０３０及７０３１作爲掩罩，執行摻雜雜質元素之處理以提供第二ｎ型。此處，如同上述，使用磷化氫（$ＰＨ_3$）執行離子摻雜法。在本處理中，加速電壓會設定於８０ｋｅＶ的高位準，以便將磷經由層７００６摻雜至閘絕緣層７００６正下方的半導體層。有磷摻雜於上的區域係ｎ通道型

ＴＦＴ，且較佳的是區域上的磷濃度設定爲１ｘ１０^{19}至１ｘ１０^{21}原子／ｃｍ^{3}，以使這些區域作爲源極區７０３５、７０４３、及汲極區７０３６、７０４４。此處，濃度設定爲１ｘ１０^{20}原子／ｃｍ^{3}。

此外，雖然此處未顯示，但是，遮蓋源極區７０３５、７０４３及汲極區７０３６、７０４７之閘絕緣層會被移除，這些區域的半導體層會曝露，並直接摻雜磷。假使增加此處理，則在離子摻雜法中加速電壓可以降低至１０ｋｅＶ，並且能夠有效率地摻雜磷。

再者，雖然磷會以相同濃度摻雜於ｐ通道型ＴＦＴ源極區７０３９及汲極區７０４０中，但是，由於硼會以先前處理中的濃度之二倍摻雜，所以導電率不會被反轉，且於ｐ通道型ＴＦＴ的操作中不會有問題。

由於以個別濃度摻雜之提供ｎ型或ｐ型的雜質元素會如原狀般未被活化，且未有效地作用，所以，需要執行摻雜處理。藉由使用電熱爐之熱退火法、使用上述準分子雷射之雷射退火法、或使用鹵素燈之快速熱退火法（ＲＴＡ），以執行此處理。

在熱退火法中，藉由氮氛圍中、５０℃下二小時的加熱處理，取得活化。在本實施例中，鋁會用於構成第一閘電極之第二導電層。但是，由於會形成鉭製成的第一導電層及第二閘電極以遮蓋鋁，鉭係作爲阻隔層，其中防止鋁元素在其它區域上佔優勢。此外，在雷射退火法中，藉由以線性形式聚集及照射脈沖振盪型ＫｒＦ準分子雷射光。

而且，假使在雷射退火法之後採用熱退火法，則可取得更加的結果。此外，處理具有使晶性受離子摻雜損傷之區域退火的效果，因此，可以改進這些區域的晶性。

經由上述處理，提供第一閘電極及遮蓋第一閘電極之第二閘電極以作爲閘電極，而且，在n通道型ＴＦＴ中，在第二閘電極的二側處形成源極區及汲極區。此外，以自我對齊的狀態，形成此結構，其中設置有經由閘絕緣層而固定於半導體層上的第一雜質區以及第二閘電極與閘絕緣層接觸的區域，並使它們彼此重疊。另一方面，在p通道型ＴＦＴ中，雖然源極區與汲極區的部份係形成爲重疊於第二閘電極上，但是，在真正的應用中，不會有問題。此外，標號７０３３，７０３７以及７０４５表示通道形成區，而標號７０４８表示低濃度雜質區。

在取得圖１９（Ｄ）中所示的狀態之後，形成1000nm 厚的第一中間層絕緣膜７０４９。可使用氧化矽層、氮化矽層、氮氧化矽層、有機樹脂層、及它們的疊層，作爲第一中間層絕緣膜７０４９。在本實施例中，雖然未顯示，但是，採用雙重結構，其中，首先形成５０ｎｍ厚的氮化矽層，接著，形成９５０ｎｍ厚的氧化矽層。

之後，藉由對第一中間層絕緣膜 7049 之圖型化，而在源極區及汲極區形成接點孔。而且，形成源極電極 7050、7052、7053 及汲極電極 7051 和 7054。雖然未顯示,但是在本實施例中,藉由圖型化三層結構以形成這些電極，在三層結構中，100nm 厚的鈦層、300nm 厚之含有鈦的鋁

300nm及150nm厚的鈦層係藉由濺射法連續地形成。

因此，如圖19（E）所示，在基底7001上形成CMOS電路及主動矩陣電路。此外，在主動矩陣電路的n通道型TFT的汲極側同時形成固持電容部份。如上所述，形成主動矩陣基底。

接著，使用圖20（A）及20（B），說明以CMOS電路及主動矩陣電路爲基礎之主動矩陣型液晶顯示裝置的製造方法，CMOS電路及主動矩陣電路係藉由上述處理而產生於相同基底上。首先，在處於圖19（E）所示的狀態中之基底上形成被動層7055，以遮蓋源極電極7050、7052、7053以及汲極電極7051和7054。被動層7055係由50nm厚的的氮化矽層所形成，由有機樹脂構成的第二中間層絕緣膜7056會形成至約1000nm厚。可使用聚醯亞胺樹脂、丙烯酸樹脂、聚亞胺醯胺樹脂、等等作爲有機樹脂。使用有機樹脂層所產生的優點係容易形成、由於相對介電常數低而可減少寄生電容、以及平坦度優良。此處，在塗著於基底上之後，使用可熱聚合型之聚醯亞胺，及在300℃將其燃燒以形成有機樹脂層。

接著，在第二中間層絕緣膜7056的像素區之部份上形成黑矩陣（光遮蔽層）7057。黑矩陣7057可由有機樹脂層形成，有機樹脂層係有金屬層或染料注入。此處，以濺射法形成鈦。

此外，在驅動電路部份中，使用黑矩陣作爲第三接線

。而且，由產生源極電極及汲極電極時所產生的電極及黑矩陣，形成根據發明之Ｄ／Ａ轉換器電路的電容。

在形成黑矩陣７０５７之後，形成第三中間層絕緣膜７０５８。如同第二中間層絕緣膜７０５６般，使用有機樹脂層以形成第三中間層絕緣膜７０５８。在第二中間層絕緣膜７０５６與第三中間層絕緣膜７０５８處，形成到達汲極電極７０５４之接點孔，因而形成像素電極７０５９。在需要反射型液晶顯示裝置的情形中，可使用金屬層。此處，由於採用透射式液晶顯示裝置，所以，藉由濺射法，形成１００ｎｍ厚的氧化銦錫（ＩＴＯ）層，因而形成像素電極７０５９。

在形成圖２０（Ａ）中所示的狀態之後，形成對齊層７０６０。聚醯亞胺樹脂大部份用於一般液晶顯示元素的對齊層。在計相對基底７０７１上形成相對電極７０７２及對齊層７０７３。在形成對齊層之後，執行摩擦處理，以致於液晶元素會以某預傾斜角度平行地對齊。

經由上述處理，以習知的細胞組裝製程，藉由密封材料及間隔器（二者均未顯示），黏合主動矩陣電路、有ＣＭＯＳ電路形成於上的基底、及相對基底。之後，液體材料７０７４會供應至基底之間並由密封劑（未顯示）完全地密封。因此，如圖２０（Ｅ）所示，完成主動矩陣型液晶顯示裝置。

（實施例６）

實施例6係顯示反轉交錯型ＴＦＴ作爲具有根據發明的ＤＡＣ之主動矩陣型液晶顯示裝置的實施例。

參考圖２１。圖２１係顯示反轉交錯型的ｎ通道型ＴＦＴ之剖面視圖，其構成根據實施例之主動矩陣型液顯示裝置。此外，雖然在圖２１中僅顯示一ｎ通道型ＴＦＴ，但是，無須多言，如實施例１中般，ＣＭＯＳ電路可由ｐ通道型ＴＦＴ及ｎ通道型ＴＦＴ構成。亦無須多言，像素ＴＦＴ可由相同結構構成。

基底係由８００１標示。可使用如實施例３中所示之基底。氧化矽層係以８００２標示。閘電極係以８００３標示。閘絕緣層係以８００４標示。多晶矽層構成的主動層係以８００５、８００６、８００７及８００８標示。當產生主動層時，使用實施例１中所述之同於晶化非晶矽層之方法。也可使用雷射光晶化非晶矽層之方法（較佳地，線性雷射光、或表面雷射光）。此外，源極區係以８００５標示，汲極區係以８００６標示，低濃度雜質區（ＬＤＤ區）係以８００７標示，而通道形成區係以８００８標示。通道保護層以８００９標示，中間層絕緣膜以８０１０標示。源極電極及汲極電極分別以８０１１及８０１２標示。

（實施例７）

在實施例７中，說明主動矩陣型液晶顯示裝置由結構不同於上述實施例之反轉交錯型ＴＦＴ構成之實施例。

參考圖２２。圖２２係顯示構成根據實施例之主動矩陣型液晶顯示裝置之反轉交錯型ｎ通道型ＴＦＴ的剖面視圖。此處，雖然僅顯示一ｎ通道型ＴＦＴ，但是，無須多言，如實施例１中般，ＣＭＯＳ電路可由ｐ通道型ＴＦＴ及ｎ通道型ＴＦＴ構成。亦無須多言，像素ＴＦＴ可由相同結構構成。

基底係以９００１標示。可使用如實施例３中所示之基底。氧化矽層係以９００２標示。閘電極係以９００３標示。苯並環丁烯（ＢＣＢ）層以９００４標示，其上表面會平坦化。氮化矽層以９００５標示。ＢＣＢ層及氮化矽層構成閘絕緣層。多晶矽層構成的主動層係以９００６、９００７、９００８、及９００９標示。當產生這些主動層時，使用同於實施例１中所述之晶化非晶矽層之方法。也可使用雷射光晶化非晶矽層之方法（較佳地，線性雷射光、或表面雷射光）。此外，源極區係以９００６標示，汲極區係以９００７標示，低濃度雜質區（ＬＤＤ區）係以９００８標示，而通道形成區係以９００９標示。通道保護層以９０１０標示，中間層絕緣膜以９０１１標示。源極電極及汲極電極分別以９０１２及９０１３標示。

根據實施例，由於ＢＣＢ層構成的及氮化矽層構成之閘絕緣層會被平坦化，但是，產生於其上的非晶矽層會製成平坦的。因此，當晶化非晶矽層時，能夠取得多晶矽層，其比習知的反轉交錯型ＴＦＴ更均勻。

(54)

（實施例８）

雖然，在根據上述實施例之主動矩陣型液晶顯示裝置或被動矩陣型液晶顯示裝置中，使用向列型液晶的ＴＮ模式作爲顯示模式，因此，可使用其它顯示模式。

此外，使用快速響應時間無臨限抗鐵電液晶或鐵電液晶，以構成主動矩陣型液晶顯示裝置。

此外，在使用根據發明的ＤＡＣ之主動矩陣型半導體顯示裝置中，使用光學特性可以被調變以回應施加電壓之任何其它顯示介質。舉例而言，可使用電發光元件。

除了ＴＦＴ之外，可使用ＭＩＭ元件作爲主動元件，主動元件係用於主動矩陣型液晶顯示裝置之主動矩陣電路中。

如上所述，在使用根據發明的ＤＡＣ之主動矩陣型液晶顯示裝置中，除了ＴＮ液晶之外，尙可使用不同型式的液晶。舉例而言，可使用下述文獻揭示之液晶，H. Furue 等於 1998 年,SID 發表之"Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-scale Capability",T. Yoshida 等於 1997 年於 SID DIGEST, 841 發表之"A Full-Color Thresholdless Anti-ferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time",S. Inui 等於 J. Mater, Chem. 6(4), 671-673 發表之 "Thresholdless anti-ferroelectricity in liquid crystals and its application to displays",及美國

專利公告號 5594569。

在某溫度範圍下顯示抗鐵電相之液晶稱爲「抗鐵電液晶」。在具有抗鐵電液晶的混合液晶中，有無臨限抗鐵電混合液晶，其顯示電光回應特性，透射因數會相對於電場連續地改變。在無臨限抗鐵電混合液晶中，可發現顯示V形型式的電光響應特性者，以及驅動電壓約±2．5V者（胞厚度：約1μm至2μm）。

圖33係實施例，顯示臨限抗鐵電混合液晶的光透射因數的特徵、顯示相對於施加電壓之V形型式電光響應。圖33中的縱軸標示透射因數（光學單位），而橫軸標示施加電壓。此外，在液晶裝置的入射側偏轉板的透射軸會建立成幾乎平行於無臨限抗鐵電混合液晶的碟狀結構相的垂直方向，其幾乎與液晶裝置的摩擦方向一致。而且，外離側的偏轉板之透射軸係建立成與入射側的偏轉板之透射軸幾乎成直角（正交）。

如圖33所示，假使使用此臨界抗鐵電混合液晶，則發現低電壓驅動及階度顯示能致動。

即使在此低壓驅動無臨限抗鐵電混合液晶用於具有根據發明的DAC之主動矩陣型液晶顯示裝置的情形中，也能夠降低DAC的輸出電壓，因此，變成能夠降低DAC的操作電源，及降低驅動器的操作電源電壓。因此，可在主動矩陣型液晶顯示裝置中取得低耗電及高可靠度。

因此，在使用低電壓驅動無臨限抗鐵電混合液晶之情形中，假使使用具有比較小寬度（低濃度雜質區）（舉例

而言，０ｎｍ至５００ｎｍ或０ｎｍ至２００ｎｍ）的ＬＤＤ區之ＴＦＴ時，則會有效的。

而且，一般而言，無臨限抗鐵電混合液晶具有大的自然偏振，且液晶本身具有高介電常數。因此，在無臨限抗鐵電混合液晶用於液晶顯示裝置的情形中，像素將需要具有比較大的固持電容。因此，較佳的是，使用具有小的自然偏振之無臨限抗鐵電混合液晶。

而且，由於藉由使用此臨界抗鐵電混合液晶，可取得低壓驅動，所以可取得低耗電的主動矩陣型液晶顯示裝置。

此外，圖３９係顯示單穩態鐵電液晶（ＦＬＣ）的電光特性，於其中使用顯示各向等性膽固醇型相－對掌型層列型相轉換系統之鐵電液晶（ＦＬＣ），並施加ＤＣ電壓，以執行膽固醇型相－對掌型層列型相轉換，且圓錐邊緣製成幾乎與摩擦方向一致。如圖３９所示之鐵電液晶的顯示模式係稱爲「半Ｖ形切換模式」。圖３９中所示的圖形之縱軸係標示透射因數（光學單位），而橫軸係標示施加電壓。「半Ｖ形切換模式」詳述於 46th Applied Physics Related Allied Lecture Assembly, March, 1999, 1316頁之「Half V-shaped switching mode FLCD」中,及 Yoshihara 等於 LIQUID CRYSTAL, 3rd Volume, 3rd Edition, 190頁之「Time-Sharing Full-Color LCD by Ferroelectric Liquid Crystal」中。

如圖３９所示，假使使用此鐵電液晶，則可以瞭解低

壓驅動及階度顯示是能夠致動的。顯示此電光特性的鐵電液晶可用於根據發明之液晶顯示裝置中。

具有如圖３３及３９所示的此電光特性之每一液晶可作爲根據發明的液晶顯示裝置之顯示介質。

（實施例９）

關於主動矩陣型半導體顯示裝置及被動矩陣型半導體顯示裝置，其使用根據發明之ＤＡＣ，有很多應用。在實施例中，說明半導體裝置，於其中併有使用根據發明之ＤＡＣ的主動矩陣型半導體顯示裝置。

關於半導體裝置，有攝影機、靜態相機、投影機、頭戴式顯示器、汽車巡航單元、個人電腦、及攜帶式資訊終端（行動電腦、攜帶式電話、等等）。圖２３及２４係顯示其一實施例。

圖２３（Ａ）係顯示前投影式投影機，其由本體１０００１、主動矩陣型半導體顯示裝置１０００２（舉例而言，液晶顯示裝置）、光源１０００３、光學系統１０００４、及螢幕１０００５。此外，圖２３（Ａ）顯示具有一半導體顯示裝置之前投影式投影機。而且，藉由併入三半導體顯示裝置（每一者對應於Ｒ、Ｇ及Ｂ光），可以取得較高解析度及較高厚度的前投影型投影機。

圖２３（Ｂ）係顯示後投影式投影機，其中本體係以１０００６標示，主動矩陣型半導體顯示裝置係以１０００７標示，光源係以１０００８標示，反射器係以

１０００９標示，而螢幕係以１００１０標示。此外，圖２３（Ｂ）顯示後投影型投影器，於其中具有三主動矩陣型半導體顯示裝置（分別對應於Ｒ、Ｇ及Ｂ光）。

圖２４（Ａ）係顯示攜帶式電話，其包括本體１１００１、語音輸出部份１１００２、語音輸入部份１１００３、主動矩陣型半導體顯示裝置１１００４、操作開關１１００５、及天線１１００６。

圖２４（Ｂ）係顯示攝影機，其包括本體１２００１、主動矩陣型半導體顯示裝置１２００２、語音輸入部份１２００３、操作開關１２００４、電池１２００５、及影像接收部份１２００６。

圖２４（Ｃ）係顯示行動電腦，其包括本體１３００１、相機部份１３００２、影像接收部份１３００３、操作開關１３００４、及主動矩陣型半導體顯示裝置１３００５。

圖２４（Ｄ）係顯示頭戴式顯示器（也稱爲護目鏡顯示裝置），包括本體１４００１、及主動矩陣型半導體顯示裝置１４００２。

圖２４（Ｅ）係顯示攜帶式電子書（電子書），包括本體１５００１、主動矩陣型半導體顯示裝置１５００２及１５００３、記憶介質１５００４、操作開關１５００５、及天線１５００６。

除了上述電子裝置之外，根據本發明的顯示裝置可應用至不同型式的裝置，舉例而言，電視機、電子遊戲裝置

、個人電腦、放影機等等。

（實施例１０）

在實施例１０中，將說明具有根據發明的Ｄ／Ａ轉換器電路之液晶顯示裝置的另一實施例。而且，在實施例中，類似於實施例２中的處理可應用至特別提到的部份。

在實施例１０中，，藉由使用掩罩絕緣膜４００４，將醋酸鎳溶液塗著於非晶矽層的幾乎整個表面上，作爲如圖１２（Ａ）中所示的狀態之觸媒元素摻雜處理。

在完成觸媒元素摻雜處理之後，接著，在４５０℃下執行脫氫約一小時。除了在不活化氛圍、氫氛圍、或氧氛圍中，在５００至９００℃（以５５０至６５０℃爲代表）加熱處理四至二十四小時之外，尙會將非晶矽層４００３晶化。在本實施例中，在氮氛圍中，在５９０℃下執行加熱處理八小時。

之後，執行加熱處理（觸媒元素的吸收處理）以吸收觸媒元素。在實施例的情形中，藉由使鹵素含於處理氛圍中，加熱處理會利用鹵素之觸媒元素的吸收效果。此外，爲了充份地取得鹵素的吸收效果，較佳的是在高於７００℃的溫度下，執行上述加熱處理。假使溫度小於此溫度，則將難以分解鹵化物，且恐怕無法取得吸收效果。此外，在此情形中，關於含有鹵素的氣體，可使用選自諸如ＨＣｌ、ＨＦ、NF_3、ＨＢｒ、Cl_2、ClF_3、BCl_2、F_2、Br_2等之一種或多種化合物。在本實施

(60)

例中，在O_2及HCl氛圍中，在950℃的溫度下，執行加熱處理，以及執行吸收處理及同時形成熱氧化層。

在此之後，形成閘絕緣層。在本實施例中，關於閘絕緣層的厚度，其最終厚度可形成至約50nm厚。

所有其它處理可參考實施例2。

下述表1係顯示實施例10的製程所取得的TFT之特徵。

表1

L/W=6.8/7.6[μm]	Nch	Pch
Ion[μA]	227	91.5
Ioff[pA]	3.10	11.8
Ion/Ioff[dec.]	7.86	6.89
Vth[V]	0.44	-0.56
Svalue[V/dec.]	0.08	0.10
μFE(max)(cm^2/Vs)	314	131
*μFE(max)[cm^2/Vs]	425	262

在表1中，L／W表示（通道長度／通道寬度），Ion表示（開啓電流），Ioff表示（關閉電流），Ion／Ioff表示（開啓電流與關閉電流的比例之共同對數），V_{th}表示（臨限電壓）、Svalue表示（S值），μFE表示（場效移動度），其中μFE具有＊表示L＝50μm之TFT的μFE。

此處，圖30係實施例10的製程取得的TFT之特

徵圖。在圖３０中，Ｖｇ係顯示閘電壓，Ｉｄ係顯示汲極電流，而Ｖｄ係顯示汲極電壓。

（實施例１１）

在實施例１１中，將說明具有本申請人製造之根據發明的ＤＡＣ（８位元）之主動矩陣型液晶顯示裝置的實施例。

下述表２係顯示有本申請人製造之根據發明的ＤＡＣ之主動矩陣型液晶顯示裝置的規格。

表２

顯示器對角線尺寸	2.6 吋
像素數目	1920X1080
像素大小	30(H) x 30(V)[μm]
孔徑比	46%
輸入資料	8 位元
電源（邏輯）	5V
輸入資料速率	80MHz
資料驅動器的頻率	10MHz
掃瞄驅動器的頻率	8.1KHz
定址模式	行反轉
對比	>100

此外，資料驅動器及掃瞄驅動器電路分別標示源極訊號線驅動電路及閘極訊號線驅動電路。而且，執行源極訊

線反轉顯示作爲定址模式。

圖３１係顯示具有根據發明的ＤＡＣ之主動矩陣型液晶顯示裝置的顯示實施例，將於本實施例中詳述。

此外，圖３２係顯示前投影型投影機的顯示實施例，於其中使用均具有根據發明的ＤＡＣ之三主動矩陣型液晶顯示裝置，將於下說明之。而且，關於前投影型投影機，可參考實施例９。

如圖３１及圖３２所示，在具有根據發明的ＤＡＣ之主動矩陣型液晶顯示裝置中，可取得非常微小的階度顯示。

（實施例１２）

在實施例中，參考圖３４至３８，說明具有根據發明的驅動電路之液晶顯示裝置的製造方法之實施例。在根據發明的液晶顯示裝置中，像素部份、源極驅動器、閘極驅動器、等等，係整體地形成於一基底上。此外，爲便於說明，構成像素ＴＦＴ的一部份及根據發明的驅動電路之ＮｃｈＴＦＴ以及構成反相器電路之ＰｃｈＴＦＴ和ＮｃｈＴＦＴ會形成於相同基底上。

在圖（３４）中，可使用低鹼玻璃基底及石英基底作爲基底１６００１。於本實施例中使用石英基底。爲了防止雜質在基底１６００１中佔優勢，形成諸如氧化矽層、氮化矽層、氮氧化矽層等基層１６００２。舉例而言，使用電漿ＣＶＤ法，疊層及形成１００ｎｍ厚的SiH_4、

NH_3、及N_2O製成之氮氧化矽層，也疊層及形成２００ｎｍ厚的SiH_4與N_2O製成之氮氧化矽層。

接著，使用諸如電漿ＣＶＤ法、濺射法等習知方法，形成２０至１５０ｎｍ（較佳地，３０至８０ｎｍ）厚的具有非晶矽結構之半導體１６００３ａ。在本實施例中，以低壓熱ＣＶＤ法，形成５３ｎｍ厚的非晶矽層。非晶矽半導體層及微晶矽半導層可作爲具有非晶結構之半導體層，可應用諸如非晶矽鍺層等具有非晶結構的化合物半導體層。而且，由於能夠形成基層１６００２及非晶矽層１６００３ａ，所以，可以連續地形成此二者。在本情形中，由於在基層形成之後，它們不會曝露於大氣下，所以，可防止其表面受污染。也能夠減少要製造的ＴＦＴ之不均勻，及臨限電壓的波動。（參見圖３４（Ａ））。

使用習知的結晶技術，從非晶矽層１６００３ａ形成晶結矽層１６００３ｂ。舉例而言，雖然可應用雷射晶化方及熱晶化法（固相生長法），但是，於此使用符合１９９５年日本公開專利號１３０６５２中揭示的技術之使用觸媒元素的晶化法，形成結晶矽層１６００３ｂ。雖然熱處理會視非晶矽層的氫含量比例而定，但是，在晶化製程之前、執行４００至５００℃的熱處理約一小時。較佳的是，在氫含量比例減少至5原子%或更少之後，開始晶化。由於非晶化矽層會結晶且原子會重新對齊而變成很微小，所以，所產生的晶化矽層之厚度會從非晶矽層的初始厚度減少１至１５％（在本實施例中爲５４ｎｍ）。（

請參見圖３４（Ｂ））。

藉由圖型化結晶矽層１６００３ｂ如島般，可形成島狀半導體層１６００４至１６００７。之後，以電漿ＣＶＤ法或濺射法，由５０至１５０ｎｍ厚的氧化矽層形成掩罩層１６００８。（參見圖３４（Ｄ））。在實施例中，掩罩層１６００８的厚度爲１９９ｎｍ。

接著，設置光阻掩罩１６００９，及在形成ｎ通道型ＴＦＴ之島狀半導體層１６００４至１６００７的整個表面上，摻雜１ｘ１０^{18}至５ｘ１０^{17}原子／ｃｍ^{3}濃度的硼（Ｂ）以作爲提供ｐ型的雜質元素。摻雜硼（Ｂ）的目的係用以控制臨限電壓。可以用離子摻雜法，摻雜硼（Ｂ），或是形成非晶矽層時，同時摻雜硼。此處，並未要求硼摻雜。（參見圖３４（Ｄ））。

爲了形成驅動器的驅動電路等之ｎ通道型ＴＦＴ的ＬＤＤ區，將產生ｎ型之雜質元素選擇性地摻雜於島狀半導體層１６０１０至１６０１２上。因此，事先形成光阻掩罩１６０１３至１６０１６。關於提供ｎ型的雜質元素，可使用磷（Ｐ）及砷（Ａｓ）。此處，採用使用磷化氫（PH_3）的離子摻雜法，以摻雜磷（Ｐ）。所形成的雜質元素區１６０１７及１６０１８之磷（Ｐ）濃度可在２ｘ１０^{16}至５ｘ１０^{19}原子／ｃｍ^{3}的範圍。在本說明書中，含於雜質區１６０１７至１６０１９中提供ｎ型之雜質元素的濃度，於此以（ｎ$^{-}$）表示。雜質區１６０１９係形成像素部份的固持電容之半導體層，及以

相同濃度摻雜磷（Ｐ）。（參見圖３５（Ａ））。之後，移除光阻掩罩１６０１３至１６０１６。

接著，在以氟移除主層１６００８之後，執行活化摻雜於圖３４（Ｄ）及圖３５（Ａ）中的雜質元素之處理。以雷射活化法，藉由氮氛圍中，５００至６００℃的熱處理一至四小時，以執行活化。此外，可同時執行此二處理。在本實施例中，採用雷射活化法。使用ＫｒＦ準分子雷射光（波長：２４８ｎｍ）作爲雷射光。在實施例中，雷射光會被處理成直線光，並以５至５０Ｈｚ的振盪頻率、１００至５００Ｍｊ／ｃｍ^{2}的能量密度、及８０至９８％的直線光重疊比例，執行掃瞄，因此，以上述條件掃瞄有島狀半導體層形成於上的整個表面。而且，雷射光的照射條件未具有任何限制，且可適當地決定它們。

而且，藉由電漿ＣＶＤ法或濺射法，由含有矽的絕緣膜形成閘絕緣層１６０２０，以變成１０至５０ｎｍ厚。舉例而言，形成１２０ｎｍ厚的氮化矽層。含有其它矽的絕緣膜可由單層或疊層結構所形成以作爲閘絕緣層。（參見圖３５（Ｂ））。

接著，形成第一導電層，以形成閘電極。雖然第一導電層可由單層形成，但是，需要時可採用二層或三層的疊層結構。在實施例中，導電的金屬氮化物層製成之導電層（Ａ）１６０２１及金屬層製成的另一導電層（Ｂ）會疊層。導電層（Ｂ）１６０２２可由選自鉭（Ｔａ）、鈦（Ｔｉ）、鉬（Ｍｏ）、及鎢（Ｗ）之任一元素、或主要由

上述元素構成的合金（以Ｍｏ－Ｗ合金層或Ｍｏ－Ｔａ合金層爲代表）所形成，且導電層（Ａ）１６０２１可由氮化鉭（ＴａＮ）、氮化鎢（ＷＮ）、氮化鈦（ＴｉＮ）、或氮化鉬（ＭｏＮ）所形成。此外，導電層（Ａ）可使用矽化鎢、矽化鈦、或矽化鉬作爲取代。關於導電層（Ｂ）１６０２２，在慮及減少電阻的情形下，減少包含於其中的雜質濃度是較佳的。特別地，在氧濃度減少至３０ｐｐｍ或更少的情形中，可取得較佳結果。舉例而言，假使鎢（Ｗ）的氧濃度減少至３０ｐｐｍ或更少時，可取得２０μΩ或更少的相對電阻。

導電層（Ａ）１６０２１製成１０至５０ｎｍ厚（較佳地，２０至３０ｎｍ厚），及導電層（Ｂ）１６０２２製成２００至４００ｎｍ厚（較佳地，２５０至３５０ｎｍ厚），是較佳的。在實施例中，５０ｎｍ厚的氮化鉭層用於導電層（Ｂ）１６０２２。或是以濺射法形成。在以濺射法形成層時，假使適量的Ｘｅ及Ｋｒ填加至Ａｒ氣以用於濺射時，則要產生的層之內部應力會減輕，因而防止層剝落。而且，雖然未顯示，但是，假使形成矽層會是有效的，在矽層上磷（Ｐ）會摻雜至導電層（Ａ）１６０２１下方２至２０ｎｍ厚。因此，可以改進形成於其上之導電層的黏著度，也可防止氧化。同時，導電層（Ａ）及導電層（Ｂ）可以防止污染的少量鹼金屬在閘絕緣層１６０２０上佔優勢。（請參見圖３５（Ｃ））。

接著，形成光阻掩罩１６０２３至１６０２７，及藉

由徹底地蝕刻導電層（Ａ）１６０２１及導電層（Ｂ）１６０２２，以形成閘電極１６０２８至１６０３１以及電容接線１６０３２。形成閘電極１６０２８至１６０３１以及電容接線１６０３２，以致於整體地形成導電層（Ａ）構成的１６０２８ａ至１６０３２ａ以及導電層（Ｂ）構成的１６０２８ｂ至１６０３２ｂ。此時，形成稍後會構成驅動器的驅動器電路等之ＴＦＴ的閘電極１６０２８至１６０３０，以致於經過雜質區１６０１７與１６０１８的一部份及閘絕緣層１６０２０，而彼此重疊。（請參見圖３５（Ｄ））。

接著，爲了形成ｐ通道型ＴＦＴ的源極及汲極區，執行提供ｐ型的雜質元素摻雜處理。此處，藉由使用閘電極１６０２８作爲掩罩，以自我對齊的狀態，形成雜質區。此時，形成ｎ通道型ＴＦＴ的區域會由光阻掩罩１６０３３預先遮蔽。而且，以使用乙硼烷（B_2H_6）之離子摻雜法，形成雜質區。此區中的硼（Ｂ）濃度設定爲3×10^{20}至3×10^{21}原子／cm^3。在本說明書中，包含於此處所形成的雜質區１６０３４中提供ｐ型導之雜質元素的濃度以（p^{++}）表示（請參見圖３６（Ａ））。

接著，於ｎ通道型ＴＦＴ中形成作爲源極區及汲極區之雜質區。形成光阻掩罩１６０３５至１６０３７，藉由摻雜提供ｎ型的雜質以形成雜質區１６０３８至１６０４２。藉由使用磷化氫（PH_3）之離子摻雜法，

執行此處理，且磷濃度設爲１ｘ１０^{20}至１ｘ１０^{21}原子／ｃｍ^{3}。在本說明書中，包含於此處所形成的雜質區１６３０８至１６０４２中之提供ｎ型的雜質元素之濃度以（ｎ$^{+}$）表示。（請參見圖３６（Ｂ））。

雖然雜質區１６０３８至１６０４２已含有先前處理中摻雜的磷（Ｐ）或硼（Ｂ），但是，會以比其高之足夠高的濃度摻雜磷，故無須考慮導因於先前處理中摻雜之磷（Ｐ）或硼（Ｂ）的影響。此外，摻雜於雜質區１６０３８中的磷（Ｐ）濃度爲圖１０（Ａ）中摻雜的硼濃度之一半或三分之一，可以確保ｐ型導電率，且在ＴＦＴ特徵中不會產生不利影響。

而且，執行摻雜提供ｎ型雜質的處理，以形成像素部份的ｎ通道型ＴＦＴ之ＬＤＤ區域。此處，藉由離子摻雜法，以自我對齊狀態，並使用閘電極１６０３１作爲掩罩，以摻雜提供ｎ型的雜質元素。要摻雜的磷（Ｐ）濃度爲１ｘ１０^{16}至１ｘ１０^{18}原子／ｃｍ^{3}，其中以低於圖３５、圖３６（Ａ）及圖３６（Ｂ）中摻雜的雜質元素濃度，摻雜雜質，且事實上僅形成雜質區１６０４３及１６０４４。在本說明書中，包含於雜質區１６０４３與１６０４４中提供ｎ型之雜質元素的濃度以（ｎ$^{--}$）表示。（請參見圖３６（Ｃ））。

此處，可形成２００ｎｍ厚的ＳｉＯＮ層等以作爲層與層之間的膜，以防止閘電極的Ｔａ剝落。

之後，執行熱處理製程，其會活化以個別濃度摻雜之

提供ｎ或ｐ型之雜質元素。以爐退火方法、雷射退火法、或快速熱退火法（ＲＴＡ），執行此製程。此處，以爐退火法執行活化處理。以１ｐｐｍ或更低之氧濃度，較佳地爲０．１ｐｐｍ或更低，在４００至８００℃之氮氛圍中，較佳地在５００至６００℃，執行熱處理。在實施例中，在５００℃執行熱處理一小時。此外，在諸如石英基底等具有熱電阻特性之基底用於基底１６００１的情形中，８００℃下熱處理一小時可能已足夠，且能夠活化雜質元素及較佳地形成摻雜有對應的雜質元素之雜質區與通道形成區的接合。而且，在形成層與層之間的膜以防止上述閘電極的Ｔａ剝落之情形中，會有無法取得此效果的情形。

在熱處理中，形成閘電極１６０２８和１６０３１及電容接線１６０３２之金屬層從表面算起爲５至８０ｎｍ，而導電層（Ｃ）１６０２８ｃ至１６０３２ｃ係形成於其表面上。舉例而言，在導電層（Ｂ）１６０２８ｂ至１６０３２ｂ由鎢（Ｗ）製成的情形中，接著形成氮化鎢（ＷＮ），在鉭（Ｔａ）的情形中，可形成氮化鉭（ＴａＮ）。此外，藉由在使用氮或氨之含氮的電漿氛圍中曝露閘電極１６０２８至１６０３１及電容部份１６０３２，以可形成導電層（Ｃ）１６０２８ｃ至１６０３２ｃ。此外，在含有３至１００％的氫之氛圍中，於３００至４５０℃下執行熱處理一至十二小時，及執行使島狀半導體層氫化之處理。此處理係藉由熱激化氫以終止半導體層的懸垂鍵。關於另一氫化方法，可執行電漿

氫化（使用電漿激發的氫）。

在以使用觸媒元素之晶化法，從非晶矽層產生島狀半導體層之情形中，會有少量的觸媒元素餘留在島狀半導體層中。當然，雖然可在此條件下完成ＴＦＴ，但是，更佳的是，至少從通道形成區移除餘留的觸媒元素。關於移除此觸媒元素的方法之一，有用利磷（Ｐ）的吸收作用之方法。用於吸收所需的磷濃度等於圖３６（Ｂ）中形成的雜質區（n^+）中的濃度，並能藉由此處所執行的活化處理之熱處理，從ｎ通道ＴＦＴ與ｐ通道ＴＦＴ的通道形成區吸收觸媒元素。（請參見圖３６（Ｄ））。

第一中間層絕緣膜１６０４５係由５００至１５００ｎｍ之氧化矽層或氮氧化矽層所形成。之後，形成接點孔，其會到達個別島狀半導體層上所形成的源極區或汲極區，因此，形成源極接線１６０４６至１６０４９以及汲極接線１６０５０至１６０５３。（請參見３７（Ａ））。雖然未顯示，但是，在本實施例中，電極係由三疊層所形成，其中，以濺射法連續地形成２００ｎｍ厚的Ｔｉ層、５００ｎｍ厚含有矽之鋁層、及１００ｎｍ厚之Ｔｉ層。

接著，形成５０至５００ｎｍ（以１００至３００ｎｍ爲代表）厚的氮化矽層、氧化矽層或氮氧化矽層作爲被動層１６０５４。在本實施例中，被動層１６０５４係製成５０ｎｍ厚的氮化矽層與２４．５ｎｍ厚的氧化矽層所構成的疊層。在本情形中，假使執行氫化處理，則在改進ＴＦＴ特徵方面，可以取得滿意的結果。舉例而言，在

(71)

含有３至１００％的氫之氛圍中，於３００至３４５０℃下，執行熱處理一至十二小時，是較佳的，或者，採用電漿氫化處理，可以取得相同效果。此外，此處較佳的是在形成接點孔以稍後連接像素電極與汲極電極之位置處，在被動層１６０５４形成開口埠。（請參見圖３７（Ａ））。

之後，形成１．０至１．５μｍ厚之有機樹脂構成的第二中間層絕緣膜１６０５５。可使用聚醯亞胺樹脂、丙烯樹脂、聚醯胺樹脂、聚亞胺醯胺樹脂、ＢＣＢ（苯並環丁烯）等作爲有機樹脂。此處，使用塗著於基底上之後會被熱聚合之丙烯樹脂，且其會在２５０℃下燃燒以便形成。（請參見圖３７（Ｂ））。

在實施例中，形成１．０至１．５μｍ之有機樹脂構成的第三中間層絕緣膜１６０５９。關於有機樹脂，可使用同於第二中間層絕緣膜所用之樹脂。此處，使用塗著於基底上之後被熱聚合之聚醯亞胺，且其會於３００℃下被燃燒以便形成。

而且，在第二中間層絕緣膜１６０５５與第三中間層絕緣膜１６０５９處形成到達汲極接線１６０５３之接點孔，藉以形成像素電極１６０６０。在根據發明之透射型液晶顯示裝置中，使用諸如ＩＴＯ等透明導電層作爲像素電極。（請參見圖３７（Ｂ））。

因此，可在相同基底上完成具有驅動電路ＴＦＴ及像素部份的像素ＴＦＴ之基底。在驅動電路中形成ｐ通道型

(72)

ＴＦＴ　１６１０１、第一ｎ通道型ＴＦＴ　１６１０２、及第二ｎ通道型ＴＦＴ１６１０３，及在像素部份中形成像素ＴＦＴ１６１０４及固持電容１６１０５。（請參見圖３８）。在本說明書中，爲便於說明，此基底稱爲「主動矩陣基底」。

接著，將上述製程產生的主動矩陣基底爲基礎，說明產生透射型液晶顯示裝置之製程。

對齊層１６０６５會形成處於圖３８中所示的狀態之主動矩陣基底上。在實施例中，對齊層１６０６５係由聚醯亞胺樹脂製成。接著，製備相對基底。相對基底係由玻璃基底１６０６２、透明導電層構成的相對電極１６０６３、及對齊層１６０６５所構成。

而且，在實施例中，關於對齊層，使用聚醯亞胺樹脂層，其中液晶粒子會對齊成與基底平行。此外，在形成對齊層之後，藉由執行摩擦處理，液晶粒子會以固定預傾斜角度而彼此平行對齊。

接著，經由上述製程完成的主動矩陣基底及相對基底，會藉由習知的細胞組製製成，經由密封材料及間隔器（均未顯示）而彼此黏著。之後，液晶１６０６４會供應於二基底之間且由密封劑（未顯示）完全地密封。因此，完成如圖３８所示之透射型液晶顯示裝置。

而且，在本實施例中，透射型液晶顯示裝置會設計成以ＴＮ（扭絞）模式顯示。因此，偏轉板（未顯示）會配置於透射型液晶顯示裝置之上。

(73)

驅動電路的p通道型ＴＦＴ　１６１０１在島狀半導體層１６００４中具有通道形成區８０６、源極區８０７ａ及８０７ｂ、汲極區８０８ａ及８０８ｂ。第一ｎ通道型ＴＦＴ　１６１０２在島狀層１６００５中具有通道形成層８０９、與閘電極１６０７１重疊的ＬＣＤ區８１０（此後，此ＬＤＤ區稱爲Ｌｏｖ）、源極區８１１、及汲極區８１２。在其通道長度方向上的Ｌｏｖ區的長度會定爲０．５至３．０μｍ，較佳地，爲１．０至１．５μｍ。第二ｎ通道型ＴＦＴ１６０１３在島狀半導體層１６００６中具有通道形成區８１３、ＬＤＤ區８１４及８１５、源極區８１６、及汲極區８１７。在這些ＬＤＤ區中，形成未與閘電極１６０７２重疊之Ｌｏｖ區與ＬＤＤ區（此後，此ＬＤＤ區稱爲Ｌｏｆｆ），其中通道長度方向上Ｌｏｆｆ區的長度爲０．３至２．０μｍ，較佳地爲０．５至１．５μｍ。像素ＴＦＴ１６１０４在島狀半導體層１６００７中具有通道形成區８１８及８１９、Ｌｏｆｆ區８２０至８２３、及源極區或汲極區８２４。通道長度方向上的Ｌｏｆｆ區之長度爲０．５至３．０μｍ，較佳地，１．５至２．５μｍ。此外，在像素ＴＦＴ　１６０１４的通道形成區８１８和８１９與像素ＴＦＴ的Ｌｏｆｆ區８０２至８２３（爲ＬＤＤ區）之間，形成偏移區（未顯示）。再者，固持電容８０５係由電容接線１６０７４、閘絕緣層１６０２０構成的絕緣層、連接至像素ＴＦＴ　１６０７３的汲極區

８２６及摻雜有提供ｎ型的雜質元素之半導體層所構成。在圖３８中，雖然像素ＴＦＴ係由雙閘極結構所構成，但是，單閘極結構是可接受的，設有多個閘電極之多閘極結構也是可接受的。

如上所述，在實施例中，構成個別電路之ＴＦＴ的結構可以依據像素ＴＦＴ及驅動器要求的規格而最佳化，其中，能夠改進液晶顯示裝置的操作性能及可靠度。

在實施例中，將說明透射型液晶顯示裝置。但是，應用根據發明的驅動電路之液晶顯示裝置不限於上述液晶顯示裝置，也可應用至反射型液晶顯示裝置。

雖然配合液晶顯示裝置以說明前述之較佳實施例，但是，本發明的驅動電路可應用至驅動ＥＬ（電發光顯示裝置）。而且，前述實施例中所述的製造方法可應用至諸如ＥＬ顯示裝置等薄膜電晶體的製造。將於下述實施例１３至１７中說明ＥＬ顯示裝置的實施例。

〔實施例１３〕

圖４０Ａ係上視圖，顯示ＥＬ顯示裝置，其係根據本申請案之發明製成的。在圖４０Ａ中，顯示有基底１４０１０、像素部份１４０１１、來自源極１４０１２之驅動電路、及來自閘極１４０１３之驅動電路，每一驅動電路均連接至接線１４０１４－１４０１６，接線１４０１４－１４０１６會到達引至外部設備之ＦＰＣ１４０１７。

(75)

像素部份（較佳地與驅動電路一起）由遮蓋材料１６０００、密封材料（或殼材料）１７０００、及端密封材料（或第二密封材料）１７００１所包封。

圖４０Ｂ係剖面視圖，顯示本實施例中的ＥＬ顯示裝置之結構。顯示有基底１４０１０、下塗層１４０２１、用於驅動電路之ＴＦＴ　１４０２２、及用於像素單元之ＴＦＴ　１４０２３。（所示之ＴＦＴ　１４０２２係ｎ通道型ＴＦＴ與ｐ通道型ＴＦＴ構成的ＣＭＯＳ電路。所示之ＴＦＴ　１４０２３係控制ＥＬ元件的電流之ＣＭＯＳ電路。）這些ＴＦＴ　１４０２３可爲任何習知的構造（上閘極結構或底閘極結構）且先前的實施例中所述之方法可用於製造這些ＴＦＴ。

在完成ＴＦＴ　１４０２２（用於驅動電路）及ＴＦＴ１４０２３（用於像素單元）時，像素電極１４０２７會形成於樹脂製成的中間層絕緣膜（平面化膜）之上。像素電極係透明導電膜，其會電連接至用於像素單元之ＴＦＴ　１４０２３的汲極。透明導電膜可由氧化銦及氧化錫的化合物（稱爲ＩＴＯ）或氧化銦與氧化鋅的化合物所形成。在像素電極１４０２７上，形成有絕緣膜１４０２８，其中在像素電極１４０２７上形成有開口。

接著，形成ＥＬ層１４０２９。其可爲藉由自由結合諸如注入層、電洞傳輸層、發光層、電子傳輸層、及電子注入層等習知的ＥＬ材料而形成的單層結構或多層結構。任何習知的技術可用於此結構。ＥＬ材料可爲低分子材料

或高分子材料（聚合物）。藉由汽相沈積以塗敷前者，及藉由諸如旋轉塗著、印刷、或噴墨法等簡單方法以塗敷後者。

在本實施例中，以經由掩罩之汽相沈積，形成ＥＬ層。所造成的ＥＬ層會允許每一像素發射波長不同的光（紅、綠、及藍）。這將實施例彩色顯示。其它可取得的系統包含彩色轉換層（ＣＣＭ）及濾色器的結合與白光發射層與濾色器的結合。無須多言，ＥＬ顯示裝置可爲單色的。

在ＥＬ層上形成有陰極１４０３０。在此步驟之前，需要儘可能地從ＥＬ層１４０２９與陰極１４０３０之間的介面清除濕氣及氧氣。藉由在真空中連續地形成ＥＬ層１４０２９與陰極１４０３０，或是藉由在惰性氣體氛圍中形成ＥＬ層１４０２９及接著在相同氣氛中形成陰極１４０３０而不允許空氣進入，可以達成此目的。在本實施例中，藉由使用具有多室系統（群組工具系統）之成膜設備，形成所需的膜。

由氟化鋰膜及鋁膜所構成的多層結構會於本實施例中作爲陰極１４０３０。具體而言，以汽相沈積依序將氟化鋰膜（１ｎｍ厚）及鋁膜（３００ｎｍ厚）塗著ＥＬ層１４０２９。無須多言，陰極１４０３０可由習知的陰極材料ＭｇＡｇ電極形成。接著，陰極１４０３０會連接至１４０３１標示的區域中之接線１４０１６。供應指定電壓給陰極１４０３０之接線１４０１６會經由導電膠材料１４０３２連接至ＦＰＣ　１４０１７。

(77)

區１４０３１中的陰極１４０３０與接線１４０１６之間的電連接於中間層絕緣膜１４０２６與絕緣膜１４０２８中需要接點孔。當中間層絕緣膜１４０２６進行蝕刻以形成用於像素電極的接點孔時，或當絕緣膜１４０２８進行蝕刻以在形成ＥＬ層之前形成開口時，可形成接點孔。當絕緣膜１４０２８進行蝕刻時，可同時蝕刻中間層絕緣膜１４０２６。假使中間層絕緣膜１４０２６與絕緣膜１４０２８由相同材料製成時，可形成具有良好形狀的接點孔。

然後，形成被動膜１６００３、填充材料１６００４及遮蓋材料１６０００，以致於這些層遮蓋ＥＬ元件。

此外，在遮蓋材料１６０００與基底１４０１０的內部形成密封材料１７０００以圍繞ＥＬ元件，及在密封材料１７０００的外部形成端密封材料１７００１。

形成填充材料１６００４以遮蓋ＥＬ元件且填充材料１６００４會作爲黏著物以黏著至遮蓋材料１６０００。關於填充材料１６００４，可以使用ＰＶＣ（聚氯乙烯）、環氧樹脂、矽樹脂、ＰＶＢ（聚丁烯醇縮丁醛）、或ＥＶＡ（乙基乙烯基醋酸酯）。由於可以維持濕氣吸收，所以，較佳的是在填充材料１６００４中形成乾燥劑。

而且，可在填充材料１６００４中含有間隔器。較較的是使用包括氧化鋇之球形間隔器，以維持間隔器中的濕氣吸收。

在間隔器包含於填充材料的情形中，被動膜

１６００３可以釋放間隔器的壓力。當然，諸如有機樹脂等不同於被動膜之其它膜可以用於釋放間隔器的壓力。

關於遮蓋材料１６０００，可以使用玻璃板、鋁板、不銹鋼板、ＦＲＰ（強化玻璃纖維塑膠）板、ＰＶＦ（聚氟乙烯）膜、美拉（Mylar）膜、聚酯膜或丙烯膜。在使用ＰＶＢ或ＥＶＡ作爲填充材料１６００４的情形中，較佳的是使用夾於ＰＶＦ膜或美拉膜之間數十μｍ厚的鋁箔。

根據來自ＥＬ元件的光發射方向（光輻射方向），遮蓋材料１６０００應具有高透明度。

接線１４０１６會經由密封材料１７０００和端密封材料１７００１與基底１４０１０之間的間隙，電連接至ＦＰＣ　１４０１７。在關於上述的接線１４０１６中，其它接線１４０１４與１４０１５也會電連接至密封材料１４０１８之下的ＦＰＣ　１４０１７。

〔實施例１４〕

在本實施例中，如圖４１Ａ及４１Ｂ中所示，將解釋結構不同於實施例１３之另一ＥＬ顯示裝置。圖４１Ａ和４１Ｂ中與圖４０Ａ和４０Ｂ中相同的代號係標示相同的構件，所以省略其說明。

圖４１Ａ係顯示本實施例中的ＥＬ模組之上視圖，而圖４１Ｂ係顯示圖４１Ａ的Ａ－Ａ’剖面視圖。

根據實施例１３，形成被動膜１６００３以遮蓋ＥＬ

元件的表面。

形成填充材料16004以遮蓋EL元件且填充材料16004也會作爲黏著物以黏著至遮蓋材料16000。關於填充材料16004，可以使用PVC（聚氯乙烯）、環氧樹脂、矽樹脂、PVB（聚丁烯醇縮丁醛）、或EVA（乙基乙烯基醋酸酯）。由於可以維持濕氣吸收，所以，較佳的是在填充材料16004中形成乾燥劑。

而且，可在填充材料16004中含有間隔器。較較的是使用包括氧化鋇之球形間隔器，以維持間隔器中的濕氣吸收。

在間隔器包含於填充材料的情形中，被動膜16003可以釋放間隔器的壓力。當然，諸如有機樹脂等不同於被動膜之其它膜可以用於釋放間隔器的壓力。

關於遮蓋材料16000，可以使用玻璃板、鋁板、不銹鋼板、FRP（強化玻璃纖維塑膠）板、PVF（聚氟乙烯）膜、美拉（Mylar）膜、聚酯膜或丙烯膜。在使用PVB或EVA作爲填充材料16004的情形中，較佳的是使用夾於PVF膜或美拉膜之間數十μm厚的鋁箔。

根據來自EL元件的光發射方向（光輻射方向），遮蓋材料16000應具有高透明度。

接著，使用填充材料3404以黏著遮蓋材料16000。然後，附著焰材料16001以遮蓋填充材料16004的側部份（曝露面）。焰材料16001會

(80)

由密封材料（作爲黏著物）１６００２黏著。關於密封材料１６００２，光可固化樹脂是較佳的。而且，假使ＥＬ層的抗熱性許可的話，也可使用可熱固化樹脂。密封材料１６００２較佳的是不通過濕氣及氧氣。此外，能夠在密封材料１６００２內添加乾燥劑。

接線１４０１６會經由密封材料１６００２與基底１４０１０之間的間隙，電連接至ＦＰＣ　１４０１７。關於上述的接線１４０１６，其它接線１４０１４與１４０１５也會電連接至密封材料１６００２之下的ＦＰＣ　１４０１７。

〔實施例１６〕

在具有根據實施例１３或１４之結構的ＥＬ顯示裝置中，可使用本發明。在本實施例中，詳細說明面板中的像素區之結構。圖４２係顯示像素區的剖面；圖４３Ａ係顯示其上視圖；而圖４３Ｂ係顯示像素區的電路圖型。在圖４２、圖４３Ａ及圖４３Ｂ中，相同的代號係表示相同的構件，對它們而言爲共同的。

在圖４２中，形成於基底３５０１上的切換ＴＦＴ３５０２係具有雙重閘結構之ＮＴＦＴ。切換ＴＦＴ３５０２的雙重閘結構實際上具有二串聯的ＴＦＴ，因此具有減少通過它們的關閉電流之優點。在本實施例中，切換ＴＦＴ具有此雙重閘結構，但並未侷限於此。其可具有單閘結構或三閘結構，或者其它具有多於三閘之多

(81)

重閘結構。切換ＴＦＴ３５０２可爲發明的ＰＴＦＴ。

電流控制ＴＦＴ　３５０３係發明的ＮＴＦＴ。另一種可能係ＴＦＴ　３５０３可爲ＰＴＦＴ。切換ＴＦＴ　３５０２中的汲極接線３５會與電流控制ＴＦＴ中的閘電極３７經由它們之間的接線３６而電連接。以３８標示的接線係用於電連接切換ＴＦＴ　３５０２中的閘電極３９ａ及３９ｂ之閘接線。

在本實施例中，電流控制ＴＦＴ　３５０３係顯示成具有單閘結構，但是，其可以具有多個ＴＦＴ串聯之多重閘結構。此外，多個ＴＦＴ可以並聯，以致於通道形成區實際上會分割成多個區。在該型的結構中，可以有效率地實現熱輻射。結構係有利於保護裝置免於熱劣化。爲了避免ＴＦＴ　３５０３中的熱載子問題，較佳的是提供至少與閘電極部份地重疊之ＬＤＤ區。

如圖４３Ａ所示，要連接電流控制ＴＦＴ　３５０３中的閘電極３７之接線會與３５０４標示的區域中之汲極接線４０經過它們之間的絕緣膜而相重疊。在此狀態中，以３５０４標示的區域會形成電容。電容３５０４會用以固持施加至電流控制ＴＦＴ　３５０３中的閘極之電壓。汲極接線４０會與電流供應線（電源線）３５０６相連，從電流供應線３５０６會一直有固定電壓施加至汲極接線４０。

在切換ＴＦＴ　３５０２與電流控制ＴＦＴ　３５０３上形成有第一被動膜４１。在膜４１上，形成有

絕緣樹脂製成的平面化膜４２。相當重要的是，經由平面膜４２的平面化，可移除ＴＦＴ中層部份高低的不同。這是因爲要於稍後的步驟中形成於先前形成的層之上的ＥＬ層係相當地薄，且假使在先前形成的層之間存在有不同高度，則ＥＬ裝置通常會有發光故障之問題。因此，在先前形成的層上形成像素電極之前，需要儘可能地將其平面化，以致於ＥＬ層可形成於平坦化表面上。

代號４３係標示具有高反射率的的導電膜之像素電極（在ＥＬ裝置中爲陰極）。像素電極４３會與電流控制ＴＦＴ　３５０３中的汲極電連接。較佳的是，像素電極４３係鋁合金、銅合金或銀合金的低電阻導電膜、或是這些膜的疊層。無須多言，像素電極４３可爲任何其它導電膜的疊層結構。

在形成於絕緣膜（較佳地爲樹脂製成）場４４ａ與４４ｂ之間的凹壁（此對應於像素）中，形成發光層４５。雖然在顯示的結構中，僅顯示一像素，但是，多個發光層可分別地形成於對應Ｒ（紅）、Ｇ（綠）及Ｂ（藍）不同顏色之不同像素中。用於發光層之有機ＥＬ材料可爲任何π－共軛聚合物材料。此處可用之典型的聚合物材料包含聚對二乙烯苯（ＰＶＶ）、聚乙烯咔唑（ＰＶＫ）、聚芴材料、等等。

不同型的ＰＶＶ型有機ＥＬ材料是習知的，如同〔H. Shenk, H. Becker, O. Gelsen, E. Klunge, W. Kreuder,及 H. Spreitzer 等所著之“Polymer for Light Emitting Diodes,

(83)

Euro Display Proceedings, 1999, pp. 33-37中及日本專利公開號９２５７６／１９９８所揭示者。此處可使用任何此類習知材料。

具體而言，氰基聚伸苯基伸乙烯基化合物可用於紅發光層；聚二乙烯苯可用於綠發光層；聚二乙烯苯或聚烷基苯撐可用於藍發光層。用於發光層的膜之厚度會落在３０與１５０ｎｍ之間（較佳地在４０與１００ｎｍ之間）。

上述這些化合物僅作爲可用於此之有機ＥＬ材料的實施例且完全不具限制性。發光層可以與電荷輸送層或電荷注入層以任何所需方式結合，以形成所要的ＥＬ層（這是用於發光及用於發光的載子轉換）。

特別地，本實施例係顯示使用聚合物材料以形成發光層之實施例，但是其不具限制性。除此之外，低分子有機ＥＬ材料也可用於發光層。對於電荷輸送層及電荷注入層而言，可使用諸如碳化矽等無機材料。用於這些層的不同有機ＥＬ材料及無機材料係習知的，任何這種材料可用於此處。

在本實施例中，在發光層４５上形成ＰＥＤＯＴ（聚噻吩）或Ｐａｎｉ（聚苯胺）電洞注入層４６，以產生用於ＥＬ層之疊層結構。在注入層４６上，形成透明導電膜的陽極４７。在本實施例中，由發光層４５發射之光會自此朝著上表面之方向照射（亦即，在ＴＦＴ的向上方向上）。因此，在本實施例中，陽極必須傳送光。關於用於陽極之透明導電膜，可使用氧化銦與氧化錫的化合物、及氧

化銦與氧化鋅的化合物。但是，由於在發光層與具有抗熱性不佳的電洞注入層形成之後，會形成陽極，所以，較佳的是，用於陽極的透明導電膜由能夠在儘可能低的溫度下形成膜的材料所製成。

當形成陽極４７時，完成ＥＬ裝置３５０５。此處如此製成的ＥＬ裝置３５０５標示包括像素電極（陰極）４３之電容、發光層４５、電洞注入層４及陽極４７。如圖４３Ａ所示，像素電極４３的區域幾乎與像素的區域相同。因此，在本實施例中，整個像素作爲ＥＬ裝置。因此，此處所製造的ＥＬ裝置之光利用效率爲高，且裝置能顯示明亮的影像。

在本實施例中，第二被動膜４８會形成於陽極４７上。關於第二被動膜４８，較佳地使用氮化矽膜或氮氧化矽膜。膜４８的目的係使ＥＬ裝置與外在環境絕緣。膜４８具有防止有機ＥＬ材料免於因氧化而劣化並具有使其免於排氣之功能。根據該型的第二被動膜４８，ＥＬ顯示裝置的可靠度會改進。

如上所述，本實施例中所製造的發明之ＥＬ顯示板具有用於構造如圖４２之像素的像素區及具有切換ＴＦＴ以及抗熱載子注入的電流控制ＴＦＴ，通過切換ＴＦＴ的關閉電流非常小至令人滿意。因此，此處所製造的ＥＬ顯示面板具有高可靠度及能顯示良好影像。

將本實施例的ＥＬ顯示板併入圖２４（Ａ）至２４（Ｅ）中所示的電子用品作爲其顯示部份，是爲有利的。

〔實施例１６〕

本實施例係顯示實施例１５的ＥＬ顯示板的修改，其中像素區中的ＥＬ裝置３５０５具有相反結構。關於本實施例，請參考圖４４。本實施例之ＥＬ顯示板的構造與圖４３Ａ中所示者不同之處僅在於ＥＬ裝置部份與電流控制ＴＦＴ部份。因此，除了不同的部份之外，於此省略其它部份之說明。

在圖４４中，電流控制ＴＦＴ　３７０１可爲發明的ＰＴＦＴ。ＴＦＴ可以由先前實施例的任何方法製造。

在本實施例中，像素電極（陽極）５０係透明的導電膜。具體而言，使用氧化銦與氧化鋅的化合物製成之導電膜。無庸置疑，也可使用氧化銦與氧化錫之化合物的導電膜。

在形成絕緣膜的堤５１ａ與５１ｂ之後，在溶液塗著法中，於它們之間形成聚乙烯咔唑製成的發光層５２。在發光層５２上，形成乙醯丙酮鉀（此後稱爲 acacK）製成電子注入層５３，及鋁合金製成的陰極５４。在此情形中，陰極５４也作爲被動膜。如此製成ＥＬ裝置３７０１。

在本實施例中，由發光層發射的光發會於朝向有ＴＦＴ形成於其上的基底之方向上發射，如箭頭所示之方向。

將本實施例的ＥＬ顯示板併入圖２４（Ａ）至２４（Ｅ）的電子用品中作爲其顯示部份，是爲有利的。顯示器

的整個結構與圖３３（Ａ）及（Ｂ）或圖３４（Ａ）及（Ｂ）中所示的相同。因此，省略相同的說明。

〔實施例１７〕

本實施例係顯示具有圖４３Ｂ的電路圖型之像素的修改。修改係如圖４５Ａ至４５Ｃ中所示。在圖４５Ａ至４５Ｃ中所示的本實施例中，３８０１係標示用於切換ＴＦＴ　３８０２的源極線；３８０３係標示用於切換ＴＦＴ　３８０２的閘接線；３８０４係標示電流控制ＴＦＴ；３８０５係標示電容；３８０６及３８０８係標示電流供應線；而３８０７係標示ＥＬ裝置。

在圖４５Ａ的實施例中，電流供應線３８０６由二像素共用。特別地，本實施例特徵在於二像素以電流供應線３８０６在它們的中間而線性對稱地形成。由於可以減少其中的電流供應線數目，所以，本實施例有利於使像素圖型更加精細及薄。

在圖４５Ｂ的實施例中，電流供應線３８０８係平行於閘接線３８０３形成。特別地，在本實施例中，電流供應線３８０８係構造成其不會與閘接線３８０３重疊，但並未侷限於此。不同於所述的情形，電流供應線與閘接線只要它們具有不同的層，即可以經過它們之間的絕緣膜而彼此重疊。由於電流供應線３８０８與閘接線３８０３可享有其中共同的獨佔區，所以，本實施例有利於像素更加精細化及薄化。

(87)

圖４５Ｃ的實施例結構特徵在於如圖４５Ｂ所示電流供應線３８０８係形成爲平行於閘接線３８０８，且二像素係以電流供應線３８０８位於它們之間的中間，而線性對稱地形成。在本實施例中，以電流供應線３８０８與任一閘接線３８０３重疊之方式，設置電流供應線３８０８，亦爲有效的。由於可以減少其中的電流供應線的數目，所以，本實施例有利於像素圖型更加精細化及薄化。

〔實施例１８〕

圖４３Ａ及４３Ｂ中所示的實施例１５係設有電容３５０４，電容３５０４作用以固持施加至電流控制ＴＦＴ　３５０３中的閘極之電壓。但是，在實施例中可以省略電容３５０４。

在實施例１５中，電流控制ＴＦＴ　３５０３係具有ＬＤＤ區之ＮＴＦＴ，ＬＤＤ區會與閘電極經過它們之間的閘絕緣膜而相重疊。在重疊區中，形成有通常稱爲閘電容之寄生電容。本實施例特徵在於確定地利用寄生電容以取代電容３５０４。

寄生電容會隨著閘電極與ＬＤＤ區重疊的面積而變，因此會依據重疊區中的ＬＤＤ區之長度而決定。

如同圖４５Ａ、圖４５Ｂ及４５Ｃ中所示的實施例１７般，可省略電容３８０５。

將具有本實施例的像素結構之ＥＬ顯示板併入於圖２４（Ａ）至２４（Ｅ）中所示的實施例之電子用品中作

爲其顯示部份，是有利的。顯示器的整體結構可以與圖３３（Ａ）及（Ｂ）或圖３４（Ａ）與（Ｂ）中所示的相同。因此，省略相同說明。

【圖式簡單說明】

圖１係顯示根據發明之ＤＡＣ（數位類比轉換電路），

圖２（Ａ）－２（Ｃ）係顯示等效電路以說明根據發明之ＤＡＣ的作動，及顯示根據發明之ＤＡＣ的輸出之圖形，

圖３係顯示根據發明之ＤＡＣ的實施例，

圖４（Ａ）－４（Ｃ）係顯示等效電路以說明根據發明之ＤＡＣ，及顯示根據發明之ＤＡＣ的輸出，

圖５係顯示使用根據發明的ＤＡＣ之主動矩陣型液晶顯示裝置的實施例，

圖６係顯示選取電路之實施例，

圖７係選取電路之時序圖，

圖８係顯示根據發明之ＤＡＣ的另一實施例，

圖９（Ａ）及９（Ｂ）係顯示位準偏移電路及類比切換電路，

圖１０（Ａ）及（Ｂ）係顯示數位視頻資料分割電路，

圖１１係數位視頻資料分割電路之時序圖，

圖１２（Ａ）－１２（Ｅ）係顯示用以生產使用根據

發明之ＤＡＣ的主動矩陣型液晶顯示裝置之方法的實施例，

圖１３（Ａ）－１３（Ｃ）係顯示用以生產使用根據發明之ＤＡＣ的主動矩陣型液晶顯示裝置之方法的實施例，

圖１４（Ａ）－１４（Ｃ）係顯示用以生產使用根據發明之ＤＡＣ的主動矩陣型液晶顯示裝置之方法的實施例，

圖１５（Ａ）－１５（Ｃ）係顯示用以生產使用根據發明之ＤＡＣ的主動矩陣型液晶顯示裝置之方法的實施例，

圖１６（Ａ）－１６（Ｅ）係顯示用以生產使用根據發明之ＤＡＣ的主動矩陣型液晶顯示裝置之方法的實施例，

圖１７（Ａ）－１７（Ｄ）係顯示用以生產使用根據發明之ＤＡＣ的主動矩陣型液晶顯示裝置之方法的實施例，

圖１８（Ａ）及１８（Ｂ）係顯示用以生產使用根據發明之ＤＡＣ的主動矩陣型液晶顯示裝置之方法的實施例，

圖１９（Ａ）－１９（Ｅ）係顯示用以生產使用根據發明之ＤＡＣ的主動矩陣型液晶顯示裝置之方法的實施例，

圖２０（Ａ）及２０（Ｂ）係顯示用以生產使用根據

發明之ＤＡＣ的主動矩陣型液晶顯示裝置之方法的實施例，

圖２１係顯示ＴＦＴ的實施例，其係構成使用根據發明之ＤＡＣ的動矩陣型液晶顯示裝置，

圖２２係顯示ＴＦＴ的實施例，其係構成使用根據發明之ＤＡＣ的動矩陣型液晶顯示裝置，

圖２３（Ａ）及２３（Ｂ）係顯示投影機，其具有使用根據發明之ＤＡＣ的主動矩陣型液晶顯示裝置，

圖２４（Ａ）至２４（Ｅ）係顯示電子裝置的實施例，其具有使用根據發明之ＤＡＣ的主動矩陣型液晶顯示裝置，

圖２５係顯示習知的ＤＡＣ，

圖２６（Ａ）－２６（Ｃ）係顯示習知的ＤＡＣ，

圖２７係顯示習知的ＤＡＣ，

圖２８係顯示習知的ＤＡＣ，

圖２９係顯示根據發明的ＤＡＣ之較佳實施例之相對於數位視頻資料之輸出電壓，

圖３０係顯示ＴＦＴ特徵圖，

圖３１係具有根據發明的ＤＡＣ之主動矩陣型液晶顯示裝置之顯示實施例，

圖３２係具有根據發明的ＤＡＣ之主動矩陣型液晶顯示裝置之顯示實施例，

圖３３係顯示無臨限抗鐵電混合液晶之施加電壓－滲透比的特徵圖，

圖３４（Ａ）至３４（Ｄ）係顯示根據本發明之較佳實施例的製程，

圖３５（Ａ）至３５（Ｄ）係顯示根據本發明之較佳實施例的製程，

圖３６（Ａ）至３６（Ｄ）係顯示根據本發明之較佳實施例的製程，

圖３７（Ａ）及３７（Ｂ）係顯示根據本發明之較佳實施例的製程，

圖３８係顯示根據本發明之液晶顯示裝置之剖面，

圖３９係顯示液晶材料的光學特徵，

圖４０Ａ係上視圖，顯示主動矩陣ＥＬ顯示裝置的結構，圖４０Ｂ係其剖面視圖；

圖４１Ａ係上視圖，顯示主動矩陣ＥＬ顯示裝置的結構，圖４１Ｂ係其剖面視圖；

圖４２係視圖，顯示主動矩陣ＥＬ顯示裝置中的像素部份之結構；

圖４３Ａ係上視圖，顯示主動矩陣ＥＬ顯示裝置中的像素部份之結構，圖４３Ｂ係其電路圖；

圖４４係視圖，顯示主動矩陣ＥＬ顯示裝置中的像素部份之結構；及

圖４５Ａ至４５Ｃ係主動矩陣ＥＬ顯示裝置中的像素部份之電路圖。

【主要元件符號說明】

501	源極訊號線驅動電路 A
502	源極訊號線驅動電路 B
503	閘訊號線驅動電路
504	主動矩陣電路
505	數位視頻資料分割電路
501－1	移位電阻器電路
501－2	佇鎖電路 1
501－3	佇鎖電路 2
501－4	選取器電路 1
501－5	D／A 轉換器電路
501－6	選取器電路 2
4001	石英基底
4002	基層
4003	非晶矽層
4004	掩罩絕緣膜
4007	晶化區
4008	磷摻雜區
4009	主動層
4010	主動層
4011	主動層
4012	閘絕緣層
4013	多孔陽極氧化層
4014	多孔陽極氧化層
4015	多孔陽極氧化層

(93)

4016	多孔陽極氧化層
4017	多孔陽極氧化層
4018	多孔陽極氧化層
4019	多孔陽極氧化層
4020	多孔陽極氧化層
4021	非多孔陽極氧化層
4022	非多孔陽極氧化層
4023	非多孔陽極氧化層
4024	非多孔陽極氧化層
4025	閘電極
4026	閘電極
4027	閘電極
4028	閘電極
4029	閘絕緣層
4030	閘絕緣層
4031	閘絕緣層
4032	源極區
4033	汲極區
4034	源極區
4035	汲極區
4036	低濃度雜質區
4037	低濃度雜質區
4038	低濃度雜質區
4039	通道形成區

4040	通道形成區
4042	光阻掩罩
4043	源極區
4044	汲極區
4045	低濃度雜質區
4046	通道形成區
4047	第一中間層絕緣膜
4048	源極電極
4049	源極電極
4050	源極電極
4051	汲極電極
4052	汲極電極
4053	第二中間層絕緣膜
4054	第三中間層絕緣膜
4056	第四中間層絕緣膜
4057	像素電極
4059	玻璃基底
4060	相對電極
4061	對齊層
4062	液晶
5001	玻璃基底
5002	氧化矽層
5003	主動層
5004	主動層

5005	閘絕緣層
5006	閘接線
5007	閘接線
5008	第一雜質區
5009	第一雜質區
5010	通道形成區
5011	通道形成區
5012	側壁
5013	側壁
5014	第二雜質區
5015	第二雜質區
5016	光阻掩罩
5017	光阻掩罩
5018	閘絕緣層
5019	第三雜質區
5020	第三雜質區
5021	光阻掩罩
5022	閘絕緣層
5023	第四雜質區
5024	第一中間層絕緣膜
5025	源極接線
5026	源極接線
5027	汲極接線
5028	氮化矽層

5029	第二中間層絕緣膜
6001	矽基底
6002	氧化矽層
7001	基底
7002	基層
7003	半導體主動層
7004	半導體主動層
7005	半導體主動層
7006	閘絕緣層
7007	導電層
7008	導電層
7009	導電層
7010	導電層
7011	接線電極
7012	第二導電層
7013	第二導電層
7014	第二導電層
7015	第二導電層
7016	接線電極
7017	低濃度雜質區
7018	低濃度雜質區
7019	低濃度雜質區
7020	低濃度雜質區
7021	低濃度雜質區

(97)

7022	低濃度雜質區
7023	低濃度雜質區
7024	光阻掩罩
7025	光阻掩罩
7026	摻雜硼的區域
7027	摻雜硼的區域
7028	第二閘電極
7029	第二閘電極
7030	第二閘電極
7031	第二閘電極
7032	固持電容的電極
7034	第一雜質區
7035	源極區
7036	汲極區
7039	源極區
7040	汲極區
7043	源極區
7044	汲極區
7047	汲極區
7049	第一中間層絕緣膜
7050	源極電極
7051	汲極電極
7052	源極電極
7053	源極電極

7054	汲極電極
7055	被動層
7056	第二中間層絕緣膜
7057	黑矩陣
7058	第三絕緣膜
7059	像素電極
7060	對齊層
7071	相對基底
7072	相對電極
7073	對齊層
7074	液晶材料
8001	基底
8002	氧化矽層
8003	閘電極
8004	閘絕緣層
8005	源極區
8006	汲極區
8007	低濃度雜質區
8008	通道形成區
8009	通道保護層
8010	中間層絕緣膜
8011	源極電極
8012	汲極電極
9001	基底

9002	氧化矽層
9003	閘電極
9004	苯並環丁烯
9005	氮化矽區
9006	源極區
9007	汲極區
9008	低濃度雜質區
9009	通道保護層
9010	通道保護層
9011	中間層絕緣膜
9012	源極電極
9013	汲極電極
10001	本體
10002	主動矩陣型半導體顯示裝置
10003	光源
10004	光學系統
10005	螢幕
10006	本體
10007	主動矩陣型半導體顯示裝置
10008	光源
10009	反射器
10010	螢幕
11001	本體
11002	語音輸出部份

(100)

11003	語音輸入部份
11004	主動矩陣型半導體顯示裝置
11005	操作開關
11006	天線
12001	本體
12002	主動矩陣型半導體顯示裝置
12003	語音輸入裝置
12004	操作開關
12005	電池
12006	影像接收部份
13001	本體
13002	相機部份
13003	影像接收部份
13004	操作開關
13005	主動矩陣型半導體顯示裝置
14001	本體
14002	主動矩陣型半導體顯示裝置
15001	本體
15002	主動矩陣型半導體顯示裝置
15003	主動矩陣型半導體顯示裝置
15004	記憶介質
15005	操作開關
15006	天線
16001	基底

(101)

16002	基層
16003a	半導體
16003b	結晶矽層
16004	島狀半導體層
16005	島狀半導體層
16006	島狀半導體層
16007	島狀半導體層
16008	掩罩層
16009	光阻掩罩
16010	島狀半導體層
16011	島狀半導體層
16012	島狀半導體層
16013	光阻掩罩
16014	光阻掩罩
16015	光阻掩罩
16016	光阻掩罩
16017	雜質區
16018	雜質區
16019	雜質區
16020	閘絕緣層
16021	導電層（A）
16022	導電層（B）
16023	光阻掩罩
16024	光阻掩罩

(102)

16025	光阻掩罩
16026	光阻掩罩
16027	光阻掩罩
16028	閘電極
16028a	導電層（A）
16028b	導電層（B）
16028c	導電層（C）
16029	閘電極
16029a	導電層（A）
16029b	導電層（B）
16029c	導電層（C）
16030	閘電極
16030a	導電層（A）
16030b	導電層（B）
16030c	導電層（C）
16031	閘電極
16031a	導電層（A）
16031b	導電層（B）
16031c	導電層（C）
16032	電容接線
16032a	導電層（A）
16032b	導電層（B）
16032c	導電層（C）
16033	光阻掩罩

(103)

16034	雜質區
16035	光阻掩罩
16036	光阻掩罩
16037	光阻掩罩
16038	雜質區
16039	雜質區
16040	雜質區
16041	雜質區
16042	雜質區
16043	雜質區
16044	雜質區
16045	第一中間層絕緣膜
16046	源極接線
16047	源極接線
16048	源極接線
16049	源極接線
16050	汲極接線
16051	汲極接線
16052	汲極接線
16053	汲極接線
16054	被動層
16055	第二中間層絕緣膜
16059	第三中間層絕緣膜
16060	像素電極

(104)

16065	對齊層
16062	玻璃基底
16063	相對電極
16064	液晶
16071	閘電極
16072	閘電極
16073	像素ＴＦＴ
16074	電容接線
16101	ｐ通道型ＴＦＴ
16102	第一ｎ通道型ＴＦＴ
16103	第二ｎ通道型ＴＦＴ
16104	像素ＴＦＴ
16105	儲存電容
806	通道形成區
807a	源極區
807b	源極區
808a	汲極區
808b	汲極區
809	通道形成層
810	ＬＤＤ區
811	源極區
812	汲極區
813	通道形成區
814	ＬＤＤ區

815	LDD區
816	源極區
817	汲極區
818	通道形成區
819	通道形成區
820	Loff區
821	Loff區
822	Loff區
823	Loff區
824	源極區或汲極區
825	源極區或汲極區
826	汲極區
827	半導體層
14010	基底
14011	像素部份
14012	源極
14013	閘極
14014	接線
14015	接線
14016	接線
14021	下塗層
14022	薄膜電晶體
14023	薄膜電晶體
14026	中間層絕緣膜

(106)

14027	像素電極
14028	絕緣膜
14029	電發光層
14030	陰極
14032	導電膠材料
17000	密封材料
3501	基底
3502	切換TFT
3503	電流控制TFT
3504	電容
3506	電流供應線
3701	電發光元件
35	汲極接線
36	接線
37	閘電極
38	閘接線
39a	閘電極
39b	閘電極
40	汲極接線
41	第一被動膜
42	平面化膜
43	像素電極
44a	絕緣膜的堤
44b	絕緣膜的堤

(107)

45	發光層
46	電洞注入層
47	陽極
48	第二被動膜
50	像素電極
51a	絕緣膜的堤
51b	絕緣膜的堤
52	發光層
53	電子注入層
54	陰極
3801	源極接線
3802	切換ＴＦＴ
3803	閘接線
3804	電流控制ＴＦＴ
3805	電容
3806	電流供應線
3807	電發光裝置
3808	電流供應線

五、中文發明摘要

發明之名稱：電子裝置

本發明係關於能夠獨立地控制輸出電壓振幅 V_{OUT} 與參考電壓之D／A轉換器電路。D／A轉換器電路會將n位元數位資料（n：自然數）轉換成類比訊號，其中該n位元數位資料的個別位元會控制切換開關、控制連接至該切換開關之電容中的電荷充電及放電、及輸出具有作爲參考電位的偏移電位之類比訊號。

六、英文發明摘要

發明之名稱：**Electronic device**

The present invention relates to a D/A converter circuit which is capable of independently controlling the output voltage amplitude V_{OUT} and the reference voltage. The D/A converter circuit converts "n" bit digital data ("n": natural number) to analog signals, wherein the respective bits of said "n" bit digital data control a switch, control charge and discharge of electric charges in the capacitance connected to said switch, and output analog signals with the offset potential used as a reference potential.

(1)

十、申請專利範圍

1. 一種數位/類比轉換器電路，包含：

多數個電容器；

連接至該多數個電容器之輸出端；

一偏移電源，經過一重設開關而連接至該輸出端；

一第一電壓源以及一第二電壓源；

個別連接至該多數個電容器的多數個開關，以選擇性將該第一與第二電壓源中的一個連接至對應之電容器。

2. 一種顯示裝置，包含一數位/類比轉換器電路，該數位/類比轉換器電路包含：

多數個電容器；

一輸出端，連接至該多數個電容器；

一偏移電源，經過一重設開關而連接至該輸出端；

一第一電壓源以及一第二電壓源；

個別連接至該多數個電容器的多數個開關，以選擇性將該第一與第二電壓源中的一個連接至對應之電容器。

3. 如申請專利範圍第 2 項之顯示裝置，其中該顯示裝置係可選自以數位相機、靜態相機、投影機、頭戴式顯示器、汽車導航單元、個人電腦、可攜式資訊終端機、前照式投影機、後照式投影機所構成之群組。

4. 如申請專利範圍第 2 項之顯示裝置，其中該顯示係爲 EL 顯示裝置。

5. 一種電子裝置，包含一數位/類比轉換器電路，包含：

(2)

多數個電容器；

一輸出端，連接至該多數個電容器；

一偏移電源，經過一重設開關而連接至該輸出端；

一第一電壓源以及一第二電壓源；

個別連接至該多數個電容器的多數個開關，以選擇性將該第一與第二電壓源中的一個連接至對應之電容器。

6. 如申請專利範圍第 5 項之電子裝置，其中該顯示裝置係可選自以數位相機、靜態相機、投影機、頭戴式顯示器、汽車導航單元、個人電腦、可攜式資訊終端機、前照式投影機、後照式投影機所構成之群組。

7. 如申請專利範圍第 5 項之電子裝置，其中該電子裝置係爲 EL 顯示裝置。

8. 一種數位/類比轉換器電路，包含：

n 個電容器，其中該第 i 個電容器具有 $2^{i-1}C$ 之電容量，其中 i 係爲自然數而 C 係爲固定數；

一輸出端，連接至該 n 個電容器；

一偏移電源，經過一重設開關而連接至該輸出端；

一第一電壓源以及一第二電壓源；

個別連接至 n 個電容器的 n 個開關，以選擇性將該第一與第二電壓源中的一個連接至對應之 n 個電容器。

9. 如申請專利範圍第 8 項之數位/類比轉換器電路，其中一顯示裝置包含該數位/類比轉換器電路，且該顯示裝置係選自以數位相機、靜態相機、投影機、頭戴式顯示器、汽車導航單元、個人電腦、可攜式資訊終端機、前照

式投影機、後照式投影機所構成之群組。

10. 如申請專利範圍第 9 項之數位/類比轉換器電路，其中該顯示裝置係爲 EL 顯示裝置。

11. 一種主動矩陣式液晶顯示裝置，包含一數位/類比轉換器電路包含：

多數個電容器；

連接至該多數個電容器之輸出端；

一偏移電源，經過一重設開關而連接至該輸出端；

一第一電壓源以及一第二電壓源；

個別連接至該多數個電容器的多數個開關，以選擇性將該第一與第二電壓源中的一個連接至對應之電容器。

12. 如申請專利範圍第 11 項之主動矩陣式液晶顯示裝置，其中該液晶顯示裝置包含一無起始反鐵電體混合液晶。

13. 如申請專利範圍第 11 項之主動矩陣式液晶顯示裝置，其中該液晶顯示裝置係選自以數位相機、靜態相機、投影機、頭戴式顯示器、汽車導航單元、個人電腦、可攜式資訊終端機、前照式投影機、後照式投影機所構成之群組。

14. 一種主動矩陣式 EL 顯示裝置，包含一數位/類比轉換器電路，包含：

多數個電容器；

連接至該多數個電容器之輸出端；

一偏移電源，經過一重設開關而連接至該輸出端；

(4)

一第一電壓源以及一第二電壓源；

個別連接至該多數個電容器的多數個開關，以選擇性將該第一與第二電壓源中的一個連接至對應之電容器。

15. 如申請專利範圍第 14 項之主動矩陣式 EL 顯示裝置，其中該 EL 顯示裝置係選自以數位相機、靜態相機、投影機、頭戴式顯示器、汽車導航單元、個人電腦、可攜式資訊終端機、前照式投影機、後照式投影機所構成之群組。

16. 一種數位/類比轉換器電路，用以轉換”n”個位元數位資料至類比信號，包含：

”m”個開關，其由該”n”個位元數位資料之較低位”m”個之個別位元所控制（”m”以及”n”爲自然數，且 m<n）;以及

”n-m”個開關，其係由”n”個位元數位資料之較高”n-m”個之個別位元所控制；

”m”個電容器，連接至每個該”m”個開關，其中被連接至該 m 個開關之第 k 個開關之”m”個電容器中的一個的電容量係爲 $2^{k-1}C$,其中 C 爲單位電容；

”n-m”個電容器被連接至每個該”n-m”個開關，其中連接至”n-m”個開關的第 i 個開關的”n-m”的一個的電容量係爲 $2^{i-1}C$；

一耦合電容器；以及

二重設開關；

其中兩個電源以及一偏移電源係連接至該數位/類比

轉換器電路；

每個該”m”開關以及”n-m”開關係選擇兩個電源中之其中一個；

該二重設開關控制電荷之充電至該”m”個電容器以及”n-m”之電容器中；以及

類比信號被輸出自通常連接至該”n-m”電容器之端部，而具有將該偏移電源之電位用爲參考電位。

17. 一種數位/類比轉換器電路，包含：

一較低位元電路部分，由”n”位元數位資料之較低”m”位元所控制，其中n與m係爲自然數且n大於m，該較低位元電路部分包括由個別較低位元所控制的m個開關以及連接至該m個開關的”m”個電容器，其中連接至該m個開關第k個開關之”m”個電容器中之一個的電容量係爲$2^{k-1}C$,而C係爲單位電容量；

一較高位元電路部分，由”n”位元數位資料之較高”n-m”位元所控制，該較高位元電路部分包括由個別”n-m”個位元所控制的”n-m”個開關以及連接至該”n-m”個開關之”n-m”個電容器，其中連接至”n-m”個開關之第i個開關之”n-m”個開關的一個之電容量係爲$2^{i-1}C$;

一耦合電容器，係連接於較低位元電路部分以及較高位元電路部分之間；以及

二重設開關；

其中二電源以及一偏移電源係連接至該數位/類比轉

換器電路，

該二重設開關係控制電荷之充電至該較低位元電路之個別電容器以及該較高位元電路部分之個別電容器中；

該偏移電源係連接至該較高位元電路部分之個別電容器之共同連接端；

較低位元電路部分之”m”個開關的每一個係根據位元資訊而選擇該二電源中的一個，並對於該”m”個電容器的一個而控制電荷之充電；

該較高位元電路部分之”n-m”個開關的每一個係根據位元資訊而選擇該二電源中的一個，並對應於”n-m”個電容器之一個而控制電荷之充電以及放電；以及

類比信號被輸出自通常連接至該”n-m”電容器之端部，而具有將該偏移電源之電位用爲參考電位。

18. 一種數位/類比轉換器電路，包含：

一較低位元電路部分，由”n”位元數位資料之較低”m”位元所控制，其中n與m係爲自然數且n大於m，該較低位元電路部分包括由個別較低位元所控制的m個開關以及連接至該m個開關的”m”個電容器，其中連接至該m個開關第k個開關之”m”個電容器中之一個的電容量係爲$2^{k-1}C$,而C係爲單位電容量；

一較高位元電路部分，由”n”位元數位資料之較高”n-m”位元所控制，該較高位元電路部分包括由個別”n-m”個位元所控制的”n-m”個開關以及連接至該”n-m”個開關之”n-m”個電容器，其中連接至”n-m”個

(7)

開關之第 i 個開關之”n-m”個開關的一個之電容量係爲 $2^{i-1}C$;

一耦合電容器，係連接於較低位元電路部分以及較高位元電路部分之間，其中該耦合電容器之電容量係等於該單位電容量；以及

二重設開關；

其中二電源 VH 以及 VL 以及一偏移電源 VB 係連接至該數位/類比轉換器電路，

該偏移電源 VB 係連接至該較高位元電路部分之個別電容器之共同連接端；以及

自該共同連接端而輸出之輸出電壓 VOUT 係爲

$$V_{out} = V_B + \frac{\left(c_1 + 2^m \cdot c_3\right)}{\left(2^n - 1\right) \cdot c} \cdot \alpha \cdot \left(V_H - V_L\right)$$

其中 $\alpha = \dfrac{1}{1 + \dfrac{2^m}{2^n - 1} \cdot \dfrac{c_L}{c}}$，且

其中 c_1, c_3, c_L 爲合成電容值。

19. 一種具有主動矩陣式顯示裝置之電子裝置，該顯示裝置具有數位/類比轉換電路，用以將”n”個位元數位資料轉換爲類比信號；

其中該”n”個位元數位資料之個別位元係控制”n”個開關並個別控制在連接至該”n”個開關之”n”個電容器中之電荷之充電以及放電；且

類比信號被輸出，而具有一偏移電壓而作爲參考電位。

(8)

20. 一種具有主動式矩陣顯示裝置之電子裝置，該顯示裝置具有數位/類比轉換器電路以將”n”位元之數位資料轉換爲類比信號，包含：

”m”個開關，其由該”n”個位元數位資料之較低位”m”個之個別位元所控制（”m”以及”n”爲自然數，且 m<n）;以及

”n-m”個開關，其係由”n”個位元數位資料之較高”n-m”個之個別位元所控制；

”m”個電容器，連接至每個該”m”個開關，其中被連接至該 m 個開關之第 k 個開關之”m”個電容器中的一個的電容量係爲 $2^{k-1}C$,其中 C 爲單位電容；

”n-m”個電容器被連接至每個該”n-m”個開關，其中連接至”n-m”個開關的第 i 個開關的”n-m”的一個的電容量係爲 $2^{i-1}C$；

一耦合電容器；以及

二重設開關；

其中兩個電源以及一偏移電源係連接至該數位/類比轉換器電路；

每個該”m”開關以及”n-m”開關係選擇兩個電源中之其中一個；

該二重設開關控制電荷之充電至該”m”個電容器以及”n-m”之電容器中；以及

類比信號被輸出自通常連接至該”n-m”電容器之端部，而具有將該偏移電源之電位用爲參考電位。

(9)

21. 一種具有主動式矩陣顯示裝置之電子裝置，該顯示裝置具有數位/類比轉換器，包含：

一較低位元電路部分，由”n”位元數位資料之較低”m”位元所控制，其中n與m係爲自然數且n大於m，該較低位元電路部分包括由個別較低位元所控制的m個開關以及連接至該m個開關的”m”個電容器，其中連接至該m個開關第k個開關之”m”個電容器中之一個的電容量係爲$2^{k-1}C$,而C係爲單位電容量；

一較高位元電路部分，由”n”位元數位資料之較高”n-m”位元所控制，該較高位元電路部分包括由個別”n-m”個位元所控制的”n-m”個開關以及連接至該”n-m”個開關之”n-m”個電容器，其中連接至”n-m”個開關之第i個開關之”n-m”個開關的一個之電容量係爲$2^{i-1}C$;

一耦合電容器，係連接於較低位元電路部分以及較高位元電路部分之間；以及

二重設開關；

其中二電源以及一偏移電源係連接至該數位/類比轉換器電路，

該二重設開關係控制電荷之充電至該較低位元電路之個別電容器以及該較高位元電路部分之個別電容器中；

該偏移電源係連接至該較高位元電路部分之個別電容器之共同連接端；

較低位元電路部分之”m”個開關的每一個係根據位

元資訊而選擇該二電源中的一個，並對於該”m”個電容器的一個而控制電荷之充電；

該較高位元電路部分之”n-m”個開關的每一個係根據位元資訊而選擇該二電源中的一個，並對應於”n-m”個電容器之一個而控制電荷之充電以及放電；以及

類比信號被輸出自通常連接至該”n-m”電容器之端部，而具有將該偏移電源之電位用爲參考電位。

22. 一種具有主動式矩陣顯示裝置之電子裝置，該顯示裝置具有數位/類比轉換器，包含：

一較低位元電路部分，由”n”位元數位資料之較低”m”位元所控制，其中n與m係爲自然數且n大於m，該較低位元電路部分包括由個別較低位元所控制的m個開關以及連接至該m個開關的”m”個電容器，其中連接至該m個開關第k個開關之”m”個電容器中之一個的電容量係爲$2^{k-1}C$,而C係爲單位電容量；

一較高位元電路部分，由”n”位元數位資料之較高”n-m”位元所控制，該較高位元電路部分包括由個別”n-m”個位元所控制的”n-m”個開關以及連接至該”n-m”個開關之”n-m”個電容器，其中連接至”n-m”個開關之第i個開關之”n-m”個開關的一個之電容量係爲$2^{i-1}C$;

一耦合電容器，係連接於較低位元電路部分以及較高位元電路部分之間，其中該耦合電容器之電容量係等於該單位電容量；以及

(11)

二重設開關；

其中二電源 VH 以及 VL 以及一偏移電源 VB 係連接至該數位/類比轉換器電路，

該偏移電源 VB 係連接至該較高位元電路部分之個別電容器之共同連接端；以及

自該共同連接端而輸出之輸出電壓 VOUT 係爲

$$V_{out} = V_B + \frac{\left(c_1 + 2^m \cdot c_3\right)}{\left(2^n - 1\right) \cdot c} \cdot \alpha \cdot \left(V_H - V_L\right)$$

其中 $\alpha = \dfrac{1}{1 + \dfrac{2^m}{2^n - 1} \cdot \dfrac{c_L}{c}}$，且

其中 c_1, c_3, c_L 爲合成電容值。

23. 如申請專利範圍第 19 項之電子裝置，其中該顯示裝置係爲電激發光顯示裝置。

24. 如申請專利範圍第 19 項之電子裝置，其中該電子裝置係爲投影機。

25. 如申請專利範圍第 19 項之電子裝置，其中該電子裝置係爲蜂巢式電話。

26. 如申請專利範圍第 19 項之電子裝置，其中該電子裝置係爲視頻照相機。

27. 如申請專利範圍第 19 項之電子裝置，其中該電子裝置係爲行動電腦。

28. 如申請專利範圍第 19 項之電子裝置，其中該電子裝置係爲頭戴式顯示器。

29. 如申請專利範圍第 19 項之電子裝置，其中該電子裝置係爲電子書。

30. 如申請專利範圍第 20 項之電子裝置，其中該顯示裝置係爲電激發光顯示裝置。

31. 如申請專利範圍第 20 項之電子裝置，其中該電子裝置係爲投影機。

32. 如申請專利範圍第 20 項之電子裝置，其中該電子裝置係爲蜂巢式電話。

33. 如申請專利範圍第 20 項之電子裝置，其中該電子裝置係爲視頻照相機。

34. 如申請專利範圍第 20 項之電子裝置，其中該電子裝置係爲行動電腦。

35. 如申請專利範圍第 20 項之電子裝置，其中該電子裝置係爲頭戴式顯示器。

36. 如申請專利範圍第 20 項之電子裝置，其中該電子裝置係爲電子書。

37. 如申請專利範圍第 21 項之電子裝置，其中該顯示裝置係爲電激發光顯示裝置。

38. 如申請專利範圍第 21 項之電子裝置，其中該電子裝置係爲投影機。

39. 如申請專利範圍第 21 項之電子裝置，其中該電子裝置係爲蜂巢式電話。

40. 如申請專利範圍第 21 項之電子裝置，其中該電子裝置係爲視頻照相機。

(13)

41. 如申請專利範圍第 21 項之電子裝置，其中該電子裝置係爲行動電腦。

42. 如申請專利範圍第 21 項之電子裝置，其中該電子裝置係爲頭戴式顯示器。

43. 如申請專利範圍第 21 項之電子裝置，其中該電子裝置係爲電子書。

44. 如申請專利範圍第 22 項之電子裝置，其中該顯示裝置係爲電激發光顯示裝置。

45. 如申請專利範圍第 22 項之電子裝置，其中該電子裝置係爲投影機。

46. 如申請專利範圍第 22 項之電子裝置，其中該電子裝置係爲蜂巢式電話。

47. 如申請專利範圍第 22 項之電子裝置，其中該電子裝置係爲視頻照相機。

48. 如申請專利範圍第 22 項之電子裝置，其中該電子裝置係爲行動電腦。

49. 如申請專利範圍第 22 項之電子裝置，其中該電子裝置係爲頭戴式顯示器。

50. 如申請專利範圍第 22 項之電子裝置，其中該電子裝置係爲電子書。

51. 一種數位/類比轉換器電路，包含：

多數個電容器；

連接至該多數個電容器之輸出端；

連接至該輸出端之負載電容器；

經過一重設開關而連接至該輸出端的一偏移電源；

一第一電壓源以及一第二電壓源；

個別連接至該多數個電容器之多數個開關，以將第一與第二電壓源中之一個選擇性連接至對應電容器。

52. 一種包含數位/類比轉換電路之顯示裝置，該數位/類比轉換器電路，包含：

多數個電容器；

連接至該多數個電容器之輸出端；

連接至該輸出端之負載電容器；

經過一重設開關而連接至該輸出端的一偏移電源；

一第一電壓源以及一第二電壓源；

個別連接至該多數個電容器之多數個開關，以將第一與第二電壓源中之一個選擇性連接至對應電容器。

53. 一種包含數位/類比轉換器電路之電子裝置，包含：

多數個電容器；

連接至該多數個電容器之輸出端；

連接至該輸出端之負載電容器；

經過一重設開關而連接至該輸出端的一偏移電源；

一第一電壓源以及一第二電壓源；

個別連接至該多數個電容器之多數個開關，以將第一與第二電壓源中之一個選擇性連接至對應電容器。

54. 一種數位/類比轉換器電路，包含：

n個電容器，其中第i個電容器具有 $2^{i-1}C$ 之電容量，

其中 i 係爲自然數而 C 係爲固定數；

連接至該 n 個電容器之輸出端；

連接至該輸出端之負載電容器；

經過一重設開關而連接至該輸出端的一偏移電源；

一第一電壓源以及一第二電壓源；

個別連接至該 n 個電容器之 n 個開關，以將第一與第二電壓源中之一個選擇性連接至對應之 n 個電容器。

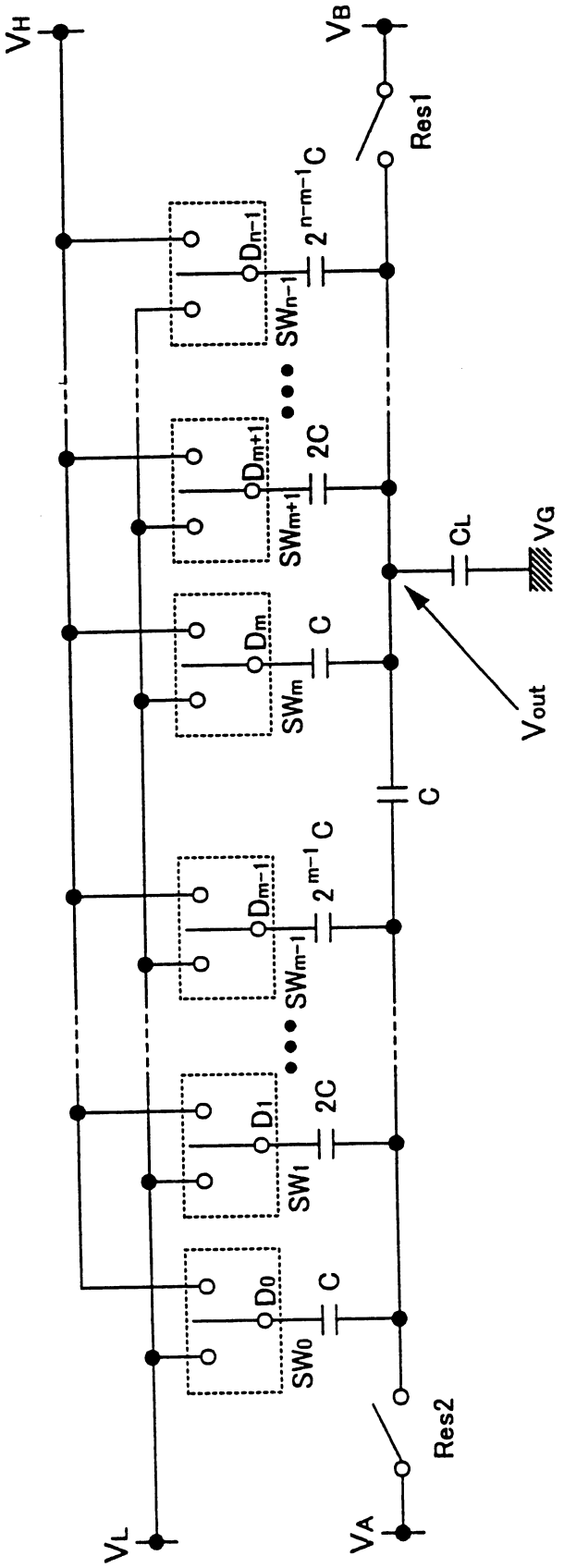

VH
VB
Res1
Dn-1
SWn-1
2n-m-1C
Dm+1
SWm+1
2C
CL
VG
Dm
SWm
C
Vout
C
Dm-1
SWm-1
2m-1C
D1
SW1
2C
D0
SW0
C
Res2
VL
VA

圖 1

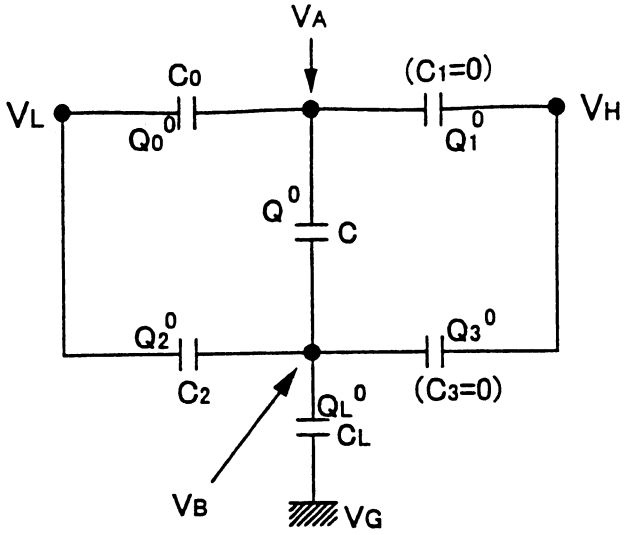


圖 2A

重設週期之後

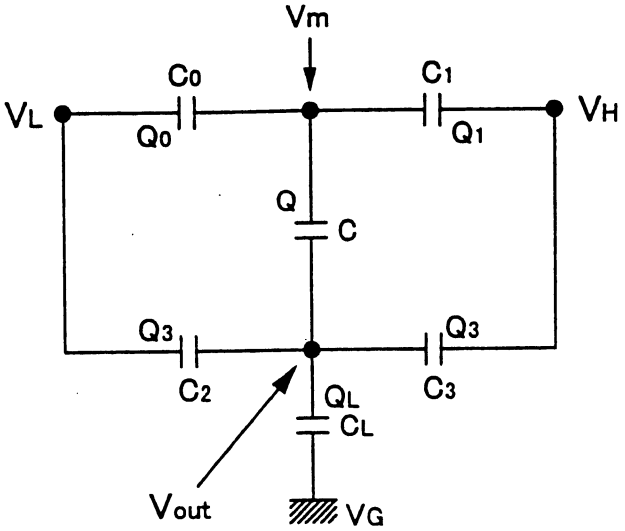


圖 2B

資料寫入週期期間

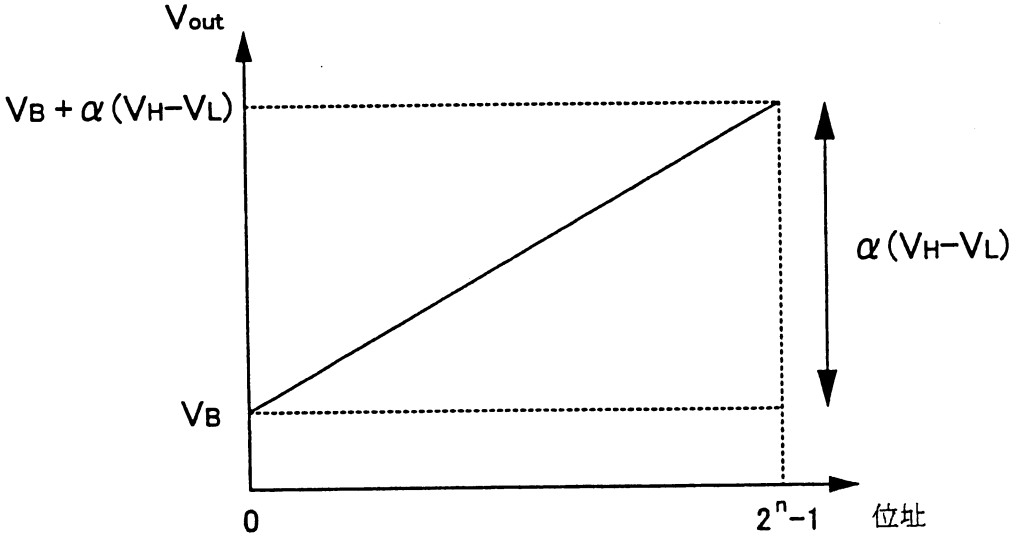


圖 2C

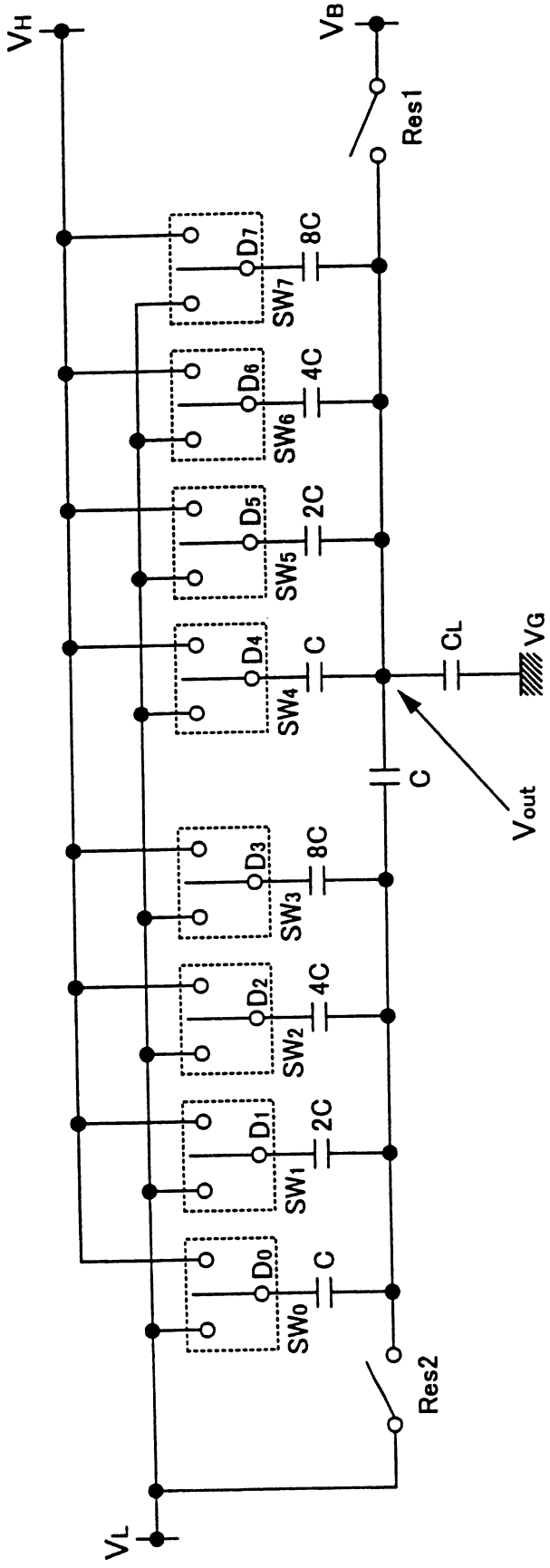

VH
VB
Res1
D7
8C
SW7
D6
4C
SW6
D5
2C
SW5
D4
C
SW4
CL
VG
C
Vout
D3
8C
SW3
D2
4C
SW2
D1
2C
SW1
D0
C
SW0
Res2
VL

圖3

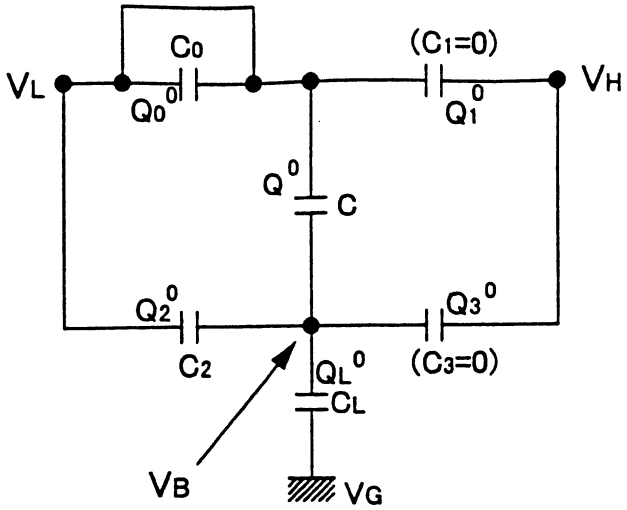


圖4A 重設週期之後

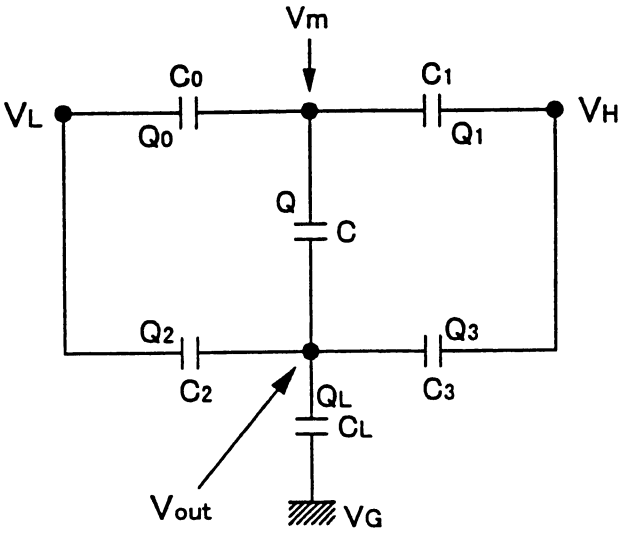


圖4B 資料寫入週期期間

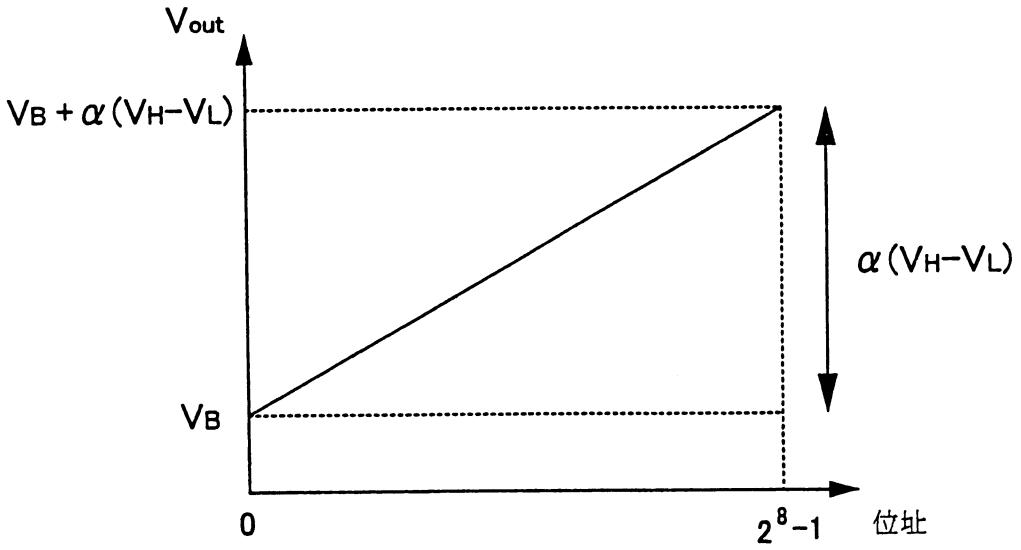


圖4C

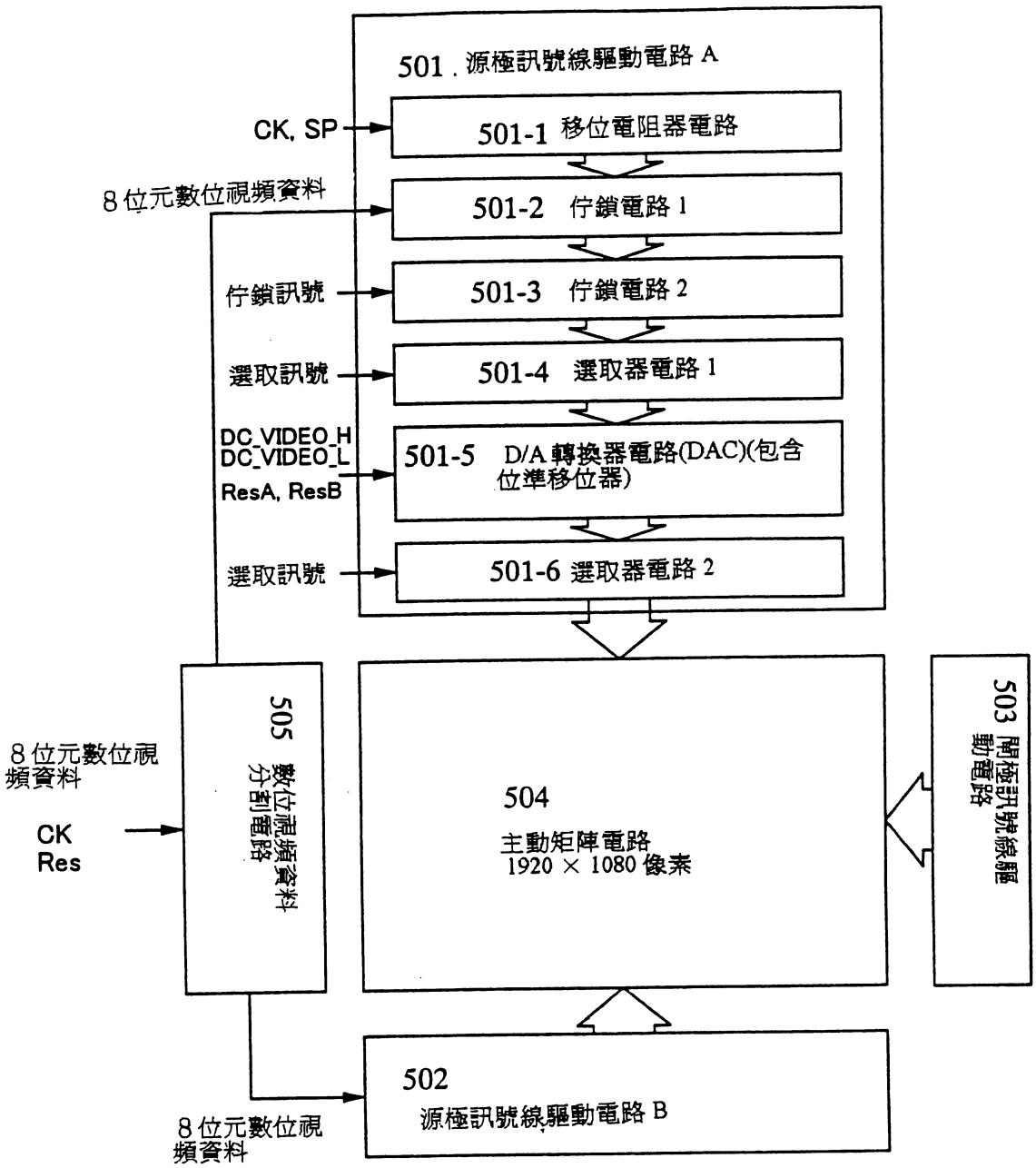

501 . 源極訊號線驅動電路 A
CK, SP
501-1 移位電阻器電路
8位元數位視頻資料
501-2 佇鎖電路 1
佇鎖訊號
501-3 佇鎖電路 2
選取訊號
501-4 選取器電路 1
DC_VIDEO_H
DC_VIDEO_L
ResA, ResB
501-5 D/A 轉換器電路(DAC)(包含位準移位器)
選取訊號
501-6 選取器電路 2
505 數位視頻資料分割電路
504
主動矩陣電路
1920 × 1080 像素
503 閘極訊號線驅動電路
8位元數位視頻資料
CK
Res
502
源極訊號線驅動電路 B
8位元數位視頻資料

圖5

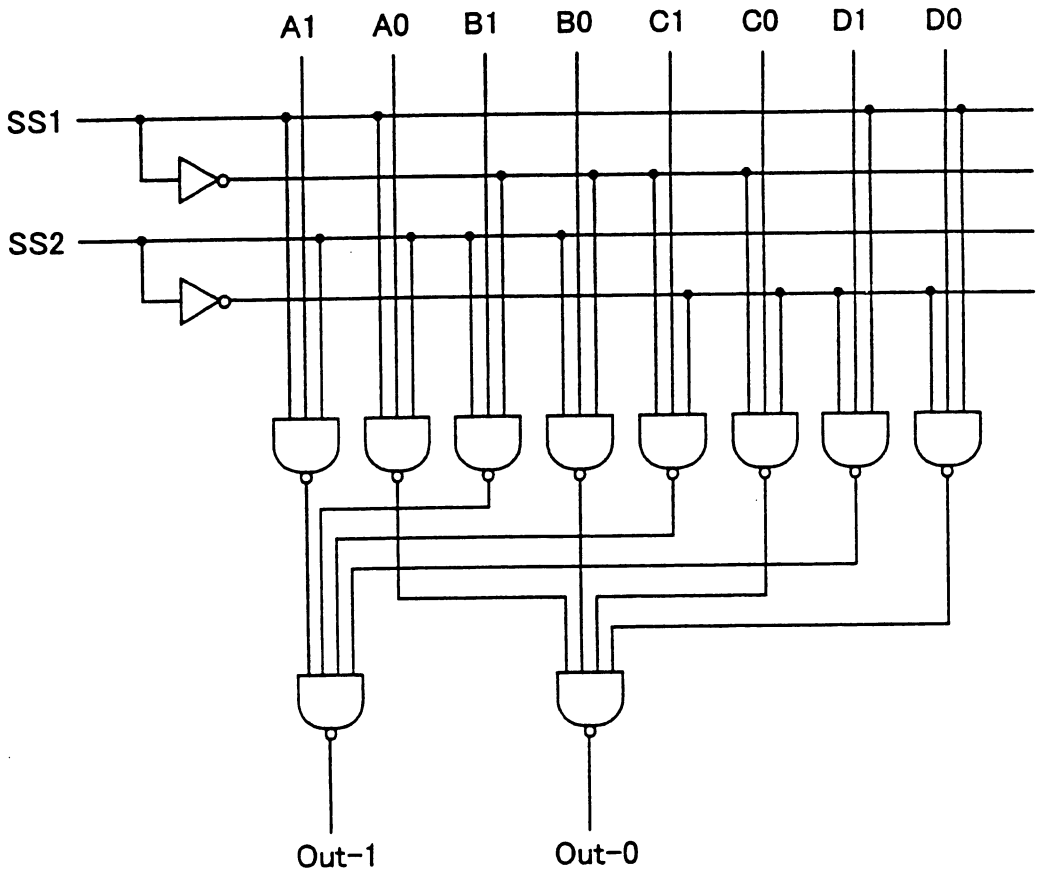


圖6

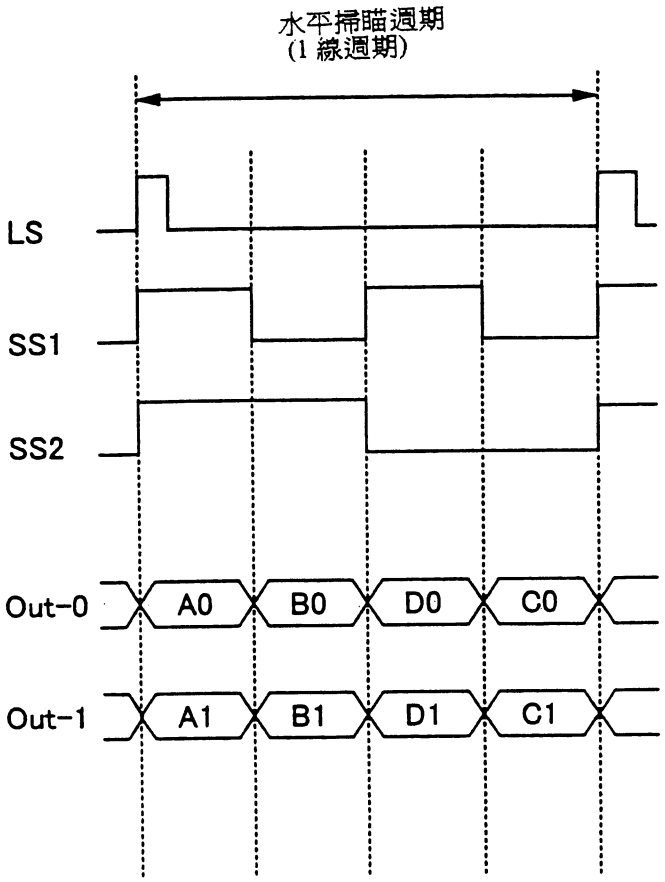


圖7

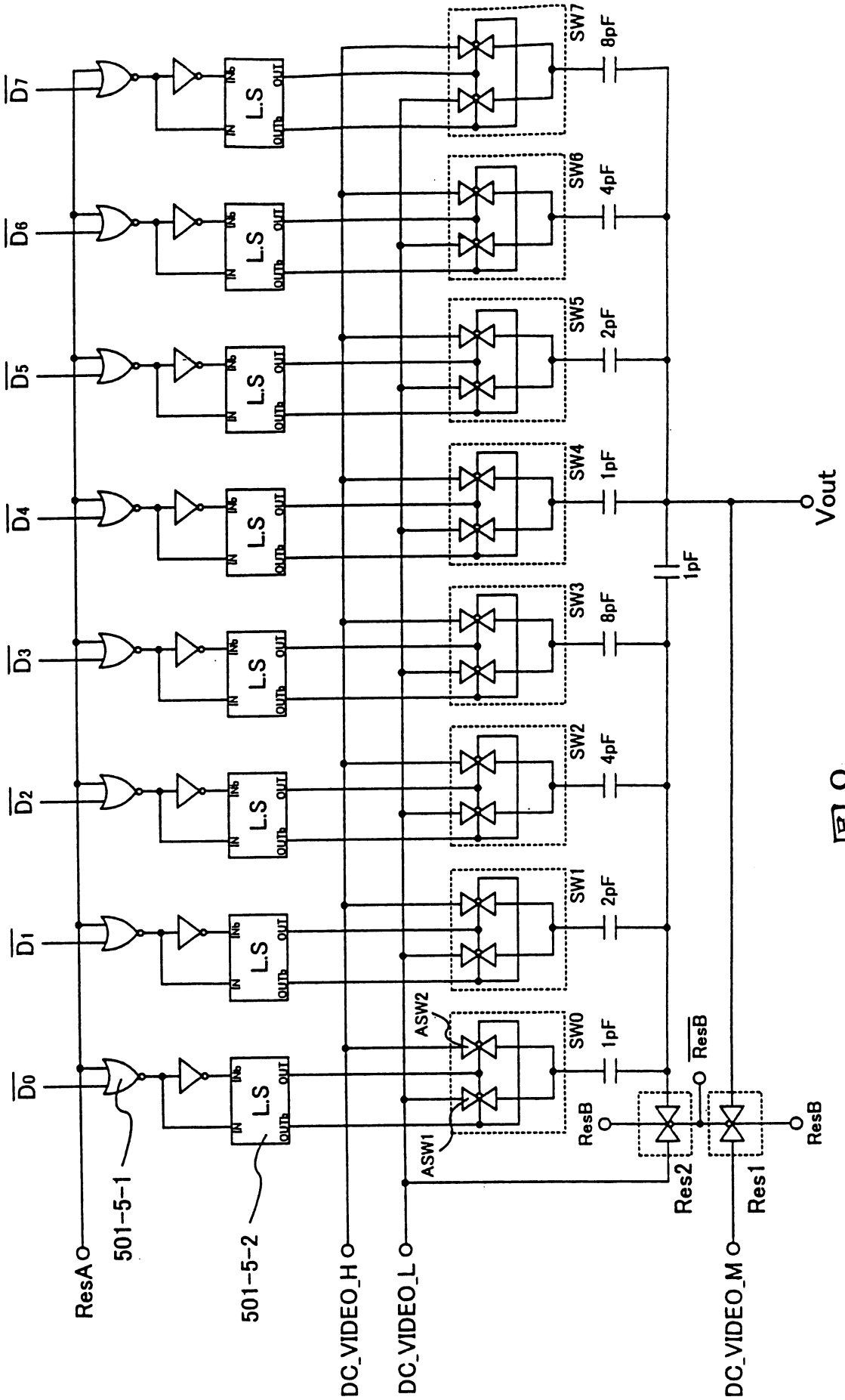
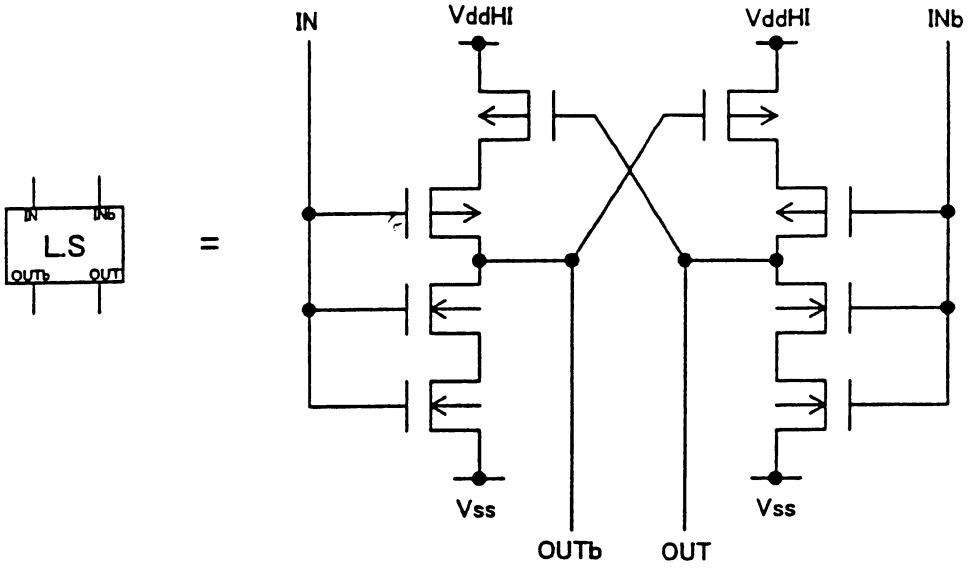
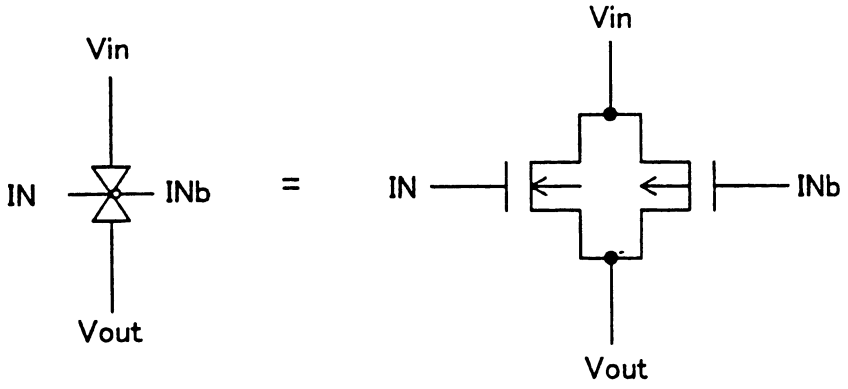

D7
D6
D5
D4
D3
D2
D1
D0
L.S
IN
INb
OUT
OUTb
SW7
SW6
SW5
SW4
SW3
SW2
SW1
SW0
8pF
4pF
2pF
1pF
ASW2
ASW1
ResB
Res2
Res1
Vout
ResA
501-5-1
501-5-2
DC_VIDEO_H
DC_VIDEO_L
DC_VIDEO_M

圖8



位準移位器(L.S)

圖9A



類比開關

圖9B

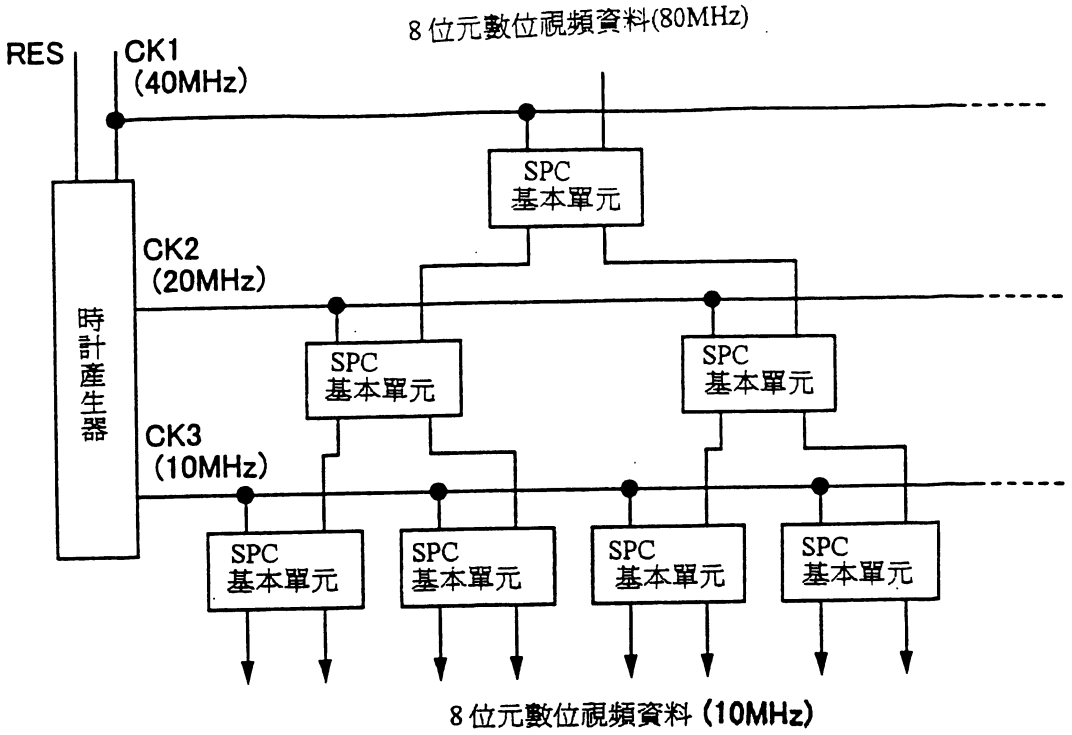

8位元數位視頻資料(80MHz)
RES
CK1
(40MHz)
時計產生器
CK2
(20MHz)
CK3
(10MHz)
SPC
基本單元
SPC
基本單元
SPC
基本單元
SPC
基本單元
SPC
基本單元
SPC
基本單元
SPC
基本單元
8位元數位視頻資料 (10MHz)

圖10A

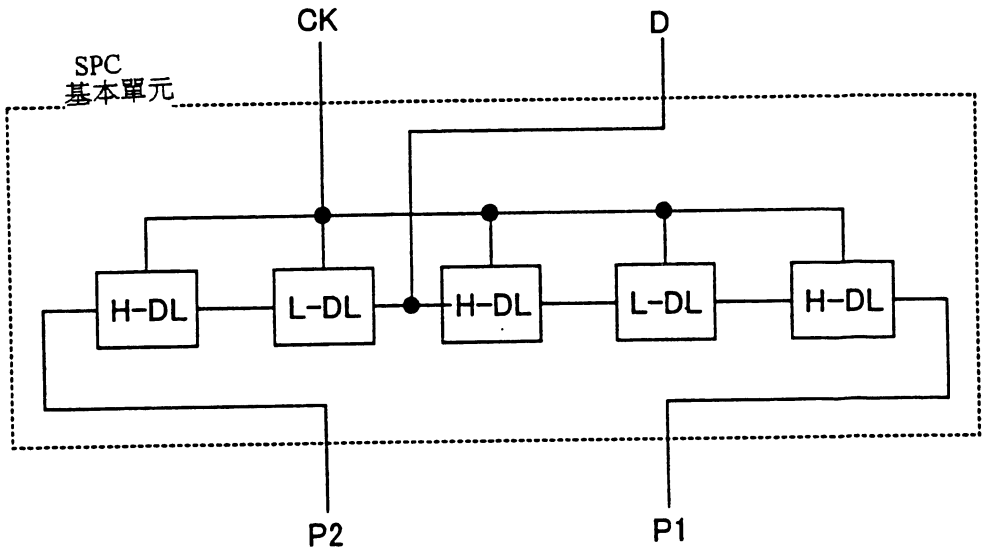

CK
D
SPC
基本單元
H-DL
L-DL
H-DL
L-DL
H-DL
P2
P1

圖10B

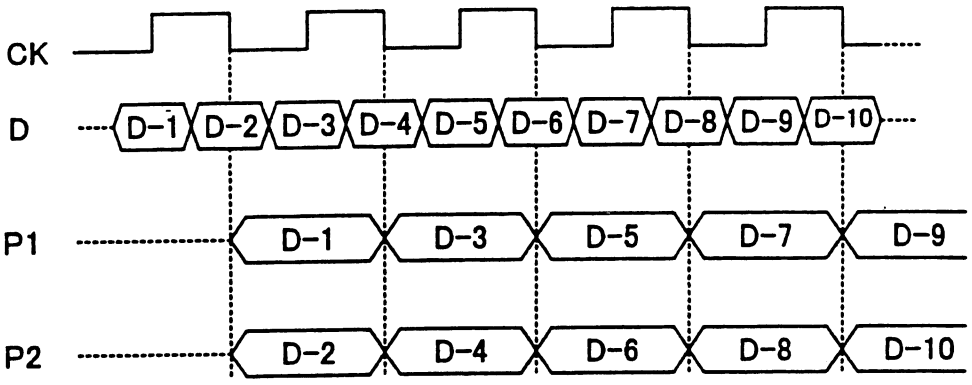


圖11

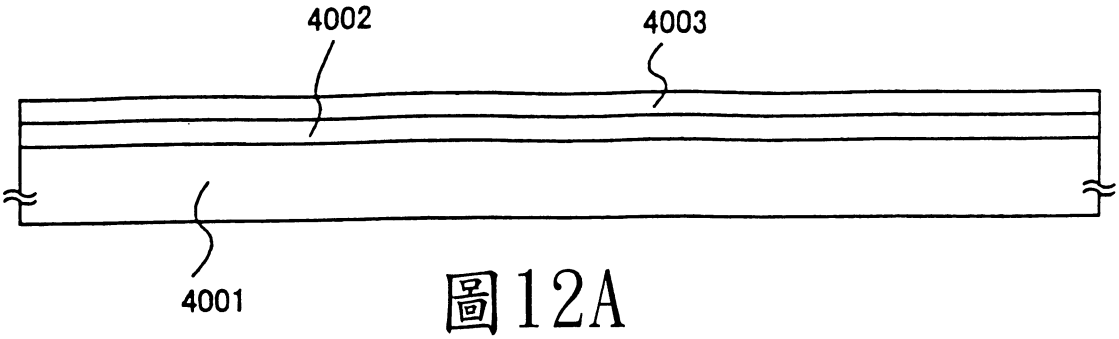


圖12A

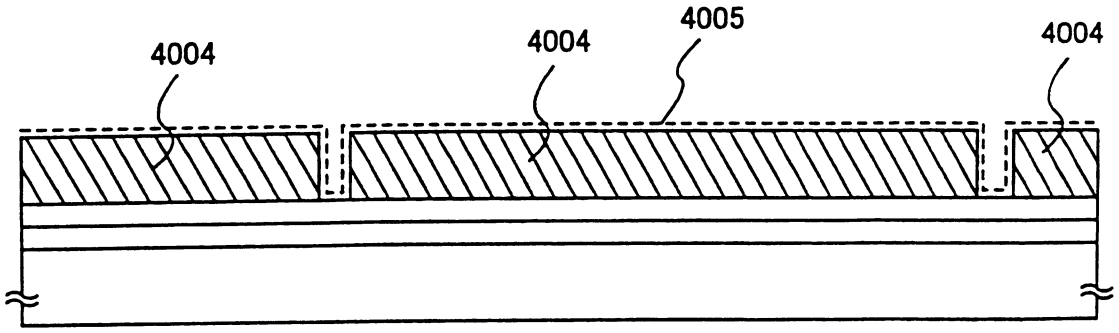


圖12B

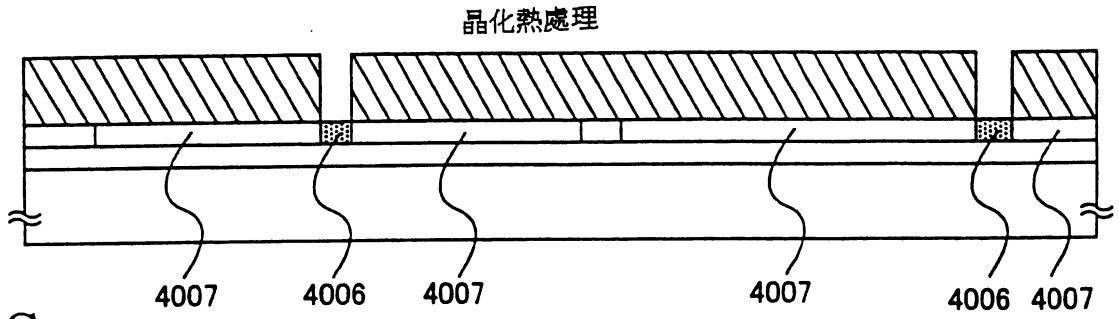


圖12C

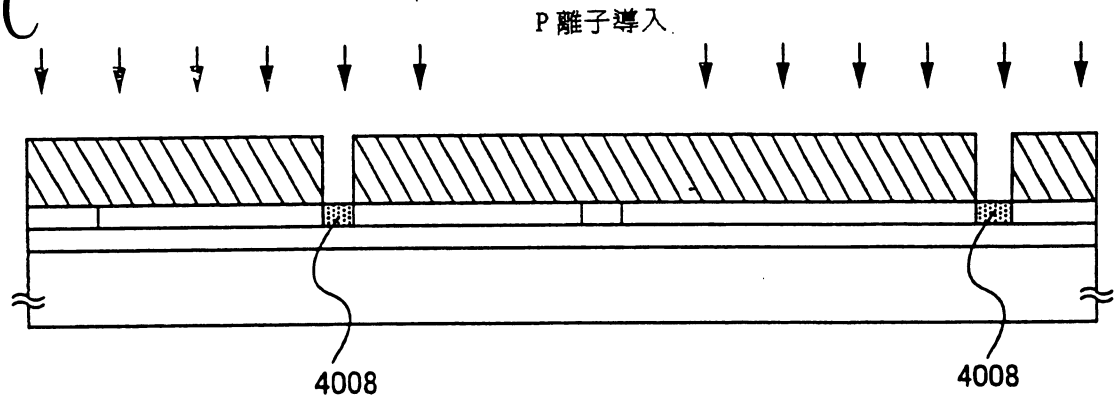


圖12D

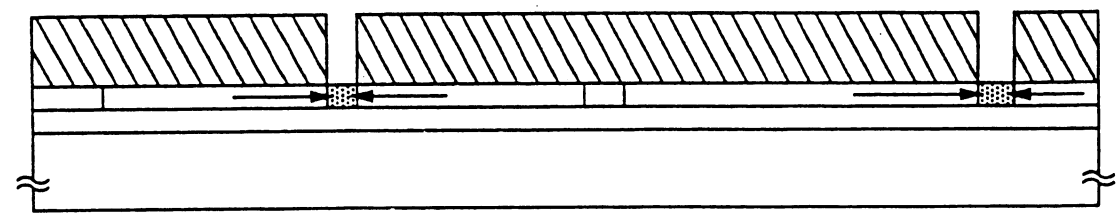


圖12E

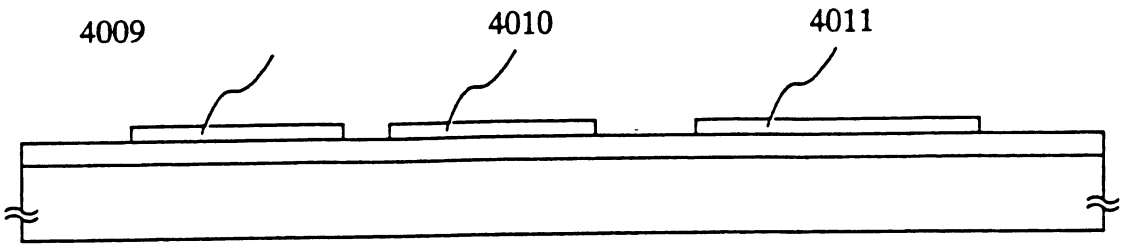


圖13A

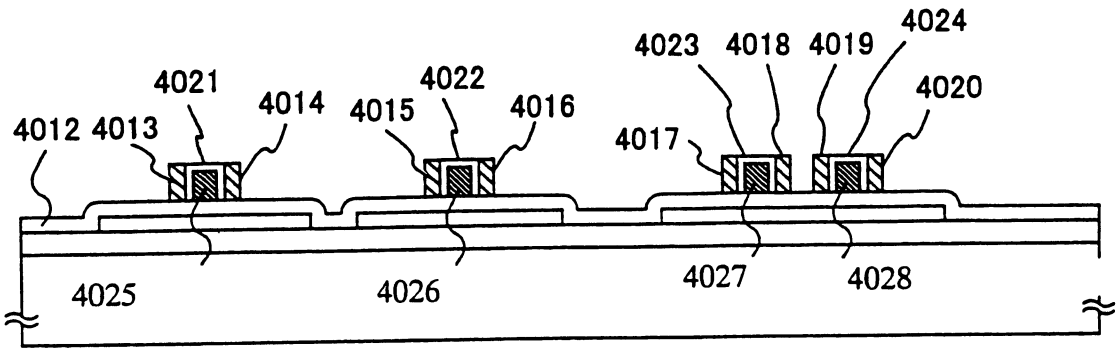


圖13B

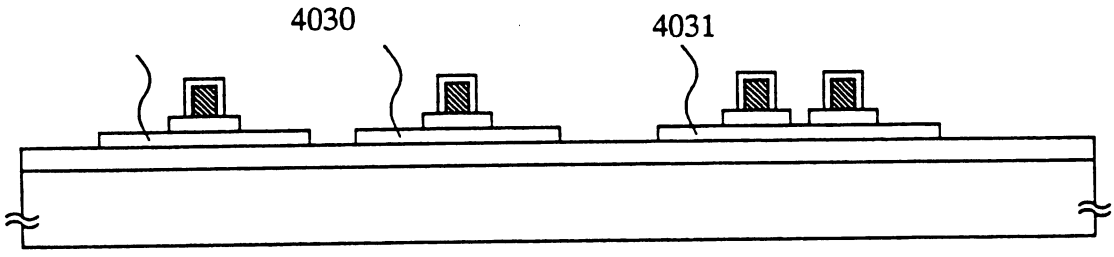


圖13C

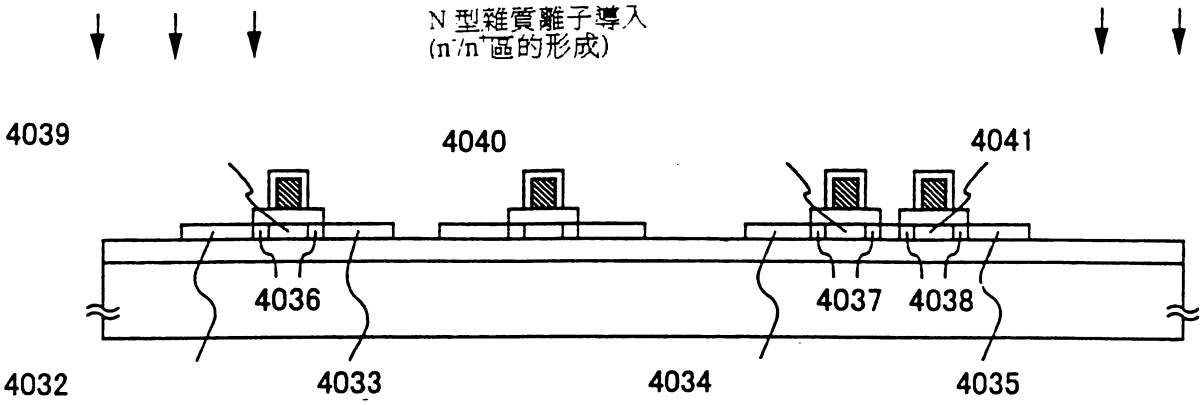


圖14A

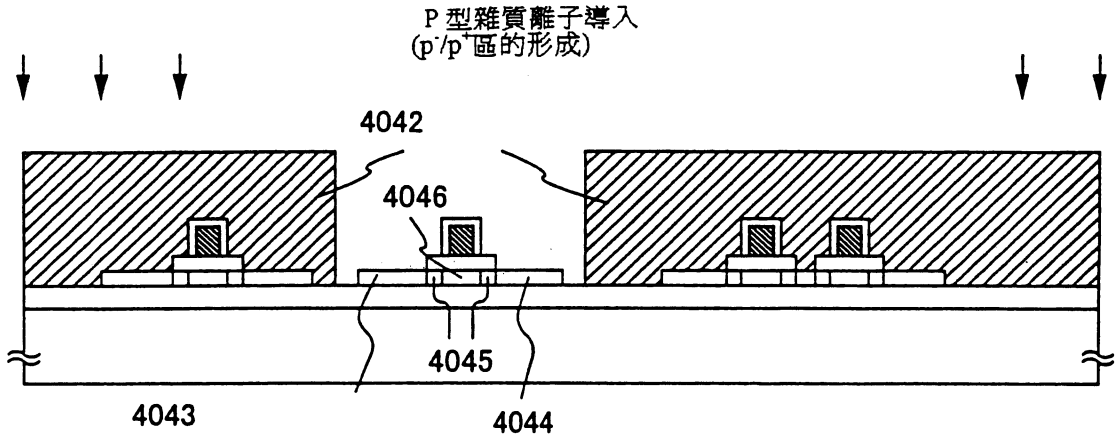


圖14B

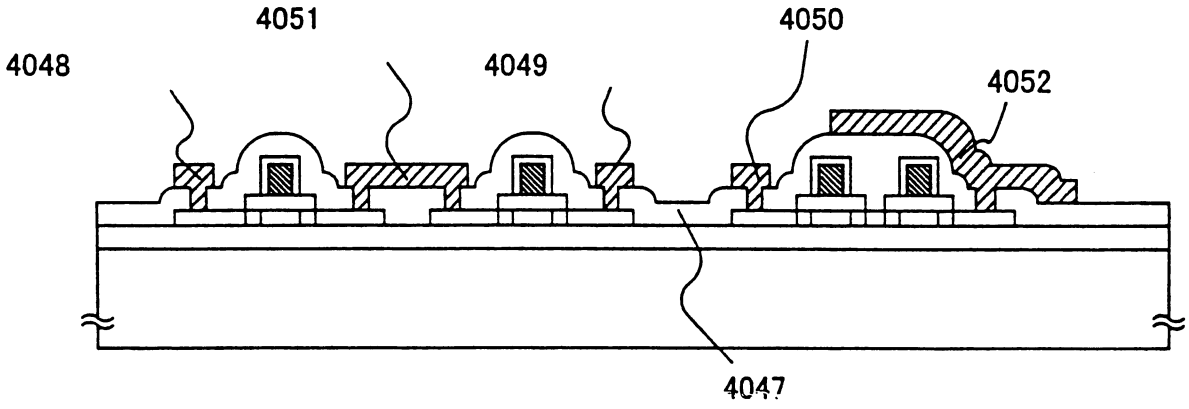


圖14C

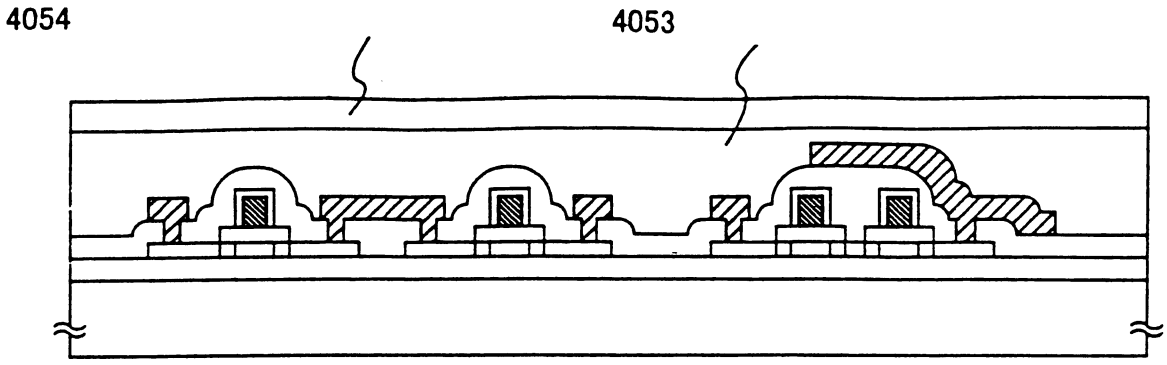


圖15A

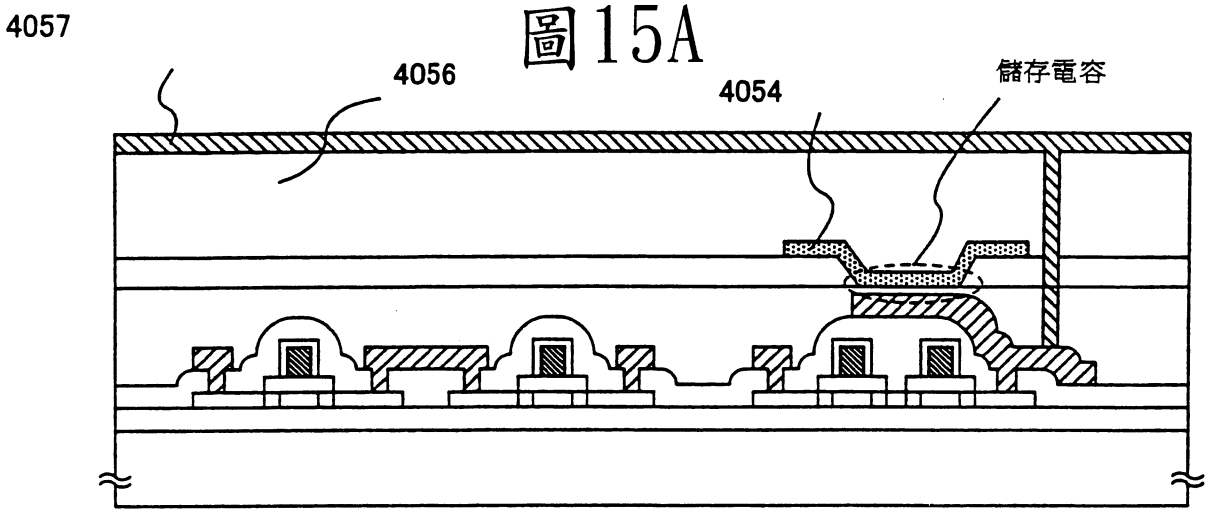


圖15B

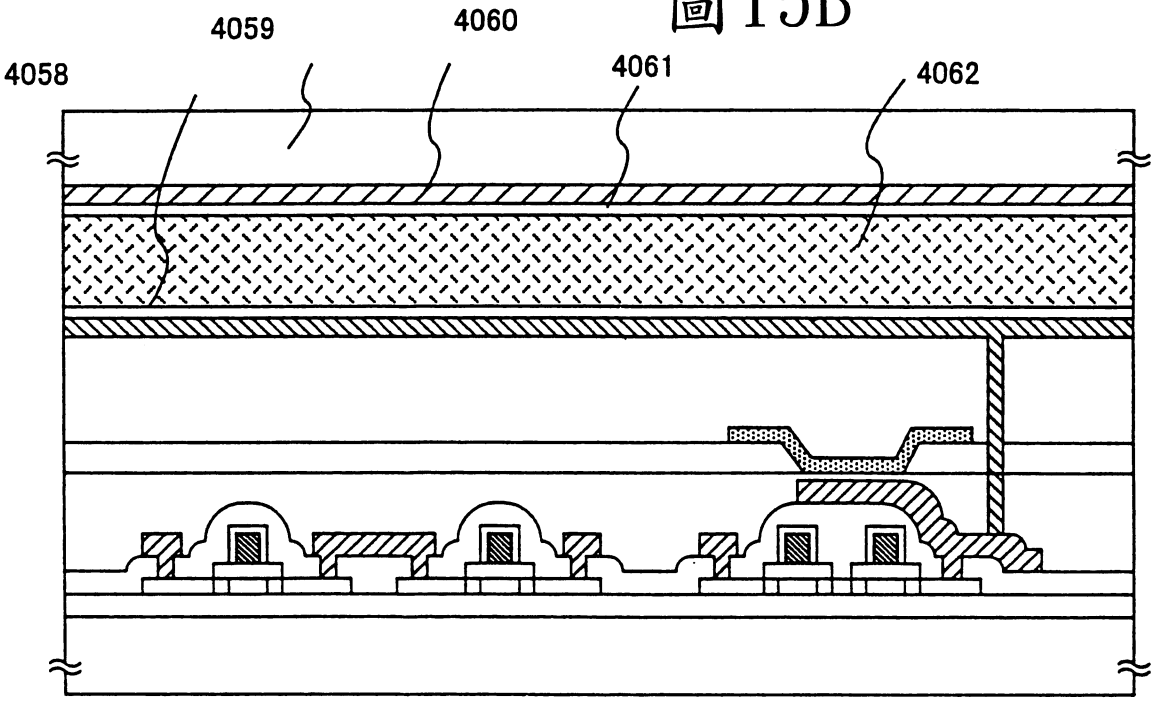


圖15C

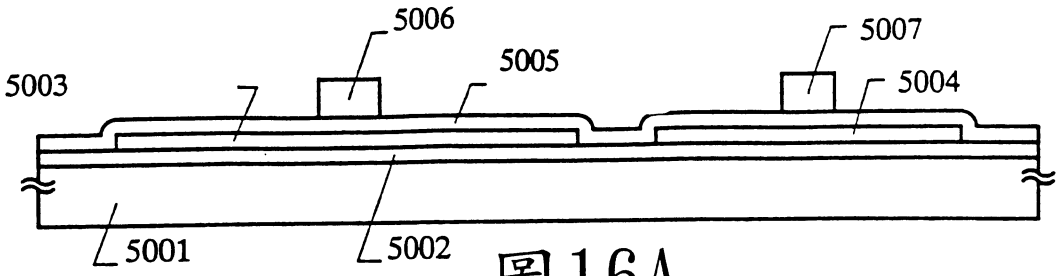


圖16A

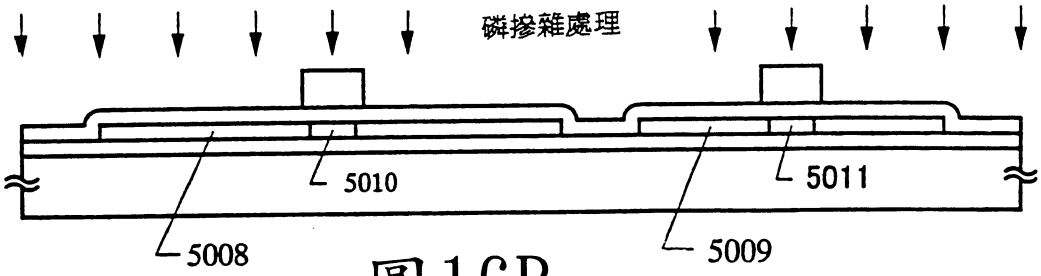


圖16B

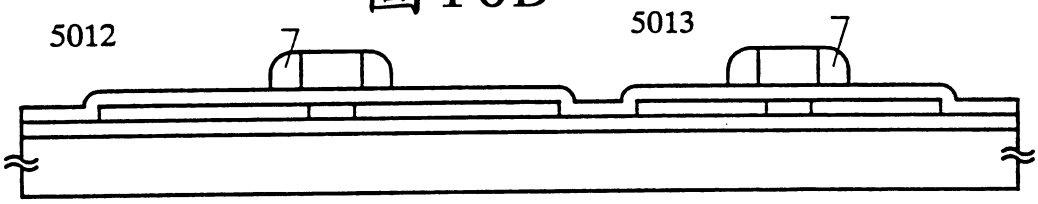


圖16C

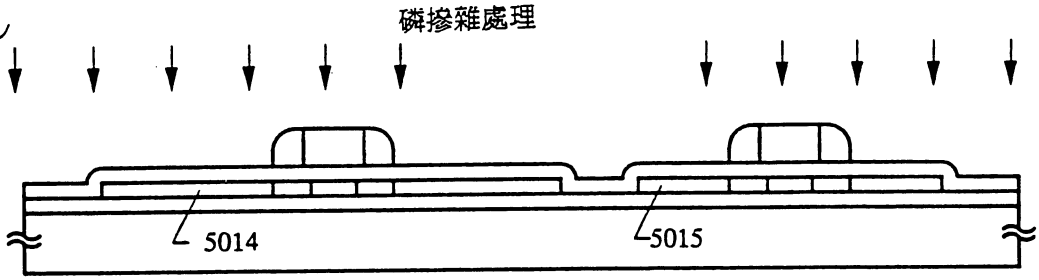


圖16D

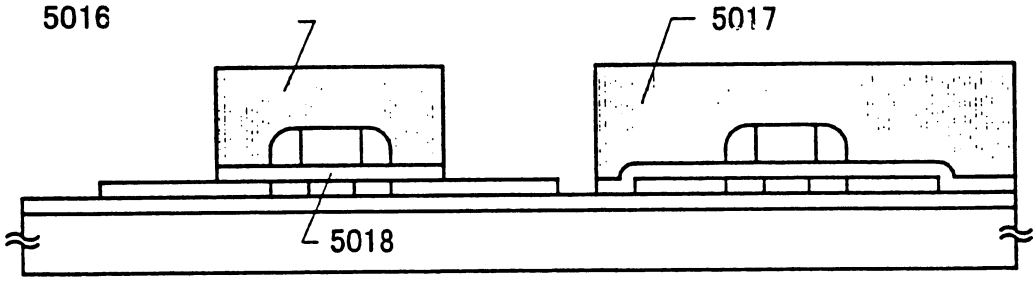


圖16E

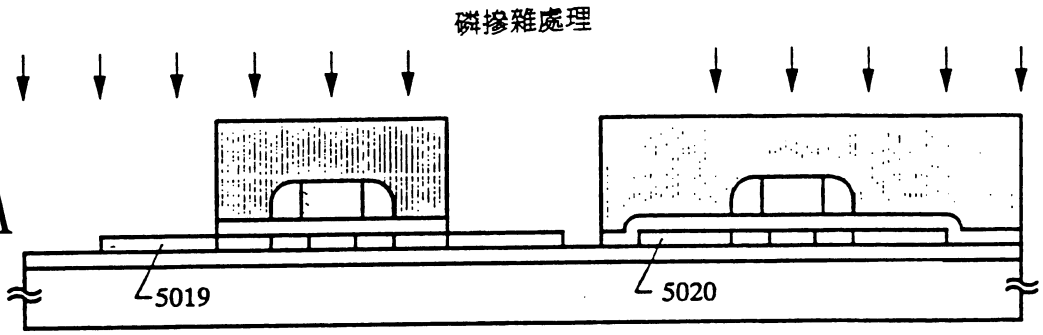


圖17A

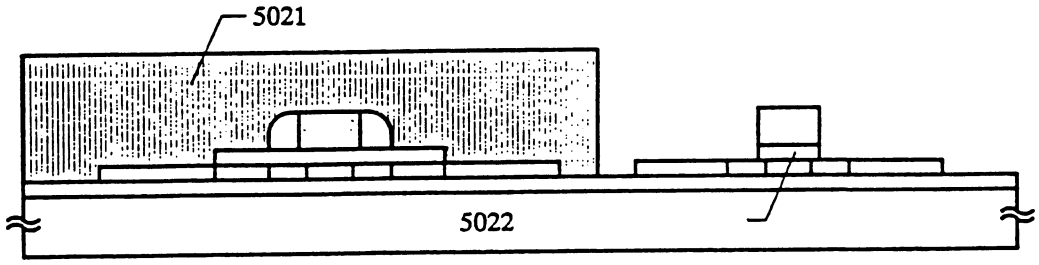


圖17B

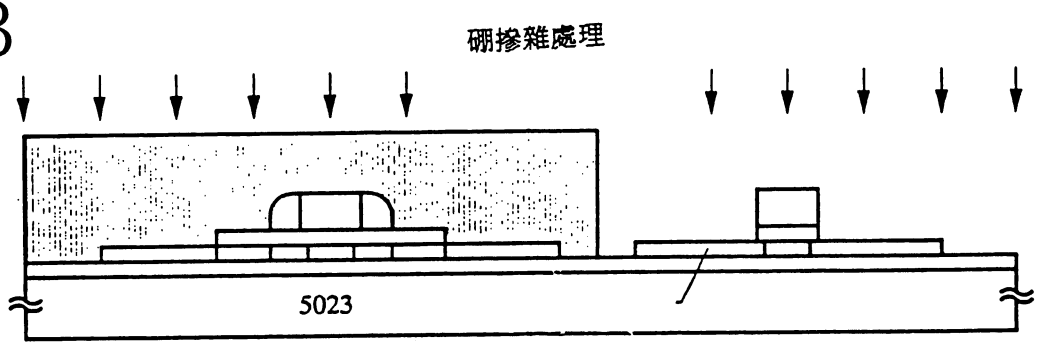


圖17C

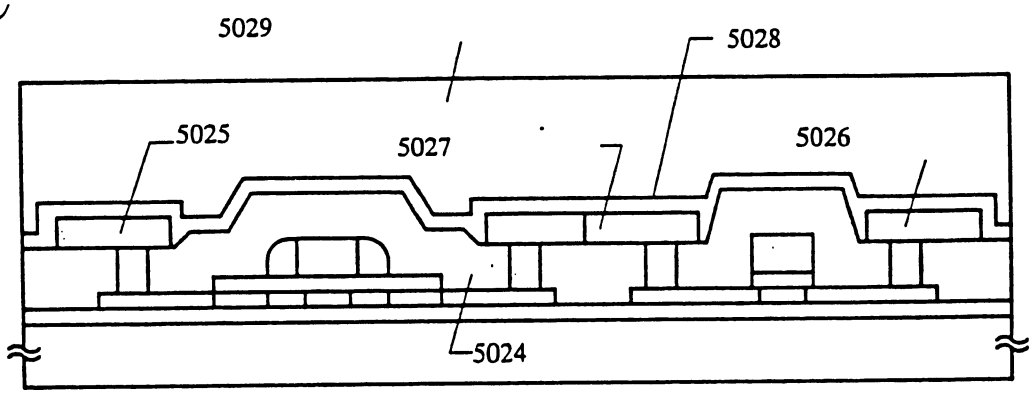


圖17D

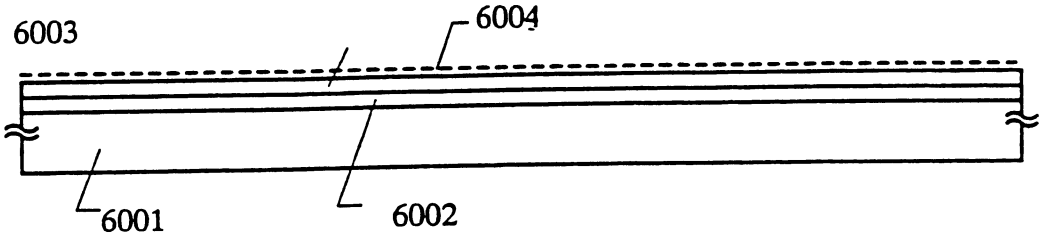


圖18A

晶化步驟

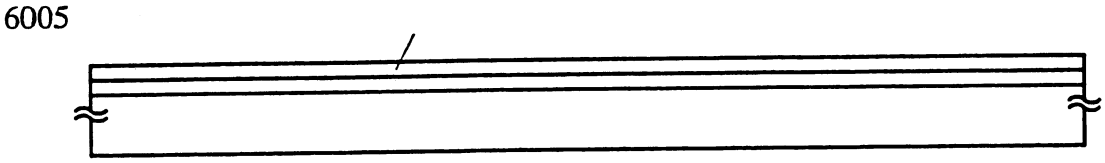


圖18B

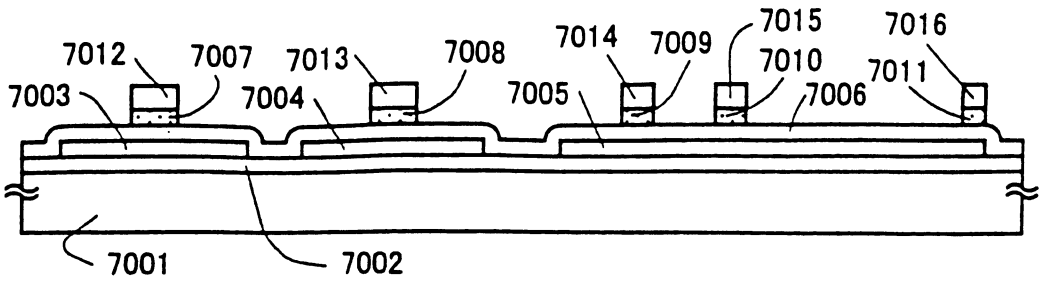


圖19A

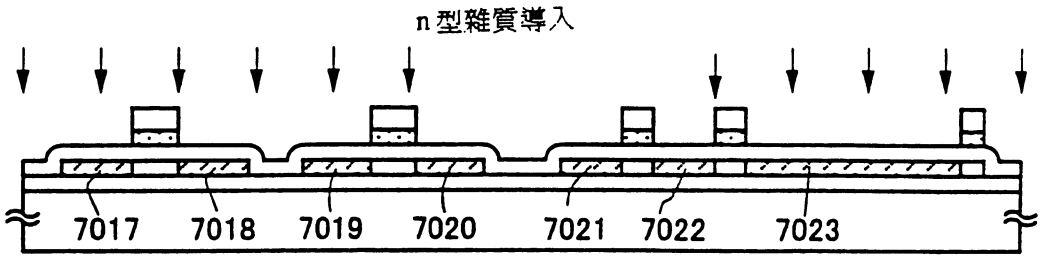


圖19B

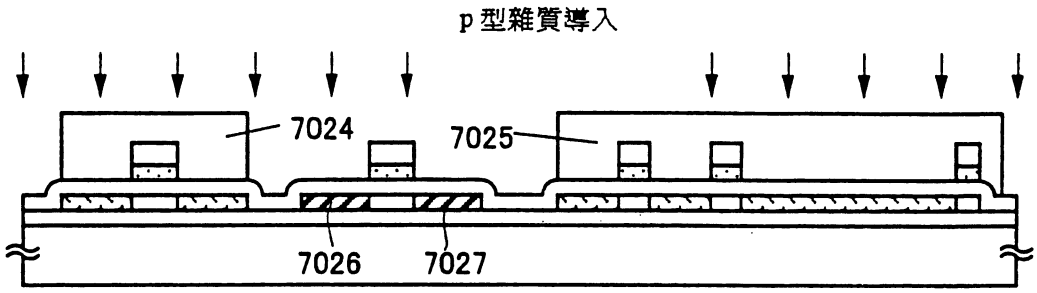


圖19C

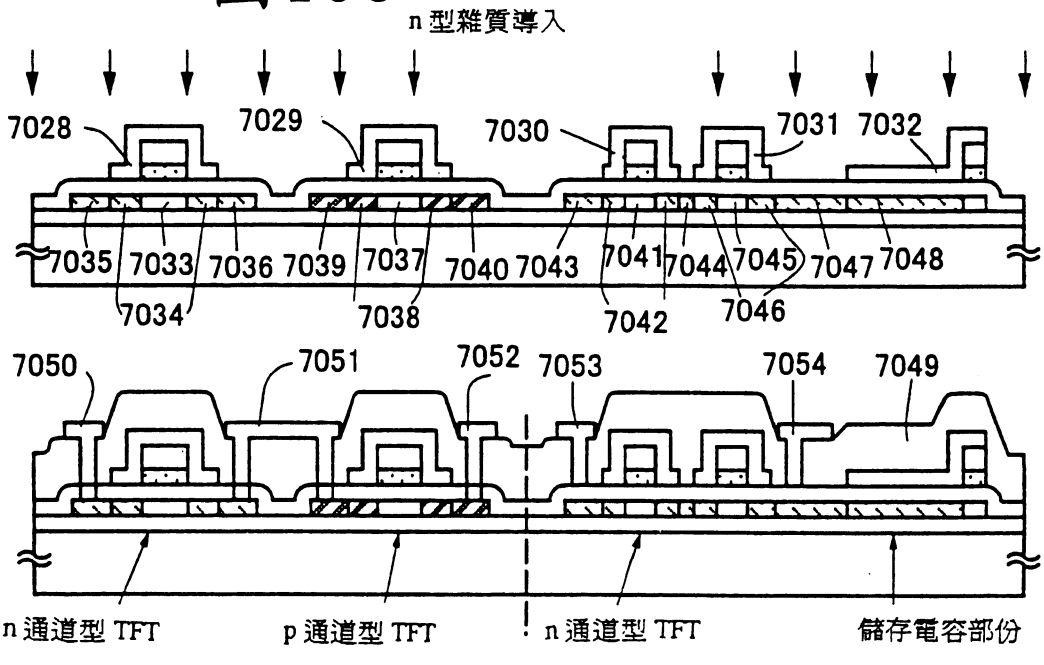


圖19D

圖19E

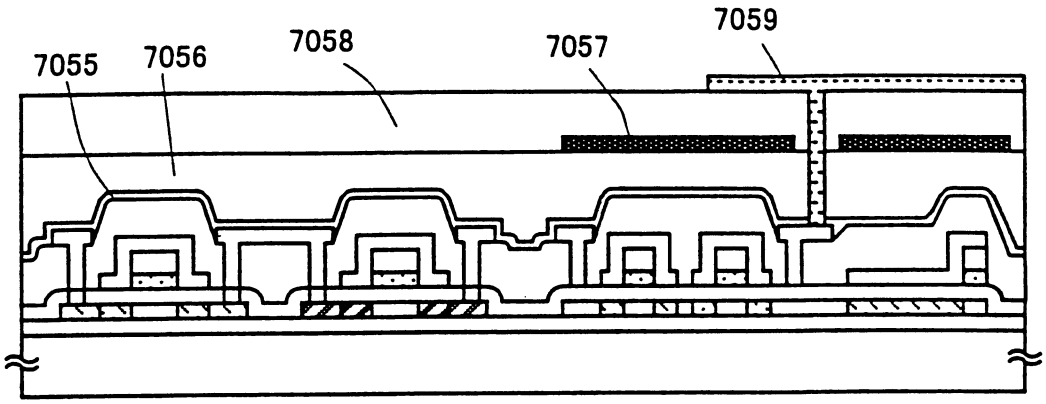

7055
7056
7058
7057
7059

圖20A

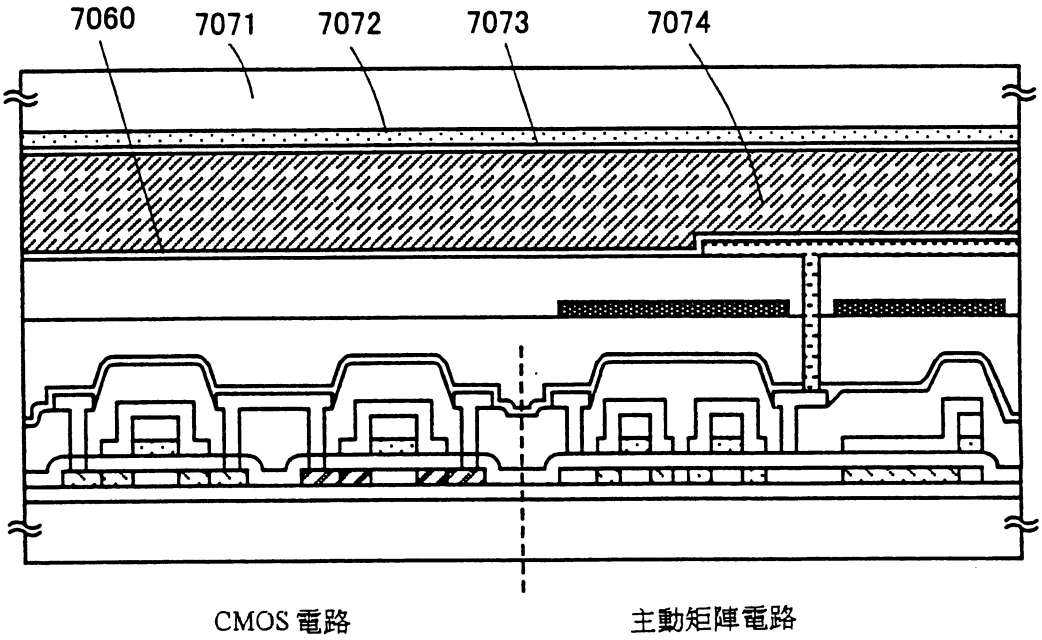

7060
7071
7072
7073
7074
CMOS 電路
主動矩陣電路

圖20B

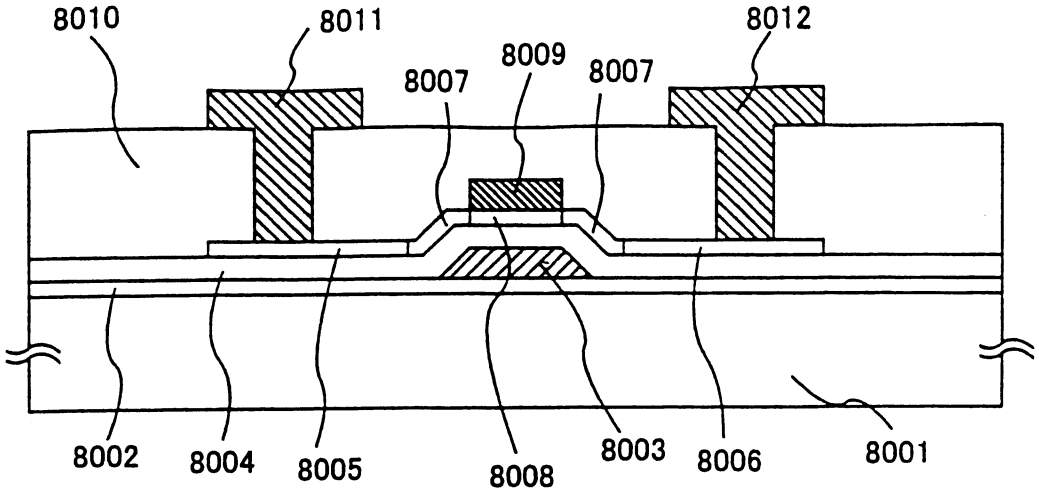

8010
8011
8007
8009
8007
8012
8002
8004
8005
8008
8003
8006
8001

圖21

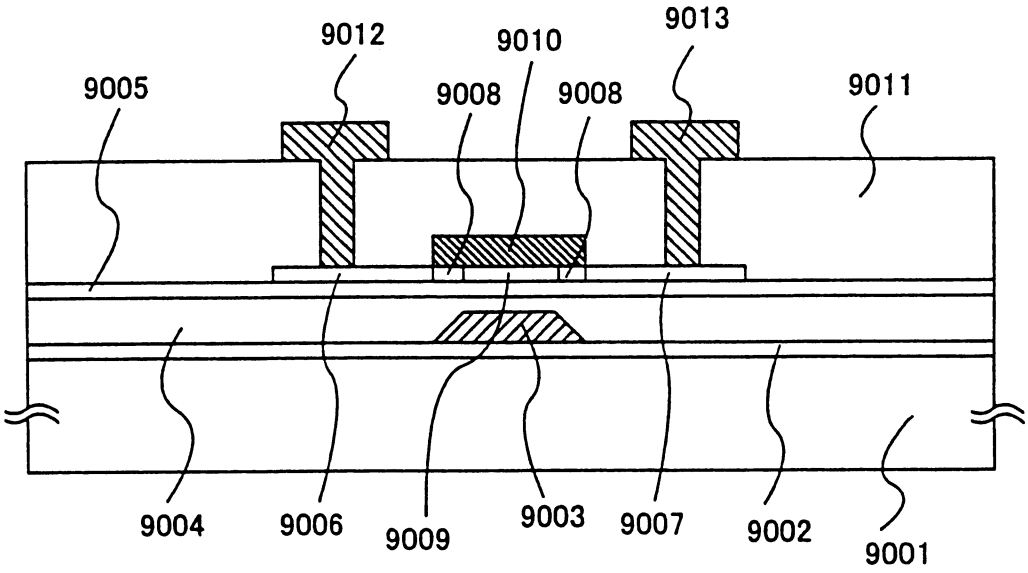

9012
9010
9013
9005
9008
9008
9011
9004
9006
9009
9003
9007
9002
9001

圖22

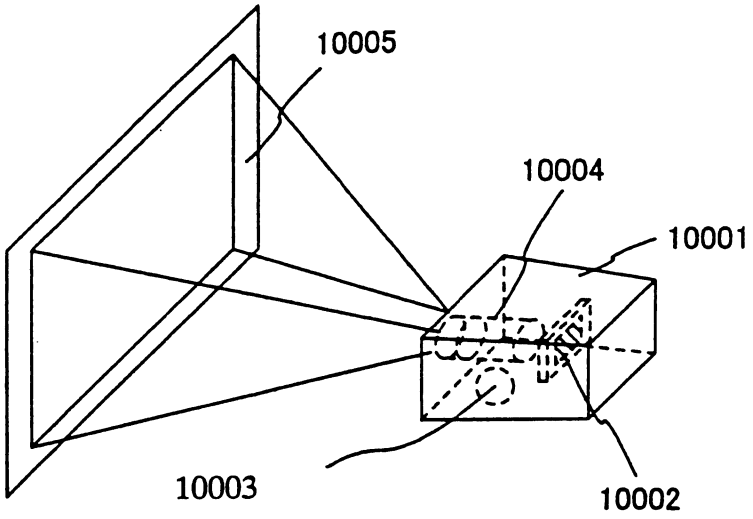

10005
10004
10001
10003
10002

圖23A

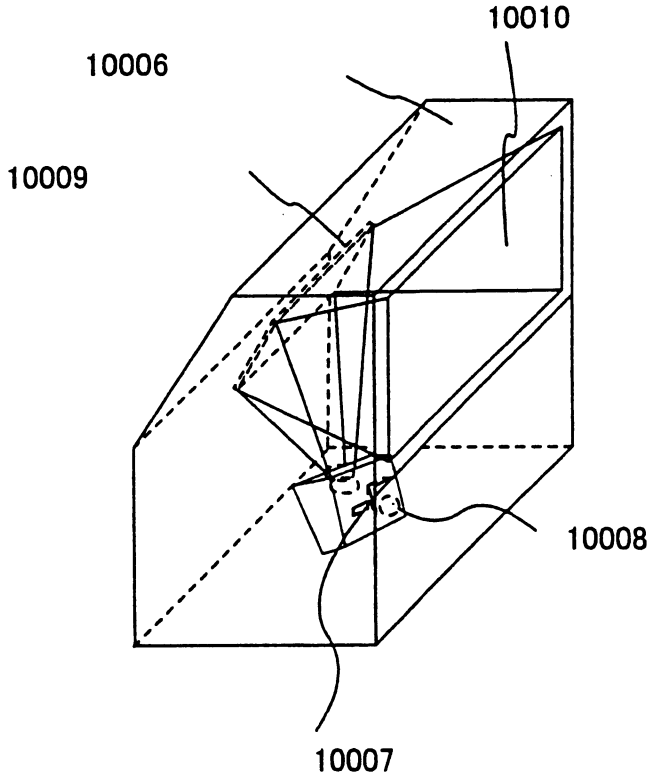

10010
10006
10009
10008
10007

圖23B

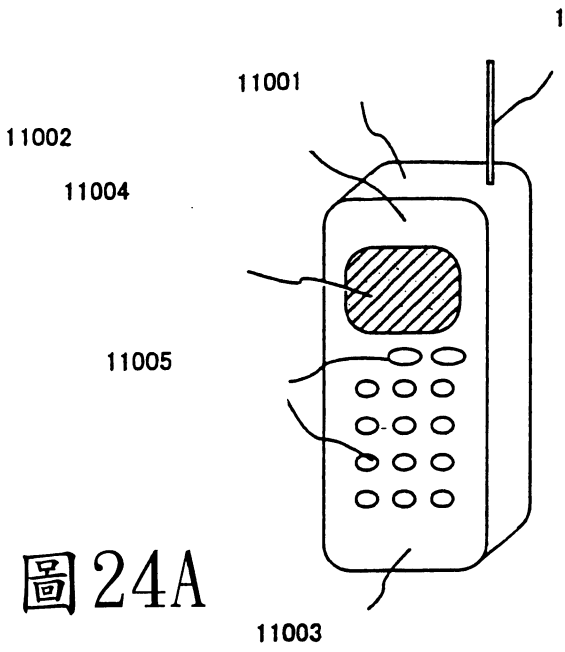


圖24A

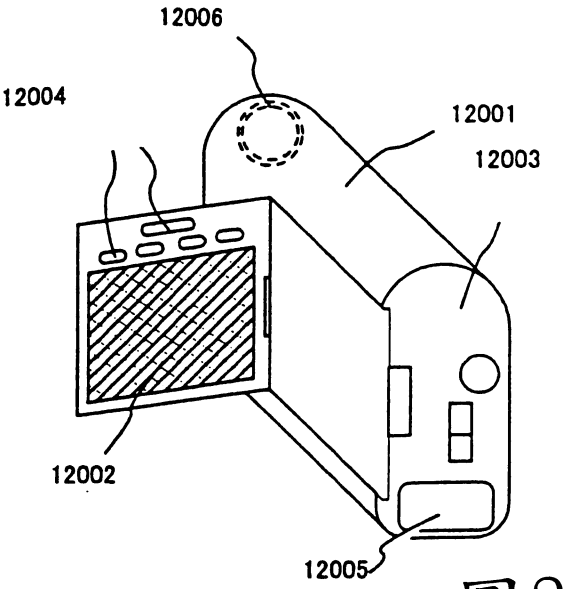


圖24B

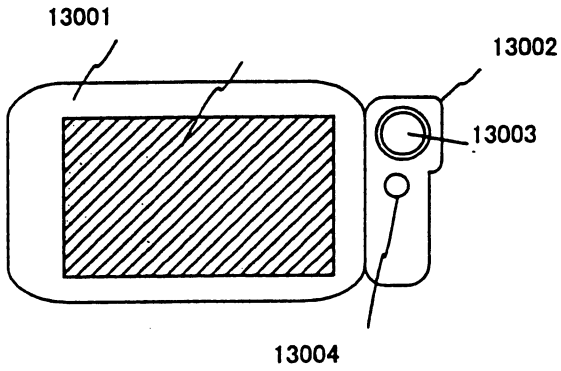


圖24C

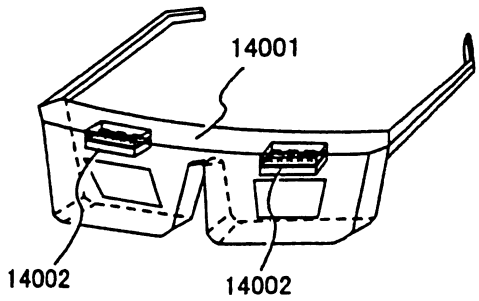


圖24D

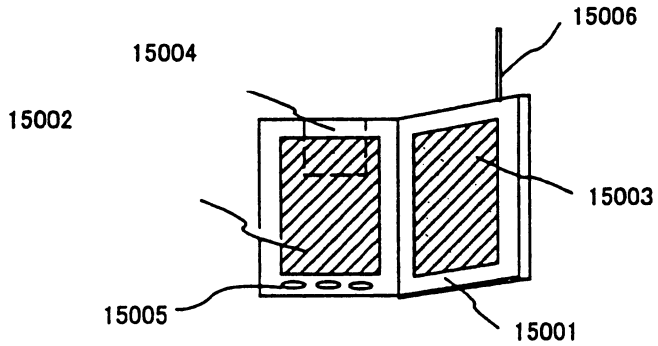


圖24E

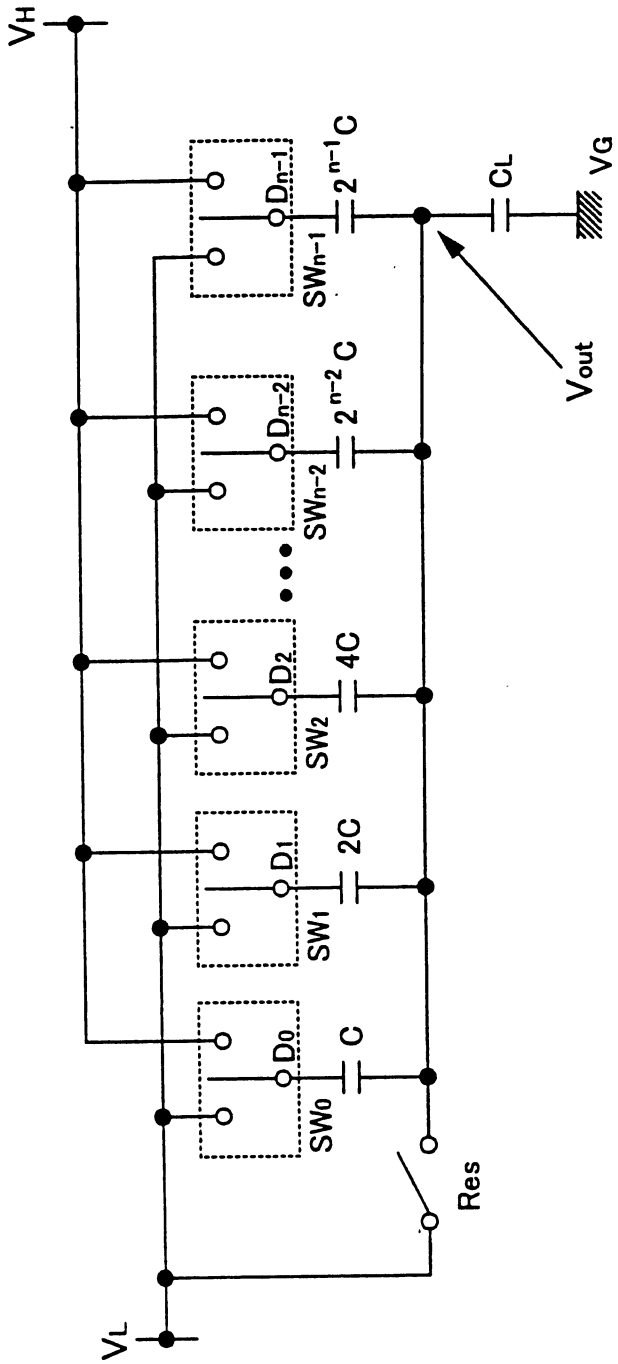

VH
VL
VG
Vout
CL
Res
Dn-1
SWn-1
2n-1C
Dn-2
SWn-2
2n-2C
D2
SW2
4C
D1
SW1
2C
D0
SW0
C

圖25 習知技藝

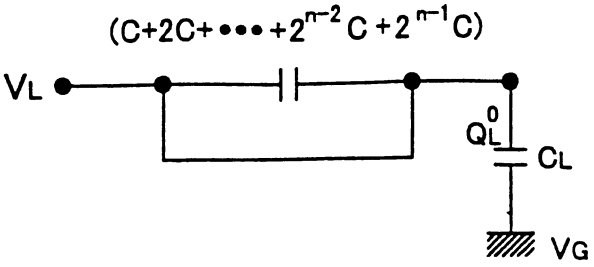


圖26A 立即在重設週期之後

習知技藝

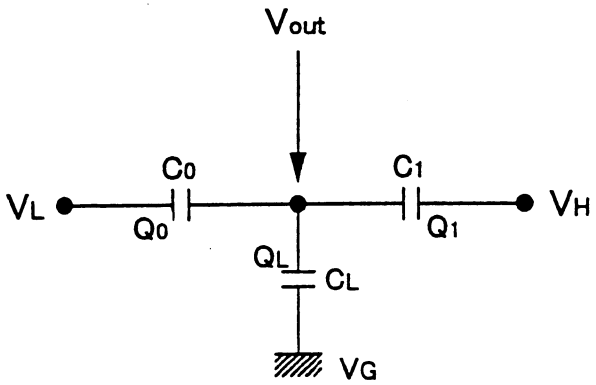


圖26B 資料寫入週期期間

習知技藝

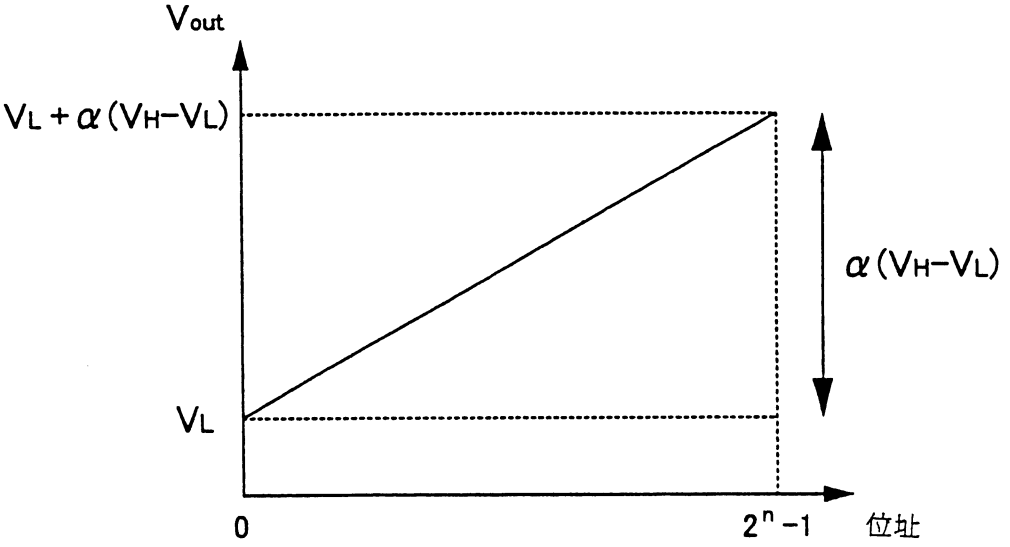


圖26C

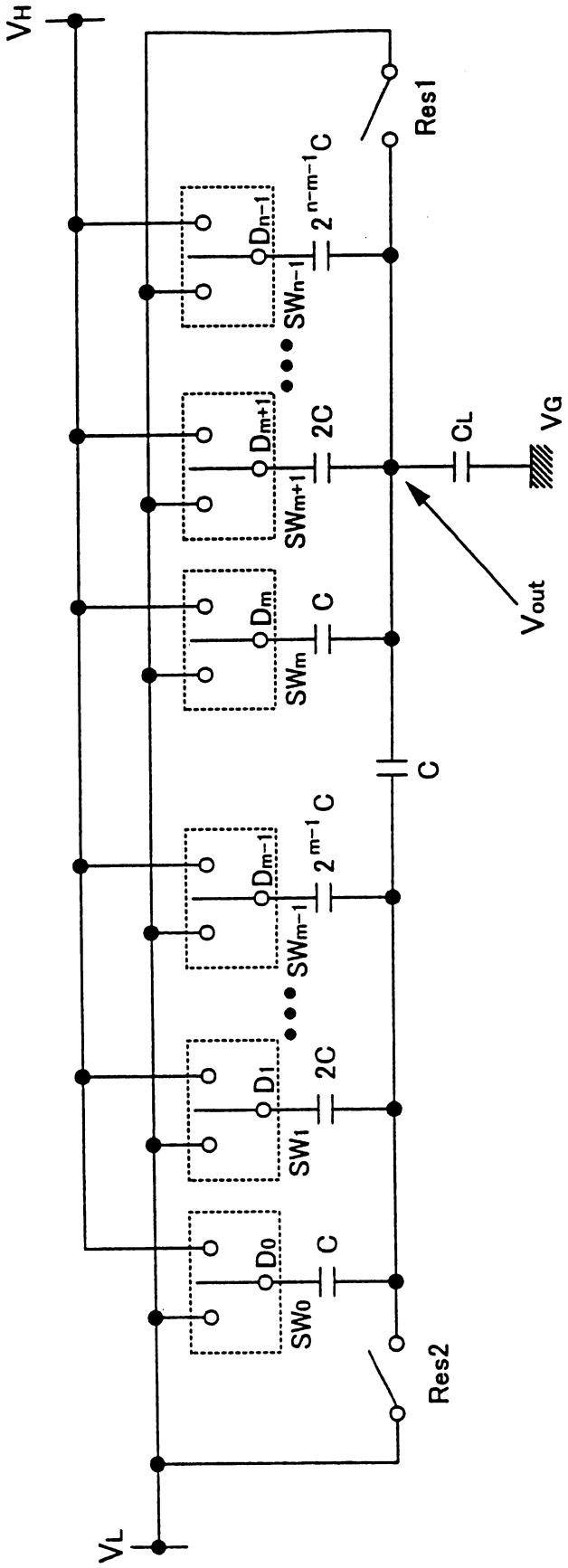

VH
VL
Res1
Res2
Dn-1
Dm+1
Dm
Dm-1
D1
D0
SWn-1
SWm+1
SWm
SWm-1
SW1
SW0
2n-m-1C
2C
C
2m-1C
CL
VG
Vout

圖27 習知技藝

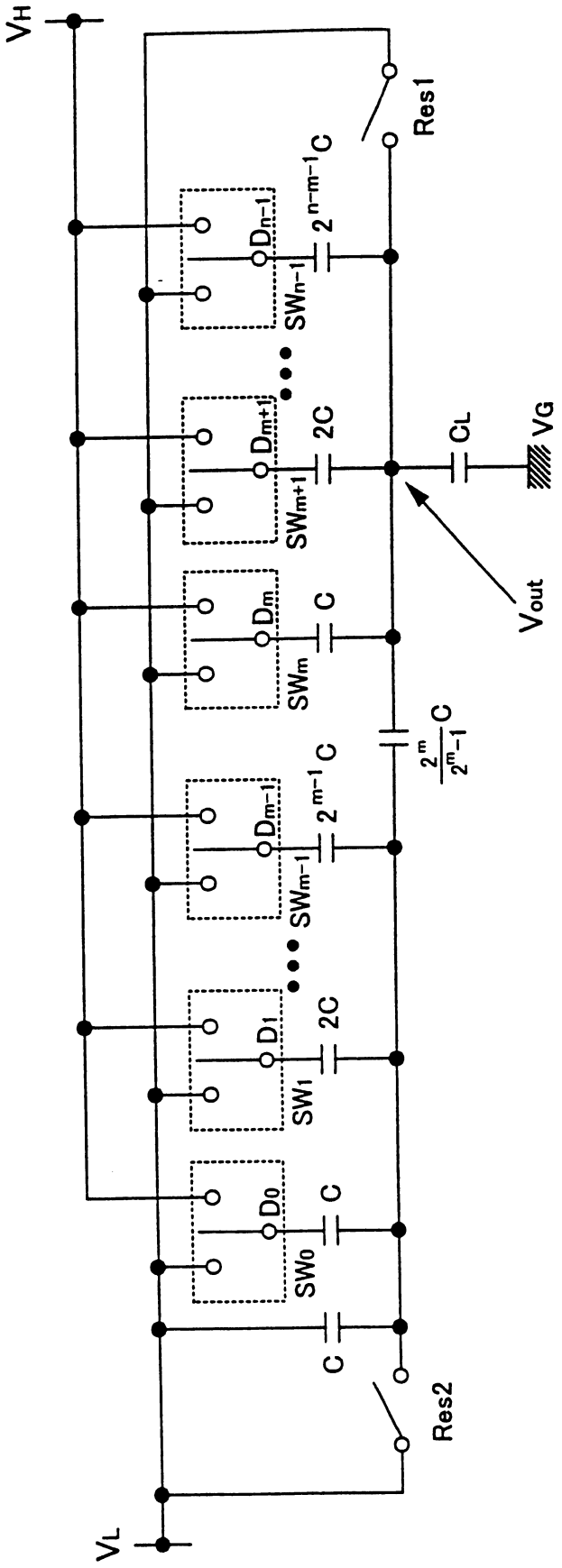

VH
Res1
Dn-1
SWn-1
2n-m-1C
Dm+1
SWm+1
2C
CL
VG
Vout
Dm
SWm
C
2m/(2m-1)C
Dm-1
SWm-1
2m-1C
D1
SW1
2C
D0
SW0
C
C
Res2
VL

圖28 習知技藝

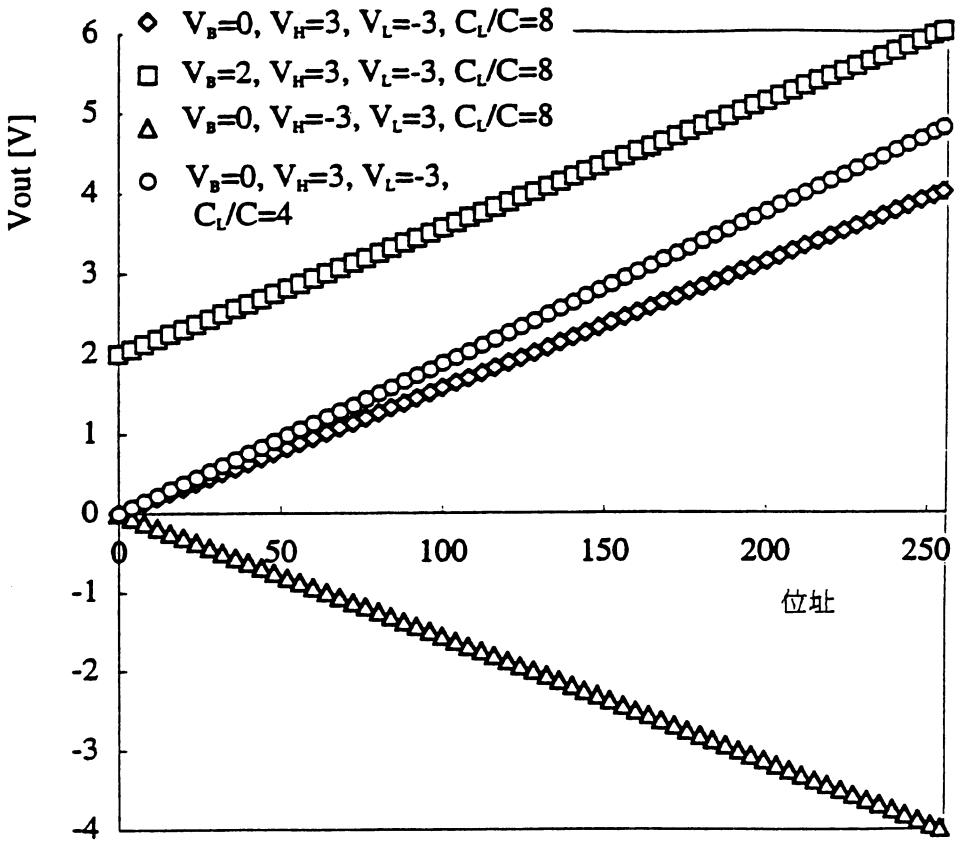

◇ V_B=0, V_H=3, V_L=-3, C_L/C=8
□ V_B=2, V_H=3, V_L=-3, C_L/C=8
△ V_B=0, V_H=-3, V_L=3, C_L/C=8
○ V_B=0, V_H=3, V_L=-3, C_L/C=4
Vout [V]
6
5
4
3
2
1
0
-1
-2
-3
-4
0
50
100
150
200
250
位址

圖29

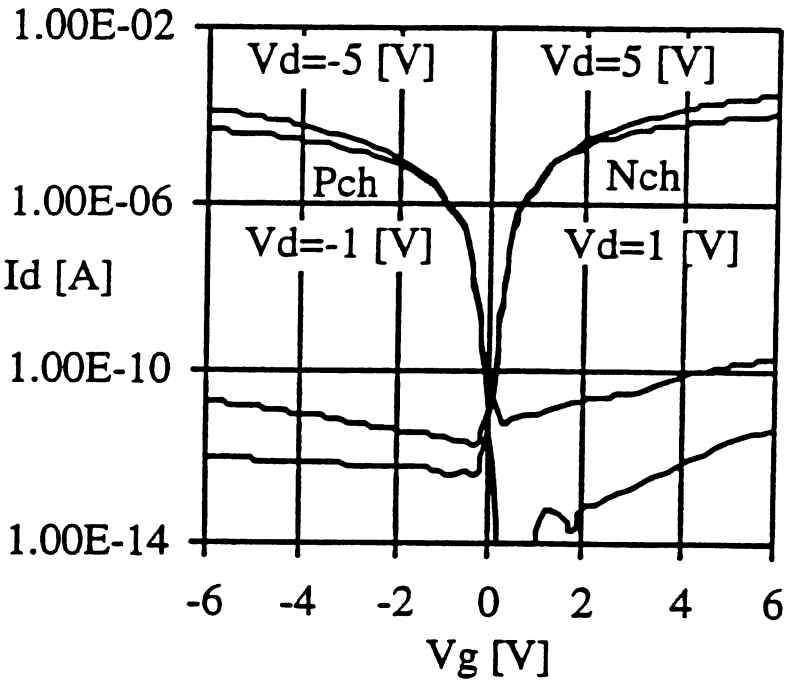

1.00E-02
1.00E-06
1.00E-10
1.00E-14
Id [A]
Vd=-5 [V]
Vd=5 [V]
Pch
Nch
Vd=-1 [V]
Vd=1 [V]
-6
-4
-2
0
2
4
6
Vg [V]

圖30

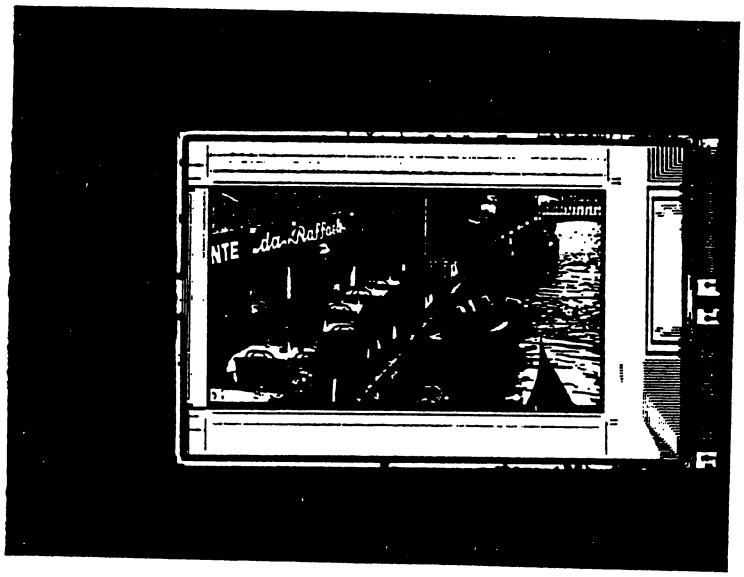


圖31

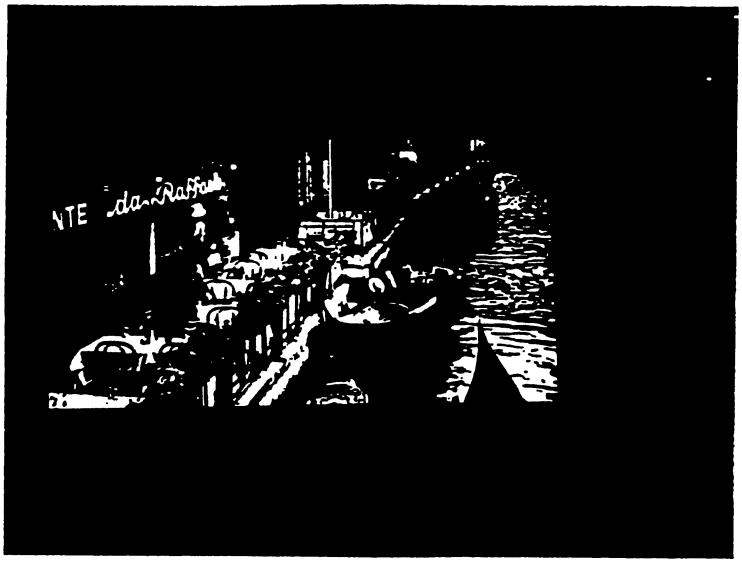


圖32

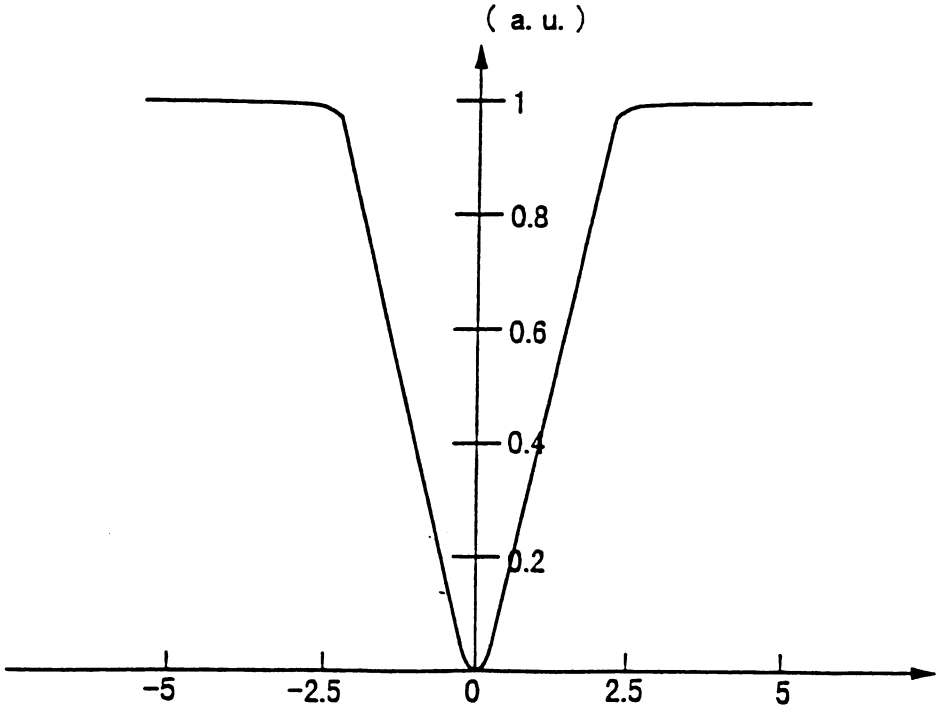


圖33

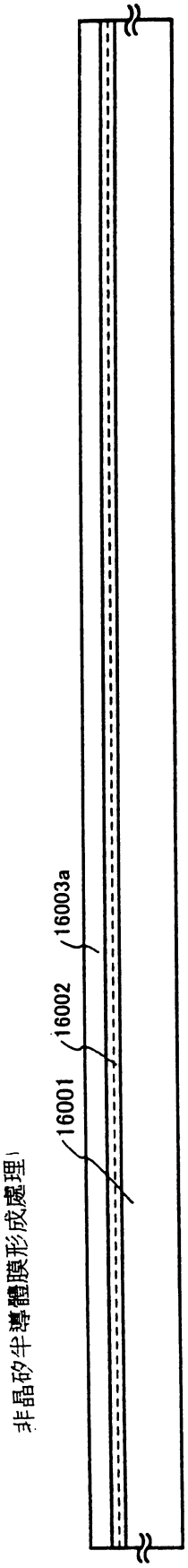


圖34A

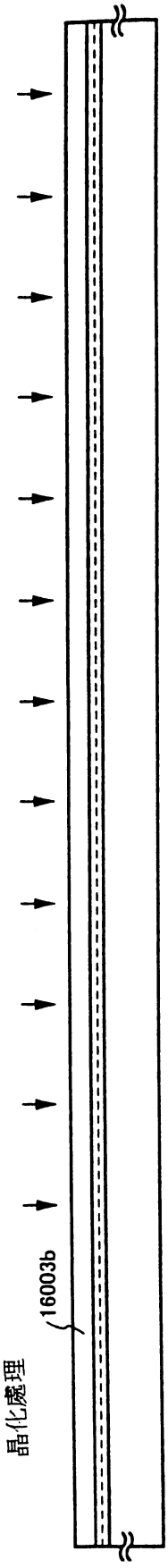


圖34B

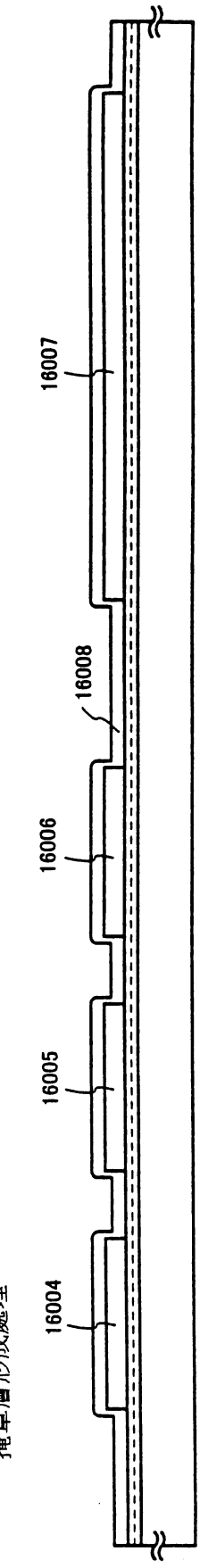


圖34C

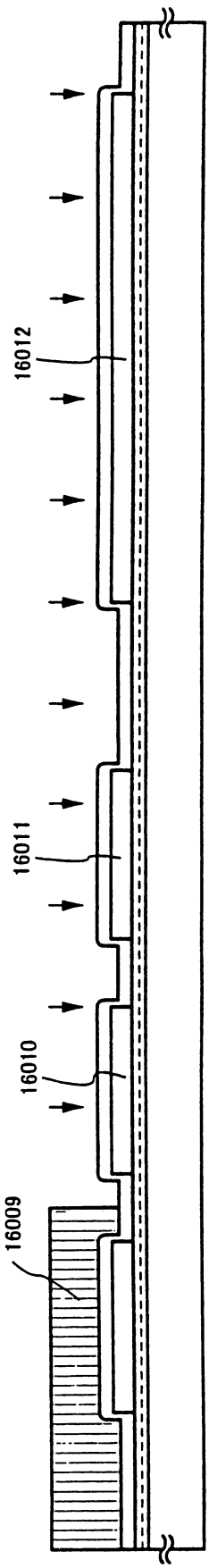


圖34D

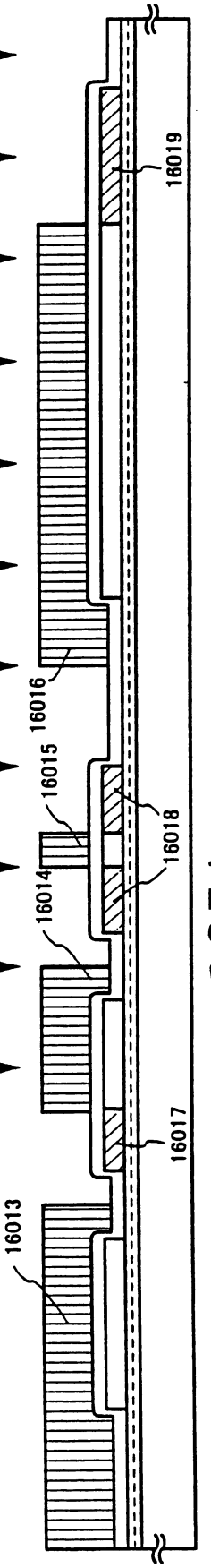


圖35A

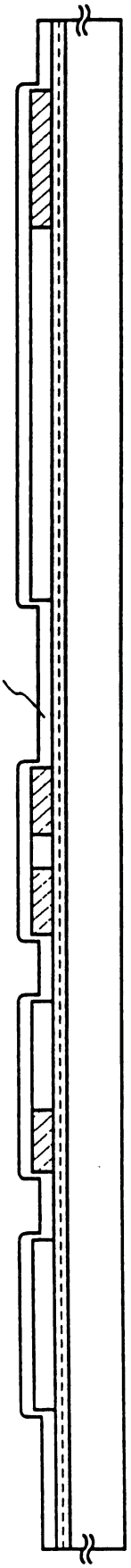


圖35B

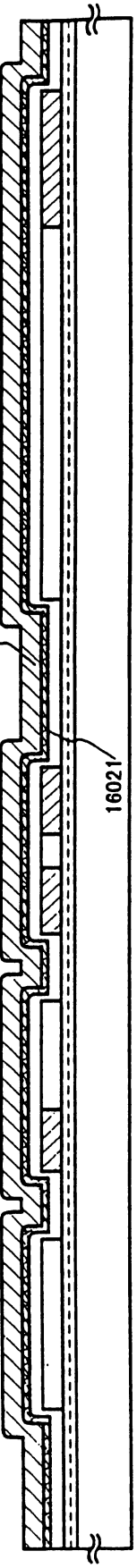


圖35C

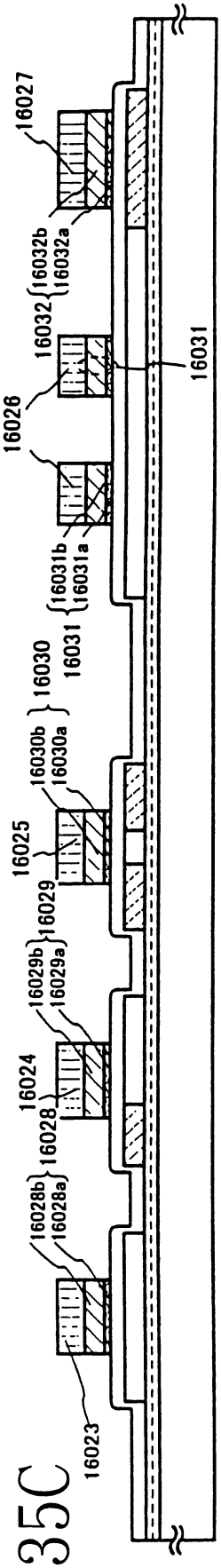


圖35D

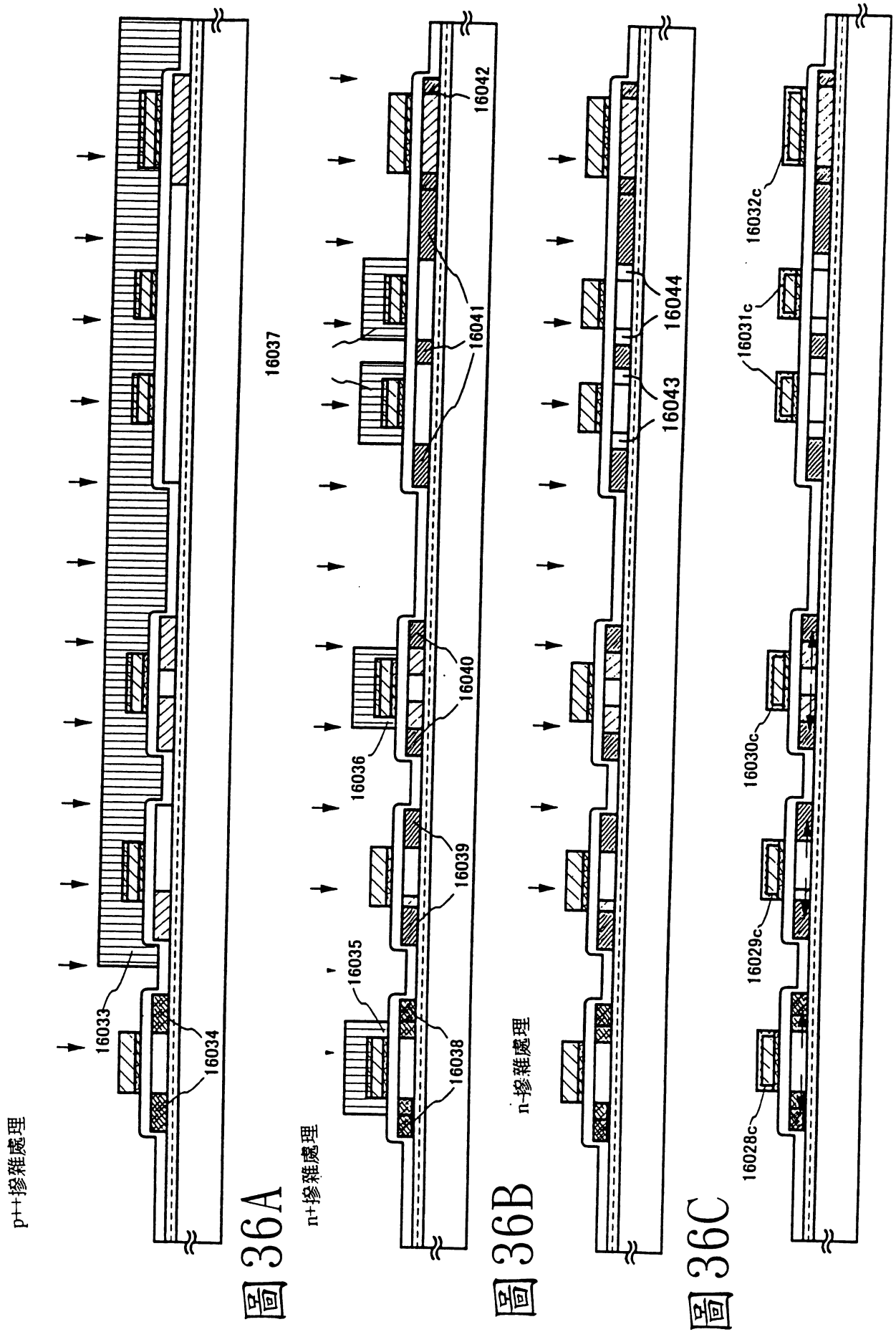


圖36A 圖36B 圖36C 圖36D

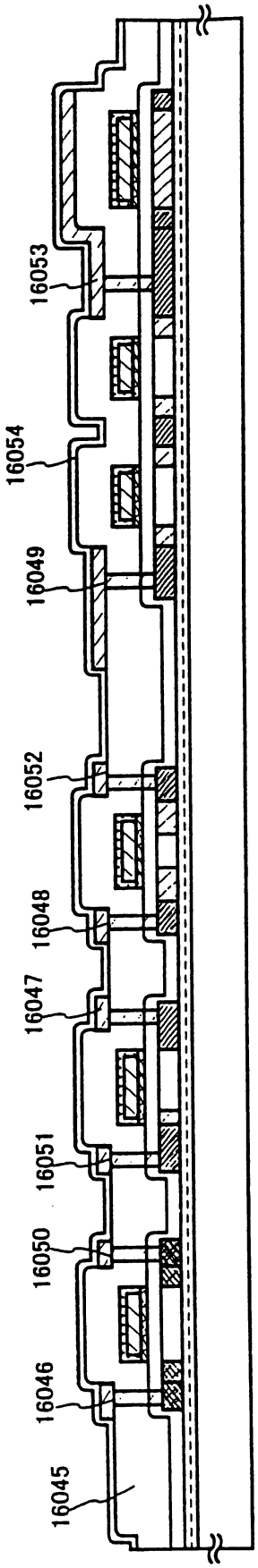

16053
16054
16049
16052
16048
16047
16051
16050
16046
16045

圖37A

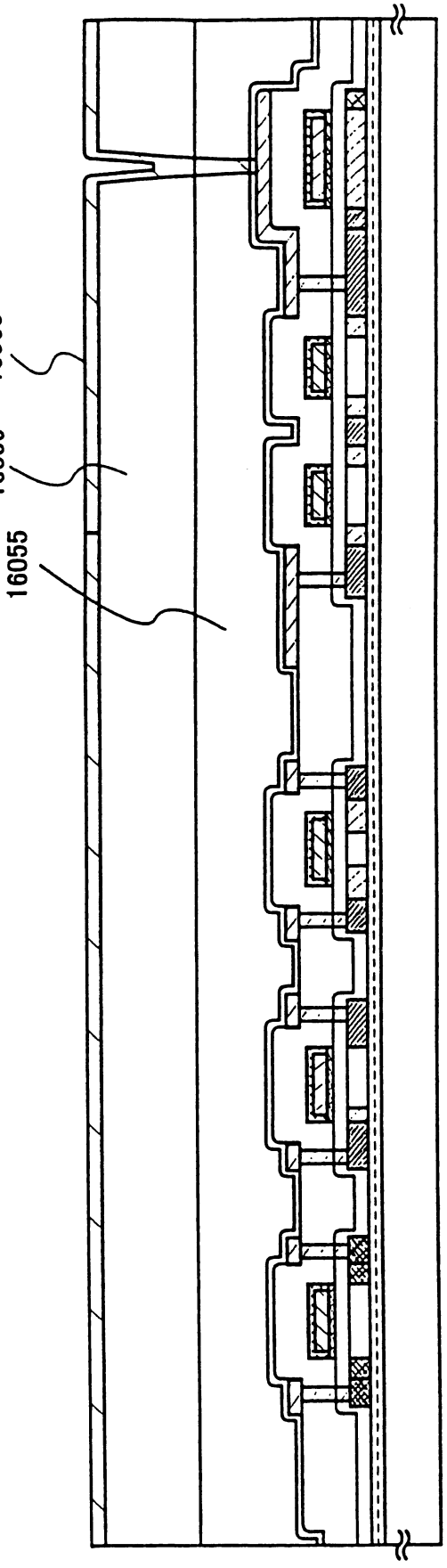

16060
16059
16055

圖37B

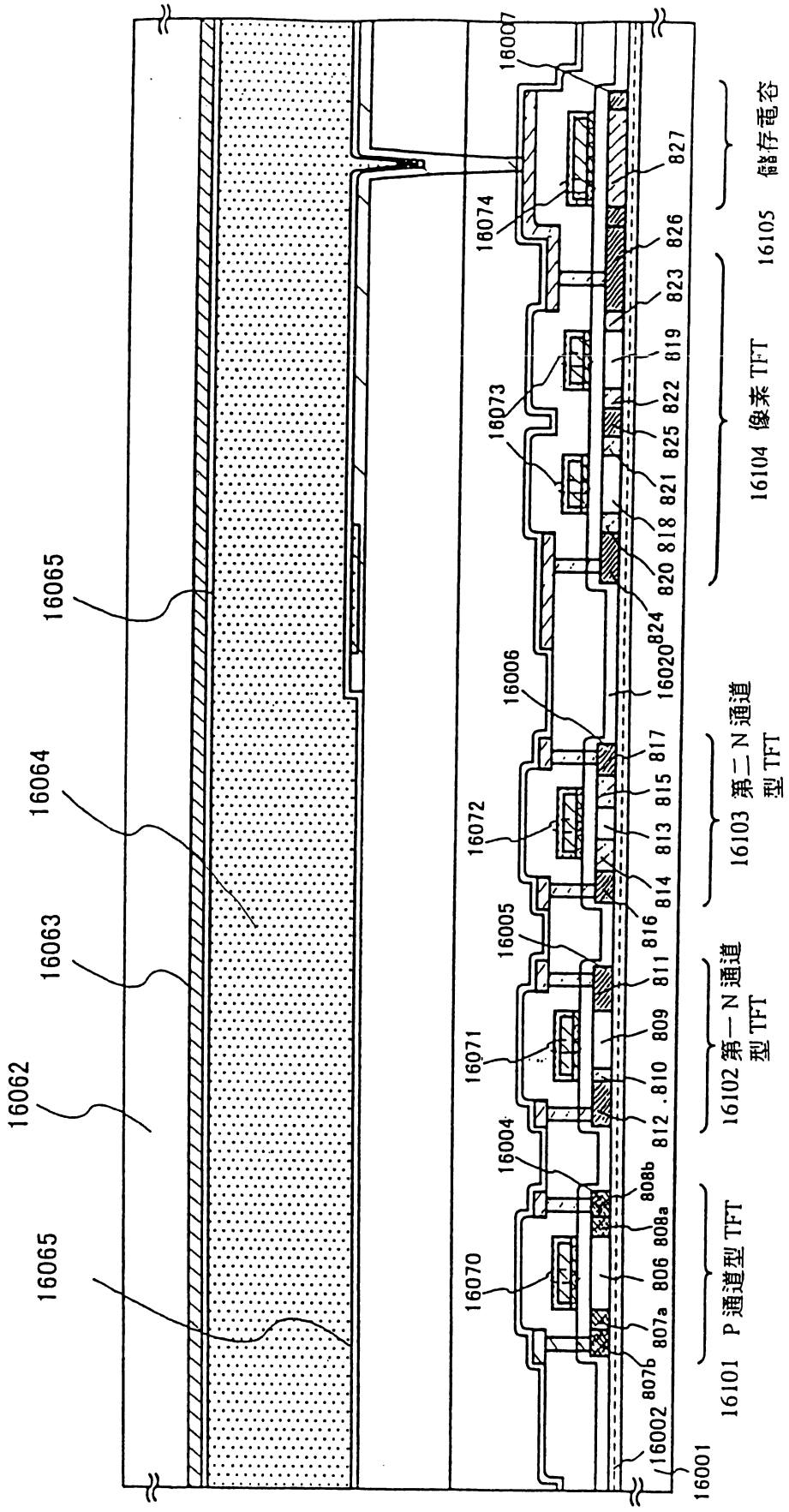

16062
16063
16064
16065
16065
16001
16002
16004
16005
16006
16007
16070
16071
16072
16073
16074
16101 P通道型TFT
16102 第一N通道型TFT
16103 第二N通道型TFT
16104 像素TFT
16105 儲存電容
驅動電路

圖38

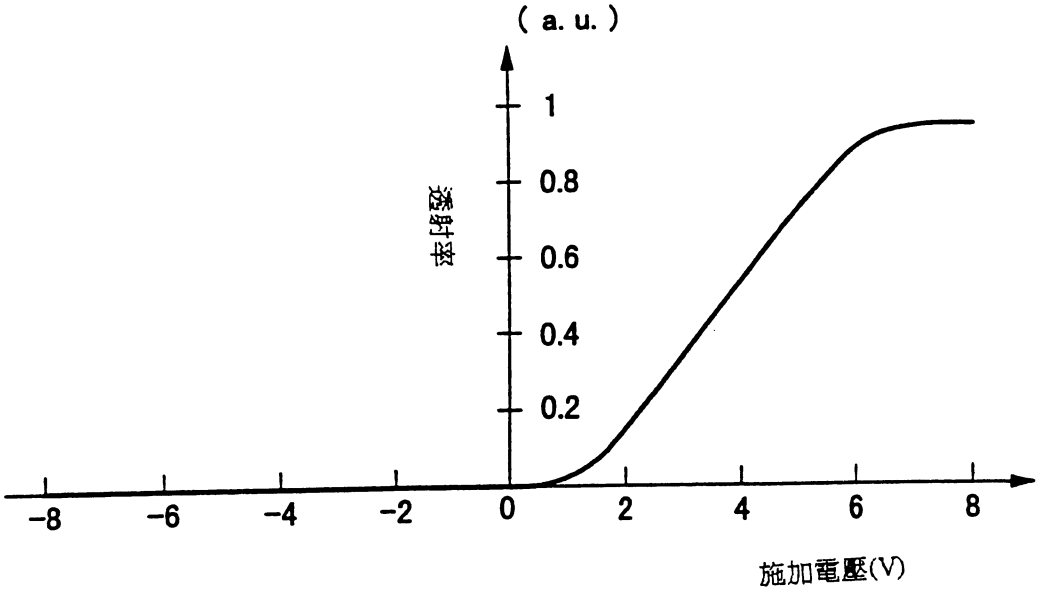


圖39

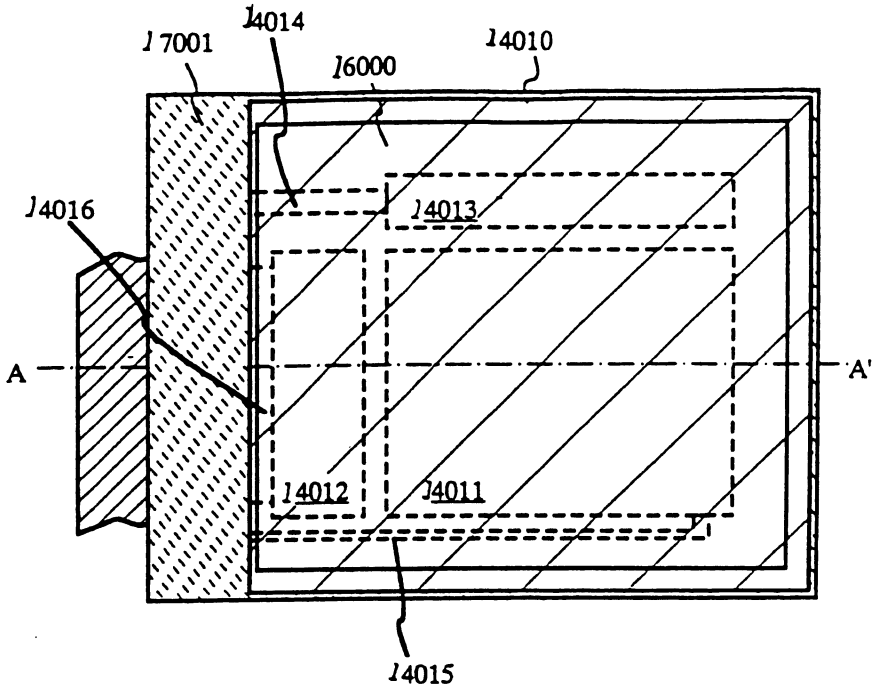

14014
17001
14010
16000
14016
14013
A
A'
14012
14011
14015

圖40A

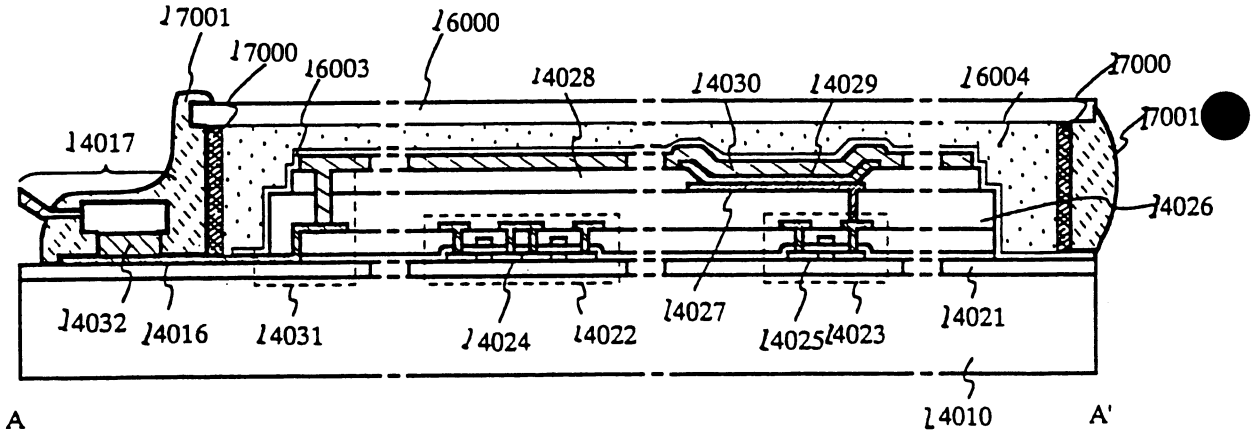

17001
17000
16003
16000
14028
14030
14029
16004
17000
17001
14017
14026
14032
14016
14031
14024
14022
14027
14025
14023
14021
14010
A
A'

圖40B

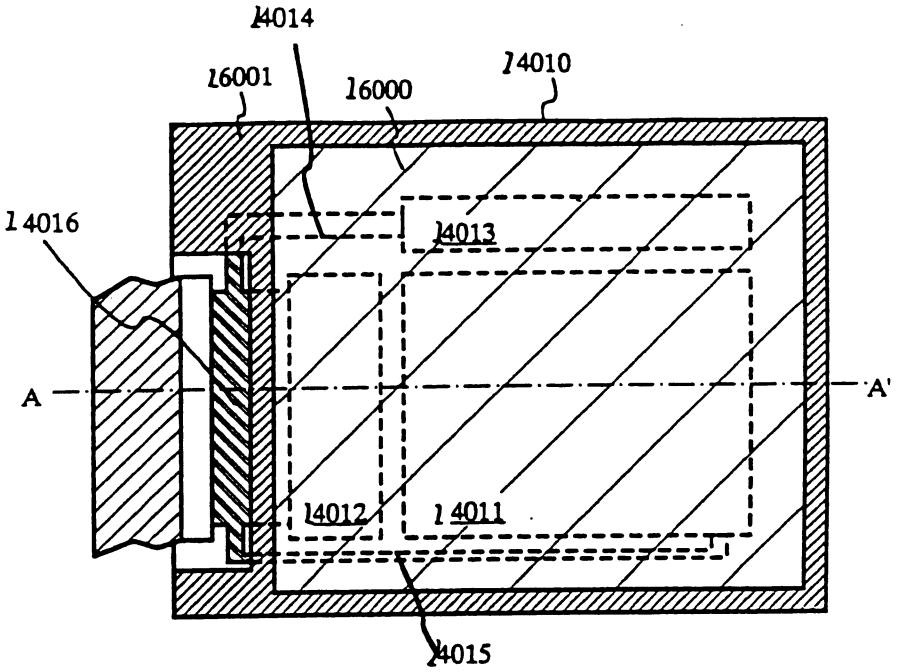

14014
16001
16000
14010
14016
14013
A
A'
14012
14011
14015

圖41A

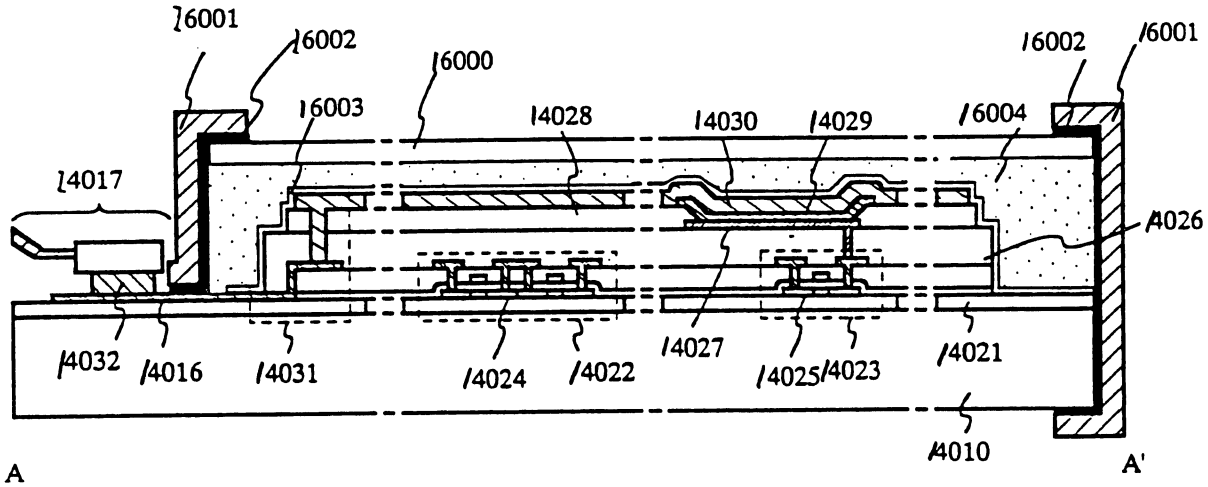

16001
16002
16000
16003
14028
14030
14029
16004
16002
16001
14017
14026
14032
14016
14031
14024
14022
14027
14025
14023
14021
14010
A
A'

圖41B

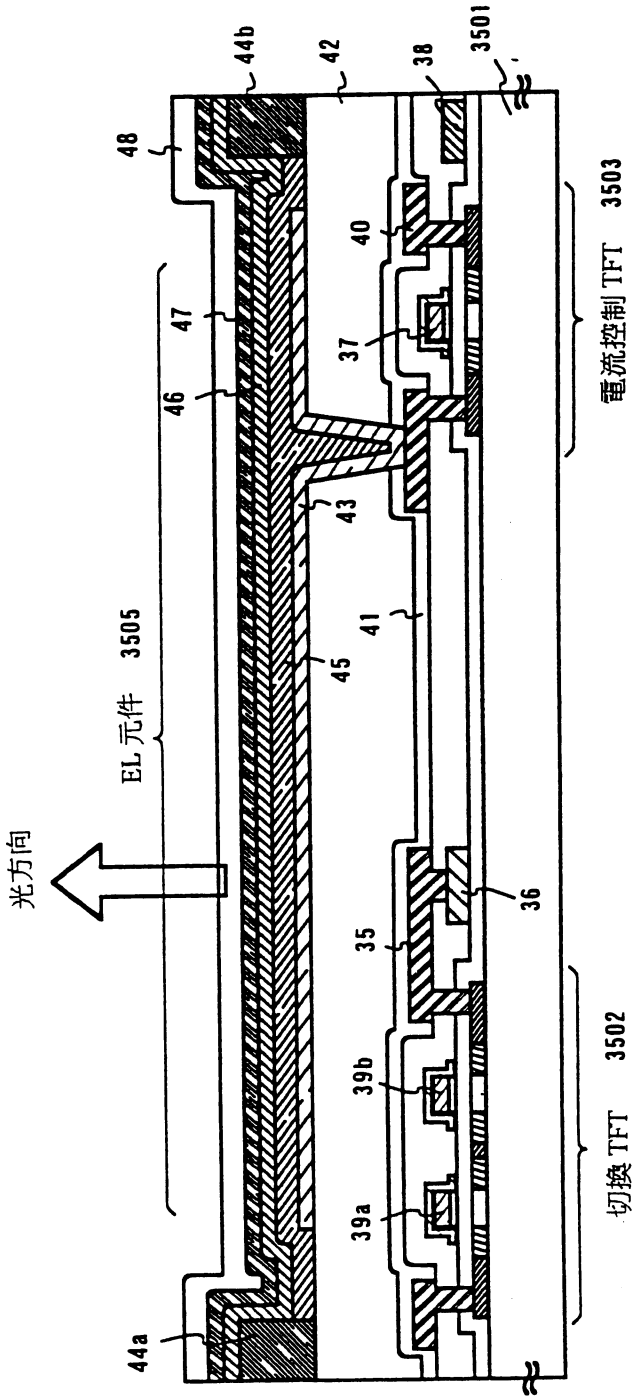

光方向
EL 元件 3505
電流控制 TFT 3503
切換 TFT 3502
3501
38
42
44b
48
47
46
40
37
43
41
45
36
35
39b
39a
44a

圖 42

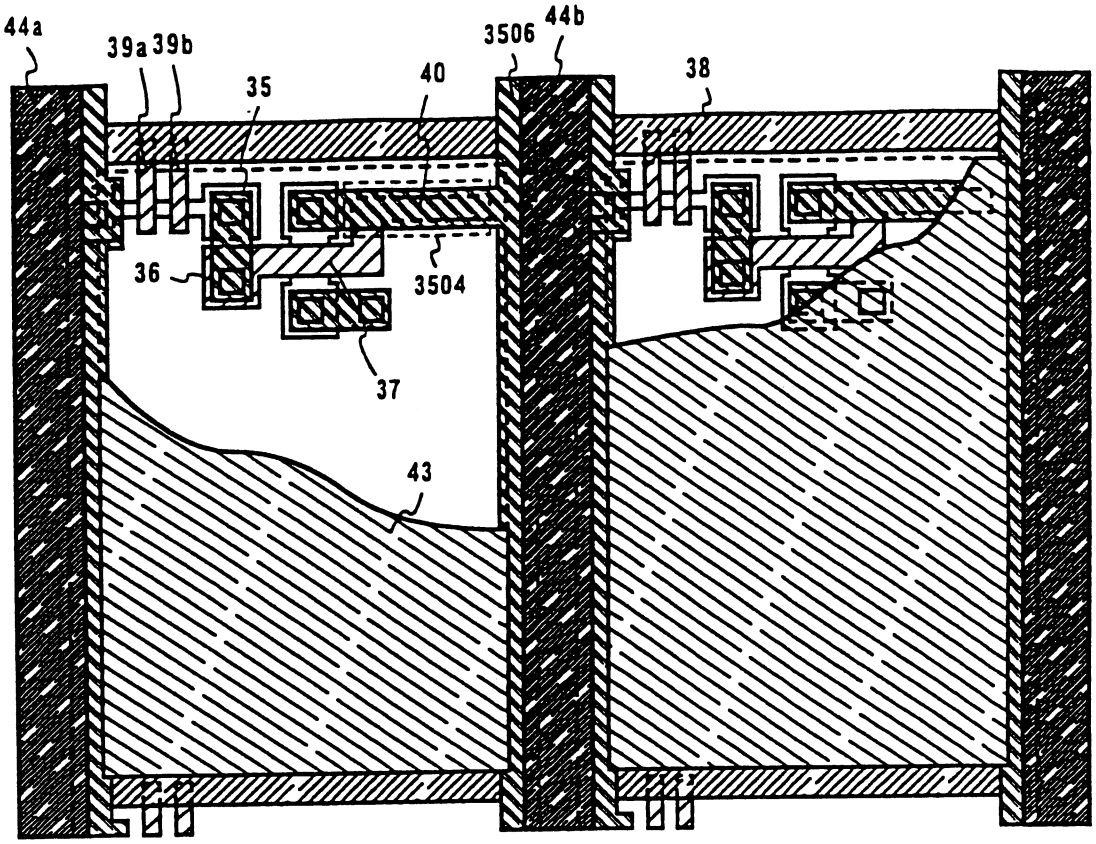

44a
39a
39b
35
40
3506
44b
38
36
3504
37
43

圖43A

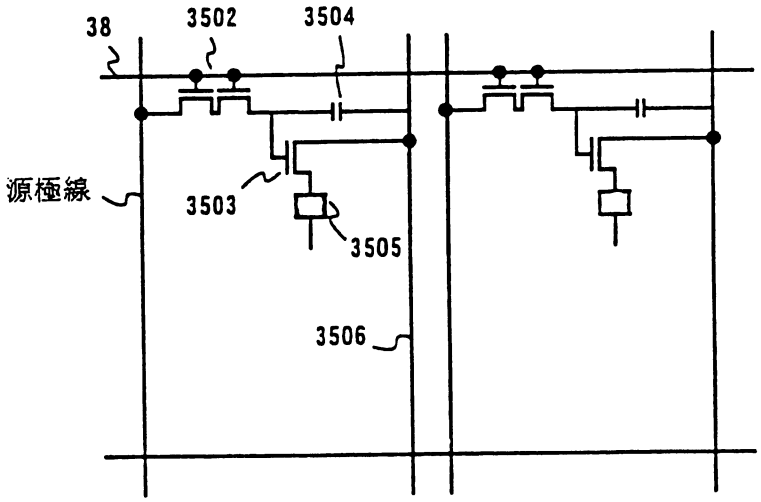

38
3502
3504
源極線
3503
3505
3506

圖43B

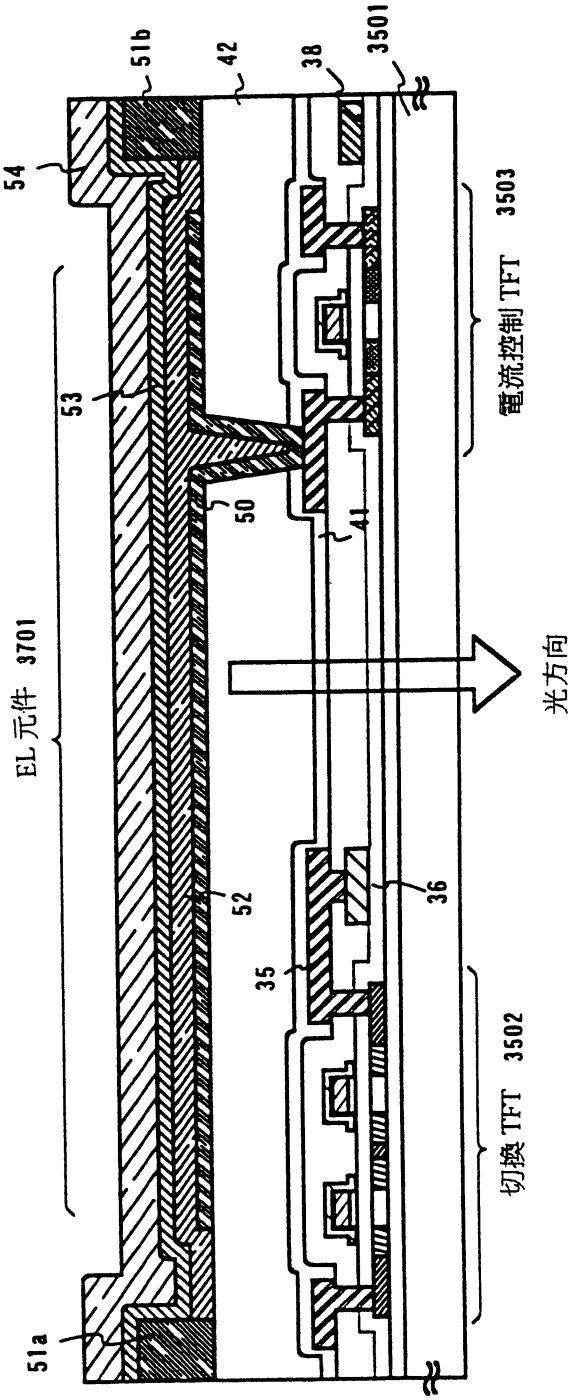

51b
42
38
3501
54
53
電流控制 TFT 3503
50
41
EL 元件 3701
光方向
52
36
35
切換 TFT 3502
51a

圖 44

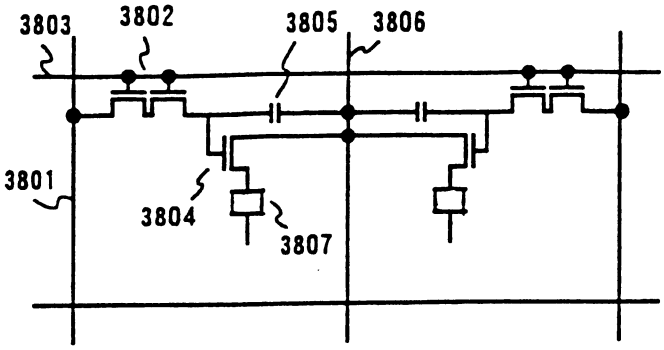


圖45A

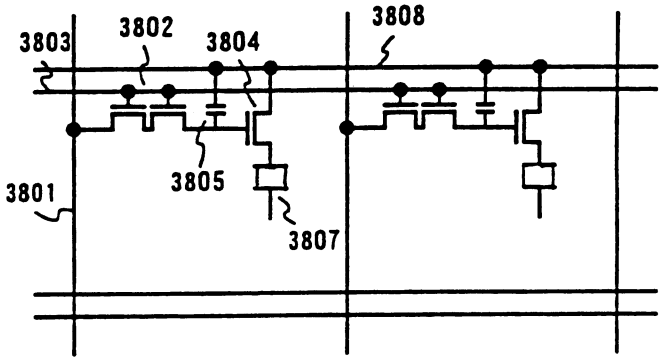


圖45B

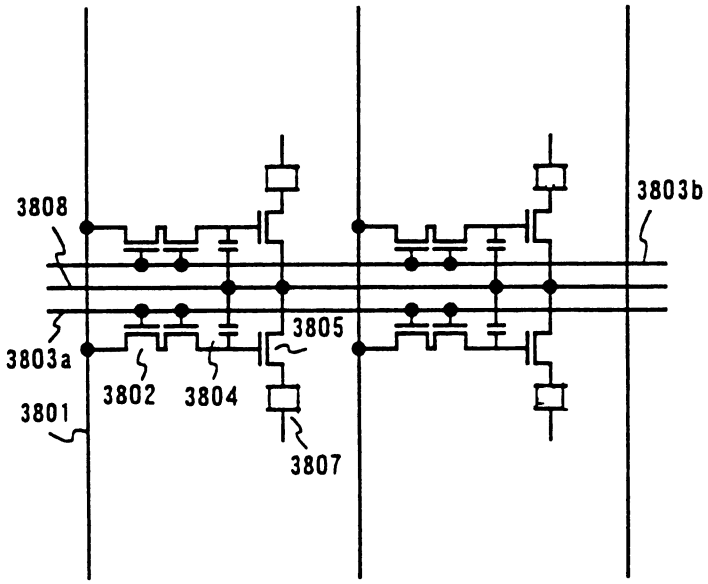


圖45C

七、指定代表圖：

（一）、本案指定代表圖為：第(1)圖。

（二）、本代表圖之元件代表符號簡單說明：無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：