



〔12〕发明专利申请公开说明书

〔21〕 申请号 89109374.X

〔31〕 Int.CP^b

H04Q 11/04

〔43〕 公开日 1990年8月15日

〔22〕申请日 89.10.6

〔24〕专利代理机构 中国专利代理有限公司

〔30〕优先权

代理人 马铁良 许新根

〔32〕88.10.6 〔33〕GB 〔31〕8823493.5

〔32〕89.8.1 〔33〕GB 〔31〕8917530.1

〔71〕申请人 普列斯海外有限公司

地址 英国英格兰

共同申请人 GEC-普列斯长途电讯有限公司

〔72〕发明人 安德鲁·基恩·乔伊

迈克尔·戴维·贾格尔

安德鲁·詹姆斯·皮克林

雷蒙·爱德华·奥克利

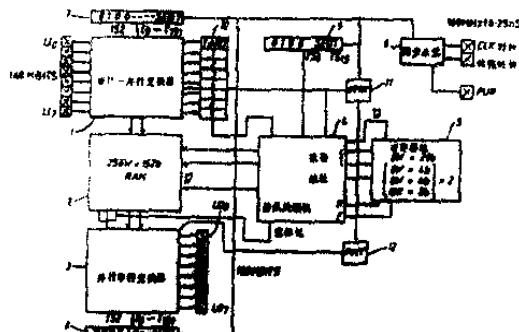
约翰·斯潘塞·阿诺德

说明书页数：10 附图页数：6

〔54〕发明名称 异步时分交换装置和操作方法

〔57〕摘要

一种异步时分多路复用交换装置，包括一个串行并行变换器，用来以串行形式接收输入数据信息组，该数据信息组包括路由信息，并将数据信息组变换为并行形式。设置一个随机存取存储器，在读存储器中，每个数据信息组在一个地址的位置进入存储器，并且该地址进入各自的先进先出输出队列的尾部。该队列的队头地址被存取，并把该数据信息组从随机存取存储器读入一个并行串行变换器中，这数据信息组串行地传送到有关的输出端。



权 利 要 求 书

1、一种异步时分多路复用交换装置，包括：一个串行并行变换器，用于以串行形式接收包括路由信息的输入数据信息组和把该数据信息组变换为并行形式；设置一个随机存取存储器，在该存储器中，每个数据信息组在一个编址的位置被写入该存储器中，该地址写入各自的先进先出输出队列的尾部，而存取在该队列头部的地址，该数据信息组从随机存取存储器读入一个并行串行变换器中，并且该数据信息组串行地传送到需要的输出端。

2、根据权利要求1所述的装置，其特征在于：每个数据信息组被分成‘K’段，‘K’是一个偶数，而且连续的奇数和偶数段被读入各自的半个串行并行变换器中。

3、根据权利要求2所述的装置，其特征在于：该串行并行变换器由一个“走步1”序列发生器单元控制。

4、根据权利要求2或3所述的装置，其特征在于：从随机存取存储器中输出的每个数据信息组被分成‘K’段‘K’是一个偶数，而连续的奇数和偶数段被读入各自的半个并行串行变换器中。

5、根据权利要求4所述的装置，其特征在于：该并行串行变换器由一个“走步1”序列发生器单元控制。

6、根据权利要求4或5所述的装置，其特征在于：该随机存取存储器被分成两等分，每半个用于独立地存取和用于存储每个信息组各自的奇数的偶数段。

7、根据权利要求4或5所述的装置，其特征在于：该随机存取存储器被分成‘K’部分，每部分独立地存取并用来存储每个信息组各自的‘K’段。

8、根据上述任何一个权利要求所述的装置，其特征在于：输出

队列动态地共用一个存储器的容量。

9、根据上述任何一个权利要求所述的装置，其特征在于：多个所述装置连接起来形成一个交换结构的交换中心，通过该交换中心，信息利用路由号发送，该交换结构包括连接交换中心的输入和输出接口电路，上述输入接口电路把路由号加到信息中，而输出接口电路在信息接入输出线路之前把路由号取出。

10、根据上述任何一个权利要求所述的装置，其特征在于：该装置包括在一个集成硅片中。

11、一种异步时分多路复用交换装置的操作方法，其特征在于：一个串行并行变换器以串行形式接收包括路由信息的输入数据信息组，并把数据信息组变换为并行形式，把每个数据信息组写入随机存取存储器的一个编址位置上，该地址从该存储器的空位置的地址的先进先出队列中取出，提供了一个或多个分开的地址队列，用于按到达的顺序列表，该输入信息组的地址位置编址到输出端，上述每个地址队列都与交换装置的一个输出端有关，并且当一个地址进入队列的队头时，这个地址被存取，而数据信息组从随机存取存储器读入并行串行变换器中，该数据信息组串行地传送一个需要的输出端。

说 明 书

异步时分交换装置和操作方法

本发明涉及异步时分交换装置和该装置的操作方法。

在宽频带电信网络领域中，对交换系统已提出了一个要求，即能够交换脉冲串或具有很多始发点到很多不同目的地的不同数据速率的确定的数字数据流。

在使用异步时分复用时，实现这种目的的一种方法已在世界广泛应用，其中数据以信息组发送。这些信息组包含很多数据字节，如32字节，一个典型的3或4字节的报头，以及检验字节，等等，上述报头含有一个只有连接在那条线上才有的虚电路号码。因此需要一个接线器，该接线器能够把任何输入线路上的这些数据信息组转换到任何输出线路上并指定一个新的虚电路号码。

对于这个问题已经得到了几个解决的办法，但是都需要大量的RAM，或额外的硬件，它限制了最大的交换容量，该容量是在一个集成电路上可容纳的。这个问题最近的解决办法是由CNET公司研制的一种接线器。这种接线器不用自选路由的方法，因此为了翻译每个接线器中的虚电路号码，需要一个大的RAM。本发明仅在接线器结构的输入端需要翻译，上述接线器结构可以用一个或多个交换级，每个交换级使用一个或多个如本发明中描述的交换装置，一个或多个“路由号”加到信息组的前面，它们一起限定通过接线器结构使用的路径，“路由号”从接线器结构的输出中取出。CNET的接线器使用输入的反对角变换来产生数据的插入字节，送到数据RAM中。

这就需要一个比本发明的RAM更快存取的RAM，在本发明中，宽的串行并行移位寄存器允许更多的时间用多路复用的方法进行RAM存取的插入。CNET接线器对每个输入队列使用分开的存储单元，而用于排队的共用存储器可使RAM的容量减小，并且利用输出而不是输入排队来消除单元被封锁的可能性。在交换装置中，可以有一个以上的输入同时寻址同一个输出。由于单个输出每次只能发送一个信息组，所以在每个输出端需要排队。在输入端和输出端数目相等（在实际中大多数是这种情况）的交换装置中，如果一个以上的输入端同时寻址相同的输出端，那么在输出端增加了排队的长度，这一定是有其他的输出端在那时没有被寻址，它们的队列一定较短。如果在该交换装置的所有输出队列之间共用一个公共存储器，由于存储的容量可被分配给最需要的地方，所以存储器的容量可以更有效地利用。其结果是，用一个共用存储器，为取得由于存储器溢出而产生的信息组丢失的相同概率，需要一个较小的总存储器容量。可以看到，用一个以上的输出端，对于相同的信息组丢失的概率，所需的总存储器容量大约是一半。

共用存储器的第二个优点是：如果使用有较大量输出端（例如等于输入端的数目）的标准装置，该装置用于把很多输入端集中为少量的输出端，在分开输出排队的情况下，已指定给未用的输出端的存储器用共用存储器的方法在已使用的输出端使用该存储器变为可能。

因此，本发明的目的是提供一个异步时分多路复用交换装置，该交换装置提供一个共用存储器，由所有输出排队所共用，并且它能克服上述问题，而且利用硅技术，例如集成电路技术，有效地利用基片面积，可以实现该装置。

排队的最佳位置是在该装置的输出端口处，但是一个输出队列可以由该装置的所有输入端口同时寻址，因此输入队列的带宽必须是输入端口速率的N倍，N是输入端口的数目。因为存储器的存取周期时间相当长。为了在需要的时间内周期地存取所有的输入端口，排队存储器必须用一个非常大的字长。这就意味着在每个输入端有串行并行变换器和在每个输出端有并行串行变换器。本发明使用存储器字，该字是信息组长度的‘K’分之一，这里‘K’是偶数。使用‘K’段的相邻的奇数和偶数对允许输入和输出端口的漂移缓冲(swing buffering)，一个段在输入端的串行并行变换器中保持静止，而后面的段正被接收，类似地，一个段并行地装入输出端的并行串行变换器中，而它前面的段正被发送。典型‘K’值是2或4，其选择取决于存储速度和该装置的几何结构。用这种方法提供了足够的时间允许所有的输入都进入共用排队存储器中。很高的装置内部操作体现在拓扑结构中，该拓扑结构允许集成装置的硅片面积非常有效的使用。

根据本发明提供一种异步时分多路复用交换装置，该装置包括：一个串行并行变换器，用于以串行形式接收包括路由信息的输入数据信息组，并把该数据信息组转换为并行形式，设置一个随机存取存储器，在这存储器中，每个数据信息组在编址的位置被写入存储器中，而该地址写入相应的先进先出的输出队列的尾部，在队列开头的地址被存取，而数据信息组从随机存取存储器读入一个并行串行变换器中，这样，数据信息组串行地传送到一个需要的输出端。

现在结合附图描述本发明的一个实施例，其中‘K’值是2。

图1表示实施本发明的一种方法的方框图，

图2表示图1中使用的输入串行并行变换器和输出并行串行变换器，

图3表示数据流程图，

图4表示存储器图。

图5表示 16×16 共用排队的异步时分多路复用接线器，以及

图6表示使用本发明的变换装置的典型的接线器的结构。

参见图1，示出了一个8个输入端、8个输出端的异步时分多路复用(ATD)接线器的核心部分，它以大约160Mb/s的数据速率工作，对于这种简单的情况，它有一个分配给每个输出队列存储器的专用部分。该系统主要由8个输入端的152比特的串行并行变换器1，一个38Kb的RAM2和8个输出的并行串行变换器3组成，RAM2执行与每个输出线有关的16个信息组的先进先出(FIFO)队列。一个排队处理机4计算与每个输出队列有关的读与写地址，而一个寄存器堆(register file)5用来存储读与写地址指针和排队满/空标记。一个定时/同步单元6产生ATD逻辑需要的定时信号。当该装置接通电源时，信号PUR表示复位信号。串行并行变换器被表示为从端口LI_i至LI_j以160Mb/s的速度接收数据输入比特T₀至T₁₅₁。串行并行变换器1由一个“走步1”序列发生器7和一个地址计数器11控制。类似地，并行串行变换器3也由一个“走步1”序列发生器8和一个地址计数器12控制。为了定时，该计数器产生一个3比特编码的数据信号。该数据表示通过输出线LO₀到LO_i以160Mb/s的数据速率离开并行串行变换器3。

信息组的前半部分的第1比特留作同步比特。第2比特和第3比特用来指示在该输入端的当前时隙是否正在传送信息组，或者没有使

用，编码00用来表示未使用状态，并将在输入地址寄存器10中置一个标记，它将导致其后试图写入输出队列被异常终止。紧跟第3比特后面的各比特具有路由号，分配在路由字段里的这部分信息组是随机地提供的，只要该部分信息不溢出到该信息组的后半部分中。由该装置使用的路由号的位置是在由外部提供的时钟时隙脉冲结束前的比特上。前半部分信息组传送给输入地址寄存器10的4个比特中，这些比特作为一个移位寄存器与一个时钟连接，在时隙时钟脉冲出现时，时钟被起动；因此，在接收信息组的后半部分期间，这4个寄存器比特将保持在时隙时钟脉冲结束前接收的最后4比特。

排队处理机4由一个“走步1”序列发生器9控制，而序列改造发生器又由定时同步单元6控制。串行并行变换器1还提取输入地址寄存器的信息，该信息是发送给输入地址寄存器10的。寄存器10由计数器11控制，地址信息被送到排队处理机4。排队处理机利用空标记来异常终止写入RAM2。

对于容量为304比特的ATD信息组来说，所有的输入必须与载体(bearer)上的304比特的时隙同步，并且能够交换任何数目的输出线路。如果特定的输出队列是满的，则发送到这个队列的输入ATD单元被排出。在队列空的情况下，如图2所示，在该单元内的输出D(诊断)和占用/空闲比特(B/F)都置0，而在除了比特0以外的所有其他位置上包含未定义的数据。比特0标为S，是带有一个时隙同步信号的同步比特，为了定时，该时隙同步信号作为本地参考信号。

信息组长度选择304比特，组成如下：32字节的数据，3字节的报头和包括S，D与B/F比特的该接线器结构内部的3字节报头，以及15字节的路由地址。

每个输入数据的304比特ATD单元必须存储在编址的输出FIFO队列中。该接线器有100ns的内部循环周期，这个循环周期是一个存储器进行读操作而一个存储器进行写操作可用的时间。图1中以1表示的输入串行并行变换器1在图2中更详细地表示出来了。同样，并行串行变换器3在图2中也更详细地表示出来了。图2中所示的串行并行变换器3包括在每个输入端有两个152比特的锁存器(A和B)和一个所有输入端共用的152比特“走步1”序列发生器15，使用一个“走步1”序列发生器和多个锁存器减少了CMOS执行过程中的功率消耗，高数据速率工作的移位寄存器消耗的功率至少减少一个数量级。

在输入ATD单元前半周期期间，数据是存储在A寄存器中的，输入的比特0存储在锁存器的比特位置0中，而输入的比特151存储在锁存器的比特位置151中。“走步1”序列发生器15周期地选择每个锁存器，依次地存储输入的数据，因此只有几个晶体管改变状态，因此在每个时钟周期消耗功率。当A寄存器存满时，在B寄存器中的数据是静止的，并且该数据可被写入RAM中，用于由识别路由号所规定的输出。当A寄存器存满时，输入的数据转换到B寄存器中，而且B寄存器由该ATD单元数据的后半部分顺序地填充。在这个期间，A寄存器是静止的并可被写入该RAM中。类似地，图1中所示的并行串行变换器3的操作和图2中所示的寄存器A'和寄存器B'的操作类似于上述对寄存器A和B的描述。

每个输入，例如LI₀是经标准的逻辑电路13传送的，该逻辑电路把数据直接传送给串行并行变换器A、B适当的半个部分。利用门电路14，如该门电路14由“走步1”序列发生器15依次控制，则该数据被选通进入串行并行变换器A、B的各自的比特位置。

各个并行串行变换器A'、B'的输出经过一个2至1多路复用器

电路16传送，再经过一个触发器17和倒相器18传送给输出缓冲器19。输出缓冲器19在LO。线上输出数据。

图3示出了经过ATD接线器的数据流程图。图中可以看到，在输入数据单元出现在该装置的输出端之前，有304个时钟周期的最小时延，也就是一个ATD单元周期的最小等待时间。输出数据与输入数据同步，使得一个ATD基片的输出可以供给矩阵中的另一个ATD基片的输入。输入时隙时钟的负边缘用来取出相应的3比特地址路由信息，该信息与交换矩阵的5个可能的行列的每一行列有关。但是可用另一个方法来识别这些路由比特，如该接线器行列位置的二进制码硬接线，它可被译码为所需要的比特位置。

在半个单元周期内(152比特长)，有950ns的时间来把8条输入线(A或B寄存器数据)写入RAM中，而且还向输出的8条线读出它们各自的数据。图4示出了 256×152 比特的存储器图。示出了以纵列20表示256字的升序地址。每个地址由一个队列21来表示，队列21包括16个位置。每个位置代表了表示串行并行变换器A、B的A和B部分的 2×152 比特，如方框22所示。

在存储器中用一个读指针和一个写指针来执行FIFO排队。考虑如方框21所示的16个位置的队列，数据从队头被取出(在读指针地址)，而且数据被加到队尾(在写指针地址)。读和写地址可以取数值0至15，并且在溢出时它们转回。

当数据写入队列时，它被写在由写地址指针提供的地址上。写地址指针被增值，而且这个地址与写地址比较，如果相等，这时队列是满的。在队列满的条件下，设置一个满标记(FULL)。试图向一个满的队列写入将被异常终止，而该信息组丢失了。对该队列的读操作复位了该队列的空标记。

上述操作的顺序把16单元的RAM变成为一个先进先出的16单元信息组的队列。ATD装置的排队处理机进行八个队列需要的操作，每个队列有16个单元。该装置可以两种方式中的一种方式工作。第一种方式由排队处理机4从输入地址寄存器10中接收3比特地址，并可寻址八个输出中的一个输出。第二种方式由排队处理机4接收4比特地址。如果输入是LI₀至LI₃，那么该地址的前2比特用来寻址输出LO₀至LO₃。如果输入是LI₄至LI₇，则地址的后2比特用来寻址输出LO₄至LO₇。在第二种方式中，该装置可以用来向两个分开的4×4接线器的每个接线器提供分开的2比特路由号。

上面叙述的是本发明的一个实施例，本领域的技术人员可以很容易懂得可设想的替代的实施例。输入可以包含时钟和将被提取的数据信息，比特和基片的时隙定位。这样的电路示于图5中的方框23中。在连接表结构中的输出队列之间共用的RAM，也能进一步减小RAM的容量，如图5所示。为了实现这个目的，在每个RAM位置加上一个额外的指针24，它指向包含在相同输出队列中的单元的下一个位置。为了避免加倍存取RAM的数目，额外的指针可保存在单独的RAM中，由于时间限制，加倍存取RAM是不可能的。

在这个实施例中，写入写指针中的地址值是从空闲存储器位置的连接表表头取出的。如果这个表是空的，队列的FULL标记仅仅被置位，也就是在存储器的任何位置上有空位置。当信息组从任一输出队列被读出时，队列的FULL标记将被复位。

当信息组从一个输出队列读出时，与该存储单元有关的连接指针被读入读指针中，以指示在同一队列中的下一个信息组的地址。同时，刚读出的空单元地址被加到空存储位置的连接表的尾部。

由于指针值中的一个错误将引起该装置的大问题，为进行错误检查和校正应加入额外的比特。由所包含的计数器可以进行另一个检查，该计数器含有在每个队列中的信息组的数目，空位置数，因此逻辑电路能够确认所有这些计数器的总数是正确的，否则，数据一定丢失了，而且RAM被重新初始化。这样的逻辑电路以及与头和尾指针结合在一起的计数器示于方框25中。

如图5所示，两倍输入端的措施将加倍队列的输入带宽。使用两个RAM，一个保存前半部分信息组(A字段)，另一个保存后半部分信息组(B字段)，用于减少由数据RAM所需的存取时间。当A字段从所有的16个输入端写入A-RAM中时，从所有的16个输出队列的头部来的B字段将从B-RAM中读出。类似地，在下半个信息组期间，B字段被写入B-RAM中，而A字段从A-RAM中读出。另一方面，如果存储器存储时间没有限制，上述技术可以用来把输入串行并行变换器和输出并行串行变换器的长度二等分；在这种情况下，信息组将存储在一个存储单元中，该存储单元包括在两个RAM中的每个RAM的两部分的半长度的字。

在图6中所示的接线器结构是一个例子，利用上述交换装置可以得到很多替代的结构，这是可理解的。

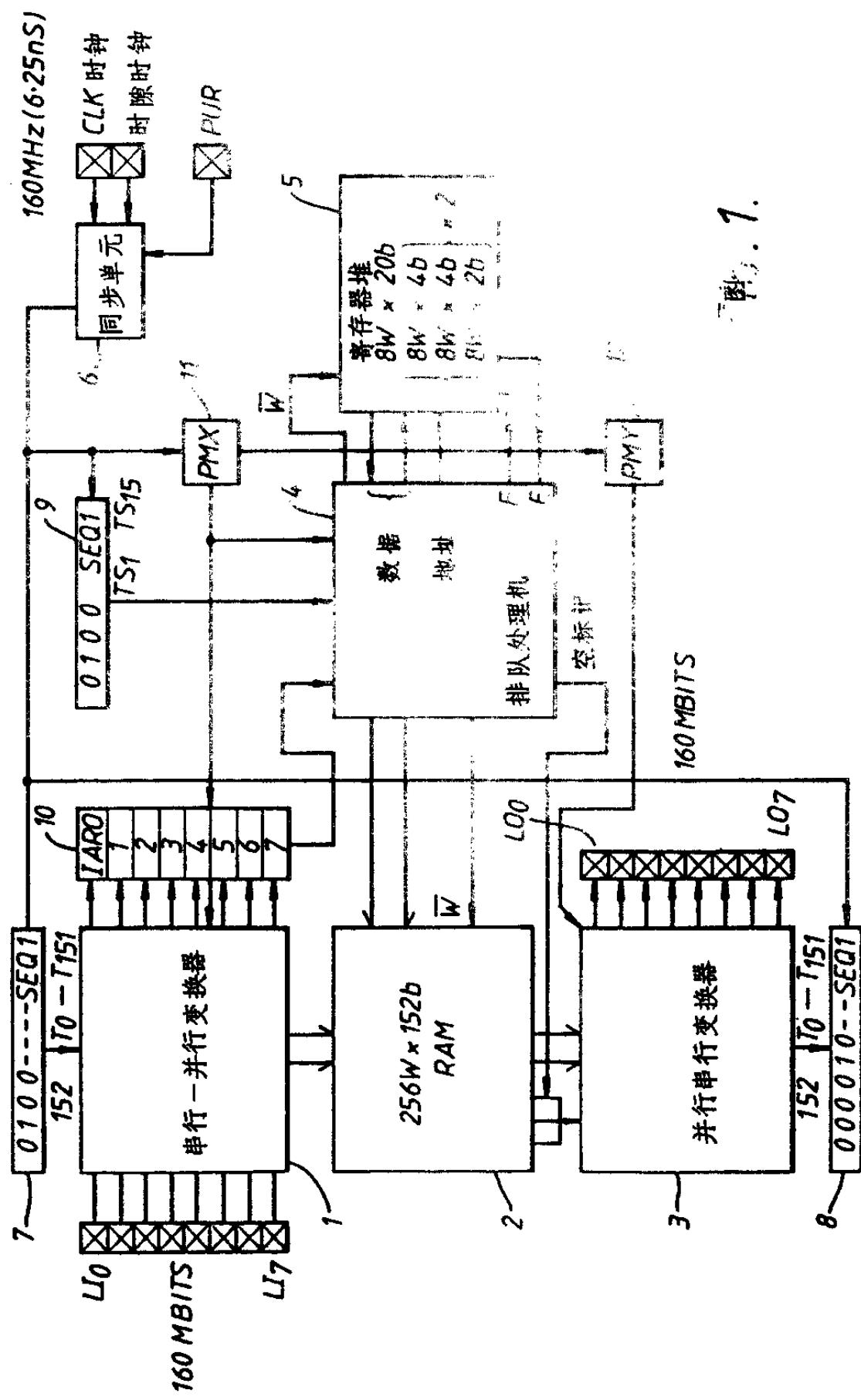
这个结构在多个输入接口电路26上接收140Mb/s的多路复用信息，它的功能是翻译标号和加上路由号。该信息通过一个交换中心发送到多个输出接口电路28中的一个接口电路上，交换中心包括多个交换装置27，在信息接入一条输出线以前，接口电路28删去路由号。

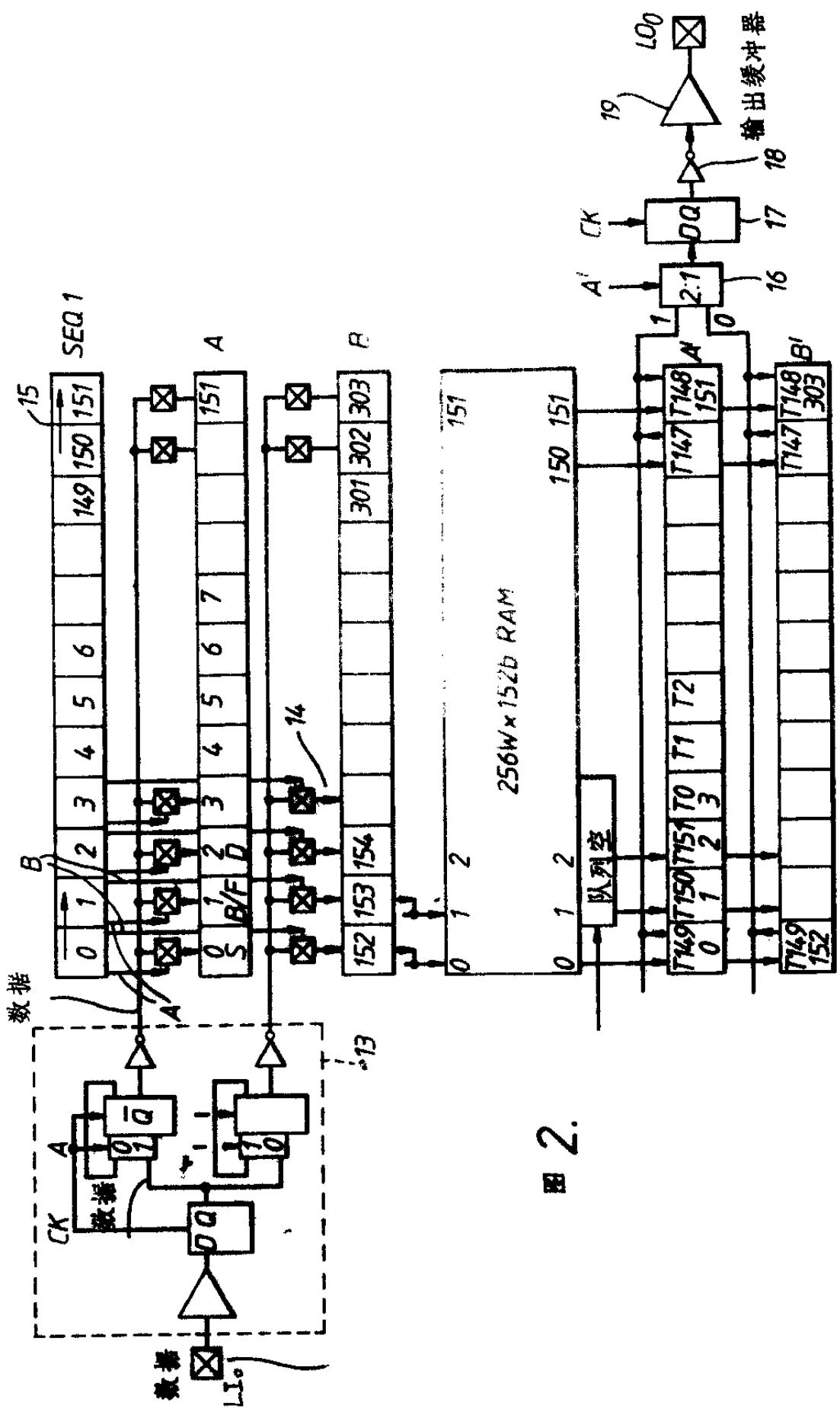
图6也表示一个典型的ATD单元，它包括信息的32个八位位组，一个八位位组用于标号和循环冗余检验码。这3个八位位组识别虚电路。

路由号是接线器内的内务操作的一部分，并且B/F比特用来识别该时隙是否被一个单元占用或空闲。

89108374X

说 明 图





2.
四

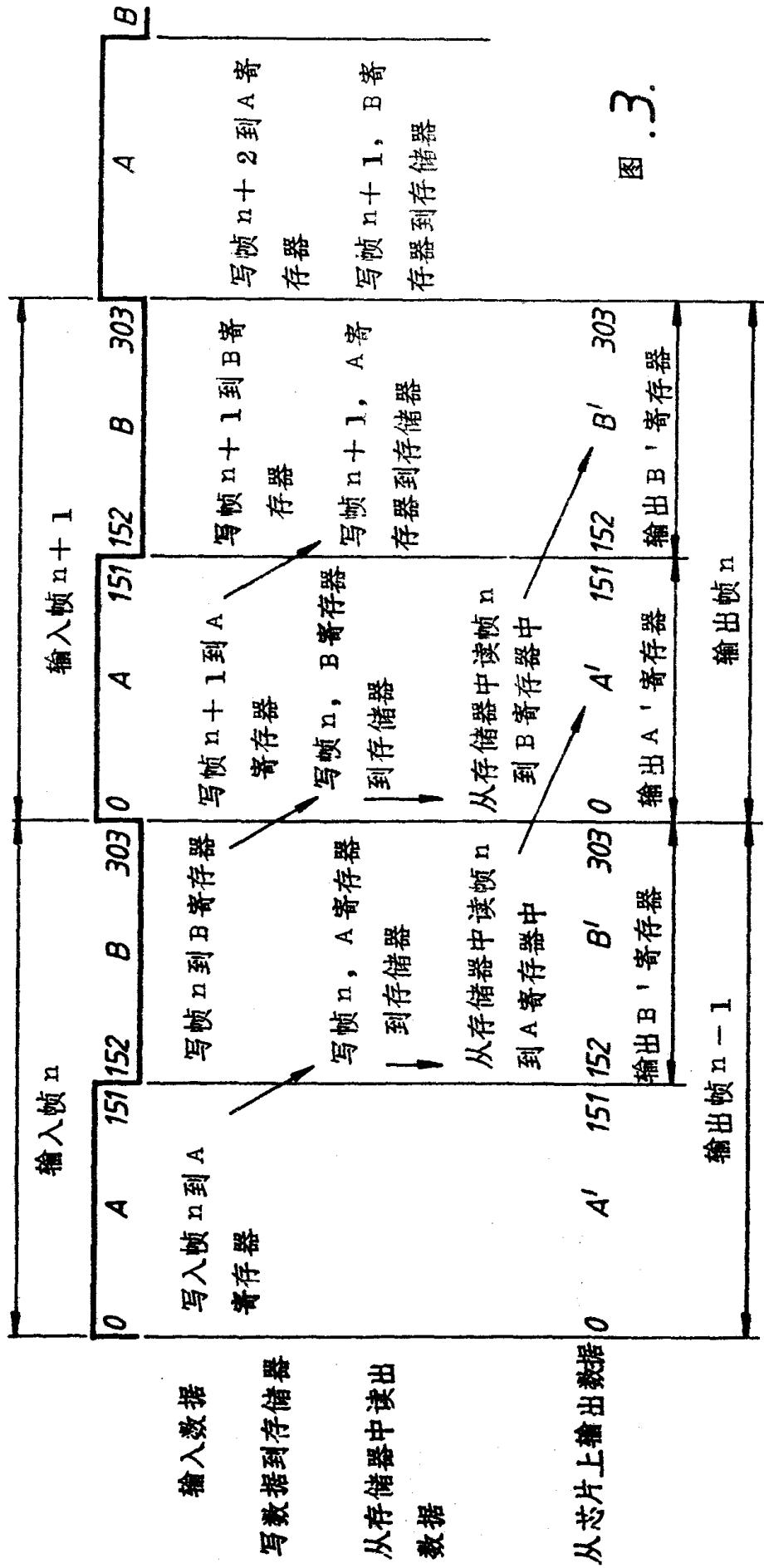


图 .3.

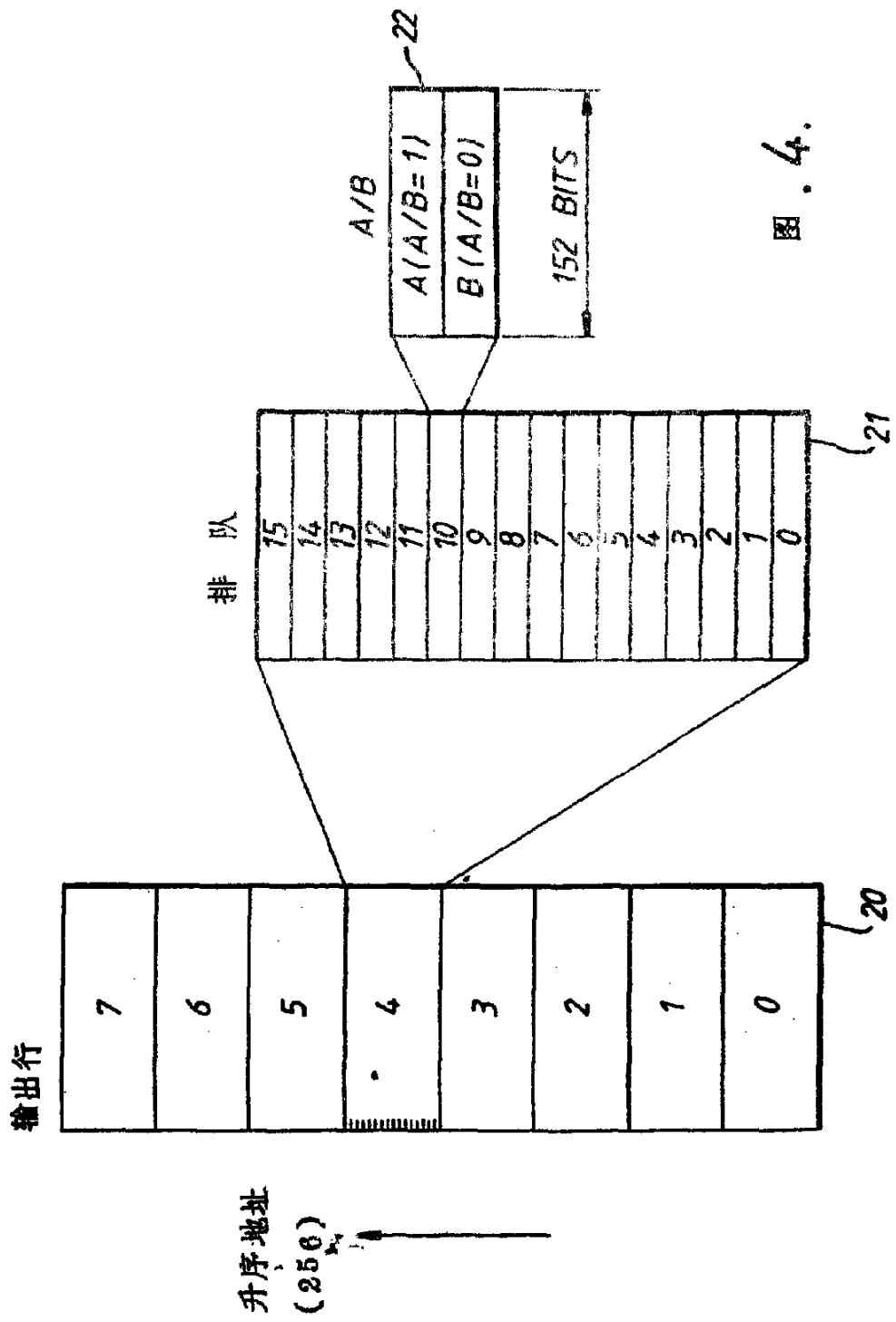


图 . 4.

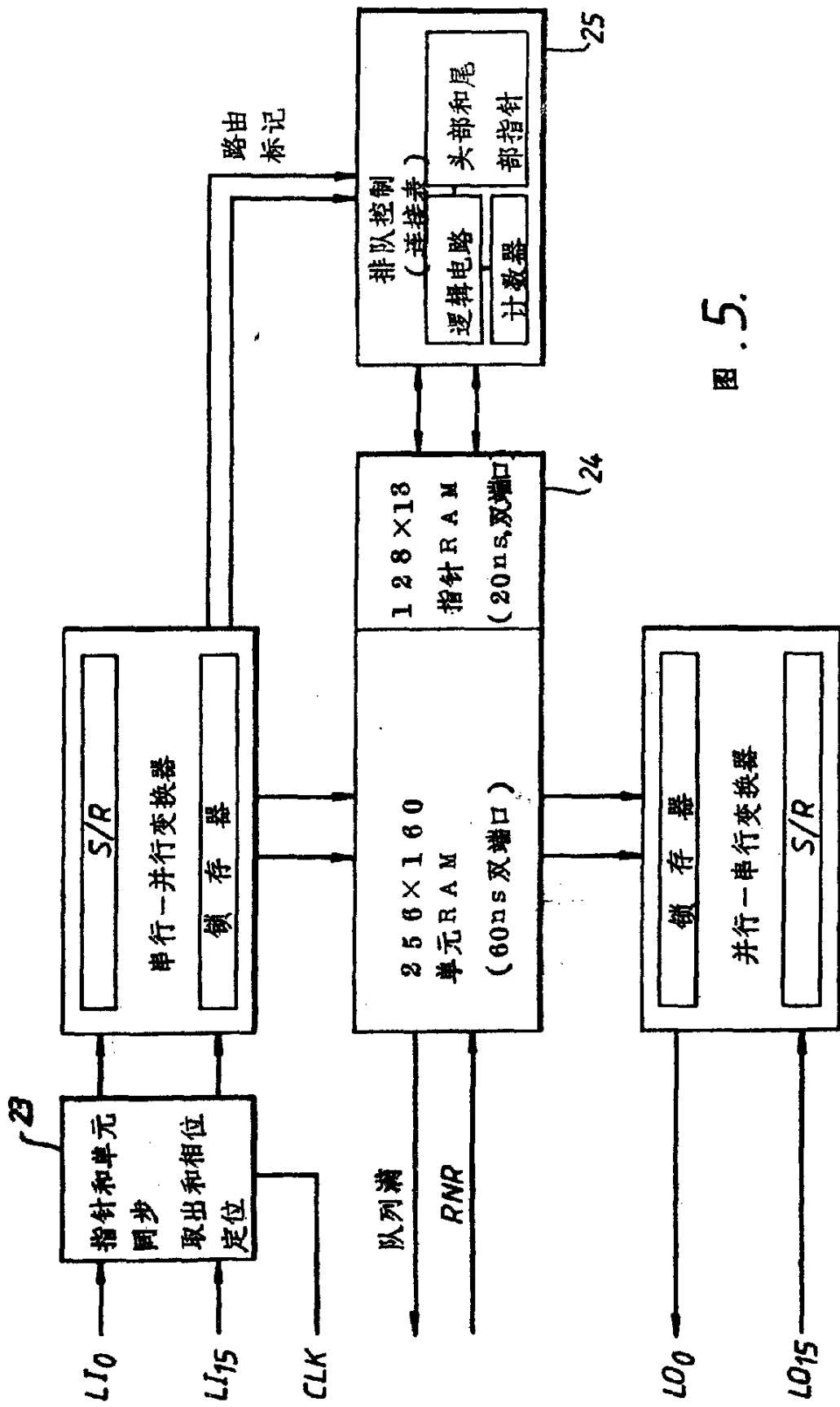


图 5.

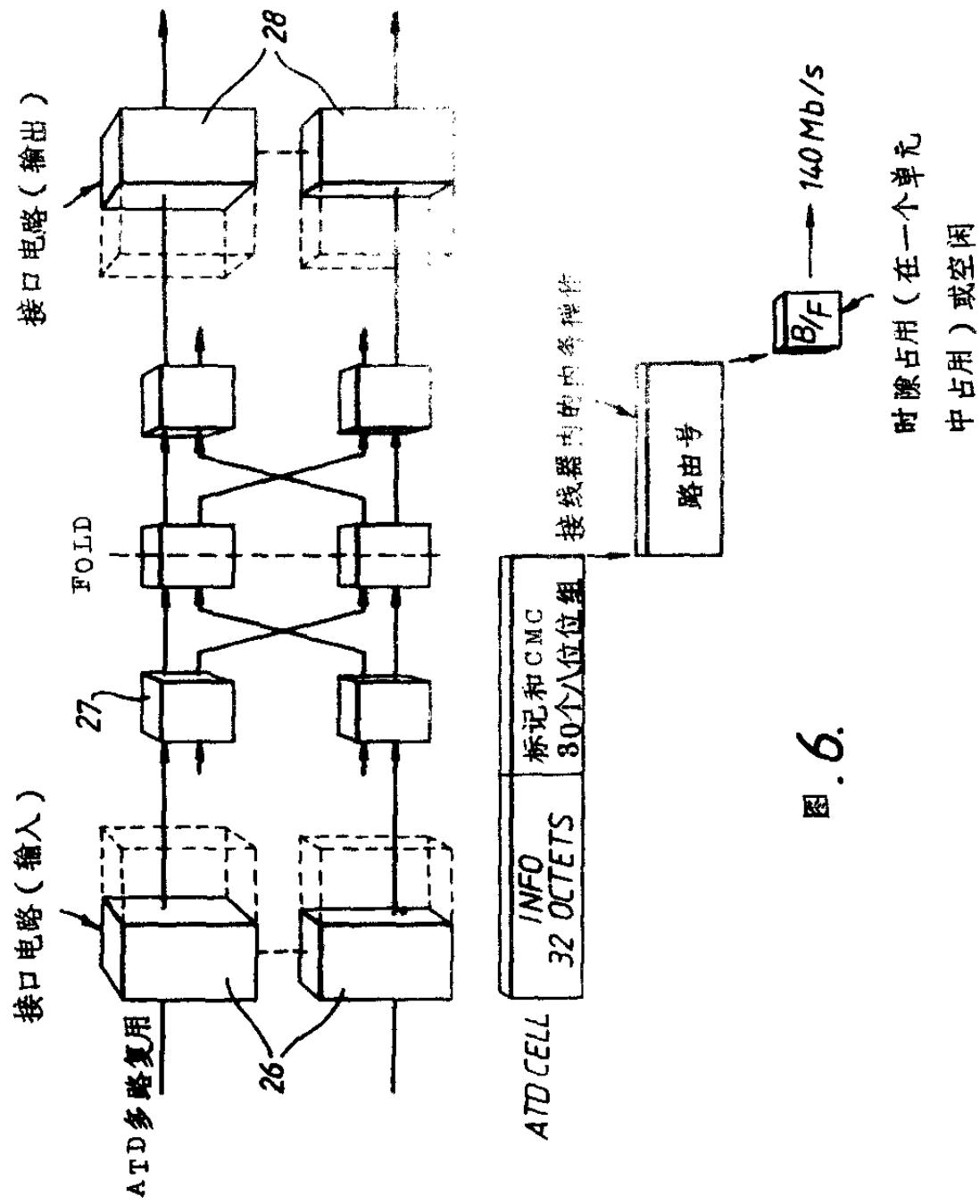


图.6.