[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/105 (2006.01)
H01L 29/78 (2006.01)
G11C 11/34 (2006.01)
G11C 11/407 (2006.01)

[12] 发明专利说明书

专利号 ZL 01120869.4

[45] 授权公告日 2006 年 1 月 25 日

[11] 授权公告号 CN 1238901C

[22] 申请日 2001.6.8 [21] 申请号 01120869.4

[30] 优先权

[32] 2000. 6. 9 [33] JP [31] 173715/2000

[32] 2000.10.30 [33] JP [31] 330972/2000

[71] 专利权人 株式会社东芝

地址 日本神奈川县

[72] 发明人 中村宽 今宫贤一

审查员 冀小强

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

代理人 王永刚

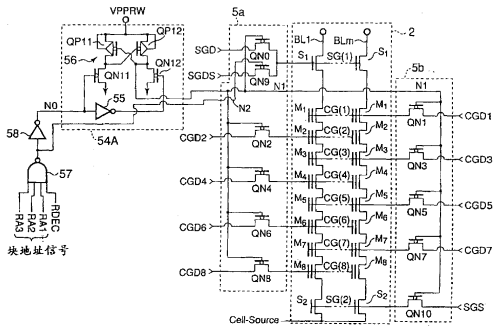
权利要求书 4 页 说明书 30 页 附图 38 页

[54] 发明名称

只用单沟道晶体管对所选字线传送电压的半导体存储装置

[57] 摘要

半导体存储装置具备：把存储器单元排列成矩阵的存储器单元阵列；在选择上述存储器单元阵列的字线的同时，向字线传送电压的行译码器电路。上述行译码器电路具备：第 1 导电类型的多个第 1 晶体管，其电流通路的一端被分别直接连接在各条字线上；第 2 导电类型的第 2 晶体管，和第 1 导电类型极性相反，在向选择出的字线传送电压的动作时，向被连接在选择出的字线上的上述第 1 晶体管的栅极传送电压。 向上述选择出的字线的电压传送只用第 1 导电类型的第 1 晶体管进行。



1. 一种半导体存储装置，具备：把存储器单元排列成矩阵的存储器单元阵列，以及在选择上述存储器单元阵列的字线的同时向字线传送电压的行译码器电路，

其特征在于：上述行译码器电路包括：

第 1 导电类型的多个第 1 晶体管，其电流通路的一端分别被直接连接在各条字线上；以及

和第 1 导电类型极性相反的第 2 导电类型的第 2 晶体管，在进行向选择出的字线传送电压的动作时，向被连接在选择出的字线上的上述第 1 晶体管的栅极传送电压；

其中，向所述选择出的字线的电压传送只用第 1 导电类型的第 1 晶体管进行，

所述行译码器电路还包括向上述第 1 晶体管的栅极施加电压的第一电压切换电路，上述第 2 晶体管被设置在上述电压切换电路内，在进行向上述选择出的字线传送电压的动作时，把比选择出的字线的电压还高的电压输入到上述电压切换电路中，经由上述第 2 晶体管传送到被连接在选择出的字线上的上述第 1 晶体管的栅极。

2. 根据权利要求 1 的半导体存储装置，其特征在于：在进行向上述选择出的字线传送电压的动作时，经由上述第 2 晶体管，向上述第 1 晶体管的栅极传送比给选择出的字线高的电压。

3. 根据权利要求 1 的半导体存储装置，其特征在于：上述电压切换电路还包括连接在上述第 2 晶体管和比上述选择出的字线的电压还高的电压节点之间的第 1 导电类型的第 3 晶体管，把上述第 3 晶体管的栅极设定在与上述第 1 晶体管的栅极相同的电位。

4. 根据权利要求 1 的半导体存储装置，其特征在于：上述存储器单元阵列由多个块构成，各块由被连接在 1 条或者多条字线上的存储器单元构成，同时，每一块中设置有上述行译码器电路。

5. 根据权利要求 4 的半导体存储装置，其特征在于：形成上述第

2 晶体管的阱区域是第 1 导电类型，上述阱区域被分开形成在上述每个块中。

6. 根据权利要求 4 的半导体存储装置，其特征在于：形成上述第 2 晶体管的阱区域是第 1 导电类型，相对于上述行译码器电路的图形区域相邻的 2 个块形成 1 个上述阱区域，只有与上述 2 个块对应的行译码器电路内元件形成在上述阱区域中。

7. 根据权利要求 4 的半导体存储装置，其特征在于：构成与上述各块对应的上述行译码器电路的元件，集中配置在上述各块中的字线的一端侧。

8. 根据权利要求 1 的半导体存储装置，其特征在于：直接连接在上述字线上的晶体管仅为第 1 导电类型的晶体管。

9. 根据权利要求 1 的半导体存储装置，其特征在于：直接连接在上述字线上的晶体管只有 1 个第 1 导电类型的晶体管。

10. 根据权利要求 1 的半导体存储装置，其特征在于：在进行向上述选择出的字线传送电压的动作时的上述第 1 晶体管的栅极电压大于等于选择出的字线的电压和上述第 1 晶体管的阈值电压之和。

11. 根据权利要求 1 的半导体存储装置，其特征在于：向上述选择出的字线传送电压的动作是数据写入动作。

12. 根据权利要求 1 的半导体存储装置，其特征在于：上述存储器单元是具有选择栅极晶体管的非易失性半导体存储装置的存储器单元。

13. 根据权利要求 1 的半导体存储装置，其特征在于：上述存储器单元是 NAND 型 EEPROM 的存储器单元。

14. 根据权利要求 1 的半导体存储装置，其特征在于：

施加在非选择块中的上述第 2 晶体管的栅极上的电压高于电源电压。

15. 根据权利要求 14 的半导体存储装置，其特征在于还包括：

接受块地址信号、输出与块的选择/非选择的判定结果对应的判定信号的逻辑电路；

包含上述第 2 晶体管、接收从上述逻辑电路输出的判定信号、分别设定上述第 1 晶体管的栅极电压的第 1 电压切换电路；以及

接收从上述逻辑电路输出的判定信号、改变上述判定信号的电平后提供给上述第 1 电压切换电路的第 2 电压切换电路，

其中，施加在上述非选择块中的上述第 2 晶体管的栅极上的电压为从上述第 2 电压切换电路输出的判定信号的电压电平。

16. 根据权利要求 15 的半导体存储装置，其特征在于：在进行向上述非选择块中的上述第 2 晶体管的栅极施加的电压变为比上述电源电压还高的电压的动作时，上述施加电压变为比上述逻辑电路内的最高电压还高的电压。

17. 根据权利要求 14 的半导体存储装置，其特征在于还包括：

接受块地址信号、输出与块的选择/非选择的判定结果对应的判定信号的逻辑电路；

包含上述第 2 晶体管、分别设定上述第 1 晶体管的栅极电压的第 1 电压切换电路；以及

接收从上述逻辑电路输出的判定信号、变换上述判定信号的电平后提供给上述第 1 电压切换电路的第 2 电压切换电路，

其中，施加在上述非选择块中的上述第 2 晶体管的栅极上的电压为从上述第 2 电压切换电路输出的判定信号的电压电平。

18. 根据权利要求 17 的半导体存储装置，其特征在于：在进行向上述非选择块中的上述第 2 晶体管的栅极施加的电压变为比上述电源电压还高的电压的动作时，上述施加电压成为比上述逻辑电路内的最高电压还高的电压。

19. 根据权利要求 14 的半导体存储装置，其特征在于：变成比上述电源电压还高的电压的动作是数据写入动作。

20. 根据权利要求 14 的半导体存储装置，其特征在于：在进行向上述非选择块中的上述第 2 晶体管的栅极施加的电压变成比上述电源电压还高的电压的动作时，上述施加电压的电平比选择块中的上述第 1 晶体管的电压电平低。

21. 根据权利要求 1 的半导体存储装置，其特征在于还包括:

接收行地址信号、输出块选择/非选择的判定结果的逻辑电路，以及

接收上述逻辑电路的输出信号、将信号输出到上述第 1 电压切换电路的第 2 电压切换电路，

其中，上述第 2 电压切换电路中的最高电压电平低于上述第 1 电压切换电路中的最高电压。

22. 根据权利要求 21 的半导体存储装置，其特征在于还包括：被设置在上述第 1 电压切换电路中的第 1 耗尽型晶体管，和被设置在上述第 2 电压切换电路中的第 2 耗尽型晶体管，

其中，上述第 1 耗尽型晶体管的栅极氧化膜，比上述第 2 耗尽型晶体管的栅极氧化膜厚。

23. 根据权利要求 21 的半导体存储装置，其特征在于：上述第 2 电压切换电路还包括第 2 导电类型的第 3 晶体管，上述第 2 晶体管的栅极氧化膜比上述第 3 晶体管的栅极氧化膜厚。

24.根据权利要求 21 的半导体存储装置，其特征在于：具有向上述第 1 耗尽型晶体管施加上述第 1 电压切换电路的最高电压的第 1 动作，以及向上述第 2 耗尽型晶体管施加上述第 2 电压切换电路的最高电压的第 2 动作。

25. 根据权利要求 24 的半导体存储装置，其特征在于：上述第 1 动作和上述第 2 动作都是数据写入动作。

只用单沟道晶体管对所选字线传送电压的半导体存储装置

技术领域

本发明涉及半导体存储装置，更详细地说涉及 NAND 单元、NOR 单元、DINOR 单元、AND 单元型 EEPROM 等的非易失性半导体存储装置。

背景技术

以往，作为半导体存储装置，已知有可以电气改写的 EEPROM。而其中引人注目的是，串联连接多个存储器单元构成 NAND 单元块的 NAND 单元型 EEPROM 可以高度集成化。

NAND 单元型 EEPEOM 之一的存储器单元，具有在半导体衬底上通过间隔绝缘膜积层浮置栅极（电荷蓄积层）和控制栅极的 FET-MOS 构造。而后在多个存储器单元相邻之间通过共用源极·漏极的形式串联连接构成 NAND 单元，把它作为一单元与位线连接。把这样的 NAND 单元排列成矩阵构成存储单元阵列。存储器单元阵列，被集成在 p 型半导体衬底上，或者 p 型阱区域内。

在存储器单元阵列的列方向上排列的 NAND 单元的一端的漏极，分别经由选择栅极晶体管共同连接在位线上，另一端的源极也通过选择栅极晶体管与共用源极线连接。存储器晶体管的控制栅极以及选择栅极晶体管的栅极电极，在存储器单元阵列的行方向上分别作为控制栅极线（字线）、选择栅极线共同连接。

该 NAND 单元型 EEPROM 的动作如下。数据写入动作，主要从距离位线接点最远位置的存储器单元开始顺序进行。首先，如果数据写入动作开始，则根据写入数据给予位线 0V（“1”数据写入位线）或者电源电压 Vcc（“0”数据写入位线），给予被选择出的位线接点侧的选择栅极线以 Vcc。这种情况下，在被连接在“1”数据写入位线上的选

择 NAND 单元中，经由选择栅极晶体管把 NAND 单元内的沟道部分固定在 0V。另一方面，在被连接在“0”数据写入位线上的选择 NAND 单元中，NAND 单元内的沟道部分，在经由选择栅极晶体管被充电至 [Vcc-Vtsg]（Vtsg 是选择栅极晶体管的阈值电压）之后，变为浮置状态。接着，选择 NAND 单元内的选择存储器单元中的控制栅极线从 0V 变为 Vpp（=20V：写入用高电压），选择 NAND 单元内的另一控制栅极线从 0V 变为 Vmg（=10V：中间电压）。

在被连接在“1”数据写入位线上的选择 NAND 单元中，因为 NAND 单元内的沟道部分被固定在 0V，所以在选择 NAND 单元内的选择存储器单元的控制栅极线一侧（=Vpp 电位）和沟道部分（=0V）上发生大的电位差（=20V），从沟道部分向浮置栅极产生电子注入。因而，该被选择出的存储器单元的阈值电压变换到正方向上，“1”数据的写入结束。

与此相反，在被连接在“0”数据写入位线上的选择 NAND 单元中，因为 NAND 单元内的沟道部分处于浮置状态，所以由于选择 NAND 单元内的控制栅极线和沟道部分之间的电容耦合的影响，伴随控制栅极线的电压上升（0V→Vpp，Vmg），沟道部分的电位维持浮置状态从 [Vcc－Vtsg]电位上升到 Vmch（=8V）。这时，因为选择 NAND 单元内的选择存储器单元的控制栅极线（=Vpp 电位）和沟道部分（=Vmch）之间的电位差为 12V 比较小，所以不引起电子注入。因而，选择存储器单元的阈值电压不变，维持在负的状态。

对被选择出的 NAND 单元块内的全部的存储器单元同时进行数据擦除。即，把选择出的 NAND 单元块内的全部的控制栅极线设置成 0V，在位线、源极线、p 型阱区域（或者 p 型半导体衬底）、非选择 NAND 单元块中的控制栅极线以及全部的选择栅极线上施加 20V 的高电压。由此，在选择 NAND 单元块中的全部的存储器单元中浮置栅极中的电子被释放到 p 型阱区域（或者 p 型半导体衬底），阈值电压变换到负方向。

另一方面，数据读出动作，把被选择出的存储器单元的控制栅极

线设置成 0V，把除此以外的存储器单元的控制栅极线以及选择栅极线设定在读出用的中间电压 Vread（约 4V），通过在选择存储器中检测出是否有电流流过进行。

从以上的动作说明可知，在 NAND 单元型 EEPROM 中，在数据写入动作时，需要向选择块内的被选择出的控制栅极线上传送 Vpp（约 20V），向选择块内的非选择的控制栅极线上传送比 Vmg（约 10V）这一电源电压高的电压。

为了传送上述电压 Vpp、Vmg，在行译码器电路中，并联连接作为控制栅极线的极性不同的 2 种元件的 NMOS 晶体管（n 沟道型 MOS 晶体管）和 PMOS 晶体管（p 沟道型 MOS 晶体管）的电流通路，控制在选择块中 NMOS 晶体管和 PMOS 晶体管的两方变为导通状态，在非选择块中两方变为截止状态。

图 1 是展示在这种以往的半导体存储装置中的行译码器电路的局部的构成例子的电路图。

在图 1 所示的电路中，对于各控制栅极线的 1 条，连接[NMOS 晶体管 1 个（Qn1~Qn8）+PMOS 晶体管 1 个（Qp1~Qp8）]。对这些晶体管 Qn1~Qn8、Qp1~Qp8，分别从节点 N1、N2 提供互补的控制信号。

在数据写入时，如电源节点 VPPRW=[被选择的控制栅极线电压]=20V 那样，电源节点 VPPRW 和被选择出的控制栅极线电压变为相同的电平。在这种情况下，因为每条控制栅极线连接有[1 个 NMOS 晶体管+1 个 PMOS 晶体管]，所以即使电源节点 VPPRW 在 20V 的情况下也可以向控制栅极线传送 20V。由此，在选择块中，不需要把电源节点 VPPRW 提高到（20V+Vth）就可以进行 0V、Vpp 两个电压的传送。

在图 1 所示的电路中，存储器单元 M_1~M_8，被串联连接成电流通路，构成一个 NAND 单元。上述各 NAND 单元的一端，经由选择栅极晶体管 S_1 的电流通路被连接在位线 BL1~BLm 上，另一端经由选择栅极晶体管 S_2 的电流通路被共同连接在源极线（Cell~Source）。控制栅极线 CG（1）~CG（8）分别被共同连接在各 NAND 单元中的存储

器单元 M_1~M_8 的控制栅极上，选择栅极线 SG（1）、SG（2）分别被共同连接在选择栅极晶体管 S_1、S_2 的栅极上。向各信号输入节点 CGD1~CGD8、SGD、SGS、SGDS，提供译码器信号。另外，行译码器起动信号 RDEC，在通常的数据写入/读出/擦除动作中处于 Vcc，在非动作中处于 0V。块地址信号 RA1、RA2、RA3，在选择块中全部为 Vcc，在非选择块中至少 1 个为 0V。

在此，被设置在用虚线表示的区域 HV 内的全部 PMOS 晶体管，被形成在施加写入用高电压 Vpp 的 n-阱区域内，上述节点 N1、N2 中的一方在写入动作时，必须和 Vpp 同电位。另外，节点 SGDS 的电位，在写入动作时变为 0V。

但是，在上述那样构成中，对于各控制栅极 CG（1）~CG（8），因为分别需要 2 个晶体管 Qp1~Qp8、Qn1~Qn8，所以行译码器电路内的元件数增加，存在由于行译码器电路的图形占有面积增加引起单片成本增加的问题。

另一方面，为了防止行译码器电路内的元件数的增加，如图 2 所示有使用把连接在 1 条控制栅极线上的晶体管数设置成 1 个（例如只有 NMOS 晶体管 QN1~QN8）的电路。在如图 2 所示的电路中，存储器单元块 2 和图 1 的构成相同，而行译码器电路的一部分（控制栅极线 CG（1）~CG（8），以及向选择栅极晶体管 S_1、S_2 传送电压的晶体管部分）5a、5b 的电路构成，以及设置泵电路 PUMP 这一点不同。

在该电路构成的情况下，为了向控制栅极线 CG（1）~CG（8）传送写入用高电压 Vpp，作为提供到被连接在这些控制栅极线 CG（1）~CG（8）上的 NMOS 晶体管 QN1~QN8 的栅极的电压，需要[Vpp+Vtn]（Vth 是被连接在控制栅极线 CG（1）~CG（8）上的 NMOS 晶体管 QN1~QN8 的阈值电压）。因此，在行译码器电路内设置有泵电路 PUMP。

该泵电路 PUMP 由电容器 C1、C2、NMOS 晶体管 QN21~QN23、倒相器 6、“与非”门 7，以及耗尽型 NMOS 晶体管 QN24、QN25 等构成。

在图 2 所示的电路中，信号 OSCRD 在数据写入/读出动作中成为振荡信号，在泵电路 PUMP 内被升压的电压被输出到节点 N1，经由晶体管 QN1~QN8 的电流通路向控制栅极线 CG（1）~CG（8）传送电压。进而，信号 TRAN，通常被固定在 0V。

但是，上述泵电路 PUMP 因为包含多个元件和电容器 C1、C2，所以电路面积增大。特别是因为 2 个电容器 C1、C2 所需要的图形面积通常比其它元件大。所以存在不可能通过消减电压传送用的晶体管的个数，使行译码器电路的图形面积充分减小的问题。

这样，以往的 NAND 单元型等的 EEPROM 因为需要有向字线送高电压的功能，所以在行译码器电路内每 1 条字线需要多个连接于字线上的晶体管。因此，存在行译码器电路的图形面积增加的问题。

另外，为了解决此问题，如果在行译码器电路内把与字线连接的晶体管设置成每条字线 1 个，则在行译码器电路内需要泵电路，由于该泵电路的图形面积增大，仍然存在行译码器电路的图形面积增加的问题。

进而，当在行译码器电路中把连接于字线的晶体管设置成每条字线 1 个，并且在行译码器电路内不设置泵电路的情况下，不能在电压不下降的情况下向字线传送写入用高压，存在不能实现充分的数据写入动作的危险性增加的问题。

发明内容

因而，本发明的目的在于：提供一种可以在电压不下降的情况下向字线传送高压，并且可以消减行译码器电路的图形面积的半导体存储装置。

另外，本发明的另一目的在于：提供一种可以以廉价实现高可靠性的单片的半导体存储装置。

本发明的再一目的在于：提供一种可以在电压不下降的情况下向字线传送高电压，可以实现充分的数据写入动作的半导体存储装置。

为此，本发明提供了一种半导体存储装置，具备：把存储器单元

排列成矩阵的存储器单元阵列，以及在选择上述存储器单元阵列的字线的同时向字线传送电压的行译码器电路，其特征在于：上述行译码器电路包括：第1导电类型的多个第1晶体管，其电流通路的一端分别被直接连接在各条字线上；以及和第1导电类型极性相反的第2导电类型的第2晶体管，在进行向选择出的字线传送电压的动作时，向被连接在选择出的字线上的上述第1晶体管的栅极传送电压；其中，向所述选择出的字线的电压传送只用第1导电类型的第1晶体管进行，所述行译码器电路还包括向上述第1晶体管的栅极施加电压的第一电压切换电路，上述第2晶体管被设置在上述电压切换电路内，在进行向上述选择出的字线传送电压的动作时，把比选择出的字线的电压还高的电压输入到上述电压切换电路中，经由上述第2晶体管传送到被连接在选择出的字线上的上述第1晶体管的栅极。

在本发明的上述半导体存储装置中，施加在非选择块中的上述第2晶体管的栅极上的电压高于电源电压。

此外，本发明的上述半导体存储装置还包括：接收行地址信号、输出块选择/非选择的判定结果的逻辑电路，以及接收上述逻辑电路的输出信号、将信号输出到上述第1电压切换电路的第2电压切换电路，其中，上述第2电压切换电路中的最高电压电平低于上述第1电压切换电路中的最高电压。

采用上面所述的结构，因为只用第1导电类型的第1晶体管对选择出的字线进行电压的传送，所以在行译码器电路内与字线连接的晶体管为每条字线1个，可以消减行译码器电路的图形面积。另外，因为在上述第1晶体管的栅极上，经由第2导电类型的第2晶体管传送电压，所以例如如果作为第1导电类型使用n沟道型，作为第2导电类型使用p沟道型的晶体管，则可以防止由于第2晶体管的阈值电压引起的传送电压的降低，不设置泵电路就可以把第1晶体管的栅极设定在高电压。其结果，可以向字线在不降低电位的情况下传送高电压。

另外，因为可以实现图形面积小的行译码器电路，所以可以廉价

地实现可靠性高的单片。

进而，可以在不降低电位的情况下向字线传送高电压，可以实现充分的数据写入动作。

附图说明

图 1 是展示以往的半导体存储装置中的行译码器电路和存储器单元阵列的局部构成例子的电路图。

图 2 是展示以往的半导体存储装置中的行译码器电路和存储器单元阵列的局部的另一构成例子的电路图。

图 3 是用于说明根据本发明的实施方案的半导体存储装置的图，是展示 NAND 型 EEPROM 概略构成的方框图。

图 4A 是图 3 所示的存储器单元阵列中的一个 NAND 单元部分的图形平面图。

图 4B 是图 3 所示的存储器单元阵列中的一个 NAND 单元部分的等效电路图。

图 5A 是沿着图 4A 的 5A-5A 线的断面图。

图 5B 是沿着图 4A 的 5B-5B 线的断面图。

图 6 是把上述 NAND 单元排列成矩阵的存储器单元阵列的等效电路图。

图 7 是展示根据本发明的实施方案 1 的半导体存储装置中的行译码器电路和存储器单元阵列的局部的构成例子的电路图。

图 8 是展示根据本发明的实施方案 1 的半导体存储装置中的数据写入动作的时序图。

图 9 是展示根据本发明的实施方案 1 的半导体存储装置中的数据读出动作的时序图。

图 10 是展示根据本发明的实施方案 1 的半导体存储装置中的数据擦除动作的时序图。

图 11 是展示根据本发明的实施方案 1 的半导体存储装置中的行译码器电路和存储器单元阵列的局部的构成例子的电路图。

图 12A 和图 12B 是分别用于说明根据实施方案 1、实施方案 2 的半导体存储装置中的行译码器电路内的 n-阱区域的形状的图。

图 13 是展示根据本发明的实施方案 3 的半导体存储装置中的行译码器电路和存储器单元阵列的局部的构成例子的电路图。

图 14 是展示根据本发明的实施方案 4 的半导体存储装置中的行译码器电路和存储器单元阵列的局部构成例子的电路图。

图 15 是展示根据本发明的实施方案的半导体存储装置中的存储器单元阵列和行译码器电路的第 1 块配置例子的图。

图 16 是展示根据本发明的实施方案的半导体存储装置中的存储器单元阵列和行译码器电路的第 2 块配置例子的图。

图 17 是展示根据本发明的实施方案的半导体存储装置中的存储器单元阵列和行译码器电路的第 3 块配置例子的图。

图 18 是展示根据本发明的实施方案的半导体存储装置中的存储器单元阵列和行译码器电路的块配置，以及 n-阱区域的形状的第 1 例子的图。

图 19 是展示根据本发明的实施方案的半导体存储装置中的存储器单元阵列和行译码器电路的块配置，以及 n-阱区域的形状的第 2 例子的图。

图 20 是展示根据本发明的实施方案的半导体存储装置中的存储器单元阵列和行译码器电路的块配置，以及 n-阱区域的形状的第 3 例子的图。

图 21A 至 21E 是用于分别说明根据本发明的实施方案 1 至实施方案 4 的半导体存储装置，以及根据其他多个实施方案的半导体存储装置中的行译码器电路的块配置，以及 n 阱区域的形状的图。

图 22 是展示根据本发明的实施方案 1 至实施方案 4 的半导体存储装置，以及根据其它多个实施方案的半导体存储装置中的行译码器电

路内块地址译码器以及电压切换电路的第 1 构成的电路图。

图 23 是展示根据本发明的实施方案 1 至实施方案 4 的半导体存储装置，以及根据其它多个实施方案的半导体存储装置中的行译码器电路内块地址译码器以及电压切换电路的第 2 构成的电路图。

图 24 是展示根据本发明的实施方案 1 至实施方案 4 的半导体存储装置，以及根据其它多个实施方案的半导体存储装置中的行译码器电路内块地址译码器以及电压切换电路的第 3 构成的电路图。

图 25 是展示根据本发明的实施方案 1 至实施方案 4 的半导体存储装置，以及根据其它多个实施方案的半导体存储装置中的行译码器电路内块地址译码器以及电压切换电路的第 4 构成的电路图。

图 26 是用于说明根据其它多个实施方案的半导体存储装置的行译码器电路的块配置，以及 n-阱区域形状的图。

图 27 是用于说明根据其它多个实施方案的半导体存储装置的行译码器电路的块配置，以及 n-阱区域形状的图。

图 28 是用于说明根据其它多个实施方案的半导体存储装置的行译码器电路的块配置，以及 n-阱区域形状的图。

图 29A 和图 29B 是用于分别进一步说明根据其它的多个实施方案的半导体存储装置中的行译码器电路的块配置，以及 n-阱区域形状的图。

图 30 是展示根据本发明的实施方案 5 的半导体存储装置中的行译码器电路的另一构成例子的图。

图 31A 至图 31D 是分别展示图 30 所示的电路中的电压切换电路的具体的构成例子的电路图。

图 32 是展示根据本发明的实施方案 6 的半导体存储装置的行译码器电路的另一构成例子的电路图。

图 33A 至图 33D 是分别展示图 32 所示的电路中的电压切换电路的具体构成例子的电路图。

图 34 是用于说明根据本发明的另一实施方案的半导体存储装置

的图，是抽出向上述各实施方案中的电压切换电路提供高电压的电路部分展示的电路图。

图 35 是用于说明根据本发明的再一实施方案的半导体存储装置的图，是抽出向上述各实施方案中的电压切换电路提供高电压的电路部分展示的电路图。

图 36 是展示 NOR 单元型 EEPROM 中的存储器单元阵列的等效电路图。

图 37 是展示 DINOR 单元型 EEPROM 中的存储器单元阵列的等效电路图。

图 38 是展示 AND 单元型 EEPROM 中的存储器单元阵列的等效电路图。

图 39 是展示在带有选择晶体管的 NOR 单元型 EEPROM 中的存储器单元阵列的等效电路图。

具体实施方式

图 3 是用于说明根据本发明的实施方案的半导体存储装置的图，是展示 NAND 型 EEPROM 概略构成的方框图。在存储器单元阵列 101 上，连接有用于进行数据写入·读出·再写入以及校验读出的位线控制电路（读出放大器兼数据锁存器）102。该位线控制电路 102 与数据输入输出缓冲器 106 连接，把接收来自地址缓冲器 104 的地址信号的列译码器 103 的输出作为输入接收。

另外，在上述存储器单元阵列 101 上，连接有用于控制控制栅极以及选择栅极的行译码器 105，以及用于控制形成该存储器单元阵列 101 的 p 型硅衬底（或者，p 型阱区域）的电位的衬底电位控制电路 107。另外，在数据写入动作时，为了分别发生写入用高电压 Vpp（约 20V）和中间电压 Vmg（约 10V），设置写入用高电压发生电路 109 和写入用中间电压发生电路 110。进而，在数据读出时，为了发生读出用中间电压 Vread，设置有读出用中间电压发生电路 111。另外，在擦除动

作时，为了发生擦除用高电压 Vpp（约 20V），设置有擦除用高电压发生电路 112.

位线控制电路 102 主要由 CMOS 触发电路构成，进行用于写入的数据的锁存和用于读位线的电位的读出动作，还进行用于写入后的校验读出的读出动作，进而进行再写入数据的锁存。

图 4A 和 4B，分别是在上述存储器单元阵列 101 中的一个 NAND 单元部分的图形平面图和等效电路图，图 5A 和 5B 分别是沿着图 4A 的 5A-5A 线，以及 5B-5B 线的断面图. 在用元件分离氧化膜 12 包围的 p 型硅衬底（或者 p 型阱区域）11 上，形成由多个 NAND 单元组成的存储器单元阵列. 如果以一个 NAND 单元说明，则在本实施方案中，串联连接 8 个存储器单元 M_1~M_8 构成一个 NAND 单元。

存储器单元 M_1~M_8，分别在衬底 11 上隔着栅极绝缘膜 13 形成浮置栅极 14（14_1，14_2，……，14_8），在其上隔着绝缘膜 15 形成控制栅极 16（=字线：16_1，16_2，……，16_8）构成。作为这些存储器单元的源极、漏极的 n 型扩散层 19（19_0，19_1，……，19_{10}）以相邻之间共用的形式连接，由此串联连接存储器单元。

在 NAND 单元的漏极一侧、源极一侧上，分别设置和存储器单元的浮置栅极、控制栅极同时形成的选择栅极 14_9、16_9 以及 14_{10}、16_{10}. 形成有元件的衬底 11 上由 CVD 氧化膜 17 包覆，在其上配设有位线 18. 位线 18 被接触在 NAND 单元一端的漏极侧扩散层 19 上。排列在行方向上的 NAND 单元的控制栅极 16，共同作为控制栅极线 CG（1）、CG（2）、……、CG（8）配设. 这些控制栅极成为字线. 选择栅极 14_9、16_9 以及 14_{10}、16_{10} 也分别在行方向上连续地作为选择栅极线 SG（1）、SG（2）配设。

图 6 是展示把这种 NAND 单元排列成矩阵的存储器单元阵列的等效电路. 把共用同一字线和选择栅极线的 NAND 单元群叫做块（Block），把用图 6 中的虚线包围的区域定义为 1 个块. 在通常的读出·写入动作时，在多个块中只选择 1 个（称为选择块）。

在图 7 中，展示在根据本发明的实施方案 1 的半导体存储装置中

的行译码器电路以及存储器单元阵列的局部的构成例子．在图 7 中，展示了把 1 块电路内的元件配置在存储器单元块 2 的两侧时的构成．图 7 所示的电路的特征在于：被连接在控制栅极线 CG（1）~CG（8）以及选择栅极线 SG（1）、SG（2）上的晶体管 QN0~QN10 只是 n 沟道型；被连接在控制栅极线 CG（1）~CG（8）上的晶体管 QN1~QN8 是每条控制栅极线 1 个；在设定被连接在控制栅极线 CG（1）~CG（8）和选择栅极线 SG（1）、SG（2）上的晶体管 QN0~QN10 的栅极电压的电压切换电路 54A 的输出节点 N1 和电源节点 VPPRW 之间设置有 PMOS 晶体管 QP11、QP12.

即，在控制栅极线 CG（1）~CG（8）和信号输入节点 CGD1~CGD8 之间，分别连接 NMOS 晶体管 QN1~QN8 的电流通路．另外，在选择栅极线 SG（1）和信号输入节点 SGD、SGDS 之间，分别连接 NMOS 晶体管 QN0、QN9 的电流通路．进而，在选择栅极线 SG（2）和信号输入节点 SGS 之间，连接 NMOS 晶体管 QN10 的电流通路．

上述电压切换电路 54A，其构成包含 PMOS 晶体管 QP11、QP12、NMOS 晶体管 QN11、QN12，以及倒相器 55．上述 PMOS 晶体管 QP11、QP12、NMOS 晶体管 QN11、QN12，被连接成起到触发电路 56 的作用，上述 PMOS 晶体管 QP11、QP12 的电流通路的一端以及背栅极分别被共同连接在一端的电源节点 VPPRW 上．上述 NMOS 晶体管 QN11、QN12 的电流通路，被连接在上述 PMOS 晶体管 QP11、QP12 的电流通路的另一端和另一方的电源节点上，例如接地点间．上述 PMOS 晶体管 QP11 的栅极，被连接在上述 PMOS 晶体管 QP12 的电流电路的另一端以及节点 N1 上，上述 PMOS 晶体管 QP12 的栅极，被连接在上述 PMOS 晶体管 QP11 的电流通路的另一端．而后，倒相器 55 的输出端被连接在 NMOS 晶体管 QN12 的栅极上，输入端被连接在 NMOS 晶体管 QN11 的栅极上．

向“与非”门 57 的第 1 输入端提供信号 RDEC，向第 2 至第 4 输入端分别提供信号 RA1、RA2、RA3．在该“与非”门 57 的输出端上连接有倒相器 58 的输入端以及节点 N2．而后，在上述倒相器 58 的输

出端（节点 N0）上，连接上述倒相器 55 的输入端以及 NMOS 晶体管 QN11 的栅极。

进而，图 7 中的信号 RDEC 是行译码器起动信号，在通常数据写入·读出·擦除动作中处于 Vcc，在非动作中处于 0V。另外，信号 RA1、RA2、RA3 分别是块地址信号，在选择块中全部变为 Vcc，在非选择块中至少 1 个变为 0V。因而，只有动作中的选择块节点 N0 变为 Vcc，在非动作中或者非选择块中通常节点 N0 变为 0V。

把使用图 7 的电路情况下的表示数据写入、数据读出，以及数据擦除的动作的时序图分别展示在图 8 至图 10 中。以下简单地说明各动作定时。进而，在图 8 和 9 以及以后的数据写入·读出动作中，在选择块中的 8 根控制栅极线 CG（1）~CG（8）中，以选择控制栅极线 CG（2）为例子进行动作说明，但在选择其它的控制栅极线情况下也一样。

在图 8 所示的数据写入动作中，如果动作开始，则首先选择块的行译码器电路变为选择状态，节点 N0、N1 变为 Vcc，节点 N2 变为 0V。另外，写入数据是“0”数据的位线在被从 0V 充电到 Vcc 的同时，选择块内的 SG（1）变为[Vcc-Vtsg]。接着，由于电源节点 VPPRW 从 Vcc 变为（20V+Vtn）（Vtn 是与控制栅极线 CG（1）~CG（8）直接连接的 NMOS 晶体管 QN1~QN8 的阈值电压），因而电压切换电路 54A 的输出节点 N1 也从 Vcc 变为（20V+Vtn）。

接着，如果信号输入节点 CGD2 从 0V 变为 20V，信号输入节点 CGD1、CGD3~CGD8 从 0V 变为 10V，因为被连接在控制栅极线上的 NMOS 晶体管的栅极电压在此时处于（20V+Vtn），所以从信号输入节点 CGDi 向控制栅极线 CG（i）在电压不下降的情况下传送电压，控制栅极线 CG（2）从 0V 变为 20V，控制栅极线 CG（1）、CG（3）~CG（8）从 0V 变为 10V。此时，被连接在“1”写入位线上的选择块内 NAND 单元的沟道部分电压 Vchannel 被固定在 0V，被连接在“0”写入位线上的选择块内的 NAND 单元的沟道部分电压 Vchannel 由于和控制栅极线的电容耦合的影响上升到 8V。由于该状态被保持一会

儿，因而对写入数据是“1”的存储器单元的浮置栅极进行电子注入，执行数据写入。接着，在选择块内的控制栅极线 CG（1）~CG（8）全部变为 0V 之后，在“0”数据写入位线和选择栅极线 SG（1）变为 0V 的同时，电源节点 VPPRW 变为 Vcc. 最后，在源极线（Cell-Source）变为 0V 的同时，节点 N0、N1、N2 分别变为 0V、0V、Vcc，数据写入动作结束。

在图 9 所示的数据读出动作中，如果动作开始，则首先选择块的行译码器电路变为选择状态，节点 N0、N1 变为 Vcc，节点 N2 变为 0V. 另外，把进行数据的读出的位线预先充电到 Vcc。接着，在电源节点 VPPRW 和节点 N1 变为（4V+Vtn）的同时，如果信号输入节点 CGD1、CGD3~CGD8 和信号输入节点 SGD、SGS 从 0V 变为 4V，信号输入节点 CGD2 固定为 0V，则因为在被连接在控制栅极线和选择栅极线上的 NMOS 晶体管的栅极上施加比 4V 还高的阈值电压，所以可以在电位不降低的情况下向控制栅极线和选择栅极线传送电压。因而，此时，选择块内的非选择的控制栅极线 CG（1）、CG（3）~CG（8）、选择栅极线 SG（1）、SG（2）从 0V 变为 4V，被选择出的控制栅极线固定为 0V。由于该状态保持一会儿，因而被选择出的存储器单元的数据被读出。接着，在被选择出的块内的控制栅极线 CG（1）~CG（8）以及选择栅极线 SG（1）、SG（2）全部变为 0V 的同时，电源节点 VPPRW 从（4V+Vtn）变为 Vcc，位线变为 0V，另外由于节点 N0、N1、N2 分别变为 0V、0V、Vcc，因而数据读出动作结束。

在图 10 所示的数据擦除动作中，如果动作开始，则首先选择块的行译码器电路变为选择状态，节点 N0、N1 变为 Vcc，节点 N2 变为 0V. 另外，因为信号输入节点 SGD、SGS、SGDS 全部变为 Vcc，所以选择块·非选择块两方的选择栅极线 SG（1）、选择块的选择栅极线 SG（2）在全部被充电到（Vcc-Vtn）后，变为浮置状态。另外，此时，非选择块中的控制栅极线和选择栅极线 SG（2）全部在 0V 的电压下变为浮置状态。接着，如果构成存储器单元阵列的 p 型阱区域（Cell-pwell）从 0V 变为 20V，则处于浮置状态的选择块·非选择块两方的

选择栅极线 SG（1）、SG（2）和非选择块中的控制栅极线全部受到和 p 型阱区域的电容耦合的影响上升到 20V，只有选择块中的控制栅极线被固定在 0V。由于该状态被保持一会儿，因而从选择块中的存储器单元的浮置栅极向 p 型阱区域释放电子，执行数据擦除。接着，由于 p 型阱区域变为 0V，因而在处于浮置状态的选择块·非选择块两方的选择栅极线 SG（1）、SG（2）和非选择块中的控制栅极线由于全部受到 p 型阱区域的电容耦合的影响降低到 0V~Vcc，其后被固定到 0V。最后，节点 N0、N1、N2 分别变为 0V、0V、Vcc，数据擦除动作结束。

如上所述，在图 7 所示的行译码器电路中，在数据写入动作时和数据读出动作时，通过在电源节点 VPPRW 上施加比施加在控制栅极线·选择栅极线上的最高电压还高 Vtn（传送电压的晶体管 QN0~QN10 的阈值电压）的电压，即使被连接在 1 根控制栅极线·选择栅极线上的晶体管只是 NMOS 晶体管，也可以在电位不下降的情况下向控制栅极线施加写入用高电压和读出用高电压，可以实现可靠性高的动作。

另外，通过把连接在 1 条控制栅极线上的晶体管设置成 1 个 NMOS 晶体管，因而，可以实现元件数少的行译码器电路，可以实现由于行译码器电路的图形面积缩小产生的单片尺寸缩小，即实现单片成本减少。

进而，因为可以通过使用经由和被连接在控制栅极线和选择栅极线上的晶体管 极性相反的 PMOS 晶体管 QP11、QP12，输出“高”电位的电压切换电路 54A，构成元件数少并且图形占有面积小的电压切换电路 54，所以可以实现元件数少并且图形占有面积小的行译码器电路，可以通过行译码器电路的图形面积缩小实现单片尺寸缩小，即实现单片成本减少。

图 11 展示根据本发明的实施方案 2 的半导体存储装置的行译码器电路的另一局部的构成例子。图 11 的电路和图 7 不同的部分是电压切换电路 54B 的电路构成，在电源节点 VPPRW 和晶体管 QP11、QP12 之间设置有耗尽型 NMOS 晶体管 QD1。表示使用图 11 电路时的数据写入·读出·擦除的各自的动作的时序图和图 8 至图 10 一样。

以下，说明设置上述晶体管 QD1 的优点。

在图 7 的电路中，在 PMOS 晶体管 QP11、QP12 的源极和构成 QP11、QP12 的 n-阱区域上，因为直接施加电源节点 VPPRW 的电位，所以与选择块·非选择块无关，需要把全部块中的晶体管 QP11、QP12 的源极·n-阱区域充电至电源节点 VPPRW 电位。通常，因为块数在 1 个单片内有数百个~数千个，所以同时充电数百~数千个元件的源极和 n-阱区域，电源节点 VPPRW 的电容值变得非常变大．在数据写入动作和读出动作中，因为在电源节点 VPPRW 上施加（20V+Vtn）和（4V+Vtn）这样的升压电压，所以如果电源节点 VPPRW 的电容值大的话，则会产生升压电压发生电路的面积增加，消耗电力增加、由于升压电压的充电所需要时间加长引起动作时间延长等的问题。

另一方面，在图 11 的电路中，在选择块中，因为节点 N0 的电压是“高”电平（=Vcc），所以输入到晶体管 QD1 的栅极上的节点 N1 的电压是“高”电平（=VPPRW 电位），因为作为晶体管 QP11、QP12 的源极·n-阱电位的节点 N3 的电位也变为“高”电位（=VPPRW 电位），所以可以与晶体管 QD1 的有无无关地实现图 8 至图 10 的动作．在图 11 的电路使用时的非选择块中，因为节点 N0 的电压处于“低”电位的 0V，所以被输入到 QD1 的栅极上的节点 N1 的电压被固定在 0V，因而节点 N3 处于 Vtd（Vtd 是在晶体管 QD1 的栅极电压=0V 时可以经由晶体管 QD1 传送的电压的最高值，通常是 Vcc 以下的电压）．

这样，通过使用图 11 的电路，就可以在选择块和非选择块中，改变晶体管 QP11、QP12 的源极·n 阱电位。

构成上述晶体管 QP11、QP12 的 n 阱区域的形状展示在图 12A 和 12B．图 12A 和图 12B，分别表示使用图 7 和图 11 的电路构成时的 n 阱区域的形成例子．在图 7 的电路中，因为在全部块中 n 阱电压同电位，所以如图 12A 所示，形成横跨全部块 Block1~BlockN 的 1 个 n 阱区域 NW，在该区域 NW 上通常使用形成 PMOS 晶体管 QP11、QP12 的方式。

另一方面，在图 11 的电路中，因为在选择块·非选择块之间 n-阱

电压不同，所以如图 12B 所示，在各块 Block1~BlockN 中的每一个中形成 1 个 n 阱区域 NW1~NWN，在这些区域 NW1~NWN 上形成 PMOS 晶体管 QP11、QP12 的方式有效．把每一块分成 n 阱区域，通过只把选择 n-阱区域用比电源电压高的升压电压（20V 和 4V 等）充电，就可以大幅度减少升压电压的负荷电容值．因而，可以实现升压电压发生电路的面积消减、消耗电力降低、由于升压电压的充电所需要时间的缩短产生的动作的高速化等．

图 13 展示根据本发明的实施方案 3 的半导体存储装置中的行译码器电路的再一局部构成例子．图 13 的电路和图 7 和图 11 的电路不同之处是电压切换电路 54C 的构成．该电压切换电路 54C 的构成包含耗尽型 NMOS 晶体管 QD2、PMOS 晶体管 QP13，以及耗尽型 NMOS 晶体管 QD3、QD4．上述 NMOS 晶体管 QD2 的电流通路的一端被连接在电源节点 VPPRW 上，栅极被连接在节点 N1 上．上述 PMOS 晶体管 QP13 的电流通路的一端以及背栅极，被连接在上述 NMOS 晶体管 QD2 的电流通路的另一端，电流通路的另一端被连接在节点 N1 上，栅极被连接在“与非”门 57 的输出端。上述 NMOS 晶体管 QD3 的电流通路的一端被连接在节点 N1 上，在栅极上施加电源电压 Vcc。而后，上述 NMOS 晶体管 QD4 的电流通路的一端被连接在上述 NMOS 晶体管 QD3 的电流通路的另一端，电流通路的另一端被连接在倒相器 58 的输出端上，向栅极提供信号 TRAN。

图 13 的电路动作波形，和图 8 至图 10 的波形一样，另外，图 13 中的节点 N1 的电压变为和图 11 中的节点 N3 一样。因而即使在使用图 13 的电路时，也和使用图 11 的电路时一样，在选择块·非选择块之间节点 N4 的电压不同，即向节点 N1 传送“高”电平（=升压电压）的 PMOS 晶体管 QP13 的源极和 n-阱区域的电压在选择·非选择块之间不同．因而，可以使用如图 12B 那样的 n 阱构成，其结果可以减少升压电压的负荷容量．另外，信号 TRAN 通常被固定为 0V 使用，在非选择块中因为节点 N0 是 0V，所以经由耗尽型 NMOS 晶体管 QD4、QD3 向节点 N1 传送 0V．进而，在选择块中，因为节点 N=Vcc、节点

N1≥Vcc，所以 NMOS 晶体管 QD4 变为截止状态，保持节点 N1 的“高”电位。

作为上述图 13 的电路的其它优点，第 1 是构成电压切换电路 54C 的元件数比图 11 的电路还少（7 个（图 11）→4 个（图 13）），第 2 是 PMOS 晶体管 QP13 的源极·漏极·n 阱区域之间的电位差减小。关于后者，在晶体管 QP13 导通的情况下，通常源极=漏极=n 阱区域，在截止的情况下源极=n 阱区域=Vtd（Vtd 是在 QD2 的栅极电压=0V 时可以经由晶体管 QD2 传送的电压的最高值，通常是 Vcc 以下的电压）并且漏极=0V，不管是否有施加写入用高电压（约 20V）的动作，源极·漏极·n 阱区域之间的电位差即使最高也只有 Vcc。

进而，在上述实施方案中，如图 7、11 和 13 所示，以在存储器单元阵列的两侧配置驱动 1 个块内的控制栅极线、选择栅极线的行译码器电路为例说明了本发明，但在它情况下，例如如图 14 所示，即使在对应 1 个块的行译码器电路被配置在存储器单元阵列的单侧的情况下本发明也有效。在图 14 中，作为电压切换电路 54D 没有展示具体的电路构成，但例如如图 7、11 和 13 的电路那样，也可以使用各种电路构成。

接着，在图 15 至图 17 中展示了行译码器电路的配置例子。图 15 展示在存储器单元阵列的两侧配置驱动 1 个块内的控制栅极线·选择栅极线的行译码器电路的情况，相当于图 11 和图 13 的实施方案。图 16 和图 17，展示把都对应 1 个块的行译码器电路配置在存储器单元阵列的单侧的情况，相当于图 14。作为制成 1 块的行译码器的图形的宽度（间距），相对于在使用图 15 方式的情况下是 1 个 NAND 单元长度（1 个 NAND 单元的位线方向的长度），在使用图 16 和 17 方式的情况下因为变为 2 个 NAND 单元长度所以可以确保间距。

在图 18 至图 20 中展示在上述图 15 至图 17 中加上 PMOS 晶体管形成用 n-阱区域的情况。图 15 至图 17 分别与图 18 至 20 对应。从图 18 至 20 也可以知道，在使用了图 14 的方式的情况下，与使用了图 11 和 13 的情况相比，行译码器电路的图形形成用的间距变为 2 倍，这种

情况下 PMOS 晶体管形成用 n-阱区域的间距也变为 2 倍。因此，可以缓和设计规则，可以实现可靠性更高成品率也高的单片。另外，即使未来设计规则缩小的情况下，在使用了图 14 的方式的情况下，与使用了图 11 和 13 的方式的情况相比，也具有可以在每个块中分割形成 n-阱区域的可能性高（或者概率高）的优点。

可是，上述 n-阱区域的配置，也可以在上述的配置以外考虑，例如可以配置成图 21A 至图 21E 所示。图 21A 至图 21E 是展示行译码器区域的图，只描绘了在行译码器的图形形成区域中相邻的块。

图 21A，是表示图 18、19 和 20 的方式（=对图 15 至图 17 的块配置适用了图 21A 的方式的方式）的图，在作为相邻的块的 Block-i、Block-j 的各自的区域内形成 n-阱区域 NWi、NWj。

图 21B、21C 和 21D，是相对于与各块对应的行译码器区域，n-阱区域 NWi、NWj 横跨多个块 Block-i、Block-j 形成的情况，在 n-阱区域 Nwi、NWj 周围的设计规则为假如行译码器形成用的 1 块的间距的情况下，如图 21B、21C 和 21D 那样在 2 块的区域内形成 1 个 n 阱区域的方法有效。

在未来设计规则进一步严格时，如图 21E 所示，在 4 块 Block-i、Block-l 份的区域内形成 1 个 n 阱区域 NWi~NWl 即可，进而可以应用于在 3 个和 5 个以上块的区域中形成 1 个 n-阱区域等的各种方式。

这样，对图 15 至图 17 的块配置适用图 21B 至 21E 的方式，在设计规则缩小时非常有效。特别如上述 PMOS 晶体管 QP11、QP12、QP13 等所示，施加比电源电压高的电压（升压电压等）的 n-阱区域因为设计规则缩小很困难，所以采用上述方法的间距增加·设计规则缓和是效果极其高的方法。

另外，在图 11、12A、12B、13 和 14、图 18 至 20 和图 21A 至 21E 中，说明了对 1 块行译码器电路设置 1 个 PMOS 晶体管形成用 n-阱区域情况下的实施方案。但是，本发明在其它情况下，例如在相邻块之间共用 1 个 n-阱区域的情况等中也有效。

在图 22 至 25 中，展示在上述电路的情况下，以及在相邻块之间

共用 1 个 n 阱区域的情况下的相邻 2 块行译码器电路中，地址译码器部分·电压切换电路部分 54（54A、54B、54C、54D）的电路构成例子。图 22 相当于图 11 的电路，图 23 相当于图 13 的电路。图 24 是在相邻块之间共用 1 个 n-阱区域的情况下的电路构成例子，相当于把图 11 的电路作为基础的例子. 图 25 是在相邻块之间共用 1 个 n 阱区域情况下的电路构成例子，相当于把图 13 的电路作为基础的例子。图 24 没有增加图 22 的元件数，而图 25 相对图 23 增加了每一块 1 个耗尽型 NMOS 晶体管.

在使用图 24 和 25 所示的电路时，在选择共用 n-阱区域的 2 个块中的一个，或者选择两方的情况下，n-阱区域变为选择时电压（写入时 20V+Vtn，读出时 4V+Vtn，擦除时 Vcc），其它情况下 n-阱区域被设定为非选择时电压 Vtd. 这种情况下，也是因为施加升压电压的 n 阱区域只包含选择块，所以升压电压的负荷容量与以往的情况（相当于图 12A）相比具有可以大幅度减小的优点.

进而，在图 22 至 25 中，作为相邻块，以 Block-i 和 Block-（i+1）这一连续的地址块在行译码器电路中相邻的情况为例说明了本发明，但即使不是连续地址的块，不用说在行译码器电路区域中相邻的块之间共用 n-阱区域的情况下本发明也有效.

在图 26 至图 28 中，展示了图 24 和 25 所示的电路构成的使用时的 n-阱区域的形成例子，变为在相邻块之间共用 1 个 n 阱区域的构成. 通过使用图 24、25 以及图 26 至图 28 的方式，与使用图 22、23 以及图 18 至 20 的情况相比还可以扩大 n 阱区域形成的间距，因而，因为 n 阱区域周围的设计规则被缓和，所以可以实现可靠性的提高和成品率的提高等。特别是如上述 PMOS 晶体管 QP11、QP12、QP13 等那样，施加比电源电压高的电压（升压电压等）的 n 阱区域因为设计规则缩小困难，所以采用上述方法的间距增加·设计规则缓和是极其有效的方法。

进而，如果使用图 24、25 以及图 26 至 28 的方法，因为 n-阱区域数减半，所以具有可以实现行译码器电路的图形面积缩小的优点. 进

而作为缓和设计规则的方法，如图 29A 和 29B 所示，有在 3~4 块间距上设置 1 个 2 块共用的 n 阱区域的方法，其考虑方法和相对图 18 至 20 的图 21B 至 21D 的方式一样。图 29A 和 29B 的方法也非常有效。

在图 30 中，展示根据本发明的实施方案 5 的半导体存储装置中的行译码器电路的另一局部的构成例子．图 30 所示的电路，为在图 14 所示的电路上附加电压切换电路 54E 的结构。即，向“与非”门 57 的第 1 输入端提供行译码器起动信号 RDEC，向第 2 至第 4 输入端分别提供块地址信号 RA1、RA2、RA3。在该“与非”门 57 的输出端上连接倒相器 58 的输入端，该倒相器 58 的输出信号 in1 被提供给电压切换电路 54D、54E。在上述电压切换电路 54E 上，作为动作电源电压施加电压 Vm。而后，上述电压切换电路 54E 的输出信号 out1，被提供给电压切换电路 54D。其它的电路部分因为和图 14 所示的电路相同，固而在同一部分上附加同样的符号并省略其详细说明。

图 31A 至 31D，是分别展示上述图 30 所示的电路中的电压切换电路 54E 的具体的构成例子的电路图。无论在哪个电压切换电路 54E 中，都输入倒相器 58 的输出信号 in1，在该信号 in1 是“高”电平时输出 0V，在信号 in1 是“低”电平时输出 Vm 电平信号 out1。

图 31A 所示的电路，由倒相器 INVa、NMOS 晶体管 QN13、QN14，以及 PMOS 晶体管 QP14、QP15 构成。倒相器 58 的输出信号 in1，被分别提供给倒相器 INVa 的输入端以及 NMOS 晶体管 QN14 的栅极。在上述倒相器 INVa 的输出端，连接着 NMOS 晶体管 QN13 的栅极。NMOS 晶体管 QN13、QN14 的源极被连接在另一电源节点，例如接地点，在各漏极和电压节点 Vm 之间分别连接 PMOS 晶体管 QP14、QP15 的漏极、源极。上述 PMOS 晶体管 QP14 的栅极，被连接在 PMOS 晶体管 QP15 和 NMOS 晶体管 QN14 的漏极共用接点上，上述 PMOS 晶体管 QP15 的漏极，被连接在 PMOS 晶体管 QP14 和 NMOS 晶体管 QN13 的漏极共用接点上。而后，把从上述晶体管 QP15、QP14 的漏极共用接点得到的输出信号 out1 提供给电源切换电路 54D 的输入端。

另外，图 31B 所示的电路，由倒相器 INVb、NMOS 晶体管 QN15、QN16，以及 PMOS 晶体管 QP16、QP17，以及耗尽型 NMOS 晶体管 QD5 构成。倒相器 58 的输出信号 in1，被分别提供给倒相器 INVb 的输入端以及 NMOS 晶体管 QN16 的栅极。在上述倒相器 INVb 的输出端，连接着 NMOS 晶体管 QN15 的栅极。NMOS 晶体管 QN15、QN16 的源极被共同连接在接地点上，在各漏极上分别连接 PMOS 晶体管 QP16、QP17 的漏极上。上述 PMOS 晶体管 QP16 的栅极，被连接在 PMOS 晶体管 QP17 和 NMOS 晶体管 QN16 的漏极共用接点上，上述 PMOS 晶体管 QP17 的漏极，被连接在 PMOS 晶体管 QP16 和 NMOS 晶体管 QN15 的漏极共用接点上。在上述 PMOS 晶体管 QP16、QP17 的源极和电压节点 Vm 之间，连接耗尽型 NMOS 晶体管 QD5 的漏极、源极，其栅极被连接在晶体管 QP17、QN16 的漏极共用接点上。而后，把从上述晶体管 QP17、QN16 的漏极共用接点得到的输出信号 out1 提供给电源切换电路 54D 的输入端上。

图 31C 所示的电路，由 NMOS 晶体管 QN17、PMOS 晶体管 QP18，以及耗尽型 NMOS 晶体管 QD6 构成。上述各晶体管 QN17、QN18、QN6 的电流通路，被串联连接在接地点和电压接点 Vm 之间，上述倒相器 58 的输出信号 in1，被提供给上述晶体管 QN17、QP18 的栅极。另外，上述晶体管 QD6 的栅极，被连接在上述晶体管 QN17、QP18 的漏极共用接点上。而后，把从上述晶体管 QN17、QP18 的漏极共用接点得到的输出信号 out1，提供给电压切换电路 54D 的输入端。

进而，图 31D 所示的电路，由倒相器 INVd、NMOS 晶体管 QN18、PMOS 晶体管 QP19，以及耗尽型 NMOS 晶体管 QD7 构成。倒相器 58 的输出信号 in1，被提供给倒相器 INVd 的输入端子以及 PMOS 晶体管 QP19 的栅极。在上述倒相器 INVd 的输出端上，连接 NMOS 晶体管 QN18 的电流通路的一端，在该晶体管 QN18 的栅极上施加电源电压 Vcc。在上述晶体管 QN18 的电流通路的另一端和电压节点 Vm 之间，串联连接 PMOS 晶体管 QP19 以及耗尽型 NMOS 晶体管 QD7 的电流通路。上述晶体管 QD7 的栅极，被连接在上述晶体管 QN18 和 QP19

的电流通路的接点上。而后，把从上述晶体管 QN18、QP19 的电流通路的接点得到的输出信号 out1 提供给电压切换电路 54D 的输入端。

进而，作为上述电压切换电路 54D 的电路构成，图 7 所示的电路中的电压切换电路 54A、图 11 所示的电路中的电压切换电路 54B、图 13 所示的电路中的电压切换电路 54C，或者图 22 至图 25 所示的方式的任何一种电路也可以适用。

上述图 30 所示的电路中的电压接点 Vm 的电压，例如可以是比电源电压（或者“与非“门 57 和倒相器 58 的电源电压）还高，比电源节点 VPPRW 的最高电压（通常是写入用高电压 Vpp 的电平）还低的电压。在使用图 30 的方式的情况下，被输入到电压切换电路 54D 中的 2 个信号的一方（相当于图 30 中的 out1 的信号）的“高”状态时的电压从电源电压提高到电压 Vm。即，在与非选择块对应的行译码器电路内，因为“与非”门 57 的输出变为“高”，所以从倒相器 58 输出的信号 in1 变为“低”电平，信号 out1 变为 Vm 电平。其结果，向电压切换电路 54D 输入 Vm 电平信号。

在使用了上述图 30 那样的电路方式的情况下特别有效的前提是，作为电压切换电路 54D 使用图 13 所示的电路中的电压切换电路 54C，或者图 23 和 25 所示的那样的电路构成。

以下，作为上述电压切换电路 54D，以使用图 13 所示的电路中的电压切换电路 54C 的情况为例说明其效果。在使用图 30 那样的电路构成时，在与非选择块对应的行译码器中因为被输入到晶体管 QP13 的栅极的电压从电源电压升高为 Vm 电平，所以具有可以降低经过晶体管 QP13 的漏电流的优点。通常，行译码器电路，因为在单片中设置数百~数万个，所以即使在 1 个行译码器电路中漏电流不太大的情况下，在全部单片中也变成大电流。因此，使用图 30 所示的电路的漏电流降低方式可以得到显著效果。该效果，不只在把图 13 所示的电路中的电压切换电路 54C 适用于图 30 的电压切换电路 54D 的情况下，在适用于图 23 和 25 的电路方式的情况下也同样可以得到。

而且，在图 31B 至 31D 所示的电路中，使用耗尽型 NMOS 晶体

管 QD5~QD7.被施加在这些晶体管 QD5~QD7 上的电压的最高值 Vm，比被施加在图 11 和 13、图 22 至 25 所示的电路中的耗尽型 NMOS 晶体管 QD1~QD4 上的电压的最高值 VPPRW（通常是 Vpp）还低。因此，晶体管 QD5~QD7 的栅极氧化膜厚度，可以制成比晶体管 QD1~QD4 的栅极氧化膜薄。因而，与栅极氧化膜厚度厚的情况相比，具有可以减小晶体管 QD5~QD7 的面积（因为施加最高电压越低，由于栅极氧化膜厚度的薄膜化引起的每单位面积的晶体管的电流量越增加，所以可以缩小晶体管的图形占有面积）的优点。

由于同样的理由，晶体管 QP14~QP19、QN13~QN18 的栅极氧化膜厚度，也可以比晶体管 QP11~QP13、QN13~QN18 的栅极氧化膜厚度薄。因而，这种情况下，具有可以使晶体管的图形占有面积比栅极氧化膜厚度薄时还小的优点。

至此，用图 30 以及图 31A 至图 31D 说明了实施方案 5，但本发明可以有各种变更，例如，在使用图 32 以及图 33A 至 33D 那样的电路构成时本发明也有效。

图 32 是展示根据本发明的实施方案 6 的半导体存储装置中的行译码器电路的局部的构成例子。图 32 所示的电路，把上述图 30 所示的电路中的倒相器 58 的输出信号 in1 和“与非”门 57 的输出信号 in2 分别提供给电压切换电路 54F，把该电压切换的电路 54F 的输出信号 out1、out2 提供给电压切换电路 54D.

图 33A 至 33D，是分别展示上述图 32 所示的电路中的电压切换电路 54F 的具体的构成例子的电路图。在这些电压切换电路 54F 中，输入倒相器 58 的输出信号 in1 和“与非”门 57 的输出信号 in2，在图 33A 和 33B 所示的电路中，在信号 in1 是“高”电平（信号 in2 是“低”电平）时信号 out1 是 0V，信号 out2 变为 Vm 电平，在信号 in1 是“低”电平（信号 in2 是“高”电平）时信号 out1 是 Vm 电平，信号 out2 变为 0V。另外，在图 33C 和 33D 所示的电路中，当信号 in1 是“高”电平（信号 in2 是“低”电平）时信号 out1 为 0V，信号 out2 变为 Vcc 电平，当信号 in1 是“低”电平（信号 in2 是“高”电平）时信号 out1

变为 Vm 电平，信号 out2 变为 0V.

图 33A 所示的电路，由 NMOS 晶体管 QN13、QN14，以及 PMOS 晶体管 QP14、QP15 构成. 倒相器 58 的输出信号 in1 被提供给 NMOS 晶体管 QN14 的栅极，“与非”门 57 的输出信号 in2 被提供给 NMOS 晶体管 QN13 的栅极。上述 NMOS 晶体管 QN13、QN14 的源极被接地，在漏极和电压节点 Vm 之间，分别连接 PMOS 晶体管 QP14、QP15 的漏极、源极。上述 PMOS 晶体管 QP14 的栅极，被连接在 PMOS 晶体管 QP15 和 NMOS 晶体管 QN14 的漏极共用接点上，上述 PMOS 晶体管 QP15 的栅极，被连接在 PMOS 晶体管 QP14 和 NMOS 晶体管 QN13 的漏极共用接点上。而后，从上述晶体管 QP15、QN14 的栅极共用接点得到的输出信号 out11，以及从上述晶体管 QP14、QN13 的漏极共用接点得到的输出信号 out2. 分别被提供给电压切换电路 54D 的输入端上。

另外，图 33B 所示的电路，由 NMOS 晶体管 QN15、QN16、PMOS 晶体管 QP16、QP17，以及耗尽型 NMOS 晶体管 QD5 构成. 倒相器 58 的输出信号 in1 被提供给 NMOS 晶体管 QN16 的栅极，“与非”门 57 的输出信号 in2 被提供给 NMOS 晶体管 QN15 的栅极，上述 NMOS 晶体管 QN15、QN16 的源极被接地，在漏极上分别连接 PMOS 晶体管 QP16、QP17 的漏极. 上述 PMOS 晶体管 QP16 的栅极，被连接在上述 PMOS 晶体管 QP17 和 NMOS 晶体管 QN16 的漏极共用接点上，上述 PMOS 晶体管 QP17 的栅极，被连接在 PMOS 晶体管 QP16 和 NMOS 晶体管 QN15 的漏极共用接点上. 在上述 PMOS 晶体管 QP16、QP17 的源极和电压接点 Vm 之间，连接耗尽型 NMOS 晶体管 QD5 的漏极、源极，其栅极被连接在晶体管 QP17、QN16 的漏极共用接点上。而后，从上述晶体管 QP17、QN16 的漏极共用接点得到的输出信号 out1，以及从上述晶体管 QP16、QN15 的漏极共用接点得到的输出信号 out2，分别被提供给电压切换电路 54D 的输入端。

图 33C 所示的电路，由倒相器 INVe、NMOS 晶体管 QN17、PMOS 晶体管 QP18，以及耗尽型 NMOS 晶体管 QD6 构成. 上述各晶体管

QN17、QP18、QD6的电流通路，被串联连接在接地点和电压节点Vm之间，上述倒相器58的输出信号in1，被提供给上述晶体管QN17、QP18的栅极。另外，上述晶体管QD6的栅极，被连接在上述晶体管QN17、QP18的漏极共用接点上。进而，上述“与非”门57的输出信号in2，被提供给倒相器INVe的输入端。而后，从上述晶体管QN17、QP18的漏极共用接点得到的输出信号out1，以及从上述倒相器INVe的输出端输出的输出信号out2分别被提供给电压切换电路54D的输入端。

进而，图33D所示的电路，由倒相器INVf、NMOS晶体管QN18、PMOS晶体管QP19，以及耗尽型NMOS晶体管QD7构成。倒相器58的输出信号in1被提供给PMOS晶体管QP19的栅极，“与非”门57的输出信号in2被分别提供给NMOS晶体管QN18的电流通路的一端以及倒相器INVf的输入端。向上述晶体管QN18的栅极施加电源电压Vcc，在该晶体管QN18的电流通路的另一端和电压节点Vm之间，串联连接PMOS晶体管QP19以及耗尽型NMOS晶体管QD7的电流通路。上述晶体管QD7的栅极，被连接在上述晶体管QN18和QP19的连接点上。而后，从上述晶体管QN18、QP19的漏极共用连接点得到的输出信号out1，以及从上述倒相器INVf的输出端输出的信号out2，被分别提供给电压切换电路54D的输入端。

即使在使用上述图32以及图33A至33D那样的电路构成的情况下，也具有和用图30以及图31A至31D所述的电路构成同样的优点，可以得到实际上一样的作用效果。

进而，作为用于构成上述图31A至31D以及图33A至33D所示的电路中的PMOS晶体管QP14~QP19的n-阱区域，在图31A和33A所示的电路的情况下，因为在各块之间在n-阱区域上都施加电压VPPRW，所以上述的图12A那样的构成适用。另一方面，在图31B至图31D以及图33B至图33D所示的构成中，因为n-阱电压不共用，所以图12B、图18、19、20以及图21A至21E、图26、27、28以及图29A和29B所示的构成适用。

图34和35，为了分别说明根据本发明的另一实施方案的半导体

存储装置，抽出在上述实施方案 1 至实施方案 5 中向电压切换电路 54（54A~54D）供给电压 VPPRW 的电路部分展示。这些电路，根据信号活性（Active），在待机状态时和激活状态时切换电源节点 VPPRW 的状态。

即，图 34 所示的电路部分，由高电压发生电路 60、倒相器 61、PMOS 晶体管 QP20 以及耗尽型 NMOS 晶体管 QD8 构成。在上述高电压发生电路 60 的输出端，连接电压切换电路 54 的电源节点 VPPRW，在该节点 VPPRW 和电源电压 Vcc 之间串联连接上述晶体管 QD8、QP20 的电流通路。向上述 PMOS 晶体管 QP20 的栅极上，经由倒相器 61 提供信号活性，向上述耗尽型 NMOS 晶体管 QD8 的栅极提供上述信号活性。

在上述那样的构成中，信号活性，是在待机状态时为 0V，在活动状态时变为 Vcc 电平的信号，例如根据从/CE 管脚输入的单片起动信号生成。另外，上述高电压发生电路 60 的构成是，在待机状态时变为非动作状态。

在待机状态时，因为晶体管 QP20 在上述信号活性是 0V 时变为截止状态，所以电源节点 VPPRW 变为浮置状态。与此相反，如果在活动状态时信号活性变为 Vcc 电平，因为晶体管 QP20 变为导通状态，所以节点 VPPRW 被充电至高电压。其后，靠高电压发生电路 60，在节点 VPPRW 被设定在高电位的同时，信号活性变为 0V，晶体管 QD8 变为截止状态，电源节点 VPPRW 从电源 Vcc 断开。

因而，在待机状态时，可以抑制漏电流的发生，并且在活动状态时（因为可以高速充电到 Vcc）可以使电源节点 VPPRW 的电压快速上升。

另一方面，图 35 所示的电路部分，由高电压发生电路 60 和耗尽型 NMOS 晶体管 QP9 构成。在高电压发生电路 60 的输出端上，连接电压切换电路 54 的电源节点 VPPRW，在该节点 VPPRW 和电源 Vcc 之间连接晶体管 QD9 的电流通路。而后，向上述耗尽型 NMOS 晶体管 QD9 的栅极上，提供信号活性。

即使在这种构成中，也可以进行和上述图 34 的电路同样的动作，可以得到同样的作用效果。

以上，用实施方案说明了本发明，但本发明并不限于上述实施方案，可以有各种变更。

例如，在上述实施方案中，以把 0V 以上电压传送到选择字线的情况为例说明了本发明，但在极性相反的情况下，即在向选择字线传送 0V 以下的电压的情况下本发明也有效，这种情况下，在把上述的电压切换电路内的 NMOS 晶体管改变为 PMOS 晶体管，把上述的电压切换电路内的 PMOS 晶体管改变为 NMOS 晶体管的同时，把串联连接在字线上的晶体管从 NMOS 晶体管改变为 PMOS 晶体管等的，把极性反向等的方法中可以适用本发明。

另外，在上述实施方案中，以在行译码器电路中适用本发明的情况为例说明了本发明，但在其它的情况下可以有各种变更，例如在其它的周边电路中，使用上述实施方案中的电压切换电路和字线连接晶体管的构成·连接关系，进行电压传送等。

另外，在上述实施方案中说明了在 1 个 NAND 单元中串联连接的存储器单元的个数是 8 个的情况，但在串联连接的存储器单元的个数不是 8 个，而是例如 2，4，16，32，64 个等的情况下也同样可以使用本发明。另外，即使对于处于选择栅极晶体管之间的存储器单元是 1 个的情况下，也同样可以适用本发明。另外，在上述实施方案中，以 NAND 型 EEPROM 为例说明了本发明，但本发明并不限于上述实施方案，在其它的设备，例如在 NOR 单元型 EEPROM、DINOR 单元型 EEPROM、AND 单元型 EEPRON、带选择晶体管的 NOR 单元型 EEPROM 等中也可以适用。

图 36 展示 NOR 单元型 EEPROM 中的存储器单元阵列的等效电路图。该存储器单元阵列，在字线 WLj、WLj+1、WLj+2、……和位线 BL0、BL1、……、BLm 的各交叉点位置上，设置 NOR 单元 Mj0~Mj+2m，各 NOR 单元 Mj0~Mj+2m 的控制栅极在每行上分别连接于字线 WLj、WLj+1、WLj+2、……，漏极在每列上分别连接于位

线 BL0、BL1、……BLm 上，源极被共同连接在源极线 SL 上。

另外，在图 37 上展示 DINOR 单元型 EEPROM 中的存储器单元阵列的等效电路。在 DINOR 单元型的存储器单元阵列中，与各主位线 D0、D1、……、Dn 对应地设置 DINOR 单元。各 DINOR 单元由选择栅极晶体管 SQ0、SQ1、……、SQn 和存储器单元 M00~M31n 构成，上述选择栅极晶体管 SQ0、SQ1、……、SQn 的漏极被分别连接在各主位线 D0、D1、……、Dn 上，栅极被连接在选择栅极线 ST 上，源极被分别连接在局部位线 LB0、LB1、……LBn 上。各存储器单元 M00~M31n 的漏极在每列上被连接在上述局部位线 LB0、LB1、……、LBn 上，控制栅极在每行上被连接在字线 W0~W31 上，源极被共同连接在源极线 SL 上。

图 38 是展示 AND 单元型 EEPROM 中的存储器单元阵列的等效电路图。在 AND 单元型的存储器单元阵列中，对应各主位线 D0、D1、……、Dn 设置有 AND 单元。各 AND 单元由第 1 选择栅极晶体管 SQ10、SQ11、……、SQ1n、存储器单元 M00~M31n 以及第 2 选择栅极晶体管 SQ20、SQ21、……、SQ2n 构成，上述第 1 选择栅极晶体管 SQ10、SQ11、……、SQ1n 的漏极被分别连接在各主位线 D0、D1、……Dn，栅极被连接在第 1 选择栅极线 ST1，源极被分别连接在局部位线 LB0、LB1、……、LBn 上。各存储器单元 M00~M31n 的漏极在每列上被连接在局部位线 LB0、LB1、……LBn，控制栅极在每行上被连接在字线 W0~W31 上，源极被连接在局部源极线 LS0、LS1、……LSn。上述第 2 选择栅极晶体管 SQ20、SQ21、……、SQ2n 的漏极被分别连接在各局部源极线 LS0、LS1、……、LSn 上，栅极被连接在第 2 选择栅极 ST2 上，源极被共同连接在主源极线 MSL 上。

进而，在图 39 中展示在带选择晶体管的 NOR 单元型 EEPROM 中的存储器单元阵列的等价电路图。该存储器单元阵列，通过把由选择晶体管 SQ 和存储器单元晶体管 M 组成的存储器单元 MC 排列成矩阵构成。各选择晶体管 SQ 的漏极在每列上被连接在位线 BL0、BL1、……、BLn 上，栅极在每行上被连接在选择栅极线 ST 上，源

极被连接在对应的存储器单元晶体管 M 的漏极上。上述存储器单元晶体管 M 的控制栅极在每行上被连接在字线 WL 上，源极被共同连接在源极 SL 上。

进而，有关 DINOR 单元型 EEPROM 的详情，请参照“H.Onda et al.，IEDM Tech.Digest，1992，pp.599-602”，有关上述 AND 单元型 EEPROM 的详情，请参照“H.Kume et al.，IEDM Tech.Digest，1992，pp.991-993.

另外，在上述各实施方案中以可以电气改写的非易失性半导体存储器装置为例说明了本发明，但本发明也可以在其它的设备中使用，例如，即使在其它非易失性存储装置和 DRAM、SRAM 等的设备中也同样可以适用。

虽然使用以上实施方案说明了本发明，但本发明并不限定于上述实施方案，可以在实施阶段中在不脱离其主旨的范围内有各种变形。进而，在上述实施方案中包含有各种阶段的发明，通过所展示的多个构成要素的适宜的组合，可以抽出各种的发明。例如即使从实施方案所示的全部构成要件中擦除几种构成要件，也可以解决在发明要解决的课题项目中所述的课题的至少 1 个，在可以得到发明的效果中所述的效果的至少 1 个的情况下，可以把擦除了该构成要件的构成作为发明抽出。

如上所述如果采用本发明，由于在行译码器电路内设置包含 PMOS 晶体管的电压切换电路，因而即使在把行译码器电路内连接字线的晶体管设置成每条字线 1 个 NMOS 晶体管的情况下，也不需要设置泵电路就可以把 NMOS 晶体管的栅极设定为高的电压。

因而，可以在电位不下降的情况下向字线传送高电压，并且能得到可以消减行译码器电路的图形面积的半导体存储装置。

另外，因为可以实现图形面积小的行译码器电路，所以可以得到以便宜的价格实现可靠性高的单片的半导体存储装置。

进而，可以在电位不下降的情况下向字线传送高电压，能得到可以实现充分的数据写入动作的半导体存储装置。

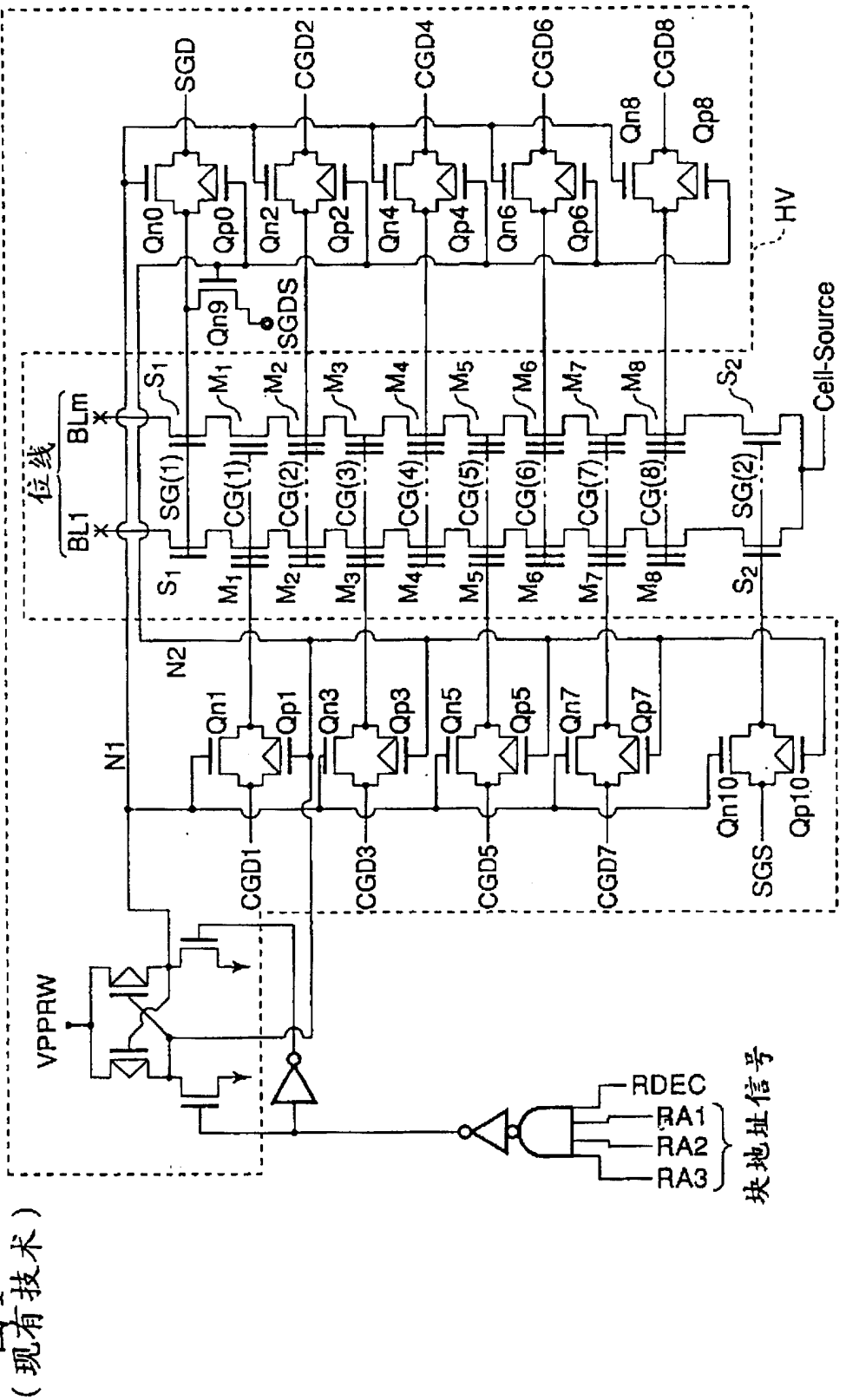

SGD
CGD2
CGD4
CGD6
CGD8
Qn8
Qp8
Qn0
Qp0
Qn2
Qp2
Qn4
Qp4
Qn6
Qp6
HV
Qn9
SGDS
位线
BLm
BL1
S1
M1
M2
M3
M4
M5
M6
M7
M8
S2
Cell-Source
SG(1)
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
SG(2)
N2
N1
Qn1
Qp1
Qn3
Qp3
Qn5
Qp5
Qn7
Qp7
Qn10
Qp10
CGD1
CGD3
CGD5
CGD7
SGS
VPPRW
RDEC
RA1
RA2
RA3
块地址信号

图1
（现有技术）

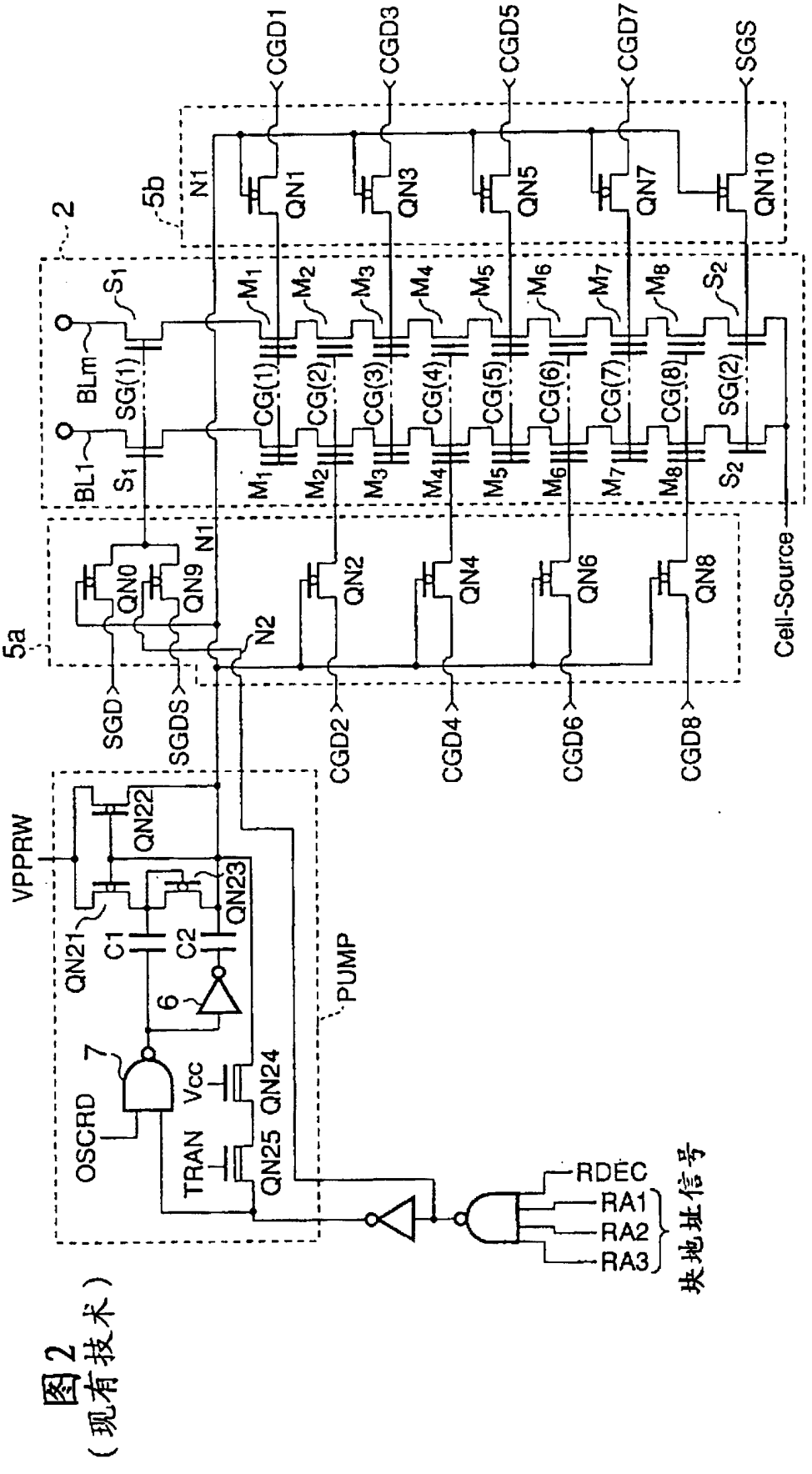

CGD1
CGD3
CGD5
CGD7
SGS
2
5b
N1
QN1
QN3
QN5
QN7
QN10
S1
M1
M2
M3
M4
M5
M6
M7
M8
S2
BLm
BL1
SG(1)
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
SG(2)
5a
QN0
QN9
N1
N2
QN2
QN4
QN6
QN8
Cell-Source
SGD
SGDS
CGD2
CGD4
CGD6
CGD8
VPPRW
QN22
QN23
QN21
C1
C2
6
7
PUMP
OSCRD
Vcc
QN24
TRAN
QN25
RDEC
RA1
RA2
RA3
块地址信号

图2
（现有技术）

图3

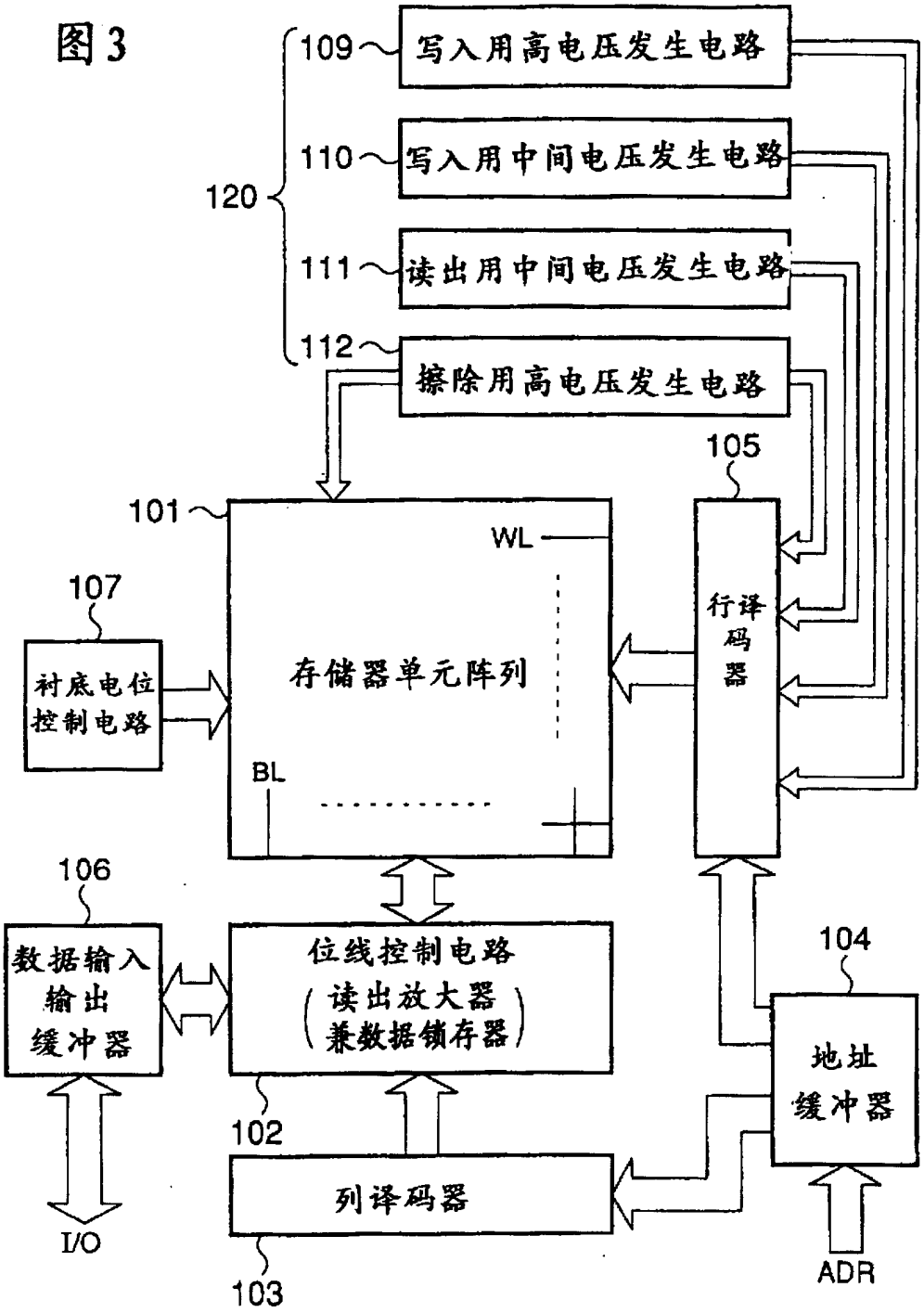

109
写入用高电压发生电路
110
写入用中间电压发生电路
120
111
读出用中间电压发生电路
112
擦除用高电压发生电路
105
101
WL
107
衬底电位
控制电路
存储器单元阵列
行译
码
器
BL
106
数据输入
输出
缓冲器
位线控制电路
(读出放大器
兼数据锁存器)
104
地址
缓冲器
102
列译码器
I/O
ADR
103

图 4A

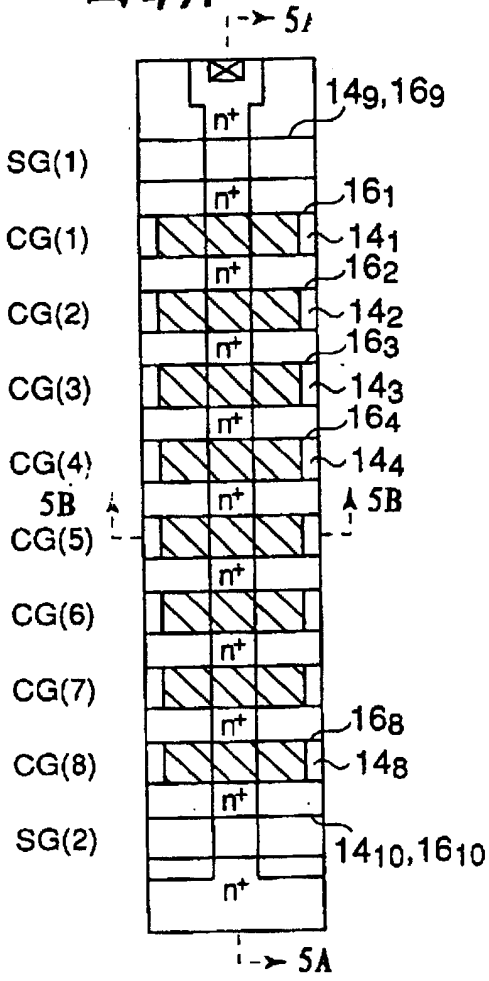

5A
14_9,16_9
n+
SG(1)
16_1
CG(1)
14_1
16_2
CG(2)
14_2
16_3
CG(3)
14_3
16_4
CG(4)
14_4
5B
5B
CG(5)
CG(6)
CG(7)
16_8
CG(8)
14_8
SG(2)
14_{10},16_{10}
5A

图 4B

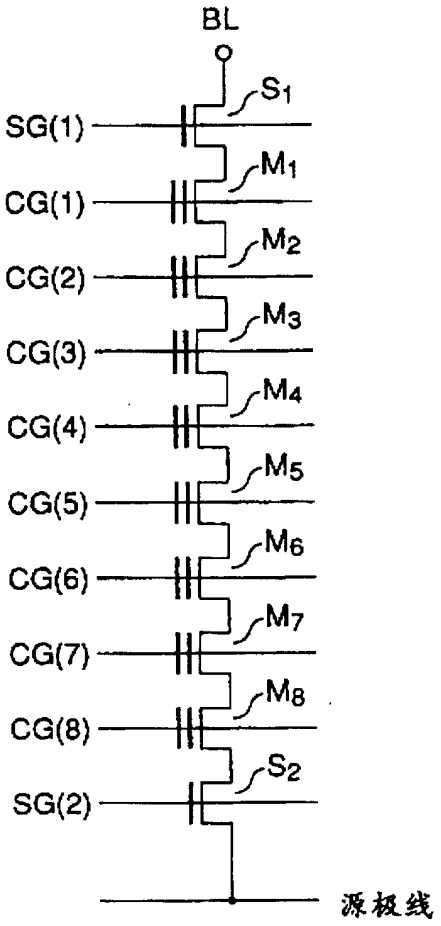

BL
S_1
SG(1)
M_1
CG(1)
M_2
CG(2)
M_3
CG(3)
M_4
CG(4)
M_5
CG(5)
M_6
CG(6)
M_7
CG(7)
M_8
CG(8)
S_2
SG(2)
源极线

图5A

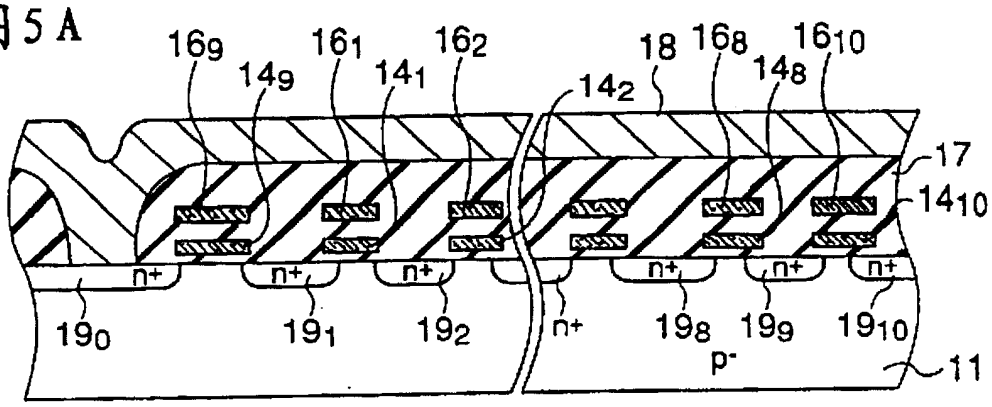

16₉
14₉
16₁
14₁
16₂
18
14₂
16₈
14₈
16₁₀
17
14₁₀
n+
19₀
19₁
19₂
19₈
19₉
19₁₀
p-
11

图5B

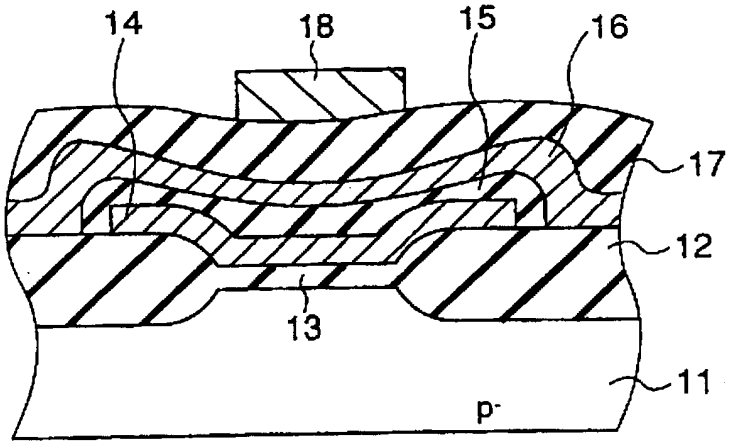
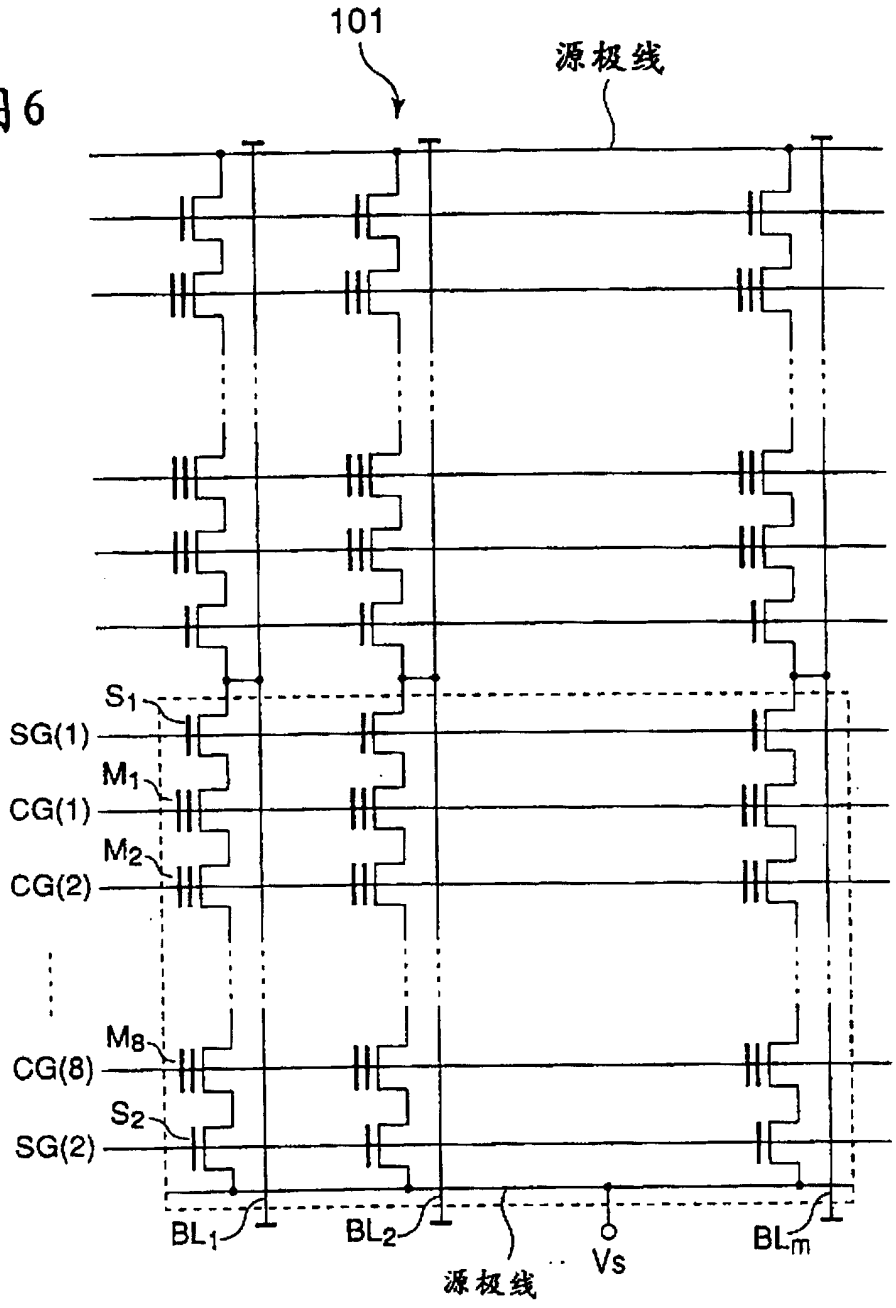

14
18
15
16
17
12
13
11
p-

图6



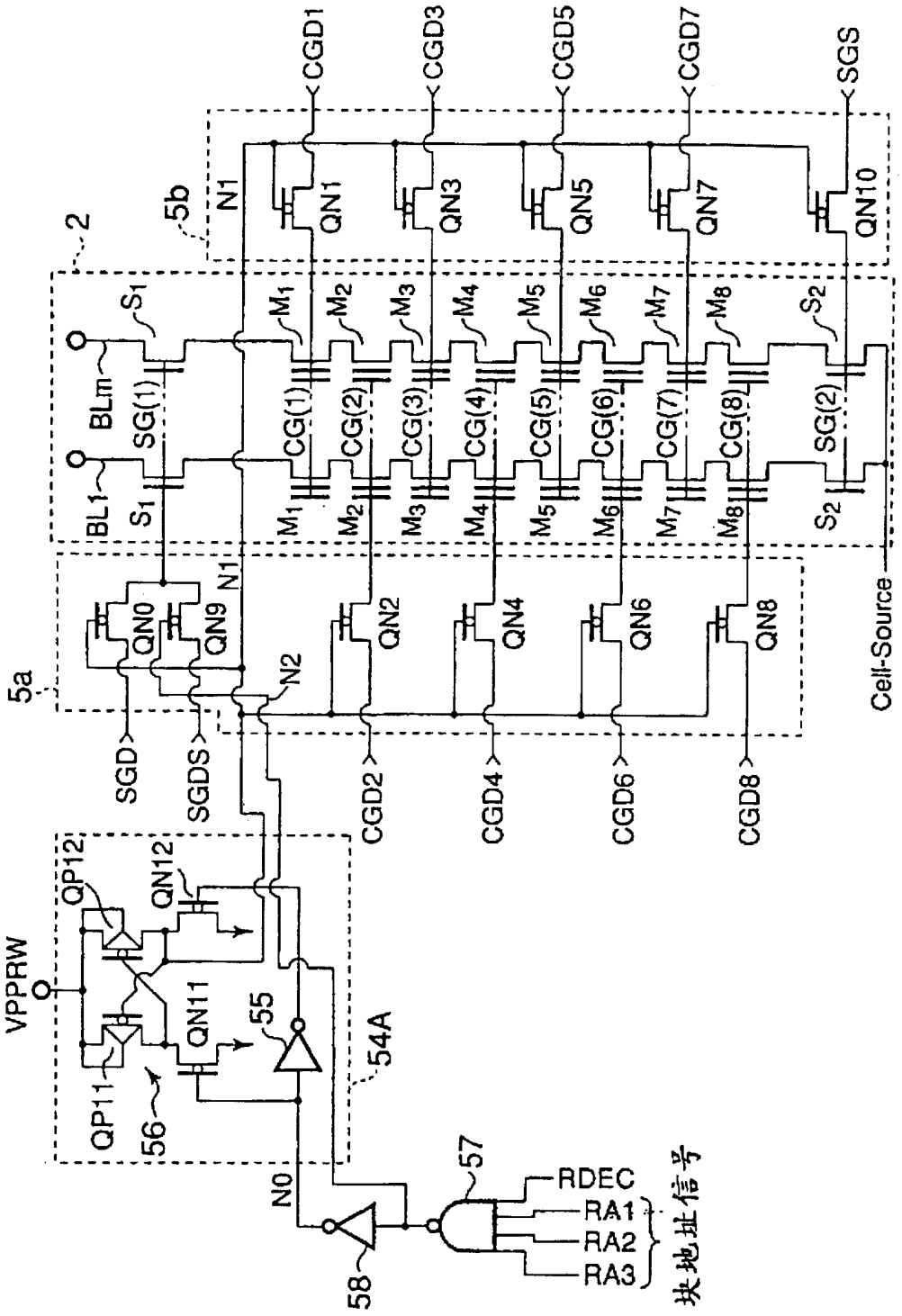

CGD1
CGD3
CGD5
CGD7
SGS
2
5b
N1
QN1
QN3
QN5
QN7
QN10
S1
M1
M2
M3
M4
M5
M6
M7
M8
S2
BLm
SG(1)
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
SG(2)
BL1
QN0
QN9
QN2
QN4
QN6
QN8
5a
N2
Cell-Source
SGD
SGDS
CGD2
CGD4
CGD6
CGD8
VPPRW
QP12
QN12
QN11
QP11
55
56
54A
57
N0
58
RDEC
RA1
RA2
RA3
块地址信号

图 7

图8

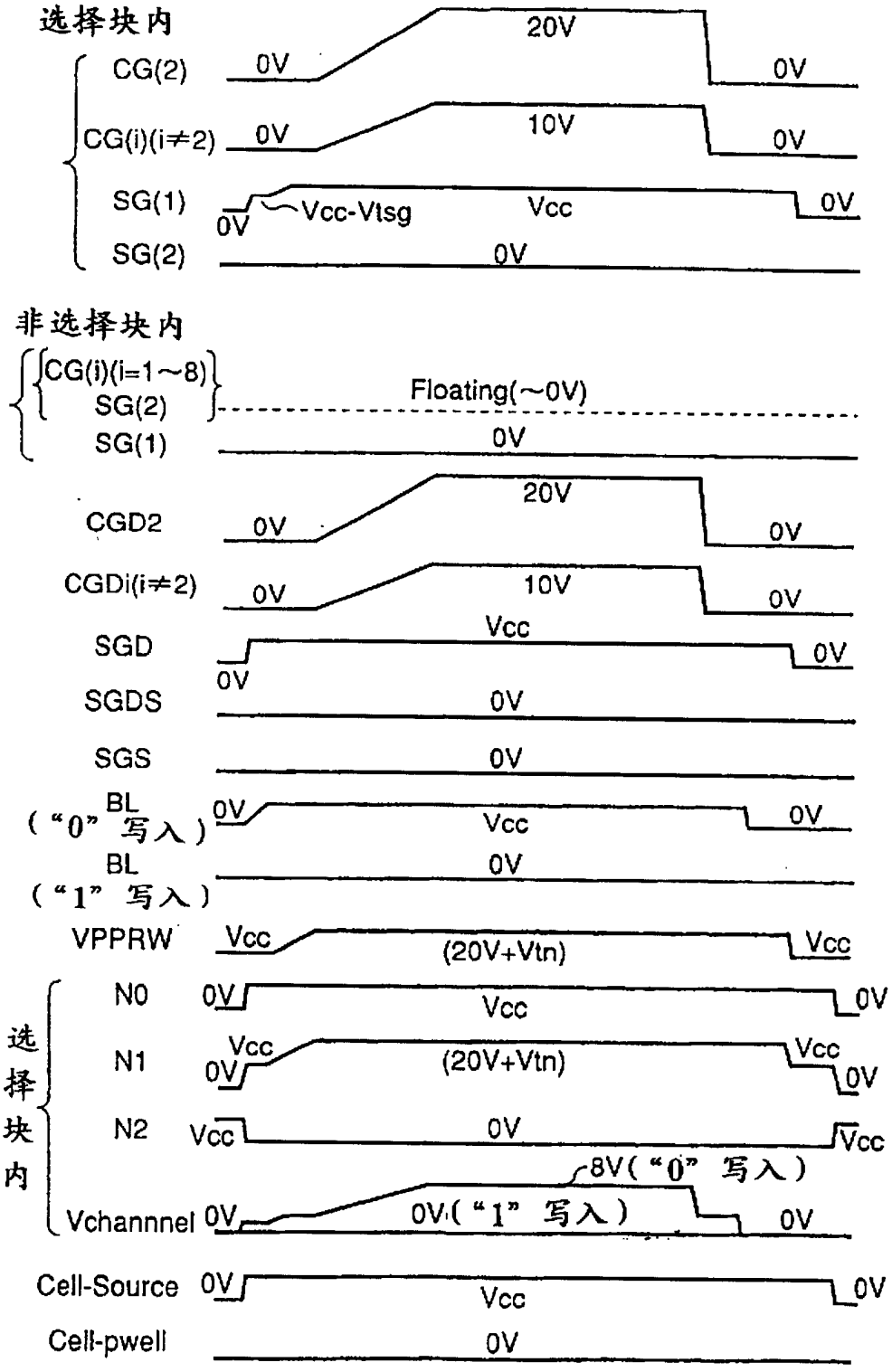

选择块内
CG(2)
CG(i)(i≠2)
SG(1)
SG(2)
0V
20V
10V
Vcc-Vtsg
Vcc
非选择块内
CG(i)(i=1～8)
SG(2)
SG(1)
Floating(～0V)
CGD2
CGDi(i≠2)
SGD
SGDS
SGS
BL
（“0”写入）
BL
（“1”写入）
VPPRW
(20V+Vtn)
选择块内
N0
N1
N2
Vchannnel
8V（“0”写入）
0V（“1”写入）
Cell-Source
Cell-pwell

图9

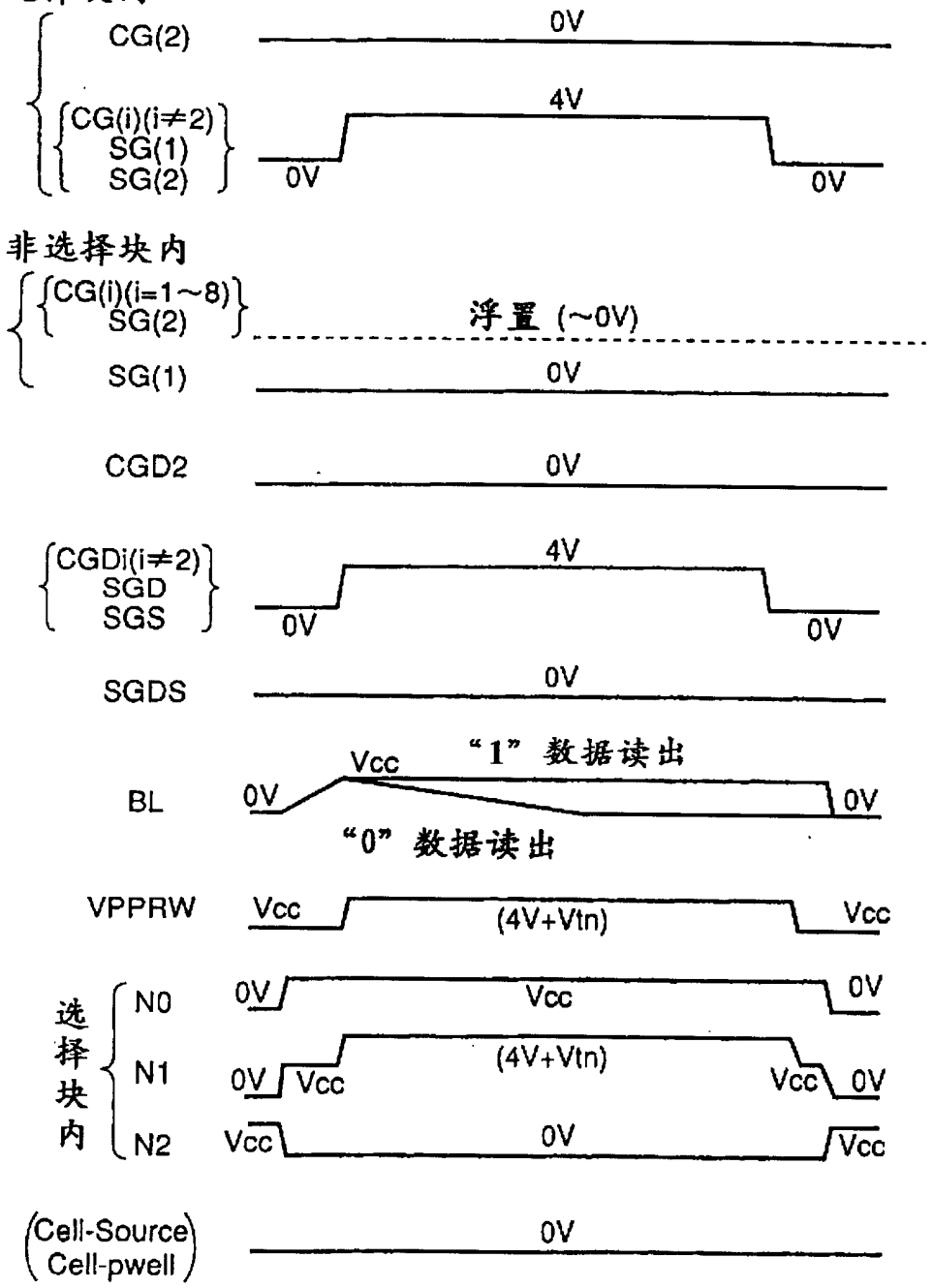
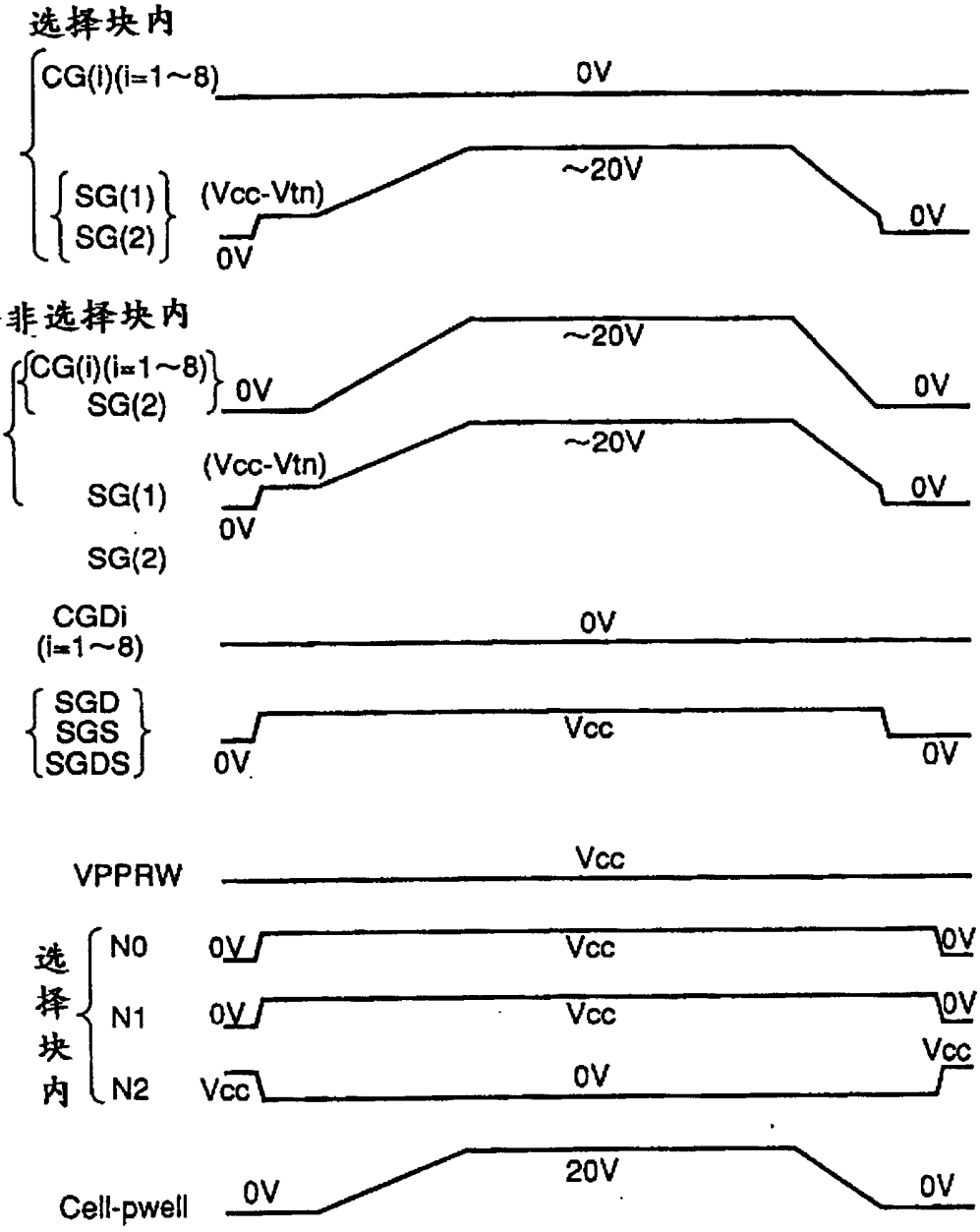

选择块内
CG(2)
0V
CG(i)(i≠2)
SG(1)
SG(2)
4V
0V
0V
非选择块内
CG(i)(i=1~8)
SG(2)
浮置 (~0V)
SG(1)
0V
CGD2
0V
CGDi(i≠2)
SGD
SGS
4V
0V
0V
SGDS
0V
BL
Vcc
"1" 数据读出
0V
0V
"0" 数据读出
VPPRW
Vcc
(4V+Vtn)
Vcc
选择块内
N0
0V
Vcc
0V
N1
0V
Vcc
(4V+Vtn)
Vcc
0V
N2
Vcc
0V
Vcc
Cell-Source
Cell-pwell
0V

图10


选择块内
CG(i)(i=1~8)
0V
SG(1)
SG(2)
(Vcc-Vtn)
~20V
0V
0V
非选择块内
CG(i)(i=1~8)
SG(2)
0V
~20V
0V
SG(1)
(Vcc-Vtn)
~20V
0V
0V
SG(2)
CGDi
(i=1~8)
0V
SGD
SGS
SGDS
Vcc
0V
0V
VPPRW
Vcc
选择块内
N0
0V
Vcc
0V
N1
0V
Vcc
0V
N2
Vcc
0V
Vcc
Cell-pwell
0V
20V
0V

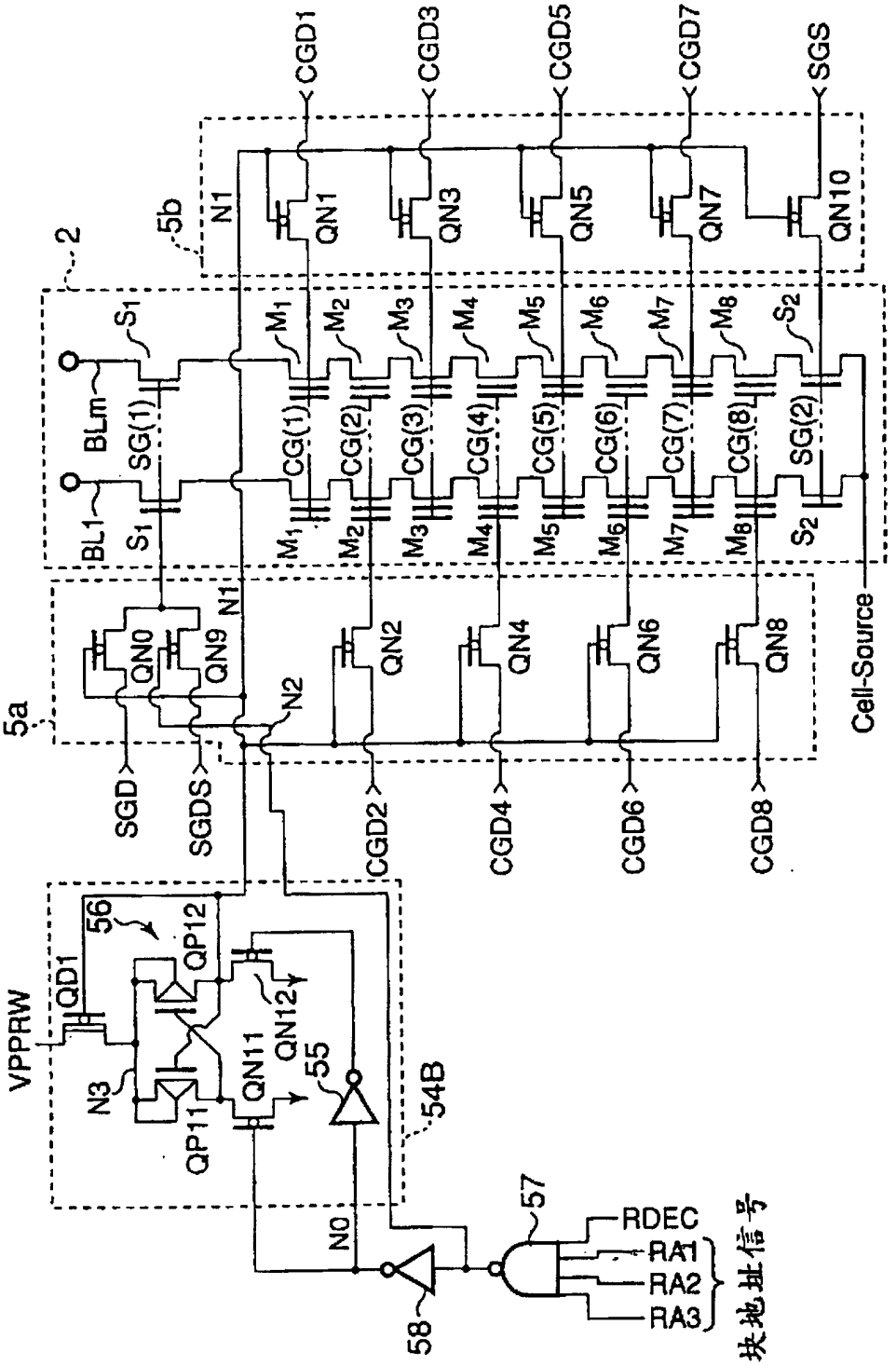

CGD1
CGD3
CGD5
CGD7
SGS
5b
N1
QN1
QN3
QN5
QN7
QN10
2
S1
M1
M2
M3
M4
M5
M6
M7
M8
S2
BLm
SG(1)
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
SG(2)
BL1
Cell-Source
5a
QN0
QN9
QN2
QN4
QN6
QN8
N2
SGD
SGDS
CGD2
CGD4
CGD6
CGD8
VPPRW
56
QD1
QP12
QN12
QN11
55
N3
QP11
54B
N0
57
58
RDEC
RA1
RA2
RA3
块地址信号

图11

图12A

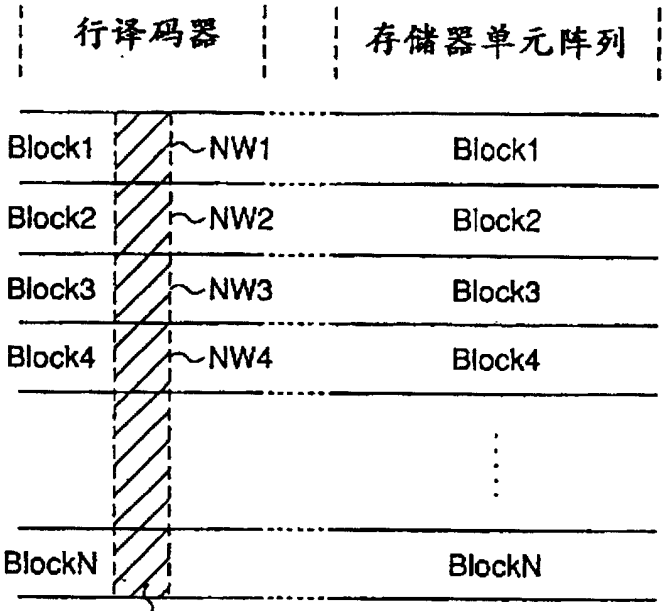
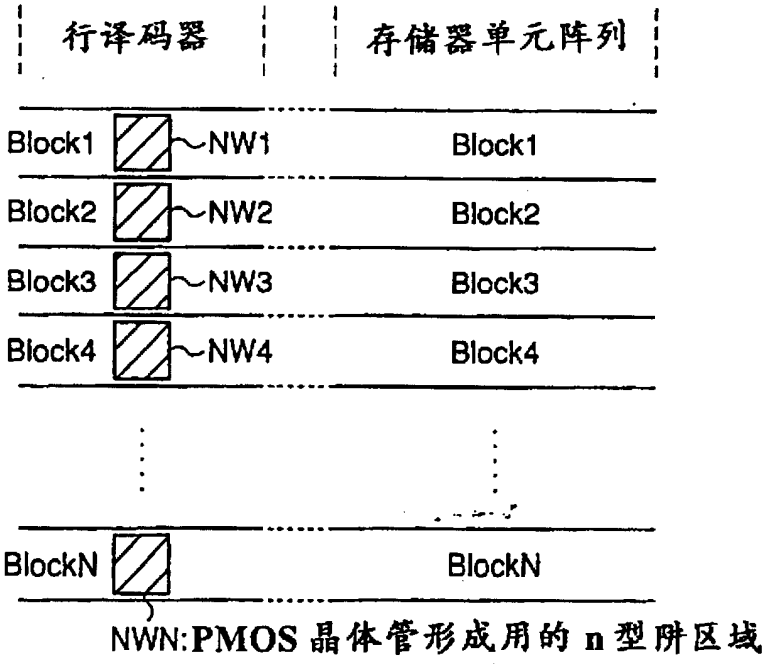

行译码器
存储器单元阵列
Block1
NW1
Block1
Block2
NW2
Block2
Block3
NW3
Block3
Block4
NW4
Block4
BlockN
BlockN
NW:PMOS 晶体管形成用的 n 型阱区域

图12B


行译码器
存储器单元阵列
Block1
NW1
Block1
Block2
NW2
Block2
Block3
NW3
Block3
Block4
NW4
Block4
BlockN
BlockN
NWN:PMOS 晶体管形成用的 n 型阱区域

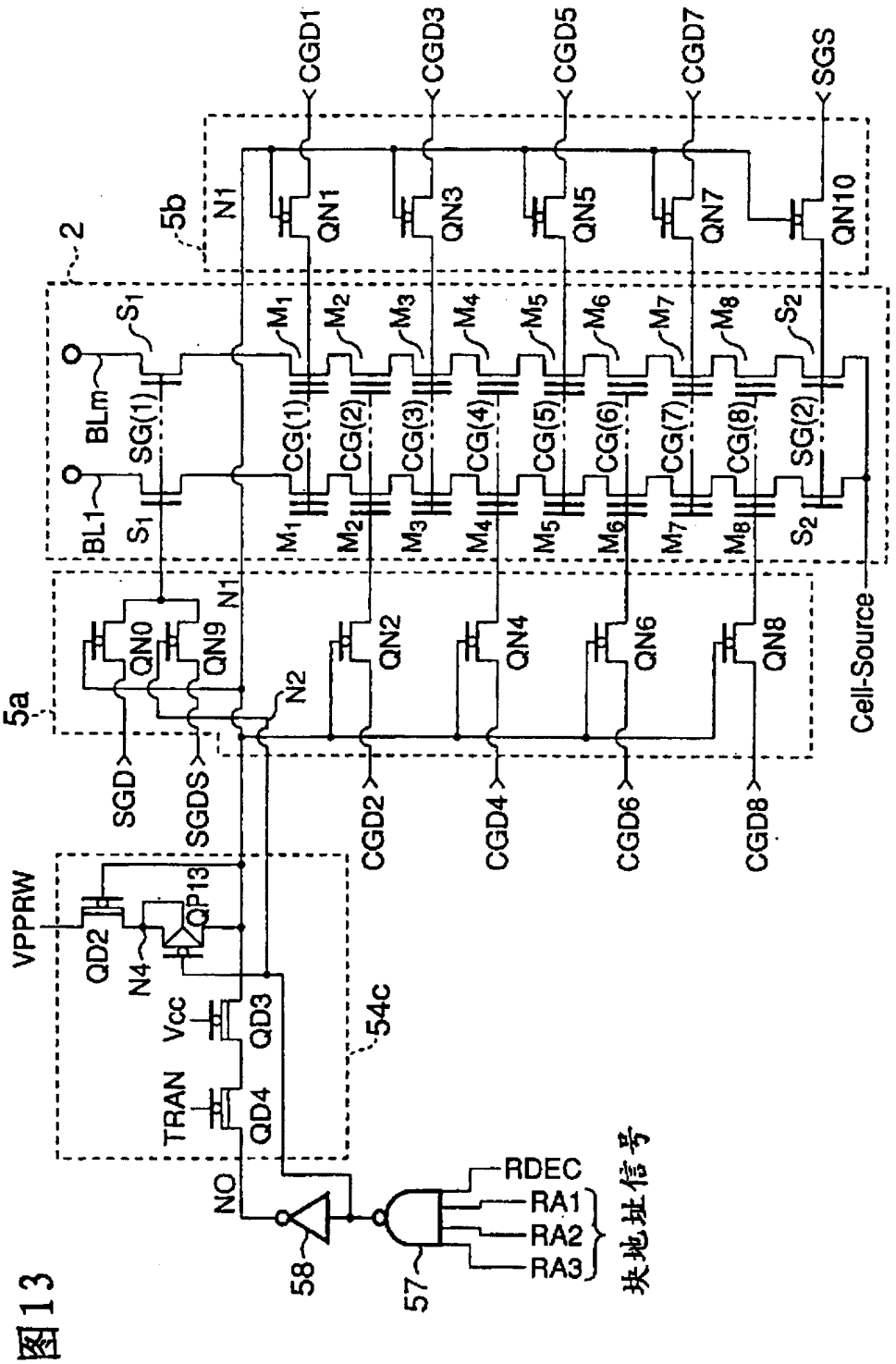

CGD1
CGD3
CGD5
CGD7
SGS
2
5b
N1
QN1
QN3
QN5
QN7
QN10
S1
M1
M2
M3
M4
M5
M6
M7
M8
S2
BLm
BL1
SG(1)
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
SG(2)
5a
QN0
QN9
N2
QN2
QN4
QN6
QN8
Cell-Source
SGD
SGDS
CGD2
CGD4
CGD6
CGD8
VPPRW
QD2
QP13
N4
Vcc
QD3
TRAN
QD4
54c
NO
58
57
RDEC
RA1
RA2
RA3
块地址信号

图13

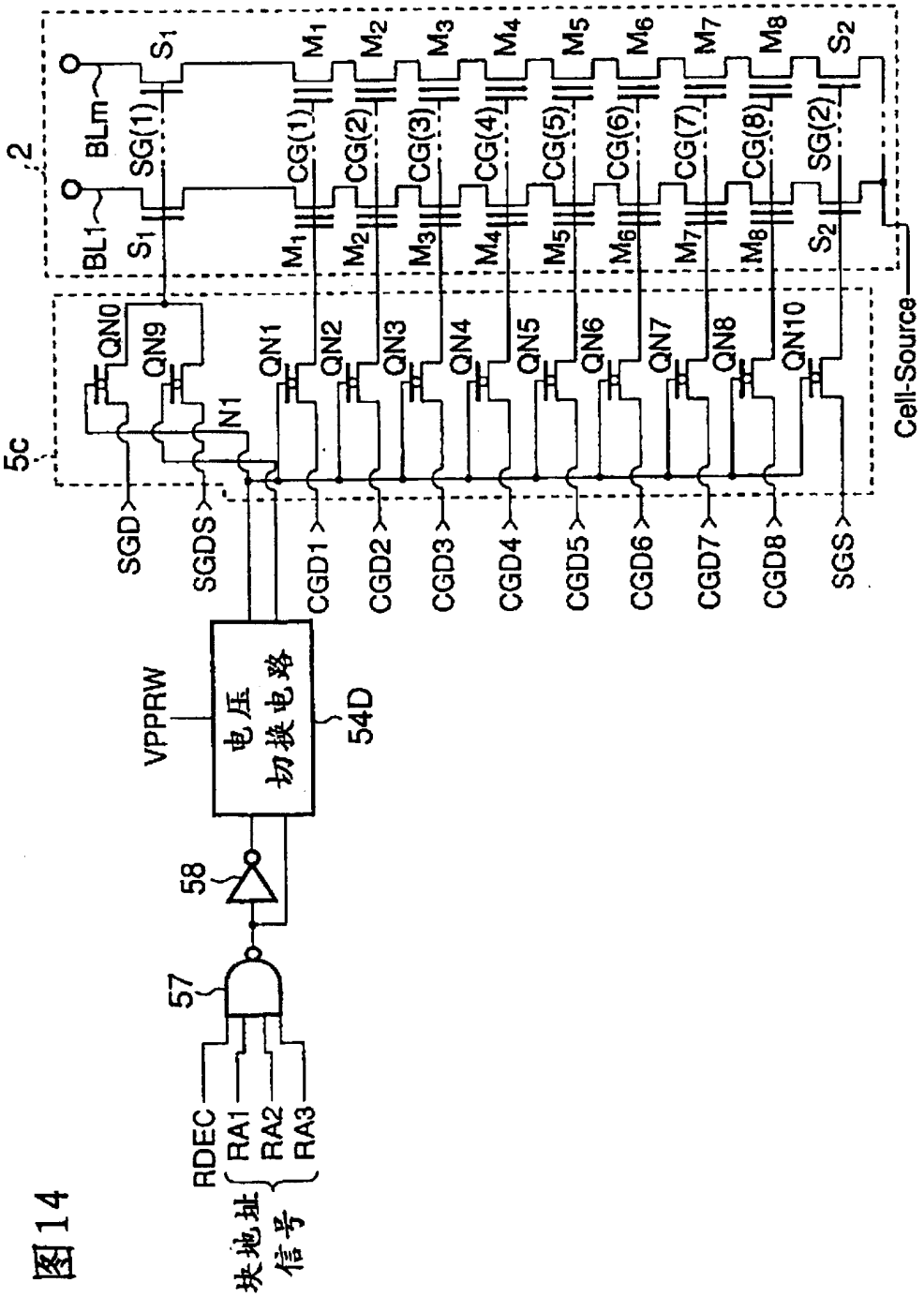

2
5c
BLm
BL1
SG(1)
S1
M1
M2
M3
M4
M5
M6
M7
M8
S2
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
SG(2)
Cell-Source
QN0
QN9
N1
QN1
QN2
QN3
QN4
QN5
QN6
QN7
QN8
QN10
SGD
SGDS
CGD1
CGD2
CGD3
CGD4
CGD5
CGD6
CGD7
CGD8
SGS
VPPRW
电压
切换电路
54D
58
57
RDEC
RA1
RA2
RA3
块地址
信号

图14

图15

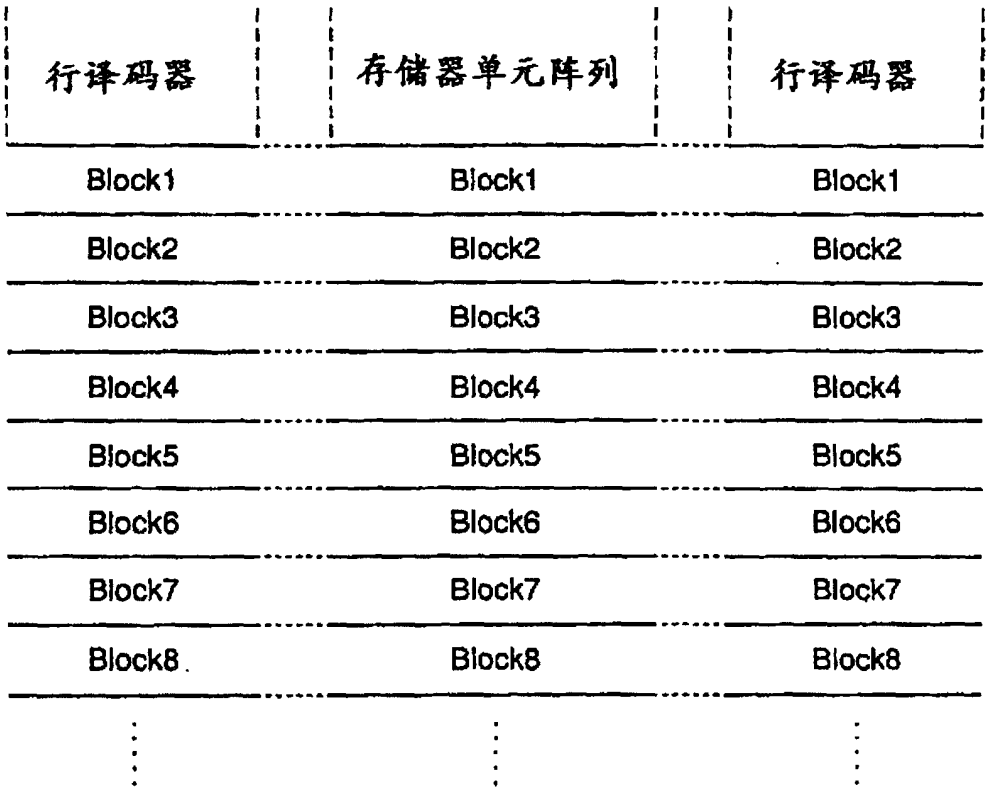

行译码器
存储器单元阵列
行译码器
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8

图16

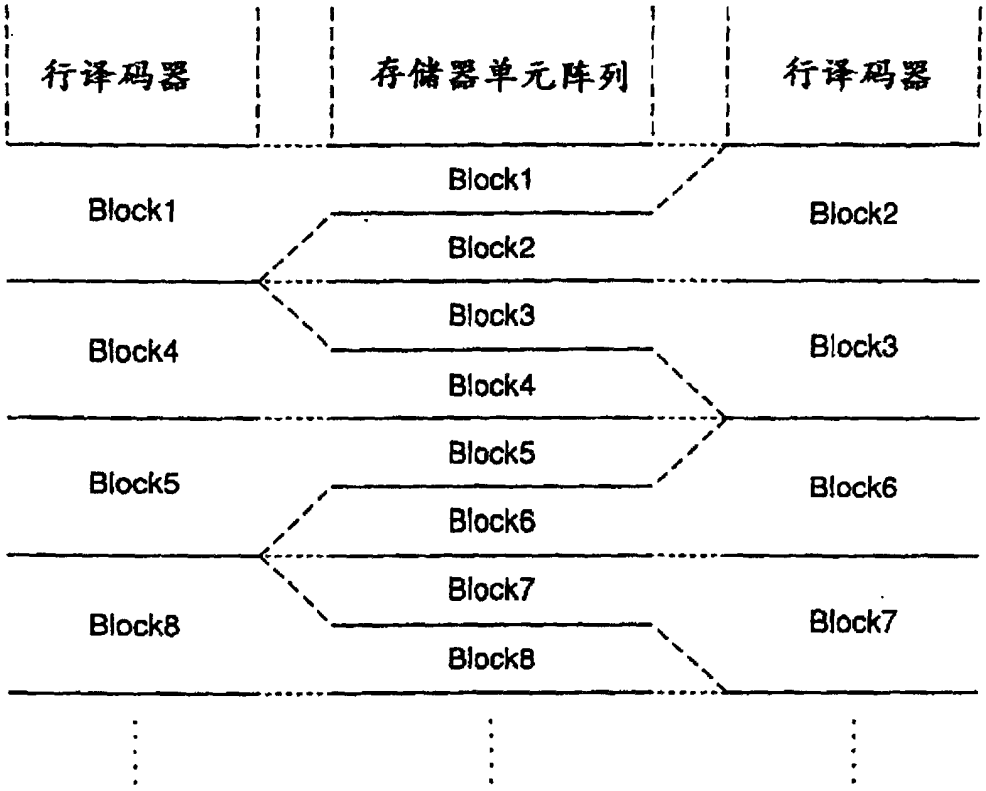
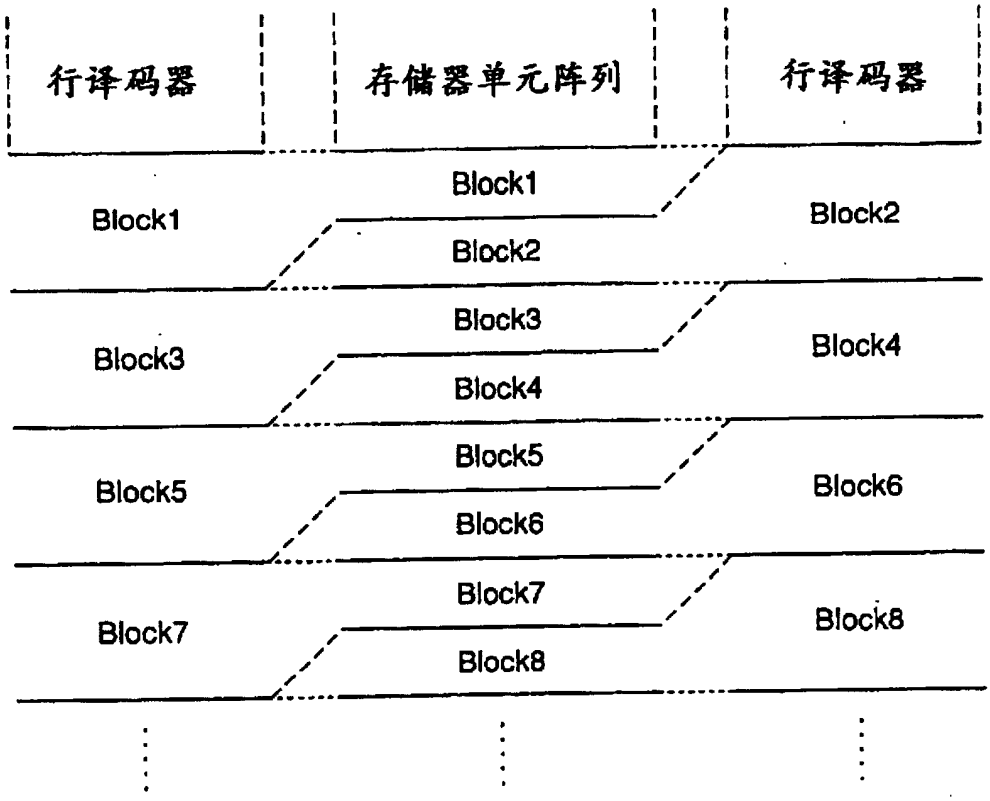

行译码器
存储器单元阵列
行译码器
Block1
Block2
Block1
Block2
Block4
Block3
Block4
Block3
Block5
Block6
Block5
Block6
Block8
Block7
Block8
Block7

图17


行译码器
存储器单元阵列
行译码器
Block1
Block2
Block1
Block2
Block3
Block4
Block3
Block4
Block5
Block6
Block5
Block6
Block7
Block8
Block7
Block8

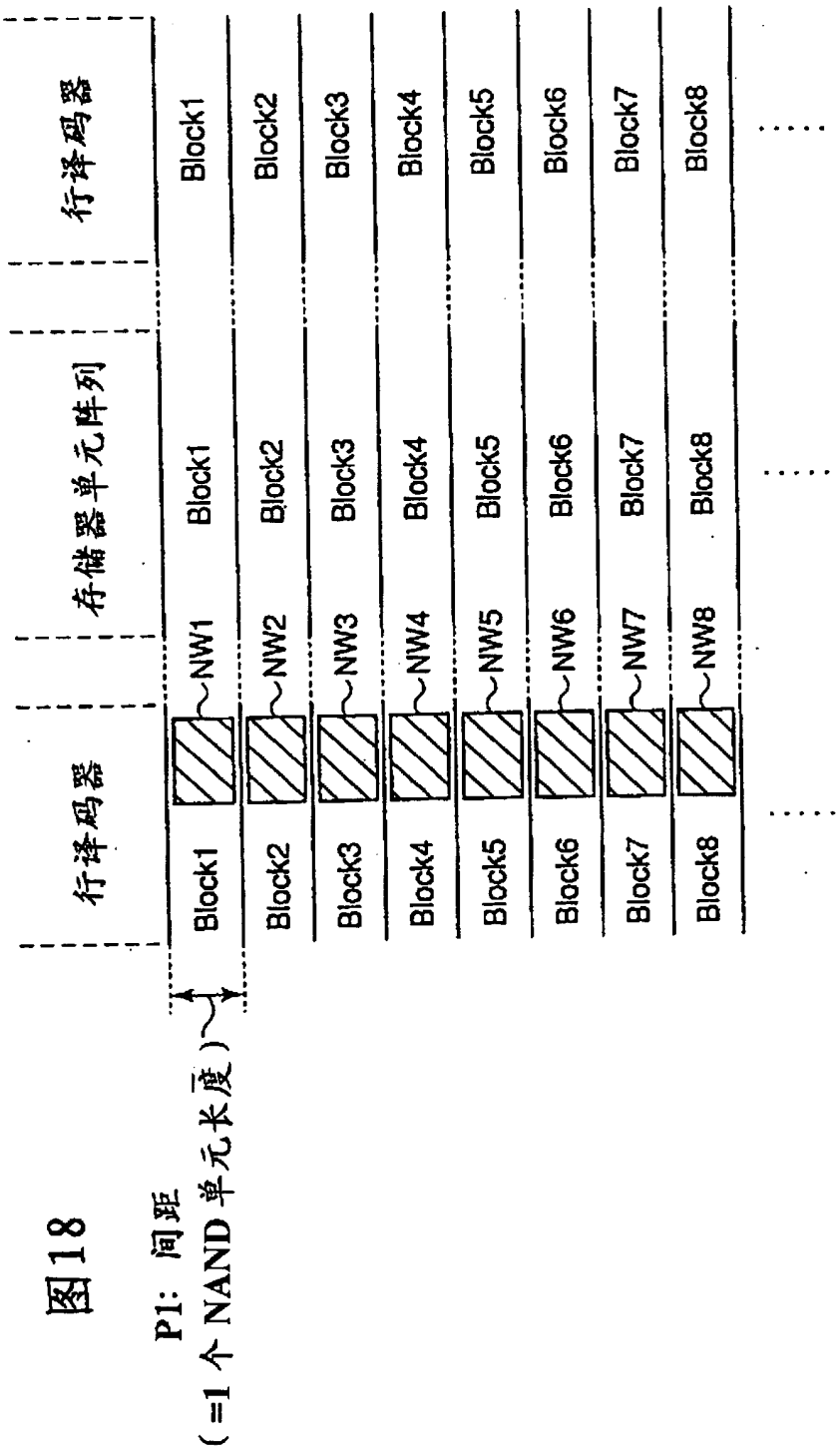

行译码器
存储器单元阵列
行译码器
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
NW1
NW2
NW3
NW4
NW5
NW6
NW7
NW8
P1：间距
（=1个NAND单元长度）

图18

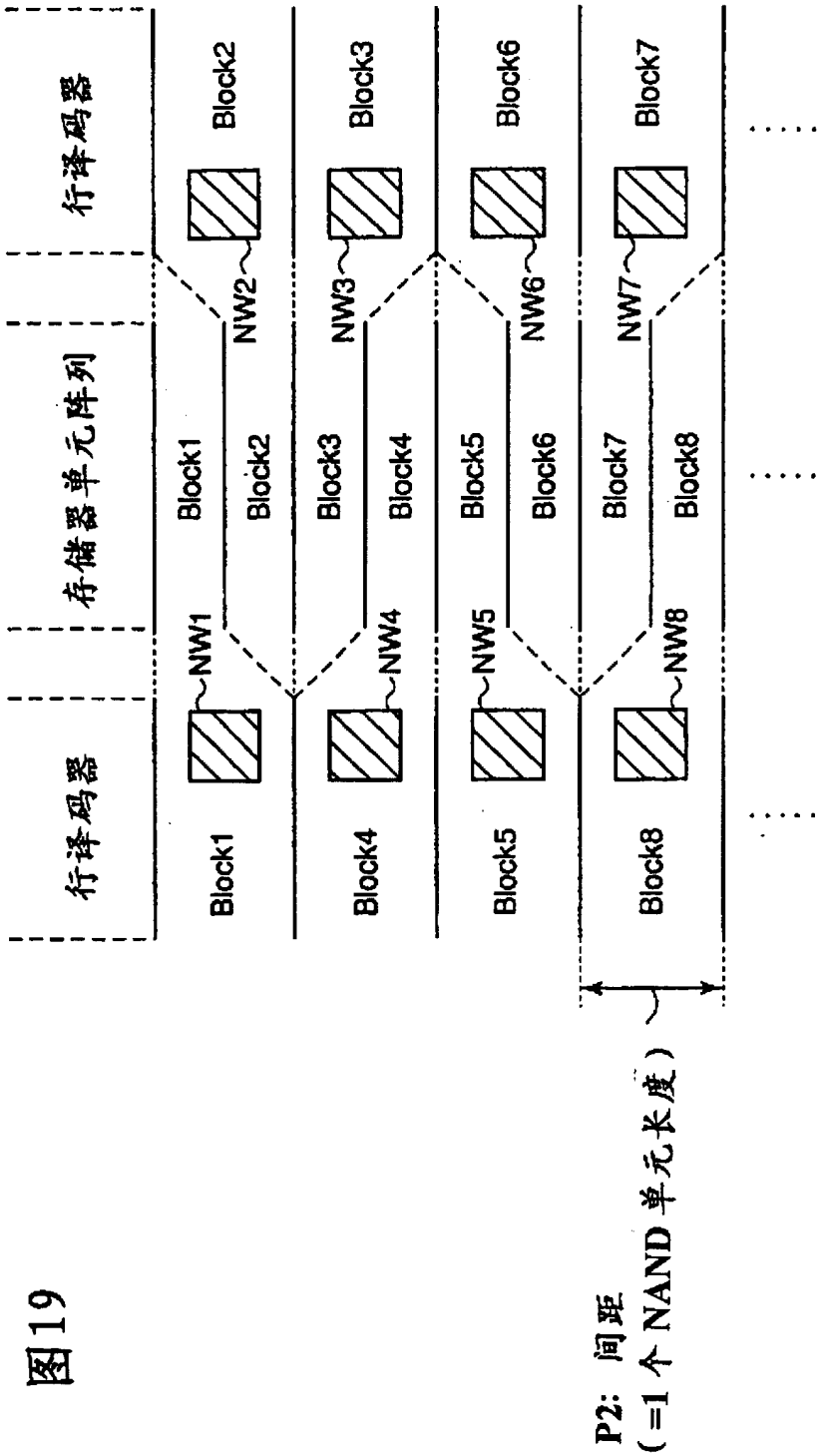

行译码器
存储器单元阵列
行译码器
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
NW1
NW2
NW3
NW4
NW5
NW6
NW7
NW8
P2: 间距
(=1 个 NAND 单元长度)

图19

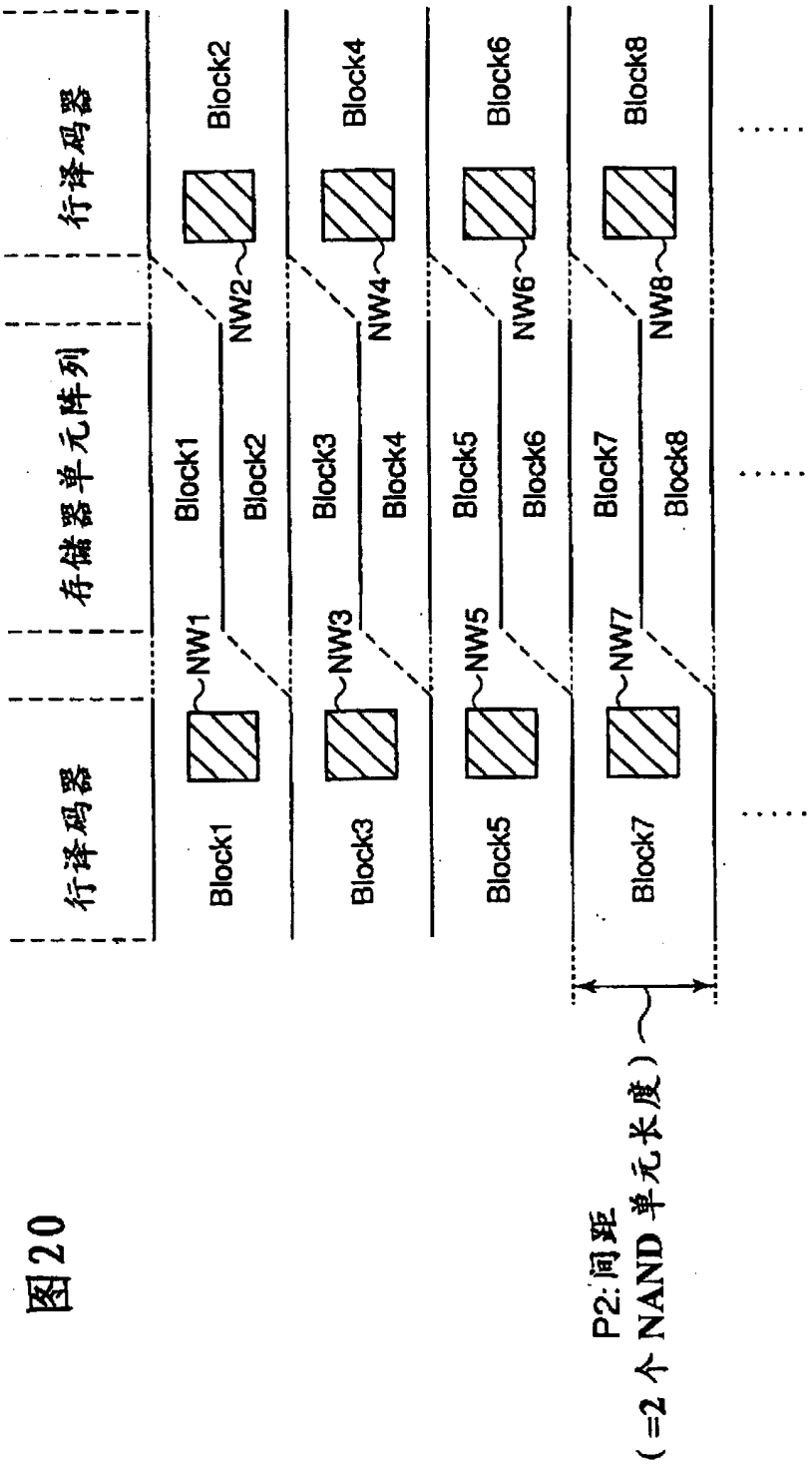

行译码器
存储器单元阵列
行译码器
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
NW1
NW2
NW3
NW4
NW5
NW6
NW7
NW8
P2:间距
(=2个NAND单元长度)

图20

图21A

1块中行译码器形成用的间距

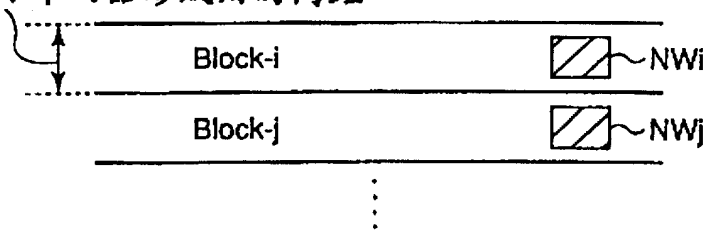


图21B

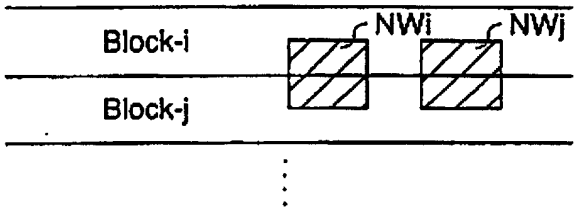


图21C

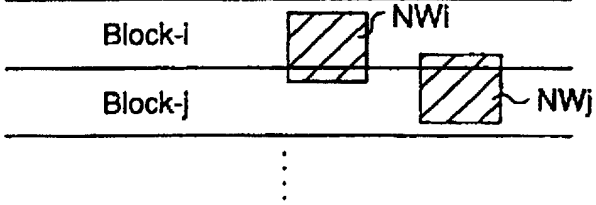


图21D

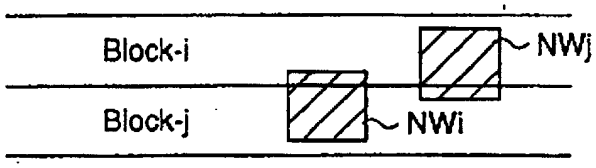
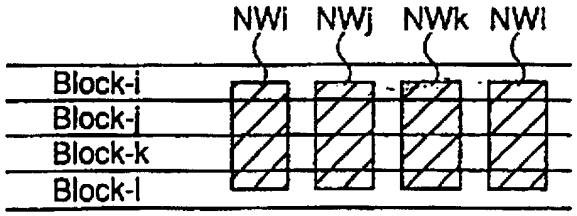


图21E



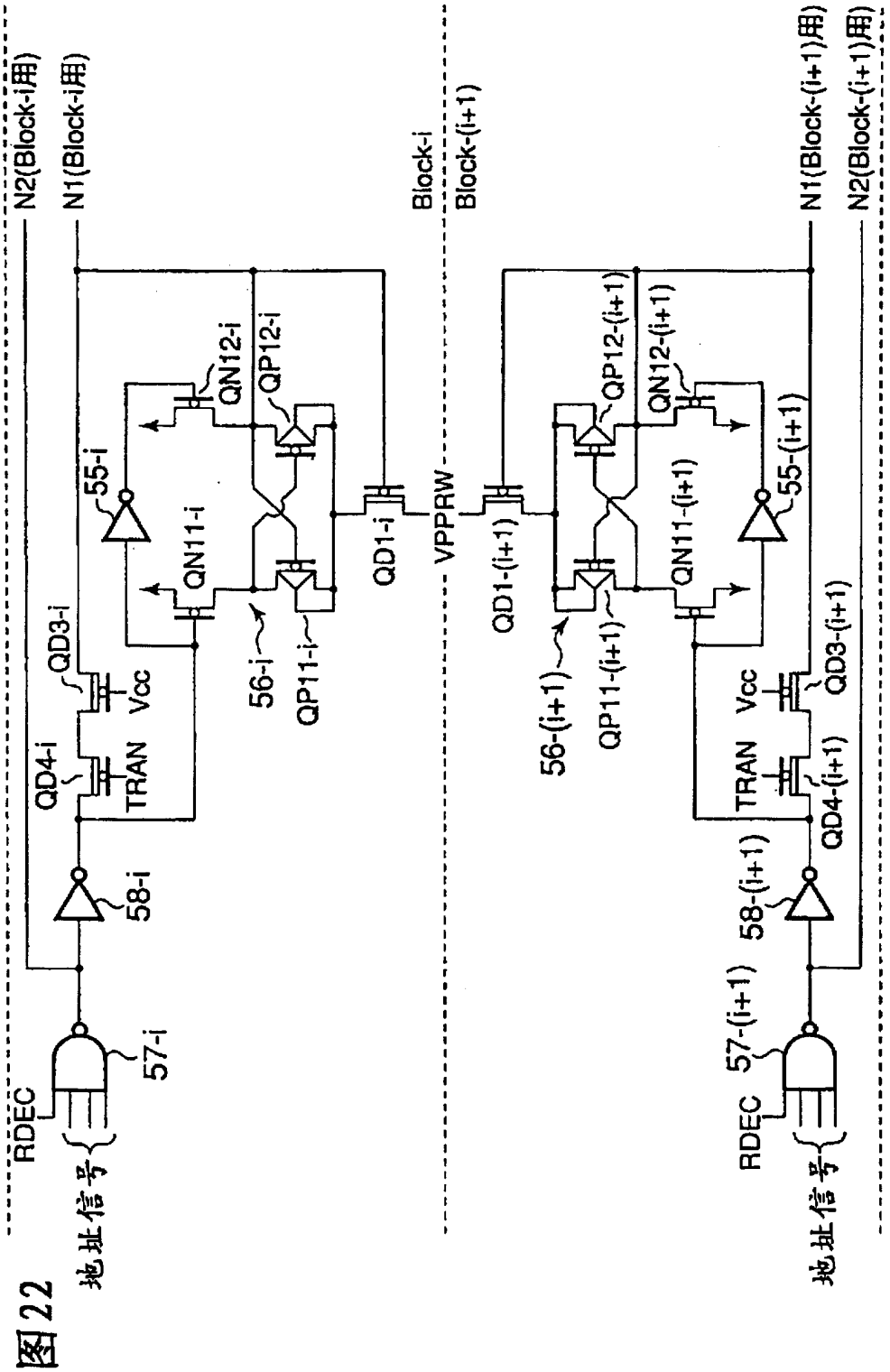

N2(Block-i用)
N1(Block-i用)
Block-i
Block-(i+1)
N1(Block-(i+1)用)
N2(Block-(i+1)用)
RDEC
地址信号
57-i
58-i
QD4-i
TRAN
QD3-i
Vcc
55-i
QN11-i
QN12-i
QP12-i
56-i
QP11-i
QD1-i
VPPRW
QD1-(i+1)
56-(i+1)
QP11-(i+1)
QP12-(i+1)
QN12-(i+1)
QN11-(i+1)
55-(i+1)
QD3-(i+1)
QD4-(i+1)
58-(i+1)
57-(i+1)

图 22

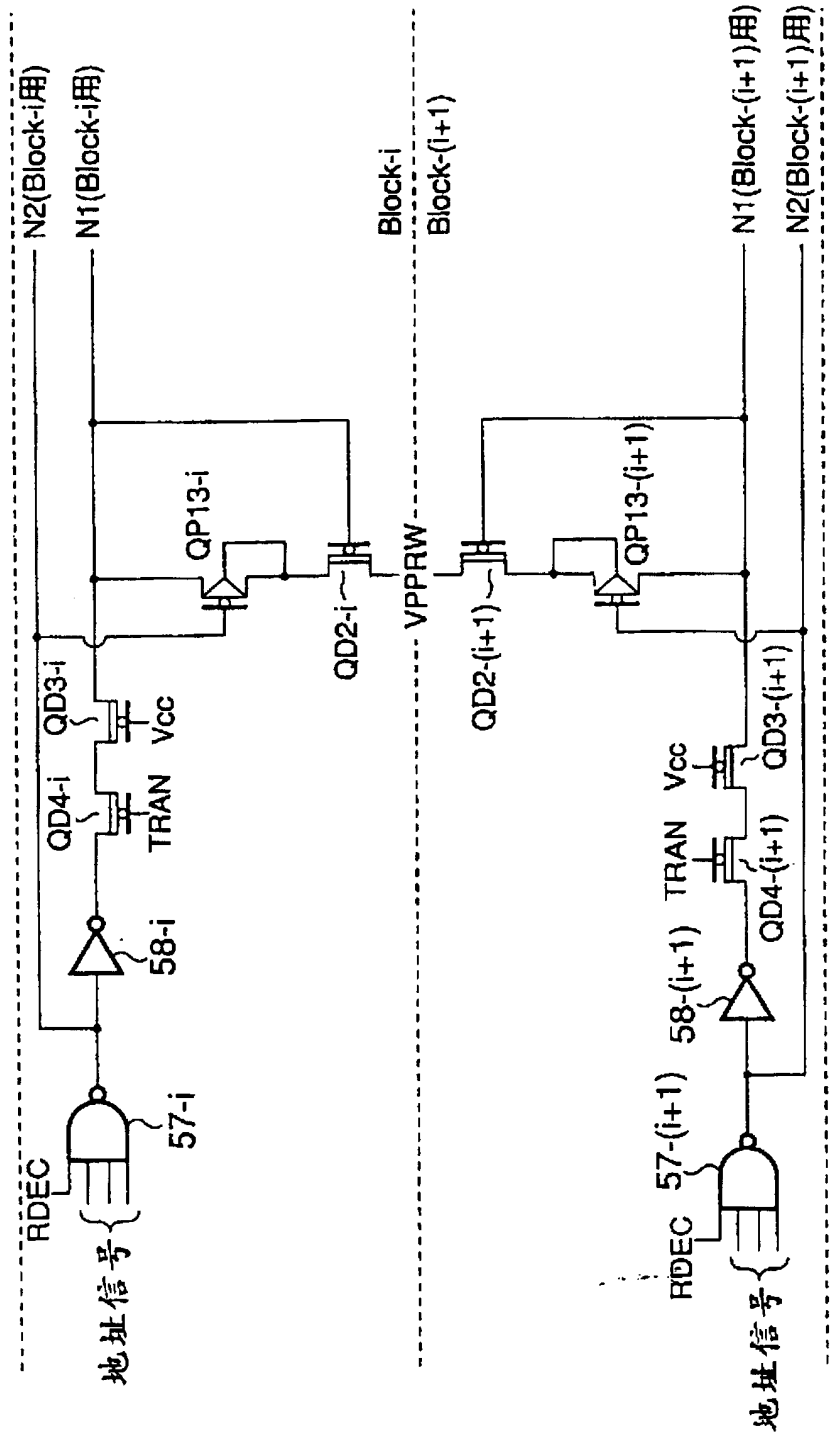

N2(Block-i用)
N1(Block-i用)
Block-i
Block-(i+1)
N1(Block-(i+1)用)
N2(Block-(i+1)用)
QP13-i
QD2-i
VPPRW
QD2-(i+1)
QP13-(i+1)
QD3-i
Vcc
QD4-i
TRAN
58-i
57-i
RDEC
地址信号
QD3-(i+1)
Vcc
TRAN
QD4-(i+1)
58-(i+1)
57-(i+1)
RDEC
地址信号

图23

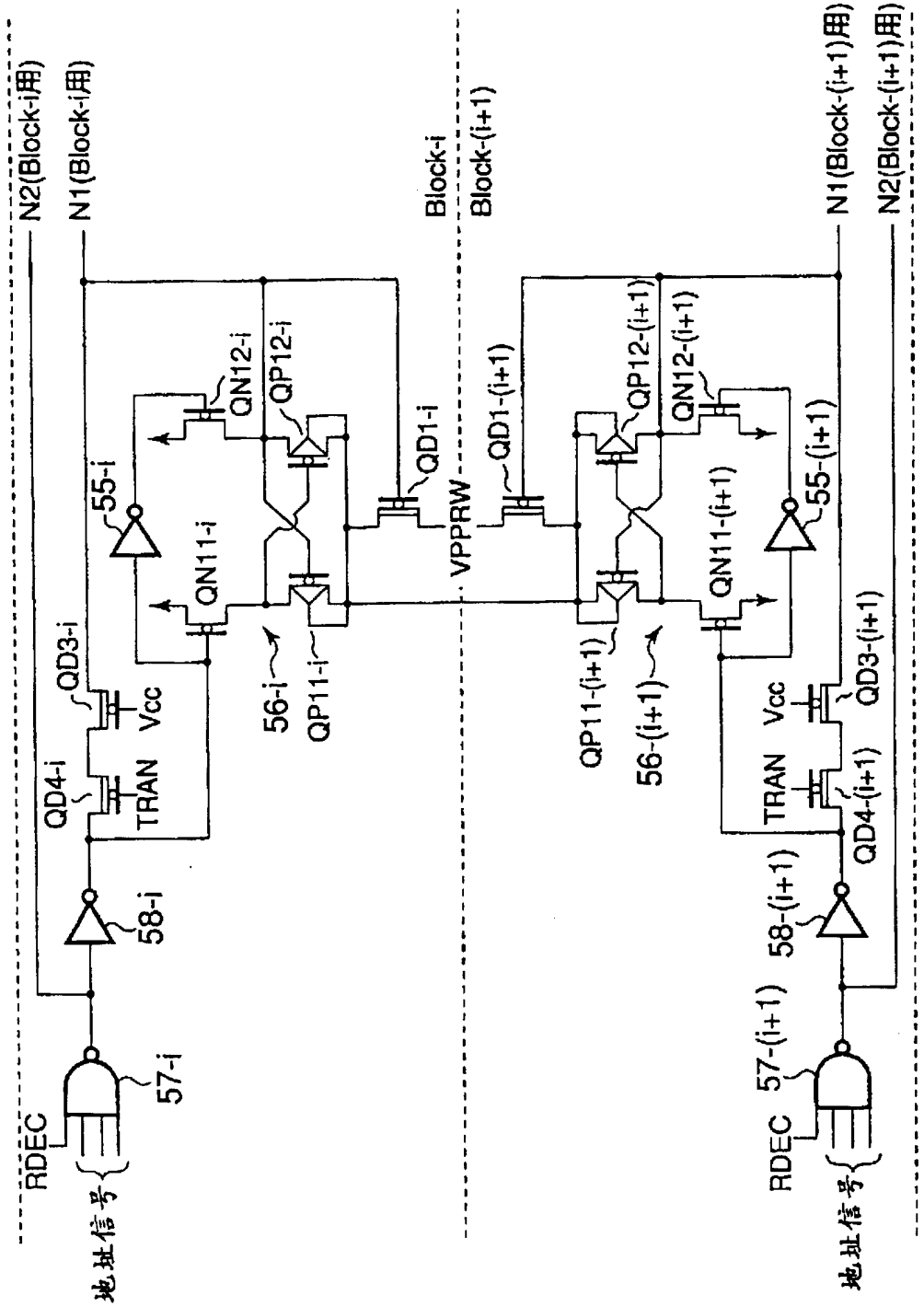

N2(Block-i用)
N1(Block-i用)
Block-i
Block-(i+1)
N1(Block-(i+1)用)
N2(Block-(i+1)用)
RDEC
地址信号
57-i
58-i
QD4-i
QD3-i
TRAN
Vcc
55-i
QN11-i
QN12-i
QP12-i
56-i
QP11-i
QD1-i
VPPRW
QD1-(i+1)
QP12-(i+1)
QN12-(i+1)
QN11-(i+1)
55-(i+1)
QP11-(i+1)
56-(i+1)
QD3-(i+1)
QD4-(i+1)
58-(i+1)
57-(i+1)

图24

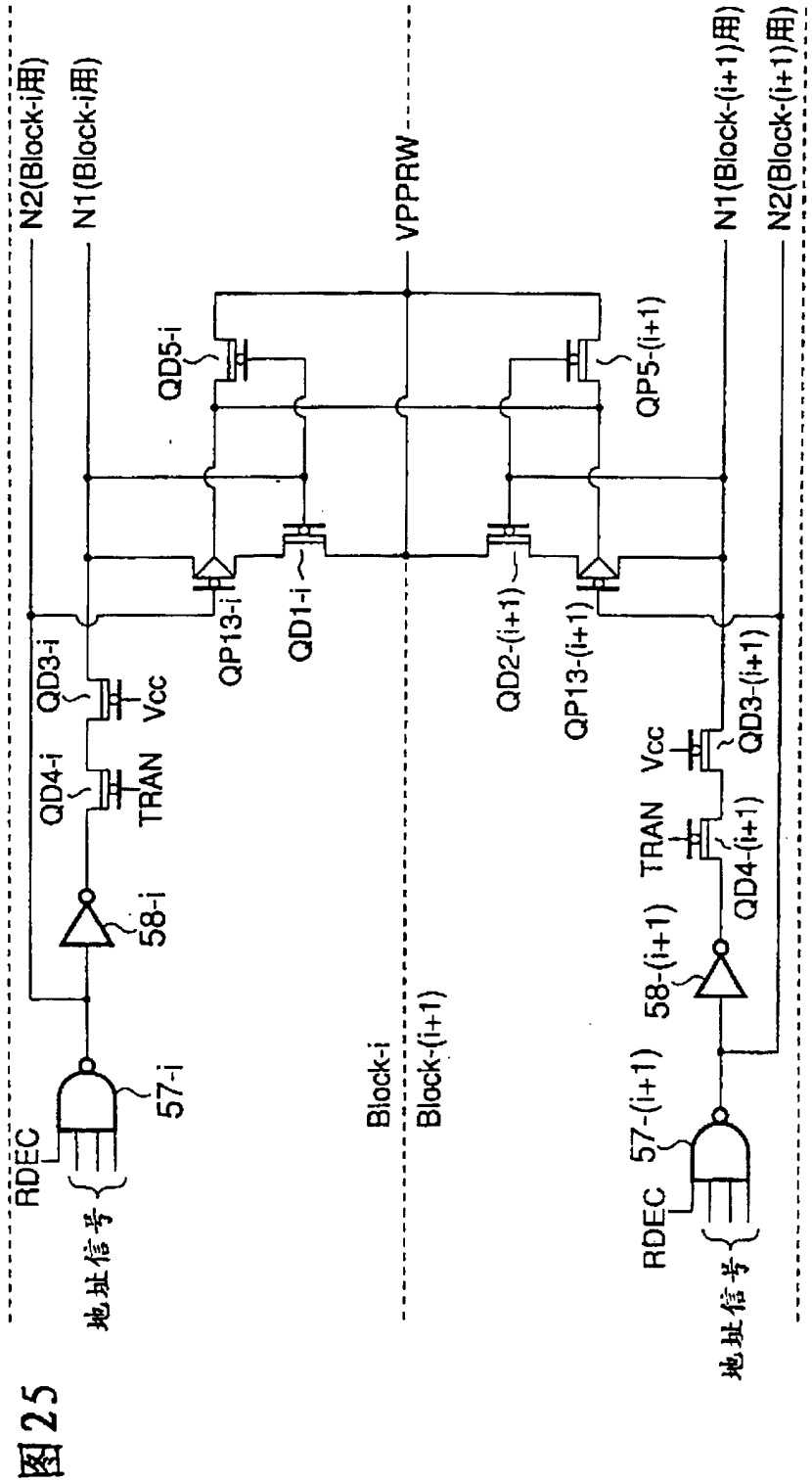

N2(Block-i用)
N1(Block-i用)
VPPRW
N1(Block-(i+1)用)
N2(Block-(i+1)用)
QD5-i
QP5-(i+1)
QD3-i
Vcc
QP13-i
QD1-i
QD2-(i+1)
QP13-(i+1)
QD3-(i+1)
Vcc
QD4-i
TRAN
TRAN
QD4-(i+1)
58-i
58-(i+1)
57-i
57-(i+1)
RDEC
RDEC
地址信号
地址信号
Block-i
Block-(i+1)

图25

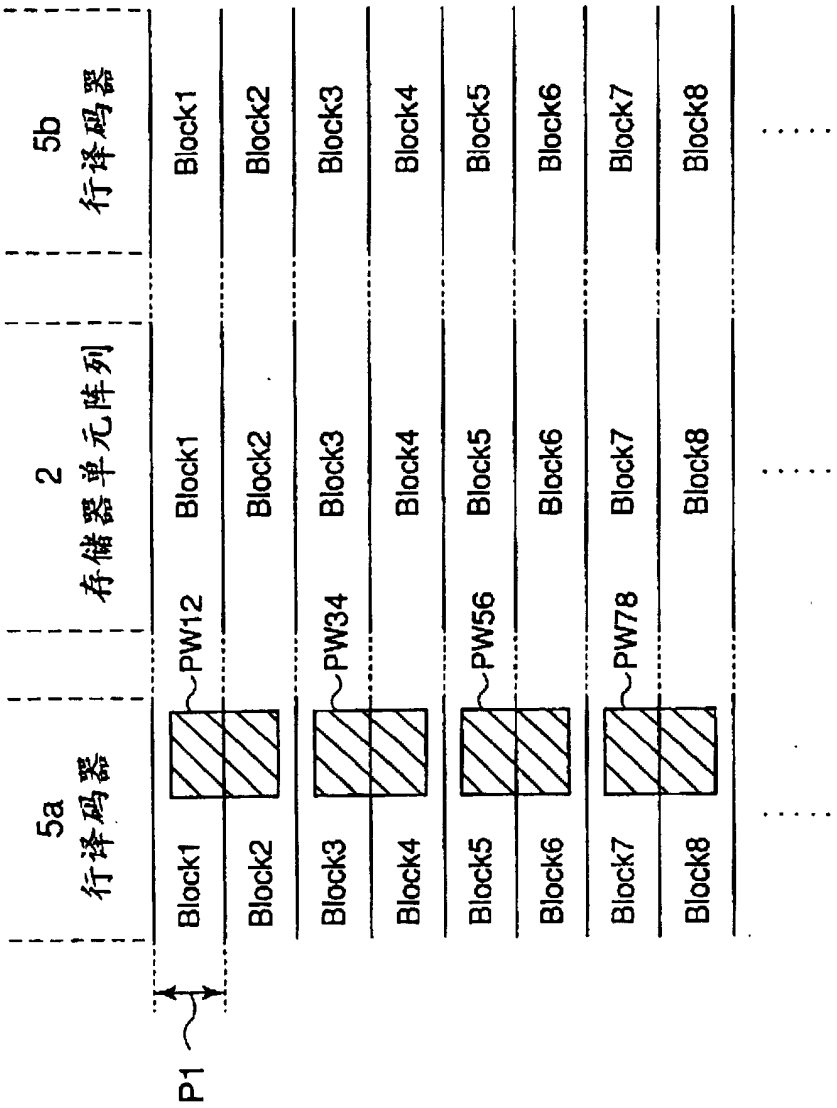

5a
行译码器
2
存储器单元阵列
5b
行译码器
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
PW12
PW34
PW56
PW78
P1

图26

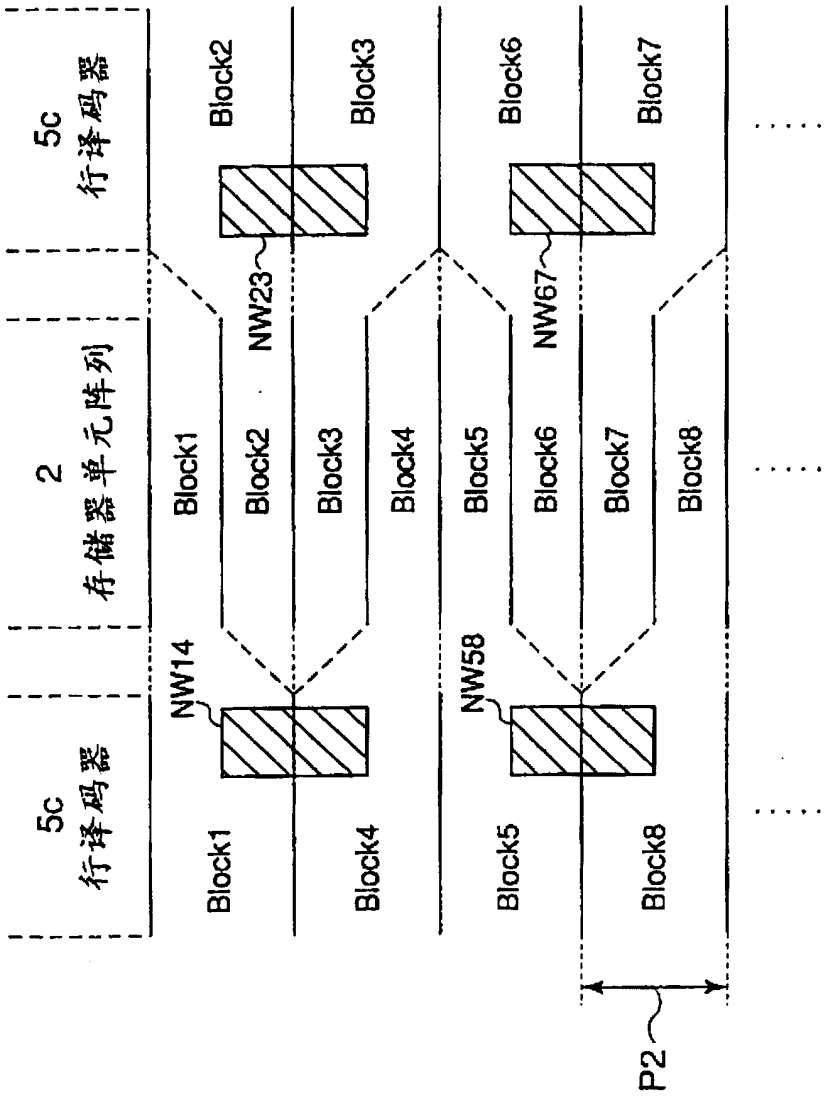

5c
行译码器
2
存储器单元阵列
5c
行译码器
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
NW14
NW23
NW58
NW67
P2

图27

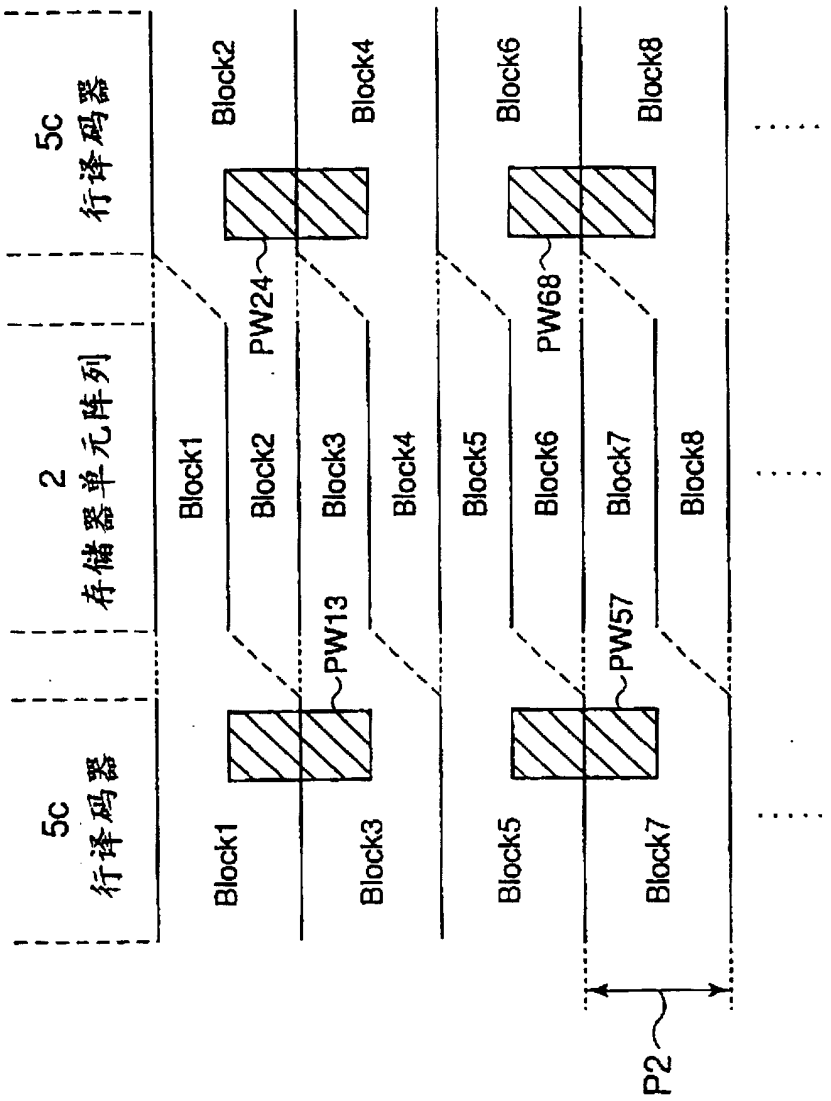

5c
行译码器
2
存储器单元阵列
5c
行译码器
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
PW13
PW24
PW57
PW68
P2

图28

图29A

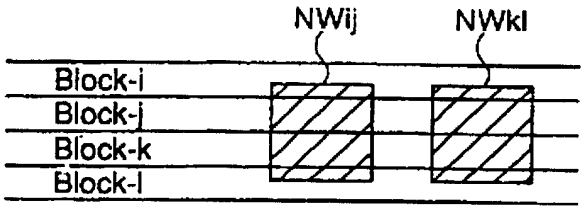
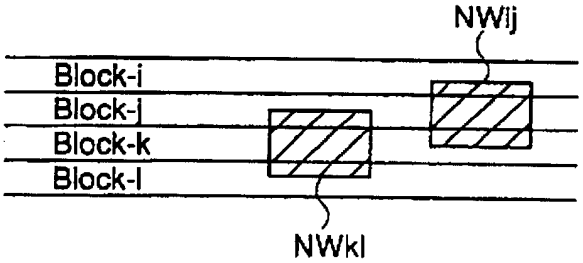

NWij
NWkl
Block-i
Block-j
Block-k
Block-l

图29B


NWij
Block-i
Block-j
Block-k
Block-l
NWkl

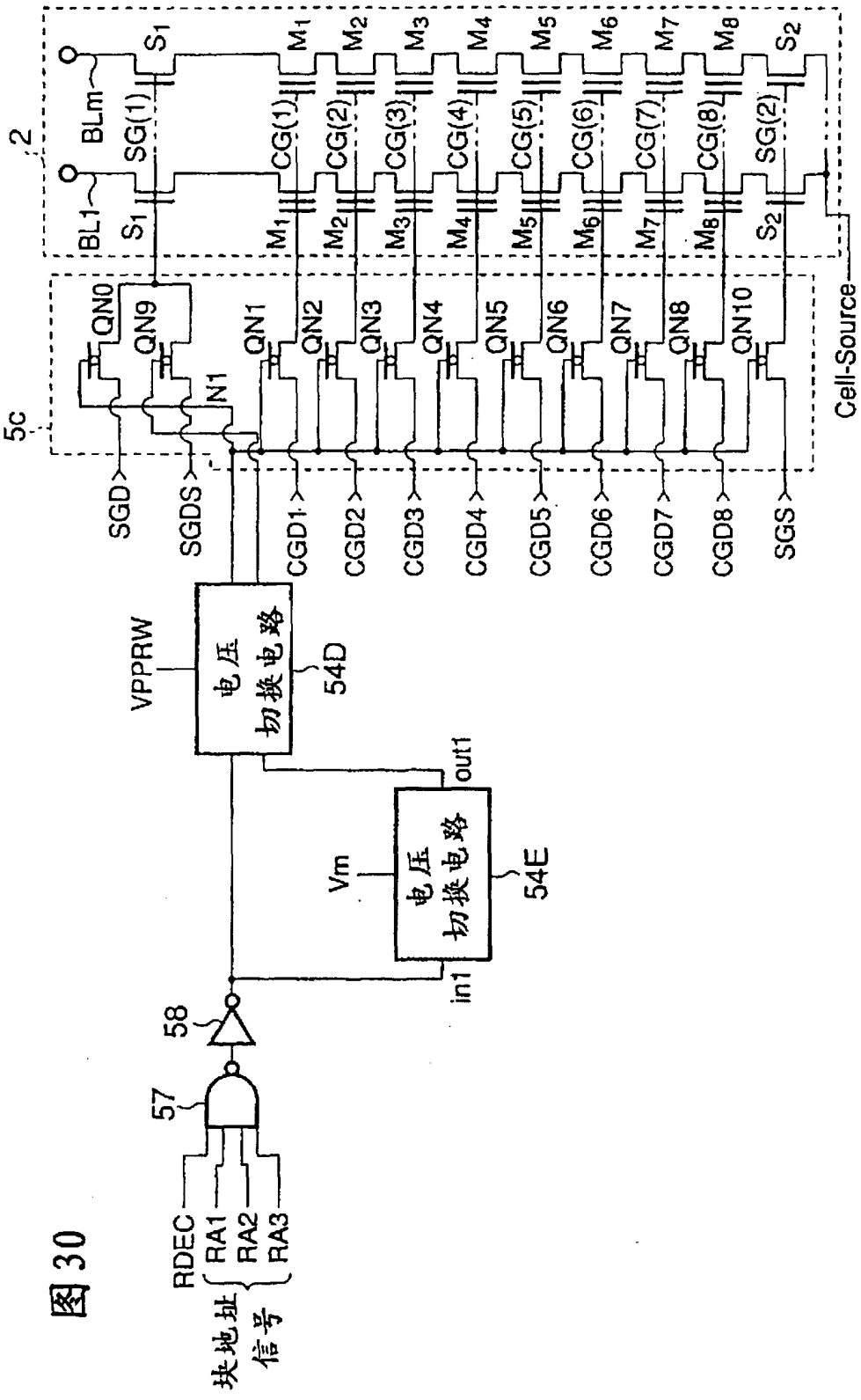

2
5c
BLm
BL1
S1
SG(1)
SG(2)
S2
M1
M2
M3
M4
M5
M6
M7
M8
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
QN0
QN9
N1
QN1
QN2
QN3
QN4
QN5
QN6
QN7
QN8
QN10
Cell-Source
SGD
SGDS
CGD1
CGD2
CGD3
CGD4
CGD5
CGD6
CGD7
CGD8
SGS
VPPRW
电压切换电路
54D
out1
Vm
电压切换电路
54E
in1
58
57
RDEC
RA1
RA2
RA3
块地址信号

图 30

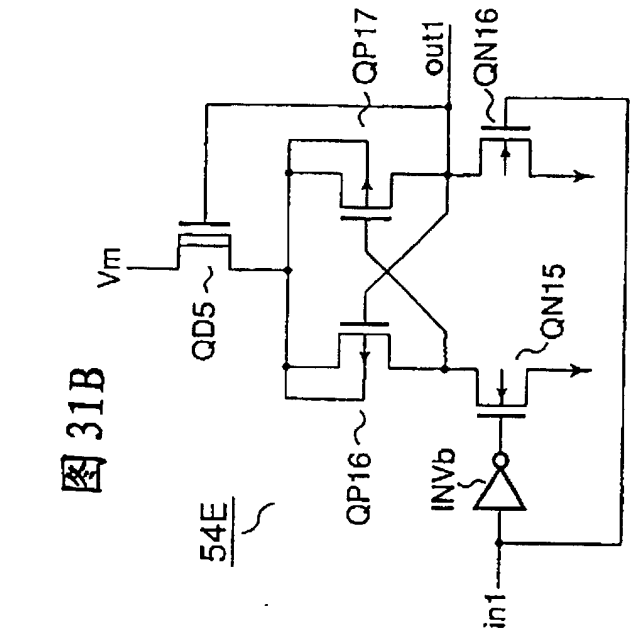


图 31B

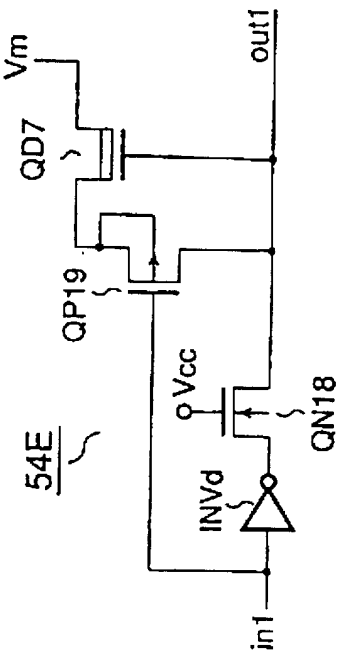


图 31D

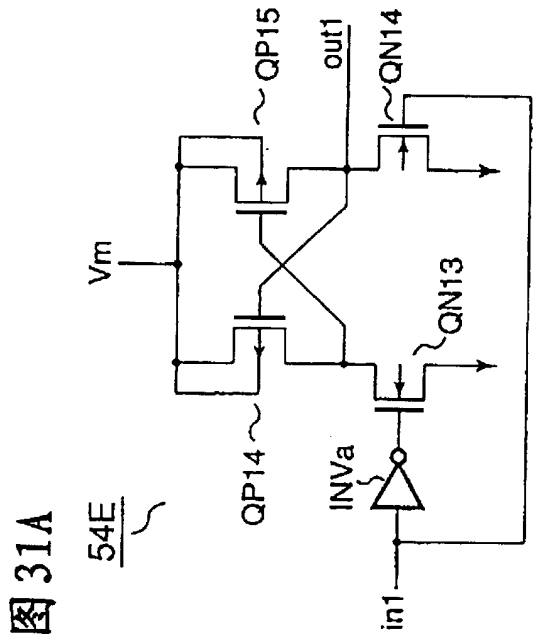


图 31A

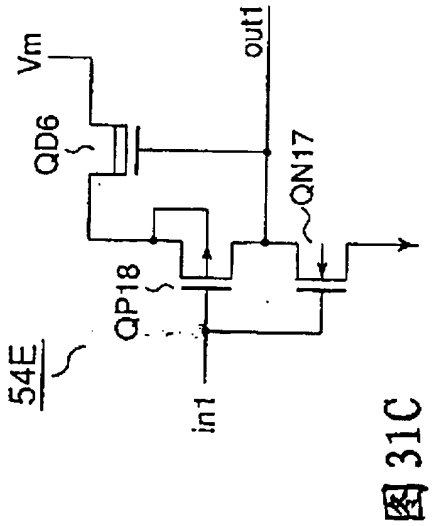


图 31C

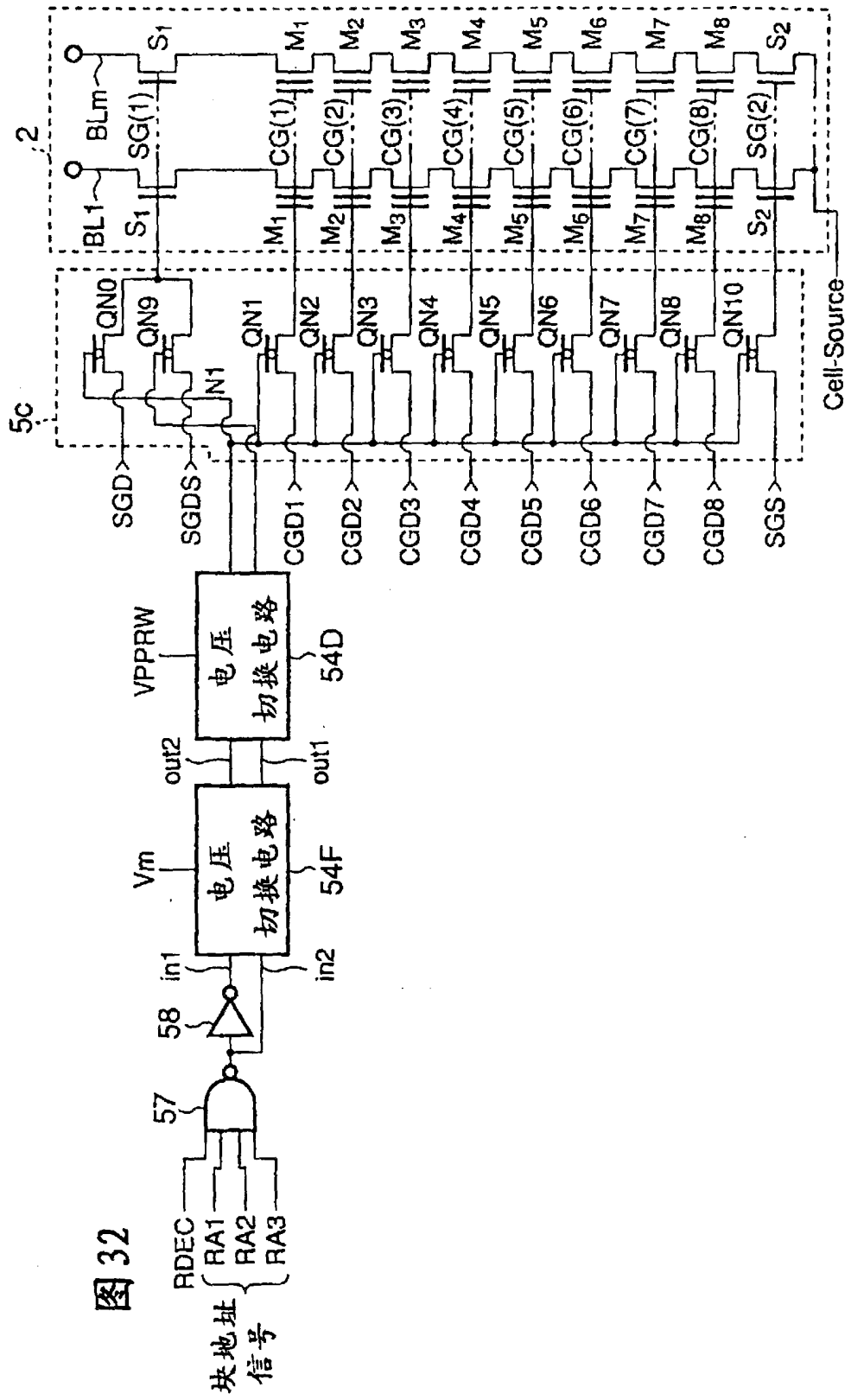

2
5c
BLm
BL1
S1
SG(1)
M1
M2
M3
M4
M5
M6
M7
M8
S2
SG(2)
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
QN0
QN9
N1
QN1
QN2
QN3
QN4
QN5
QN6
QN7
QN8
QN10
Cell-Source
SGD
SGDS
CGD1
CGD2
CGD3
CGD4
CGD5
CGD6
CGD7
CGD8
SGS
VPPRW
电压切换电路
54D
out2
out1
Vm
电压切换电路
54F
in1
in2
58
57
RDEC
RA1
RA2
RA3
块地址信号

图 32

图 33A

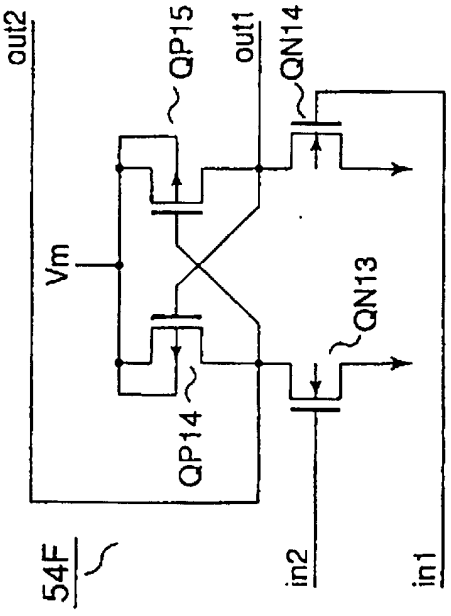


图 33B

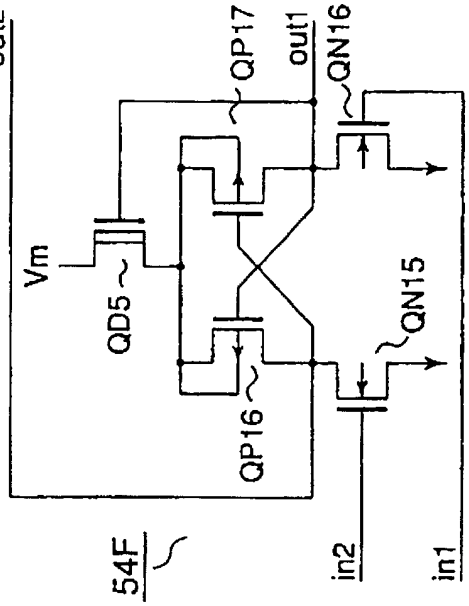


图 33C

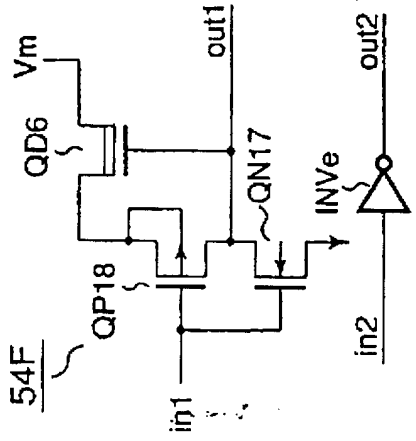


图 33D

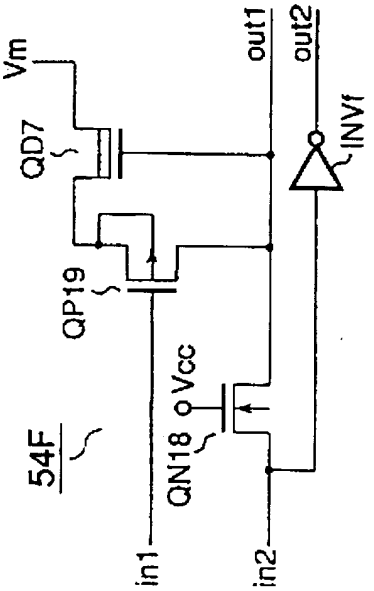


图34

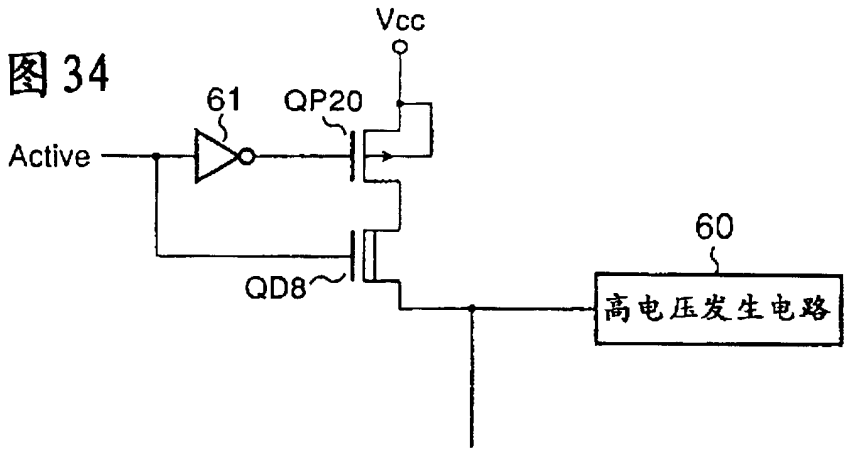
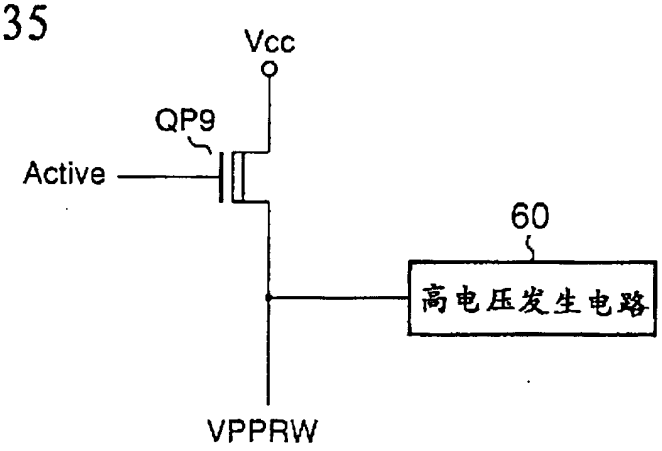

Vcc
61
QP20
Active
60
QD8
高电压发生电路

图35


Vcc
QP9
Active
60
高电压发生电路
VPPRW

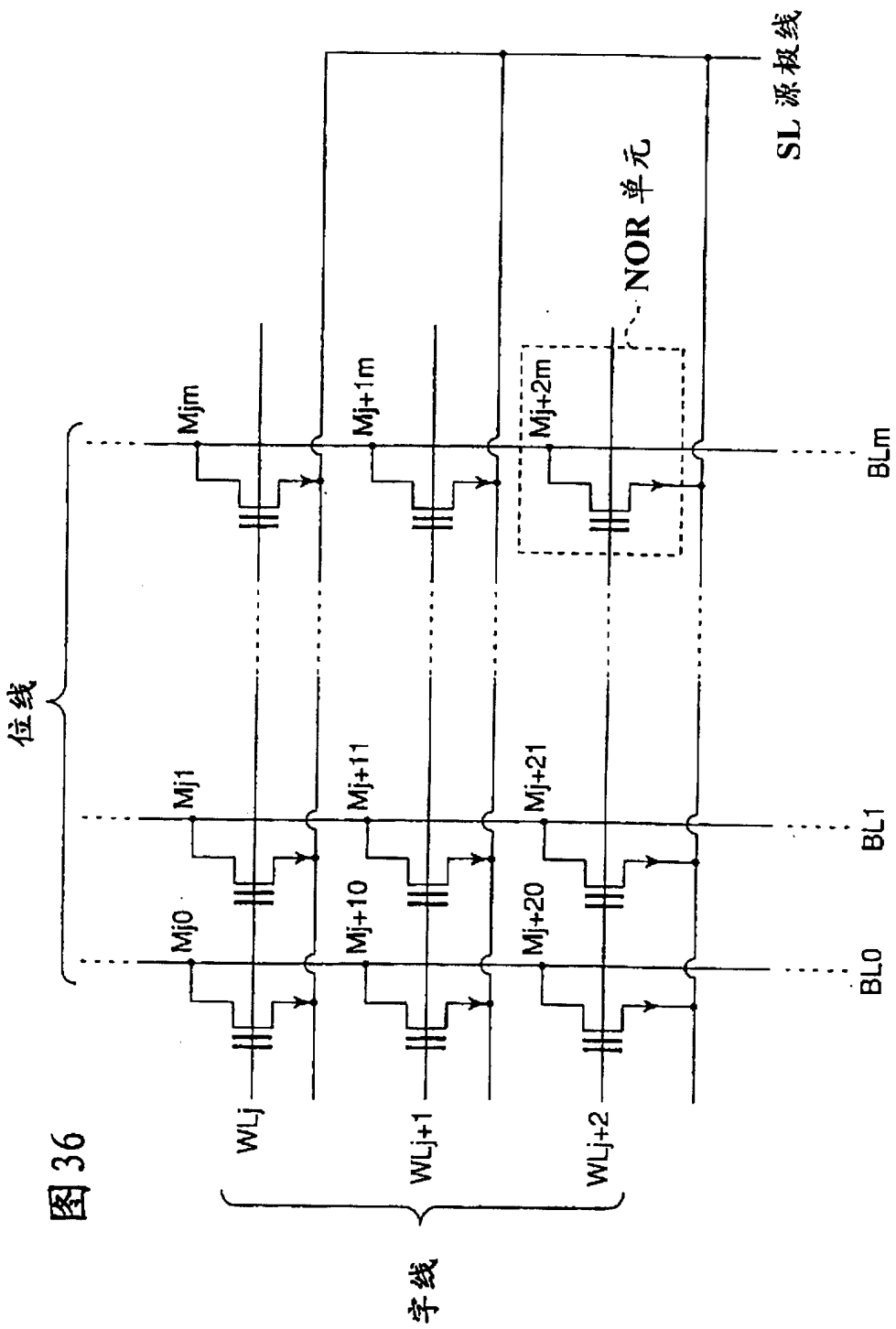

SL 源极线
NOR 单元
Mjm
Mj+1m
Mj+2m
BLm
位线
Mj1
Mj+11
Mj+21
BL1
Mj0
Mj+10
Mj+20
BL0
WLj
WLj+1
WLj+2
字线

图 36

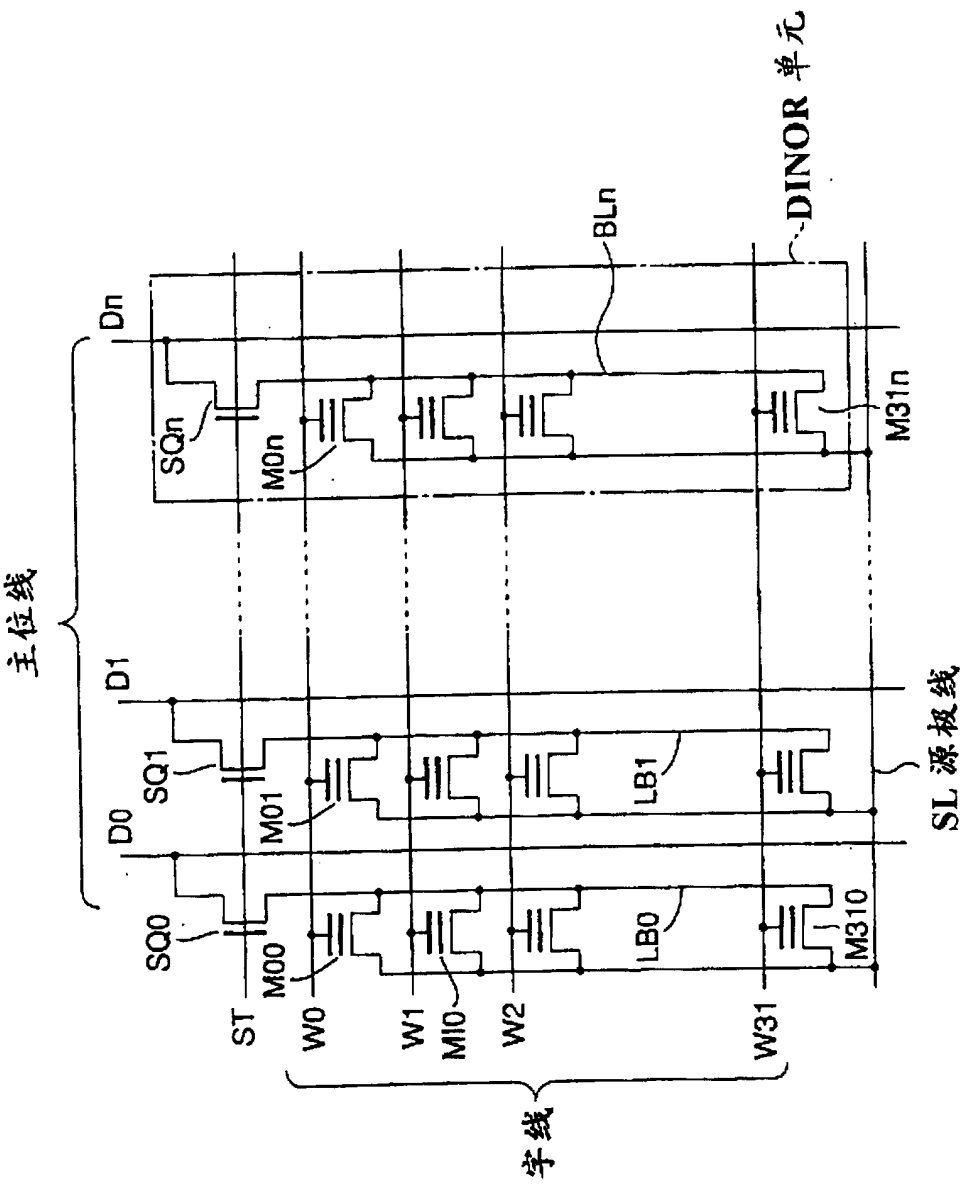

DINOR 单元
主位线
字线
SL 源极线
Dn
D1
D0
BLn
M31n
SQn
M0n
SQ1
M01
SQ0
M00
M310
M11
LB1
LB0
ST
W0
W1
W2
W31

图 37

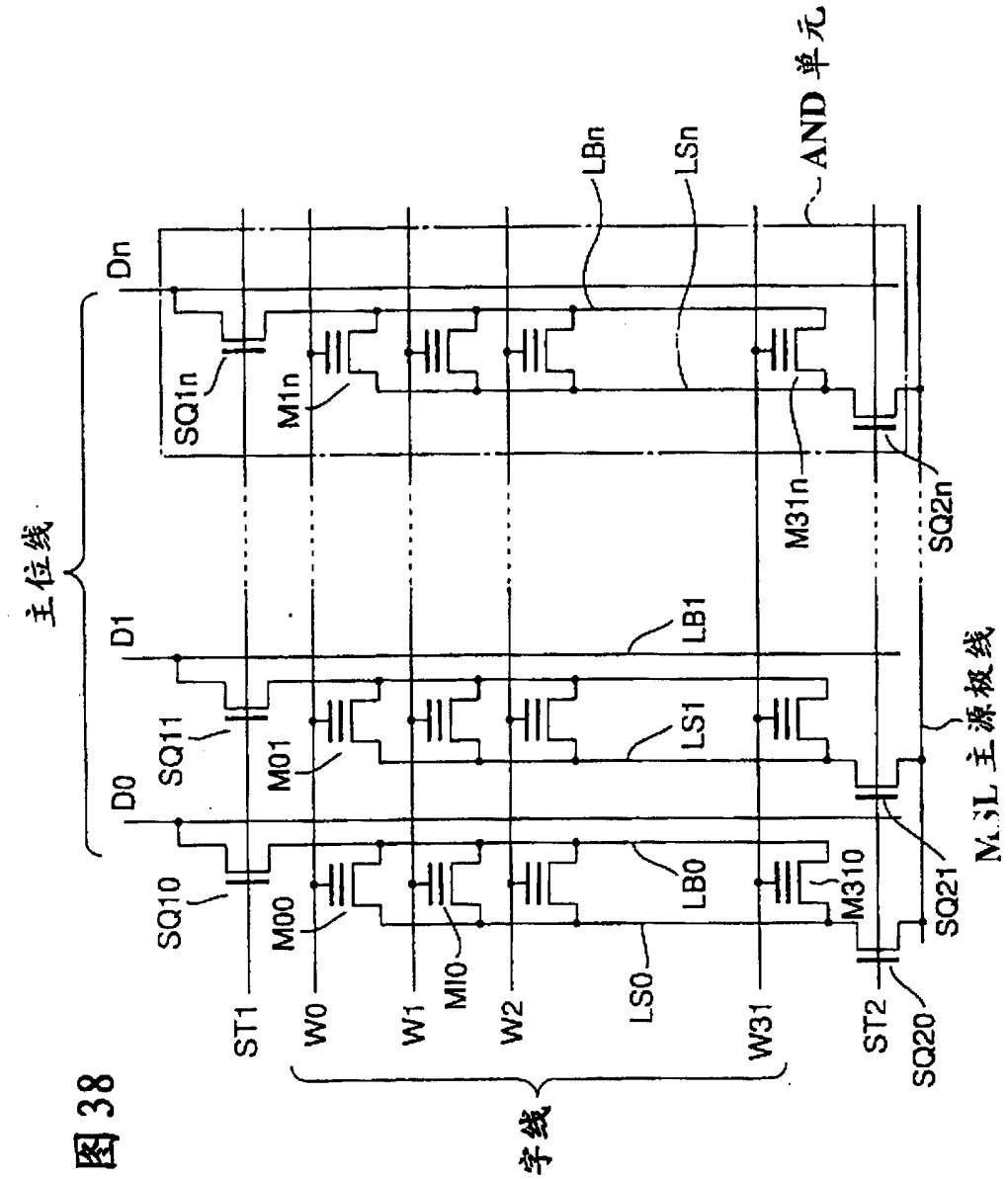

主位线
Dn
D1
D0
SQ1n
SQ11
SQ10
M1n
M01
M00
M10
ST1
W0
W1
W2
W31
字线
LBn
LSn
LB1
LS1
LB0
LS0
AND 单元
M31n
SQ2n
M310
SQ21
SQ20
ST2
M.SL 主源极线

图 38

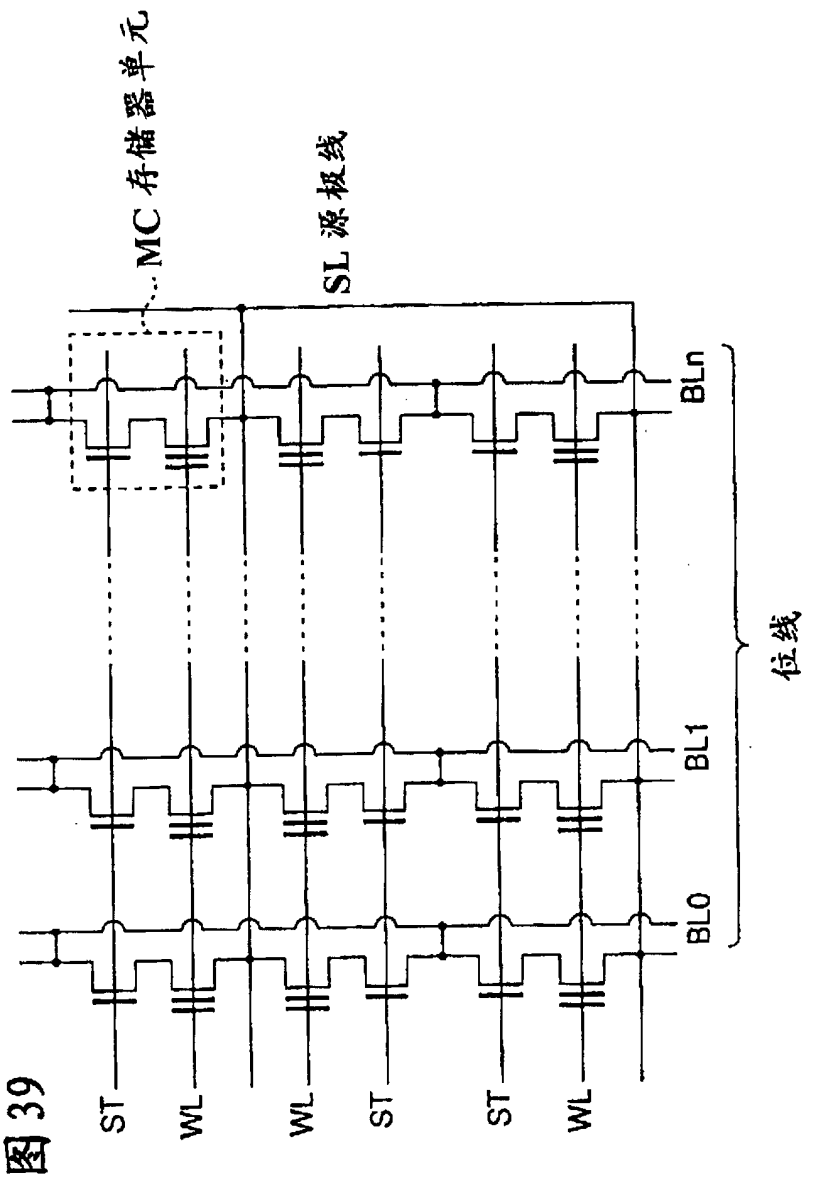


图 39