

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年6月28日 (28.06.2007)

PCT

(10) 国際公開番号
WO 2007/072551 A1

(51) 国際特許分類:
H03K 3/354 (2006.01)

(21) 国際出願番号: PCT/JP2005/023384

(22) 国際出願日: 2005年12月20日 (20.12.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 東 裕人 (HIGASHI, Hirohito) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋1丁目17番8号 池袋T G ホーメストビル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

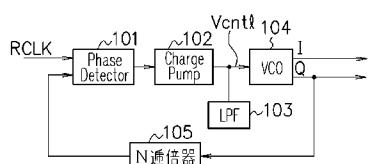
(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: VOLTAGE CONTROLLED RING OSCILLATOR

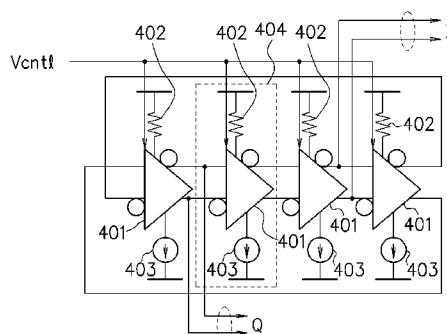
(54) 発明の名称: 電圧制御リングオシレータ

A

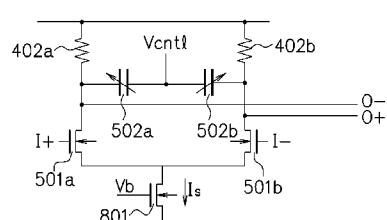


105... N-TIMES MULTIPLIER

B



C



(57) Abstract: There is provided a voltage controlled ring oscillator having a plurality of ring-connected amplifiers (401) and also having a plurality of variable capacitance elements (502a, 502b) which are connected to the respective amplifiers and the capacitances of which are varied by a voltage control. A plurality of load resistors (402) and a plurality of tail current sources (403) are connected to the respective amplifiers.

(57) 要約: リング接続された複数のアンプ(401)と、複数のアンプにそれぞれ接続され、電圧制御により容量が変化する複数の可変容量素子(502a, 502b)とを有する電圧制御リングオシレータが提供される。複数の負荷抵抗(402)及び複数のテール電流源(403)は、複数のアンプにそれぞれ接続される。

WO 2007/072551 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明細書

電圧制御リングオシレータ

技術分野

[0001] 本発明は、電圧制御リングオシレータに関する。

背景技術

[0002] 図14Aは、電圧制御リングオシレータの構成例を示す図である。電圧制御リングオシレータは、VCO (Voltage Controlled Oscillator) である。複数の差動アンプ1401は、リング接続される。複数の可変抵抗1402は、それぞれ複数の差動アンプ1401に接続される。複数の電流源1403は、それぞれ複数の差動アンプ1401に接続される。CRリング素子1404は、1個の差動アンプ1401、可変抵抗1402及び電流源1403を有する。例えば、4個のCRリング素子1404がリング接続される。

[0003] 図14Bは、図14AのCRリング素子1404の構成例を示す回路図である。CRリング素子1404は、バイアス部1431及び発振部1432を有する。以下、MOS電界効果トランジスタを単にトランジスタという。バイアス部1431は、Pチャネルトランジスタ1411及びNチャネルトランジスタ1412を有する。

[0004] 発振部1432は、非反転入力端子I+及び反転入力端子I-から差動信号を入力し、その差動信号を増幅し、非反転出力端子O+及び反転出力端子O-から増幅した差動信号を出力する。差動信号は、相互に位相が180度反転した2つの信号である。Nチャネルトランジスタ1422は、図14Aの電流源1403に相当し、トランジスタ1412との間でカレントミラー回路を構成する。トランジスタ1412に電流I1が流れると、トランジスタ1422に電流Isが流れる。非反転出力端子O+及び反転出力端子O-には、それぞれ寄生容量1425b及び寄生容量1425aが接続されている。非反転入力端子I+はNチャネルトランジスタ1421aのゲートに接続され、反転入力端子I-はNチャネルトランジスタ1421bのゲートに接続される。Pチャネルトランジスタ1424a及び1423aは、トランジスタ1421aに接続され、負荷抵抗を構成する。Pチャネルトランジスタ1424b及び1423bは、トランジスタ1421bに接続され、負荷抵抗を構成する。トランジスタ1423a及び1423bは、電圧Vctrlにより制御される可変抵抗である。CRリン

グ素子1404は、容量及び抵抗のCRにより出力信号の遅延量が決まる。電圧Vctlにより可変抵抗1423a及び1423bを変化させることにより、リングオシレータの発振周波数を制御することができる。

- [0005] 以上のように、電圧制御リングオシレータは、CML (Current Mode Logic)型のリング素子(CRの遅延素子)を複数段接続して正帰還をかける発振部1432及びそのリング素子にバイアス電圧を供給するバイアス部1431とから構成されている。制御電圧Vctlは、バイアス部1431に入力され、電圧Vctlに比例したバイアス電圧をバイアス部1431は出力する。このバイアス電圧は、CML回路のテール電流源1422と負荷抵抗のトランジスタ1423a, 1423bを制御する。負荷抵抗1423a, 1423bだけ又はテール電流源1422だけ制御する方式もあるが、振幅を発振周波数によらず一定にしたい場合は、両方を制御する方式が一般的である。
- [0006] 図15は、制御電圧Vctl及び発振周波数foscの関係を示すグラフである。制御電圧Vctlは、バイアス部1431の中で、トランジスタ1411を一段挟んで制御されるため、トランジスタの閾値電圧Vthの影響を受けることになる。トランジスタ1411は、ソースが電源電圧Vddに接続され、ドレインがトランジスタ1422のゲートに接続される。リングオシレータでは、この閾値電圧Vthが同調範囲の妨げとなり、電源電圧Vddから閾値電圧Vthを引いた残りの電圧($Vdd - Vth$)で同調範囲を確保しないといけないという問題がある。仕様となる目標発振周波数1501を実現するには、制御電圧Vctlの同調範囲は同調範囲1502になる。プロセスばらつき等により、特性は特性FASTから特性SLOWの間でばらつく。特性TYP(Typical)は、閾値電圧Vthが代表的な値の特性である。特性FASTは、閾値電圧Vthが低くばらついたときの特性である。特性SLOWは、閾値電圧Vthが高くばらついたときの特性である。リングオシレータは、プロセスばらつきの影響を大きく受ける。
- [0007] プロセスばらつき、電源電圧Vddや温度等のばらつきを含めて、目標同調範囲1502を保証しようとすると、一番帯域の厳しい特性SLOWで特性のミニマムが決まり、結果、特性TYPではVCOのゲインが非常に高くなるという問題がある。VCOのゲインは、特性の傾きに対応する。VCOのゲインを高くすると、VCO自身の感度が非常に高くなるため、電源電圧変動や制御電圧Vctlの変動に対して、敏感に反応して

しまう。これはジッタとなって、VCOをPLL(Phase Locked Loop)回路に使用する場合、PLL回路の性能を悪くしてしまう。

- [0008] また、テクノロジの進化に伴い、電圧スケーリング(低電圧化)が進んでいる。リングオシレータでは、この電圧スケーリングも大変問題となる。電源電圧はスケーリングされていくが、トランジスタの閾値電圧 V_{th} はスケーリングされないため、同調範囲1502である $V_{dd} - V_{th}$ は小さくなる方向に進むことになる。将来、1V以下の電圧で回路を構成する場合、既存の回路方式では同調範囲1502が確保できないことが容易に予想できる。
- [0009] 上述のとおり、既存のリングオシレータでは、同調範囲1502が $V_{dd} - V_{th}$ で決まるため、VCOのゲインを高くすることで対処してきた。しかし、VCOのゲインが高くなることは、同時にノイズ(ジッタ)が増えることを意味し、また将来の電源電圧スケーリングに対し、更に設計が厳しくなることを促している。
- [0010] また、下記の特許文献1には、固定電極と可動電極とで可変コンデンサが形成されており、固定用金属フレームと固定電極との間に所定の静電容量を有するコンデンサを挿入することにより、環境変化や経時変化に依存する浮遊容量による発振周波数のオフセット値の変動や感度変動を大きく低減させる静電容量式重量検出装置が開示されている。
- [0011] また、下記の特許文献2及び特許文献3には、可変容量ダイオードを用いたCR発振部を有する自励発振回路が開示されている。
- [0012] また、下記の特許文献4には、複数個の差動型ゲインステージが抵抗素子を介してリング状に接続され、各差動型ゲインステージの入力と基準電位との間にはバンドパスフィルタがそれぞれ接続されるリング発振器が開示されている。
- [0013] 特許文献1:特開2001-201392号公報
特許文献2:特開平7-169583号公報
特許文献3:特開平7-169584号公報
特許文献4:特許第3528203号公報
発明の開示
- [0014] 本発明の目的は、プロセスばらつき、電源電圧スケーリング及び／又はVCOの高

ゲインによるノイズの影響を受け難い電圧制御リングオシレータを提供することである。

[0015] 本発明の一観点によれば、リング接続された複数のアンプと、複数のアンプにそれぞれ接続され、電圧制御により容量が変化する複数の可変容量素子とを有する電圧制御リングオシレータが提供される。

図面の簡単な説明

[0016] [図1]図1は、本発明の第1の実施形態による高速I/O(入力／出力)回路の構成例を示す図である。

[図2]図2は、図13のVCOの構成例を示す回路図である。

[図3]図3は、図5の可変容量の構成例を示す半導体チップの断面図である。

[図4]図4は、図1のVCOの構成例を示す回路図である。

[図5]図5は、図4のCRリング素子の構成例を示す回路図である。

[図6]図6は、可変容量の両端電圧Vvar及び容量Cvarの関係を示すグラフである。

[図7]図7は、制御電圧Vcntl及び発振周波数foscの関係を示すグラフである。

[図8A]図8Aは、本発明の第2の実施形態によるPLL回路の構成例を示すブロック図である。

[図8B]図8Bは、図8AのVCOの構成例を示す回路図である。

[図8C]図8Cは、図8BのCRリング素子の構成例を示す回路図である。

[図9A]図9Aは、本発明の第3の実施形態によるPLL回路の構成例を示すブロック図である。

[図9B]図9Bは、図9AのVCOの構成例を示す回路図である。

[図9C]図9Cは、図9BのCRリング素子の構成例を示す回路図である。

[図9D]図9Dは、図9Cの負荷抵抗部の構成例を示す図である。

[図9E]図9Eは、図9Cの負荷抵抗部の他の構成例を示す図である。

[図9F]図9Fは、図9Cの負荷抵抗部の他の構成例を示す図である。

[図10A]図10Aは、本発明の第4の実施形態によるPLL回路の構成例を示すブロック図である。

[図10B]図10Bは、図10AのVCOの構成例を示す回路図である。

[図10C]図10Cは、図10BのCRリング素子の構成例を示す回路図である。

[図10D]図10Dは、図10Cの負荷抵抗部の構成例を示す図である。

[図10E]図10Eは、図10Cの負荷抵抗部の他の構成例を示す図である。

[図10F]図10Fは、図10Cの負荷抵抗部の他の構成例を示す図である。

[図11A]図11Aは、本発明の第5の実施形態によるPLL回路の構成例を示すブロック図である。

[図11B]図11Bは、図11AのVCOの構成例を示す回路図である。

[図11C]図11Cは、図11BのCRリング素子の構成例を示す回路図である。

[図11D]図11Dは、図11Cの負荷抵抗部の構成例を示す図である。

[図11E]図11Eは、図11Cのテール電流源の構成例を示す図である。

[図12A]図12Aは、本発明の第6の実施形態によるPLL回路の構成例を示すブロック図である。

[図12B]図12Bは、図12AのVCOの構成例を示す回路図である。

[図12C]図12Cは、図12BのCRリング素子の構成例を示す回路図である。

[図12D]図12Dは、図12Cのオフセット容量の構成例を示す図である。

[図12E]図12Eは、図12Cのオフセット容量の他の構成例を示す図である。

[図13]図13は、本発明の第7の実施形態によるPLL回路の構成例を示すブロック図である。

[図14A]図14Aは、電圧制御リングオシレータの構成例を示す図である。

[図14B]図14Bは、図14AのCRリング素子の構成例を示す回路図である。

[図15]図15は、制御電圧Vctrl及び発振周波数foscの関係を示すグラフである。

発明を実施するための最良の形態

[0017] (第1の実施形態)

図1は、本発明の第1の実施形態による高速I/O(入力/出力)回路の構成例を示す図である。高速I/O回路の場合、ドライバ(Tx)及びレシーバ(Rx)ではデータレートの半分の周波数のクロックが必要とされ、このクロックはPLL回路110により生成される。PLL回路110は、位相検出器101、チャージポンプ102、ループフィルタ(LPF)103、電圧制御オシレータ(VCO)104、及び遅倍器105を有する。位相検出器

101は、リファレンスクロックRCLKと、遅倍器105からの出力クロック(フィードバッククロック)とを比較し、その位相誤差に応じたパルス幅をチャージポンプ102に出力する。チャージポンプ102は、このパルス幅に応じた電流をLPF103に流す。LPF103は、ローパスフィルタであり、この誤差信号を平滑化する。VCO104は、この平滑化された電圧V_{ctrl}に応じて発振し、I信号及びQ信号を出力する。例えば、I信号は0°及び180°の差動信号であり、Q信号は90°及び270°の差動信号である。遅倍器105は、VCO104が出力する1つの信号の周波数をN倍にした信号を位相検出器101に出力する。その結果、位相検出器101で検出される位相誤差が0になると、PLL回路110はロック状態(定常状態)に移行し、リファレンスクロックRCLKの周波数をN倍した安定した同期クロック(I信号及びQ信号)を得ることができる。

- [0018] 位相インターポレータ106は、VCO104及びデジタルフィルタ109の出力信号をミキシングし、デシジョンラッチ107に出力する。デシジョンラッチ107は、シリアル形式のデータDinをラッチし、デマルチプレクサ108に出力する。デマルチプレクサ108は、データをシリアル形式からパラレル形式に変換し、データDoutを出力する。デジタルフィルタ109は、デマルチプレクサ108の出力データをフィルタリングし、位相インターポレータ106に出力する。これにより、デシジョンラッチ107のラッチタイミングを、データDinが安定した適切なタイミングに調整することができる。
- [0019] 高速I/O回路で用いられるVCO104は、LC共振を用いたLC型VCO又は差動のCML型アンプを正帰還かける電圧制御リングオシレータが使われる。特に、RF帯の用途(数GHzオーバー)でない場合、又はインダクタといった特殊素子を用いずにコスト削減を目的としたPLL回路は、電圧制御リングオシレータを用いる。
- [0020] また、近年テクノロジの進化に伴い、低電圧化が進んでいる。デジタル回路は、論理閾値で回路動作が決まるため、低電圧仕様にマージンがあるものの、アナログ回路では、この電圧スケーリングが様々な障害となって表れる。本実施形態は、高速I/O回路、低電圧仕様に用いられるVCO104、及びVCO104を用いたPLL回路110等を適用範囲とする。
- [0021] 図4は、図1のVCO104の構成例を示す回路図である。このVCO104は、電圧制御リングオシレータである。複数の差動アンプ401は、リング接続される。複数の負荷

抵抗402は、それぞれ複数の差動アンプ401に接続される固定抵抗である。複数の電流源403は、それぞれ複数の差動アンプ401に接続される定電流源である。CRリング素子404は、1個の差動アンプ401、負荷抵抗402及び電流源403を有する。例えば、4個のCRリング素子404がリング接続される。差動アンプ401は、差動信号を入力し、その差動信号を増幅して出力する。差動信号は、相互に位相が180度反転した2本の信号である。各差動アンプ401の出力差動信号は、1周期を差動アンプ401の数で割った位相差を有する。例えば、右から2個目の差動アンプ401は、 0° 及び 180° の差動信号をI信号として出力する。左端の差動アンプ401は、 90° 及び 270° の差動信号をQ信号として出力する。差動アンプ401は、可変容量を有し、制御電圧Vctlにより容量が制御される。

[0022] 図5は、図4のCRリング素子404の構成例を示す回路図である。CRリング素子404は、CML型差動アンプを有し、非反転入力端子I+及び反転入力端子I-から差動信号を入力し、その差動信号を増幅し、非反転出力端子O+及び反転出力端子O-から増幅した差動信号を出力する。電流源403には、定電流Isが流れる。非反転出力端子O+及び反転出力端子O-には、それぞれ寄生容量503b及び寄生容量503aが接続されている。非反転入力端子I+はNチャネルトランジスタ501aのゲートに接続され、反転入力端子I-はNチャネルトランジスタ501bのゲートに接続される。反転出力端子O-は、トランジスタ501aのドレインに接続される。非反転出力端子O+は、トランジスタ501bのドレインに接続される。電流源403は、トランジスタ501a及び501bのソースの相互接続点とグランドとの間に接続される。負荷抵抗402aは、トランジスタ501aのドレインと電源電圧との間に接続される。負荷抵抗402bは、トランジスタ501bのドレインと電源電圧との間に接続される。可変容量502aは、トランジスタ501aのドレインと制御電圧Vctlとの間に接続される。可変容量502bは、トランジスタ501bのドレインと制御電圧Vctlとの間に接続される。可変容量502a及び502bは、オンチップバラクタ(バリキヤップ)である。CRリング素子404は、容量及び抵抗のCRにより出力信号の遅延量が決まる。電圧Vctlにより可変容量502a及び502bを変化させることにより、リングオシレータの発振周波数を制御することができる。

- [0023] 図3は、図5の可変容量502a及び502bの各構成例を示す半導体チップの断面図である。可変容量502a及び502bは、半導体チップ上に形成される。可変容量502a及び502bの基本的構成は、トランジスタの構成をベースにしたものである。P型半導体基板301は、例えばシリコン基板である。N型ウエル302は、P型基板301上に形成される。 N^+ 型領域303及び305は、トランジスタのソース及びドレインに対応し、N型ウエル302の表面にイオン注入により形成される。領域307は、トランジスタのチャネル領域に対応し、N型ウエル302の表面にイオン注入により形成される。誘電体層308は、トランジスタのゲート酸化膜に対応し、領域307上にシリコン酸化膜で形成される。ポリシリコン309は、誘電体層308上に形成される。コンタクト部310は、ポリシリコン309上に形成され、端子311に接続される。端子311は、図5のトランジスタ501a又は501bのドレインに接続される。コンタクト部304は、 N^+ 型領域303上に形成される。コンタクト部306は、 N^+ 型領域305上に形成される。コンタクト部304及び306は、制御電圧Vctlに接続される。
- [0024] 図6は、図5の可変容量502a, 502bの両端電圧Vvar及び容量Cvarの関係を示すグラフである。両端電圧Vvarを変化させることにより、容量Cvarを制御することができる。両端電圧Vvarは、電源電圧Vddから-Vddまでの範囲601を同調範囲として利用することができる。両端電圧Vvarは、制御電圧Vctlにより制御可能であり、図15のような閾値電圧Vthの悪影響を受けない。
- [0025] 図7は、制御電圧Vctl及び発振周波数foscの関係を示すグラフである。プロセスばらつき等により、特性は特性FASTから特性SLOWの間でばらつく。特性TYP(Typical)は、閾値電圧Vthが代表的な値の特性である。特性FASTは、閾値電圧Vthが低くばらついたときの特性である。特性SLOWは、閾値電圧Vthが高くばらついたときの特性である。仕様となる目標発振周波数701を実現するには、制御電圧Vctlの同調範囲として広い範囲702を使用することができる。
- [0026] 図14Aでは、CRリング素子1404のR(抵抗)1402をアナログ的に可変にしていたのに対し、本実施形態はCRリング素子404のC(容量)502a, 502bをアナログ的に可変にする。この可変容量502a, 502bを実現しているのが、図3に示す構造を有するオンチップバラクタ(バリキャップ)である。この構造のバラクタによると、図6に示すよ

うに、バラクタの両端の電圧Vvarを可変にした場合、バラクタ自身の容量Cvarは大きな可変範囲を持つことが可能となる。バラクタのC-V(容量-電圧)特性は、電圧Vvarに比例した安定した一次の直線となる。VCOのゲインは、本来、線形であることが理想であるが、PLL回路がロックした状態を仮定すると完全に線形である必要はない。PLL回路で重要なのは上述の通り、同調範囲702を最大限にとりつつ、VCOのゲインを抑えるという相異なるファクタである。補足ではあるが、図14Aのリングオシレータであってもトランジスタの非線形性の影響を受けるため、完全な一次直線とはならない。バラクタの特性で重要なのは、閾値電圧Vthの影響が全くないことである。

[0027] このようにCRリング(ディレイ)素子404の抵抗(R)402a, 402bを固定し、容量(C)502a, 502bを変動させることで、閾値電圧Vthの影響を受けることなく、VCO104の発振周波数foscのレンジをLPF103からの制御電圧Vctlに比例して変えることが可能となる。図14Bの回路では、バイアス部1431を介して制御をするが、これは一般的にカレントミラー回路で構成されている。カレントミラー回路は、プロセスばらつき、電源電圧又は温度変動に敏感なため、どうしてもVCOのゲインに顕著な差が現れてしまう。本実施形態のバラクタ502a, 502bは、これらの特性に非常に強いというメリットを有する。また、カレントミラー回路は、低電圧になればなるほどコピーの精度が悪くなるのに対して、本実施形態は低電圧にスケーリングされても電源電圧全ての範囲を同調範囲として利用できる。更に、バラクタ502a, 502bの可変範囲から計算される同調レンジというのはバラクタ502a, 502bの並列個数を操作することで容易に計算できるため、必要とされる同調レンジを最小限のVCOのゲインでカバーできるというメリットがある。結果、図14Bの回路に比べ、低いVCOのゲインが達成でき、ジッタの少ないPLL回路が構成できる。

[0028] 制御電圧Vctlで直接バラクタ502a, 502bを制御できるため、図14Bのバイアス部1431が必要ないというのも本実施形態の特徴である。バイアス部1431は、カレントミラー回路となるが、カレントミラー回路は、トランジスタ1412のドレイン-ソース間抵抗Rdsを大きくするために、ゲート長及びゲート幅の大きいトランジスタ1412を使う。そのため、バイアス部1431が無くなることにより、使用面積を小さくすることができる

効果が大きい。

[0029] 以上のように、本実施形態によれば、アンプを正帰還かけて発振させる電圧制御リングオシレータにおいて、オンチップのバラクタ素子502a, 502bで電圧をアナログ的に制御することで、閾値電圧V_{th}の影響を受けることなく、VCOの同調電圧レンジを広範囲に広げることができる。

[0030] (第2の実施形態)

図8Aは、本発明の第2の実施形態によるPLL回路の構成例を示すブロック図である。このPLL回路は、図1のPLL回路110と同じである。

[0031] 図8Bは、図8AのVCO104の構成例を示す回路図である。このVCO104は、図4のVCOと同じである。

[0032] 図8Cは、図8BのCRリング素子404の構成例を示す回路図である。本実施形態が図5と異なる点を説明する。Nチャネルトランジスタ801は、図5の電流源403に対応し、ゲートが固定電圧V_bに接続され、ソースがグランドに接続され、ドレインがトランジスタ501a及び501bのソースの相互接続点に接続される。このCRリング素子404は、CRディレイ素子であり、抵抗(R)402a, 402bを固定にし、容量(C)502a, 502bを可変にする。CRリング素子404は、CML型差動アンプを有し、トランジスタを用いない純抵抗402a, 402bを負荷として使用する。

[0033] 以上のように、本実施形態によれば、トランジスタ801は、電流源として、CML型差動アンプのテール電流I_sを流す。トランジスタ801のゲート電圧V_bを一定にし、かつ負荷を純抵抗402a, 402bにし、可変容量502a, 502bのC-V特性の線形性を用いることにより発振させる。

[0034] (第3の実施形態)

図9Aは、本発明の第3の実施形態によるPLL回路の構成例を示すブロック図である。このPLL回路は、図8AのPLL回路と同じである。

[0035] 図9Bは、図9AのVCO104の構成例を示す回路図である。このVCO104は、図8BのVCOと同じである。

[0036] 図9Cは、図9BのCRリング素子404の構成例を示す回路図である。本実施形態が図8Cと異なる点を説明する。負荷抵抗部901a及び901bは、図8Cの負荷抵抗402

a及び402bの代わりに設けられる。

- [0037] 図9Dは、図9Cの負荷抵抗部901a及び901bの各構成例を示す図である。負荷抵抗部901a及び901bは、Pチャネルトランジスタ902により構成される。トランジスタ902は、ゲートが固定電圧Vb1に接続され、ソースが電源電圧に接続され、ドレインがトランジスタ501a又は501bのドレインに接続される。
- [0038] 図9Eは、図9Cの負荷抵抗部901a及び901bの他の各構成例を示す図である。負荷抵抗部901a及び901bは、Pチャネルトランジスタ903により構成される。トランジスタ903は、ダイオード接続されている。すなわち、トランジスタ903は、ソースが電源電圧に接続され、ゲート及びドレインがトランジスタ501a又は501bのドレインに接続される。
- [0039] 図9Fは、図9Cの負荷抵抗部901a及び901bの他の各構成例を示す図である。負荷抵抗部901a及び901bは、Pチャネルトランジスタ904及び905により構成される。トランジスタ904は、図9Dのトランジスタ902に対応する。トランジスタ905は、図9Eのトランジスタ903に対応する。トランジスタ904及び905は、並列接続される。
- [0040] 本実施形態は、負荷抵抗部901a, 901bにトランジスタを用いた例である。図9Dは、Pチャネルトランジスタ902を直接バイアスするタイプである。図9Eは、ゲインを少々抑えてコモン変動に強くしているダイオード接続タイプのトランジスタ903である。図9Fは、バイアストランジスタ904とダイオード接続トランジスタ905を並列に接続することにより、トランジスタの線形性をよくするシンメトリック負荷タイプである。
- [0041] (第4の実施形態)
- 図10Aは、本発明の第4の実施形態によるPLL回路の構成例を示すブロック図である。このPLL回路は、図8AのPLL回路と同じである。
- [0042] 図10Bは、図10AのVCO104の構成例を示す回路図である。このVCO104は、図8BのVCOに対し、負荷抵抗402及び電流源403の位置が逆になっている。電流源403は、電源電圧及び差動アンプ401間に接続される。負荷抵抗402は、差動アンプ401及びグランド間に接続される。
- [0043] 図10Cは、図10BのCRリング素子404の構成例を示す回路図である。Pチャネルトランジスタ1001は、図10Bの電流源403に対応し、ゲートが固定電圧Vbに接続され

、ソースが電源電圧に接続され、ドレインがPチャネルトランジスタ1007a及び1007bのソースの相互接続点に接続される。Pチャネルトランジスタ1007aのゲートは、非反転入力端子I+に接続される。Pチャネルトランジスタ1007bのゲートは、反転入力端子I-に接続される。可変容量502aは、トランジスタ1007aのドレイン及び制御電圧Vctl間に接続される。可変容量502bは、トランジスタ1007bのドレイン及び制御電圧Vctl間に接続される。非反転出力端子O+は、トランジスタ1007bのドレインに接続される。反転出力端子O-は、トランジスタ1007aのドレインに接続される。負荷抵抗部1006aは、トランジスタ1007aのドレイン及びグランド間に接続される。負荷抵抗部1006bは、トランジスタ1007bのドレイン及びグランド間に接続される。負荷抵抗部1006a及び1006bは、図10Bの負荷抵抗402に対応する。

- [0044] 図10Dは、図10Cの負荷抵抗部1006a及び1006bの各構成例を示す図である。負荷抵抗部1006a及び1006bは、Nチャネルトランジスタ1002により構成される。トランジスタ1002は、ゲートが固定電圧Vb1に接続され、ソースがグランドに接続され、ドレインがトランジスタ1007a又は1007bのドレインに接続される。
- [0045] 図10Eは、図10Cの負荷抵抗部1006a及び1006bの他の各構成例を示す図である。負荷抵抗部1006a及び1006bは、Nチャネルトランジスタ1003により構成される。トランジスタ1003は、ダイオード接続されている。すなわち、トランジスタ1003は、ソースがグランドに接続され、ゲート及びドレインがトランジスタ1007a又は1007bのドレインに接続される。
- [0046] 図10Fは、図10Cの負荷抵抗部1006a及び1006bの他の各構成例を示す図である。負荷抵抗部1006a及び1006bは、Nチャネルトランジスタ1004及び1005により構成される。トランジスタ1004は、図10Dのトランジスタ1002に対応する。トランジスタ1005は、図10Eのトランジスタ1003に対応する。トランジスタ1004及び1005は、並列接続される。
- [0047] 本実施形態は、図9Cと異なり、テール電流Isを電源電圧側から引っ張った例になる。この回路は、Pチャネルトランジスタがメインで構成されるため、図9Cの回路構成に比べ、帯域が落ちるというデメリットを有するが、1/fノイズ特性がよいというメリットがある。

[0048] (第5の実施形態)

図11Aは、本発明の第5の実施形態によるPLL回路の構成例を示すブロック図である。このPLL回路は、図8AのPLL回路と同じである。

[0049] 図11Bは、図11AのVCO104の構成例を示す回路図である。このVCO104は、図8BのVCOと同じである。

[0050] 図11Cは、図11BのCRリング素子404の構成例を示す回路図である。本実施形態が図8Cと異なる点を説明する。負荷抵抗部1103a及び1103bは、可変抵抗であり、図8Cの負荷抵抗402a及び402bの代わりに設けられる。テール電流源1104は、可変電流源であり、図8Cのトランジスタ801の代わりに設けられる。

[0051] 図11Dは、図11Cの負荷抵抗部1103a及び1103bの各構成例を示す図である。複数のPチャネルトランジスタ1101のソース及びドレインは、それぞれ並列に接続される。トランジスタ1101は、ソースの相互接続点が電源電圧に接続され、ドレインの相互接続点がトランジスタ501a又は501bのドレインに接続される。複数のトランジスタ1101のゲートには、外部から電圧が供給される。複数のトランジスタ1101を重み付けし、外部からその各ゲート電圧を個別に制御することにより、負荷抵抗部1103a及び1103bの抵抗値を変化させることができる。

[0052] 図11Eは、図11Cのテール電流源1104の構成例を示す図である。複数のNチャネルトランジスタ1102のソース及びドレインは、それぞれ並列に接続される。トランジスタ1102は、ソースの相互接続点がグランドに接続され、ドレインの相互接続点がトランジスタ501a又は501bのソースに接続される。複数のトランジスタ1102のゲートには、外部から電圧が供給される。複数のトランジスタ1102を重み付けし、外部からその各ゲート電圧を個別に制御することにより、テール電流源1104の電流量を変化させることができる。

[0053] 本実施形態によれば、オフセット周波数を制御することができる。負荷抵抗部1103a及び1103bの抵抗値を外部から可変にすることにより、VCO104の中心発振周波数を変えることが可能となる。動作点を変えないようにするために、負荷抵抗部1103a, 1103bと併せてテール電流源1104の電流の量も可変にできる。

[0054] 可変容量502a, 502bは、制御電圧Vctrlにより制御される。これに対し、負荷抵

抗部1103a, 1103bのトランジスタ1101及び電流源1104のトランジスタ1102のゲートは、制御電圧Vctlとは独立の電圧により制御される。PLL回路の動作準備段階に、負荷抵抗部1103a, 1103b及びテール電流源1104を外部から制御し、VC O104の中心発振周波数を決める。PLL回路の動作中は、フィードバックされる制御電圧Vctlにより可変容量502a, 502bのみが制御され、発振周波数が決まる。なお、電流源1104のトランジスタ1102のゲートは、制御電圧Vctlにより制御してもよい。

[0055] 以上のように、テール電流源1104のトランジスタ1102を並列に接続することにより、外部から電流源1104の電流値を可変にできる。また、負荷抵抗部1103a及び1103bのトランジスタ1101を並列に接続することにより、トランジスタ1101のオン抵抗を可変にできる。これらの制御により、VCO104に対してオフセット周波数を自由に選ぶことが可能となる。

[0056] (第6の実施形態)

図12Aは、本発明の第6の実施形態によるPLL回路の構成例を示すブロック図である。このPLL回路は、図8AのPLL回路と同じである。

[0057] 図12Bは、図12AのVCO104の構成例を示す回路図である。このVCO104は、図8BのVCOと同じである。

[0058] 図12Cは、図12BのCRリング素子404の構成例を示す回路図である。本実施形態が図9Cと異なる点を説明する。オフセット容量1201aは可変容量502aに並列に接続され、オフセット容量1201bは可変容量502bに並列に接続される。テール電流源403は、図9Cのトランジスタ801に対応する。

[0059] 図12Dは、図12Cのオフセット容量1201a及び1201bの各構成例を示す図である。複数の可変容量1202は、並列に接続される。容量1202は、制御電圧Vctlとは独立に容量値が制御されてもよいし、固定容量であってもよい。

[0060] 図12Eは、図12Cのオフセット容量1201a及び1201bの他の各構成例を示す図である。複数のPチャネルトランジスタ1203のソース及びドレインは、それぞれ並列に可変容量502a又は502bに接続される。複数のトランジスタ1203のゲートには、制御電圧Vctlとは独立な外部電圧が供給される。複数のトランジスタ1203を重み付

けし、外部からその各ゲート電圧を個別に制御することにより、トランジスタ1203のソース及びドレイン間の容量値を変化させることができる。

- [0061] 本実施形態によれば、オフセット周波数を制御することができる。オフセット容量1201a及び1201bの容量値を外部から可変にすることにより、VCO104の中心発振周波数を変えることが可能となる。
- [0062] 以上のように、アナログ的に制御可能な可変容量502a, 502bと並列にオフセット容量1201a, 1201bを接続することにより、オフセット周波数を自由に選択することができる。オフセット容量1201a及び1201bは、アナログ容量素子、トランジスタの他、バラクタ素子でもよい。
- [0063] 第5及び第6の実施形態によれば、容易に中心発振周波数を変えることが可能である。PLL回路の仕様によっては、VCOの中心発振周波数を変えたい用途も考えられる。中心発振周波数を変える手段としては、第5の実施形態のようにオン抵抗を変えること、又は第6の実施形態のように容量をオフセットで追加することである。オン抵抗を可変にするには、負荷抵抗部1103a, 1103bのトランジスタ1101を並列に接続すればよい。この場合、一般にテール電流源1104の電流も負荷抵抗部1103a, 1103bの抵抗値に合わせて制御すると動作点が変わらないため、安定した動作が実現できる。すなわち、テール電流の半分の電流が各負荷抵抗部1103a, 1103bに流れるように負荷抵抗部1103a, 1103bのトランジスタ1101のオン／オフを制御する。また、オフセット容量1201a, 1201bを可変容量502a, 502bに対して並列に接続することでも、中心周波数を変えることができる。このオフセット容量1201a, 1201bは、アナログの容量素子だけでなく、MOS構造を用いた容量素子、またバラクタや配線を用いた容量等でも問題ない。
- [0064] (第7の実施形態)
- 図13は、本発明の第7の実施形態によるPLL回路の構成例を示すブロック図である。このPLL回路が、図8AのPLL回路と異なる点を説明する。図8Aでは、VCO104は差動信号を生成して出力する。これに対して、図13では、VCO104は、単相信号PCLKを生成して出力する。
- [0065] 図2は、図13のVCO104の構成例を示す回路図である。VCO104は、電圧制御リ

ングオシレータである。複数かつ奇数個のインバータ(アンプ)201がリング接続される。インバータ201は、入力信号を 180° 反転及び増幅して出力する。複数の可変容量202は、それぞれ複数のインバータ201の出力及び制御電圧Vctrl間に接続される。可変容量202は、図3の構造と同じ構造を有し、制御電圧Vctrlに応じて容量値が変化する。インバータ201はトランジスタのオン抵抗を有するので、VCO104はCRリング素子を有することになる。第1～第6の実施形態と同様に、可変容量202を変化させることにより、発振周波数を制御することができる。

- [0066] 本実施形態は、インバータ201を奇数段接続して正帰還をかけた電圧制御リングオシレータである。各インバータ201の出力に、半導体チップ上に形成される可変容量(バラクタ素子)202を接続することにより、閾値電圧Vthの影響をなくし、同調電圧レンジを広げることができる。
- [0067] 以上のように、第1～第7の実施形態によれば、電圧制御リングオシレータにおいて閾値電圧Vthの影響を全く受けることなく、VCOの同調電圧レンジを広げることが可能となる。仕様となる発振周波数レンジを可変容量の可変範囲でカバーすることにより、VCOのゲインを十分に下げることができ、ジッタの少ないPLL回路を構成することができる。
- [0068] また、PLL回路の低電源電圧動作において、閾値電圧Vthの影響を受けることなく、同調電圧範囲を確保することができる。低電源電圧0.6Vまで、特性TYPのプロセスで動作できることをシミュレーションにて確認することができた。
- [0069] また、プロセスばらつきの影響が受けにくい回路構成になり、VCOのゲインを図14Bの回路の $1/2$ 以下に抑えることが可能であり、電源電圧変動に強く、ノイズを小さくすることができる。
- [0070] また、VCOのゲインを半分に抑えるということは、PLL回路からみると同じループパラメータにおいて、LPF103の容量が半分でいいことを意味するため、PLL回路としての使用面積も $1/2$ (半分)になる。
- [0071] なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されではならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱

することなく、様々な形で実施することができる。

産業上の利用可能性

[0072] 可変容量素子の容量を電圧制御することにより、トランジスタの閾値電圧の影響なく、発振周波数を制御することができる。これにより、広範囲の電圧制御が可能になり、電源電圧が低電圧化した場合にも安定した発振を行うことができる。また、プロセスばらつきの影響を受け難く、安定した発振を行うことができる。また、ゲインを小さくすることができるので、ノイズを小さくすることができる。

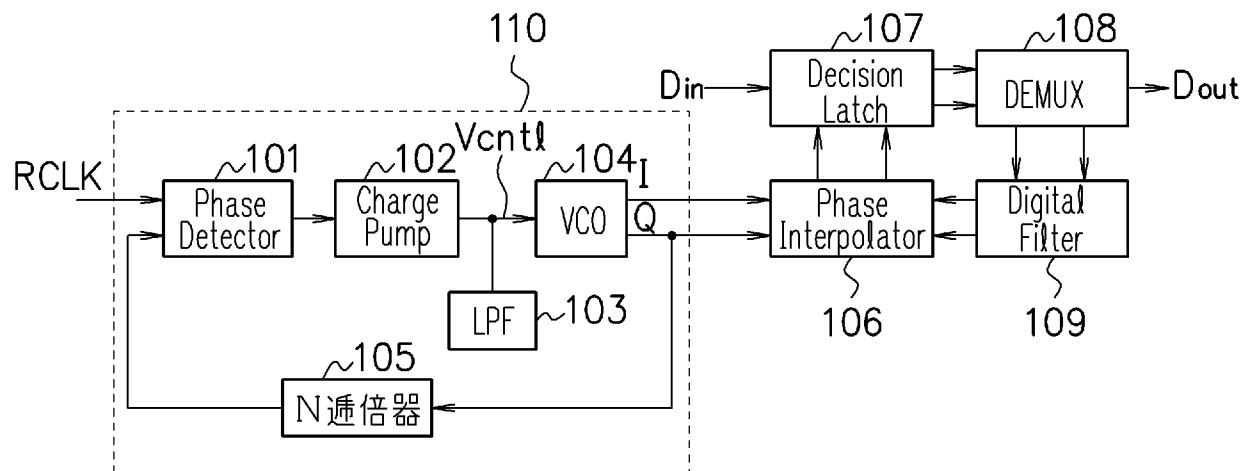
請求の範囲

- [1] リング接続された複数のアンプと、
前記複数のアンプにそれぞれ接続され、電圧制御により容量が変化する複数の可
変容量素子と
を有することを特徴とする電圧制御リングオシレータ。
- [2] 前記複数のアンプは、CML型差動アンプであることを特徴とする請求項1記載の
電圧制御リングオシレータ。
- [3] さらに、前記複数のアンプにそれぞれ接続された複数の負荷抵抗と、
前記複数のアンプにそれぞれ接続された複数のテール電流源とを有することを特
徴とする請求項2記載の電圧制御リングオシレータ。
- [4] 前記テール電流源は定電流源であり、前記負荷抵抗は固定抵抗であることを特徴
とする請求項3記載の電圧制御リングオシレータ。
- [5] 前記負荷抵抗は、トランジスタを用いない純抵抗であることを特徴とする請求項4記
載の電圧制御リングオシレータ。
- [6] 前記負荷抵抗は、Pチャネル電界効果トランジスタを用いていることを特徴とする請
求項4記載の電圧制御リングオシレータ。
- [7] 前記負荷抵抗は、Nチャネル電界効果トランジスタを用いていることを特徴とする請
求項4記載の電圧制御リングオシレータ。
- [8] 前記テール電流源は可変電流源、又は前記負荷抵抗は可変抵抗であることを特
徴とする請求項3記載の電圧制御リングオシレータ。
- [9] さらに、前記複数の可変容量素子にそれぞれ並列に接続された複数のオフセット
容量素子を有することを特徴とする請求項3記載の電圧制御リングオシレータ。
- [10] 前記複数のアンプは奇数個のインバータであり、前記複数の可変容量素子はそれ
ぞれ前記複数のインバータの出力に接続されることを特徴とする請求項1記載の電
圧制御リングオシレータ。
- [11] 前記テール電流源は、電界効果トランジスタを用いていることを特徴とする請求項3
記載の電圧制御リングオシレータ。
- [12] 前記負荷抵抗は、ゲート電圧が一定であるPチャネル電界効果トランジスタ、ダイオ

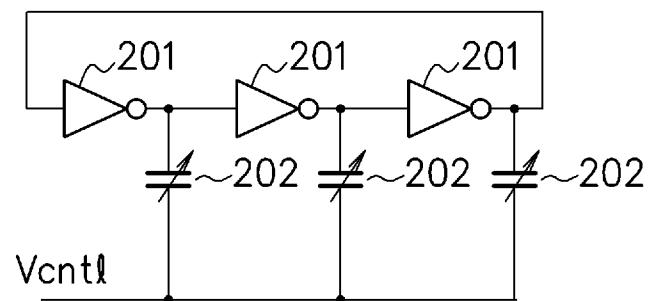
ード接続されたPチャネル電界効果トランジスタ、又はゲート電圧が一定であるPチャネル電界効果トランジスタとダイオード接続されたPチャネル電界効果トランジスタとが並列接続されたものであることを特徴とする請求項6記載の電圧制御リングオシレータ。

- [13] 前記テール電流源は、Nチャネル電界効果トランジスタを用いていることを特徴とする請求項12記載の電圧制御リングオシレータ。
- [14] 前記負荷抵抗は、ゲート電圧が一定であるNチャネル電界効果トランジスタ、ダイオード接続されたNチャネル電界効果トランジスタ、又はゲート電圧が一定であるNチャネル電界効果トランジスタとダイオード接続されたNチャネル電界効果トランジスタとが並列接続されたものであることを特徴とする請求項7記載の電圧制御リングオシレータ。
- [15] 前記テール電流源は、Pチャネル電界効果トランジスタを用いていることを特徴とする請求項14記載の電圧制御リングオシレータ。
- [16] 前記テール電流源は、前記可変容量とは独立に電流を可変制御可能であり、複数の電界効果トランジスタの並列接続を含むことを特徴とする請求項8記載の電圧制御リングオシレータ。
- [17] 前記負荷抵抗は、前記可変容量とは独立に抵抗を可変制御可能であり、複数の電界効果トランジスタの並列接続を含むことを特徴とする請求項8記載の電圧制御リングオシレータ。
- [18] 前記オフセット容量素子は、前記可変容量とは独立に容量を可変制御可能であることを特徴とする請求項9記載の電圧制御リングオシレータ。
- [19] 前記オフセット容量素子は、複数の電界効果トランジスタの並列接続を含むことを特徴とする請求項18記載の電圧制御リングオシレータ。
- [20] 前記可変容量は、半導体チップ上に形成されていることを特徴とする請求項1記載の電圧制御リングオシレータ。

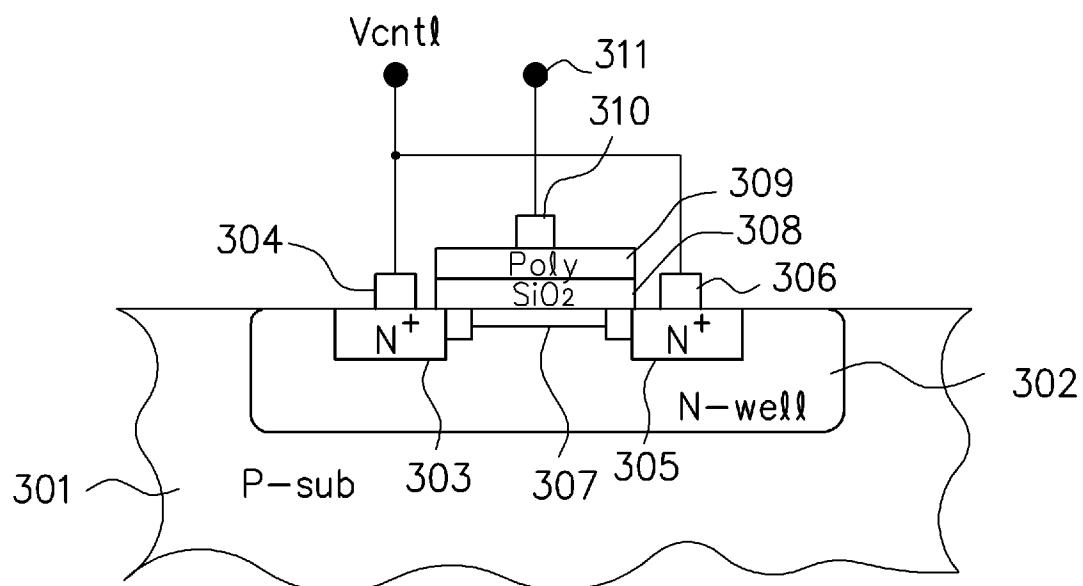
[図1]



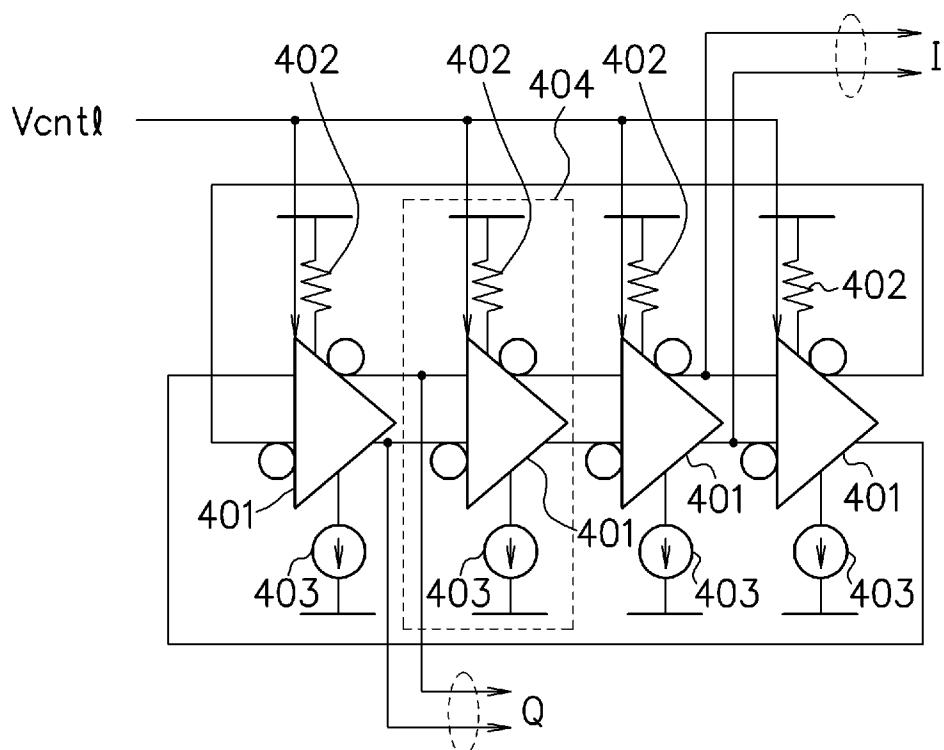
[図2]



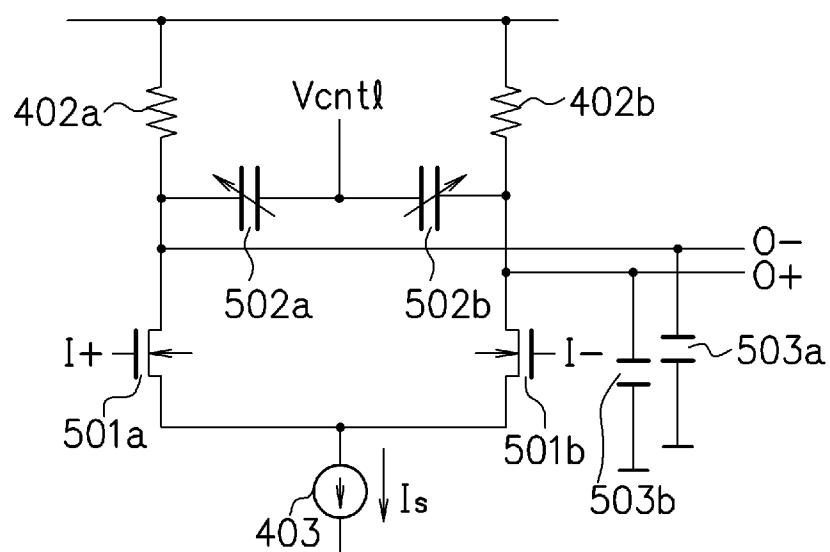
[図3]



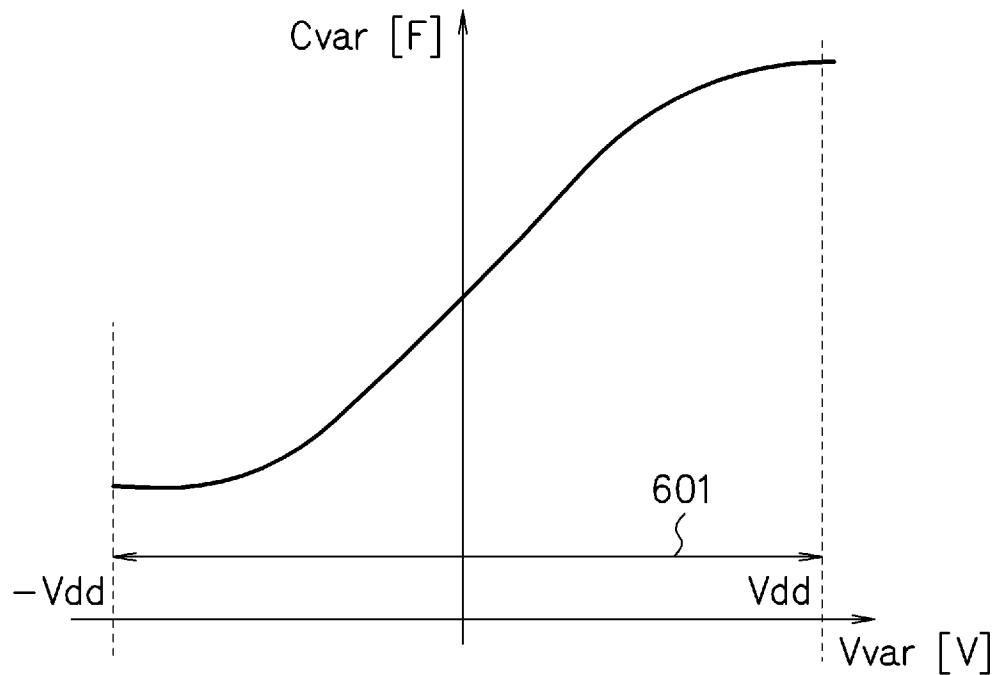
[図4]



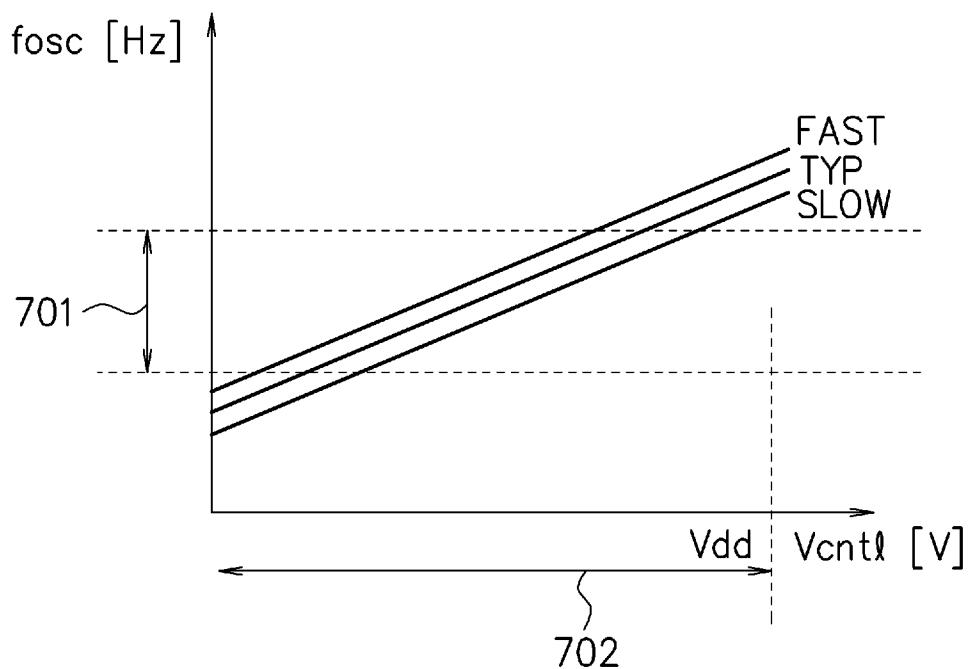
[図5]



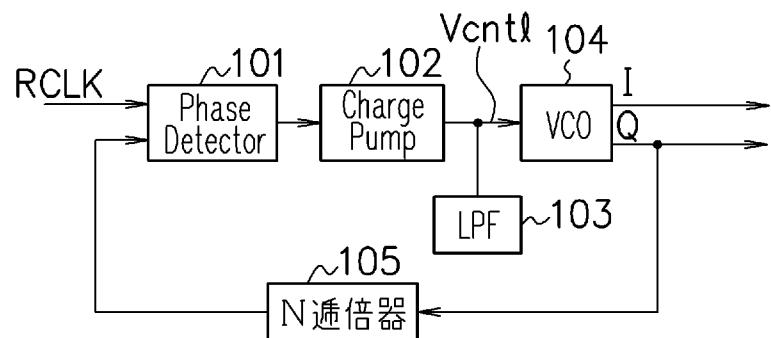
[図6]



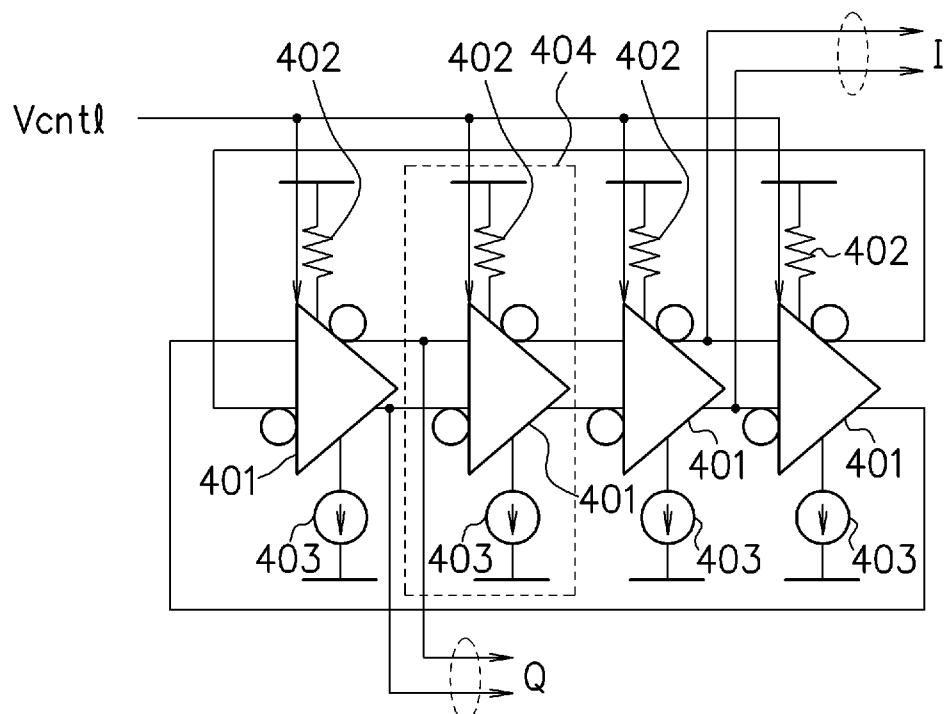
[図7]



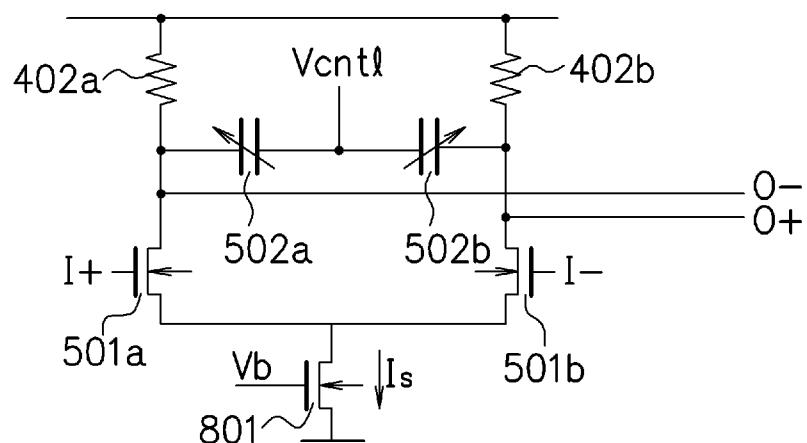
[図8A]



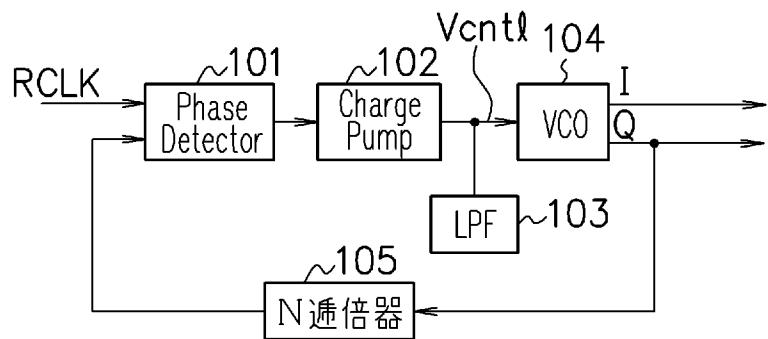
[図8B]



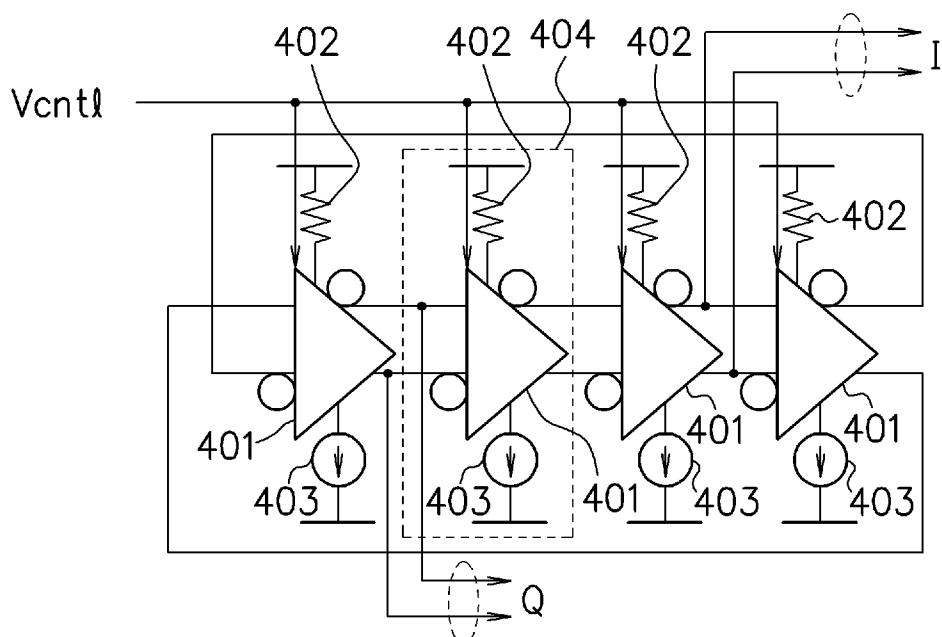
[図8C]



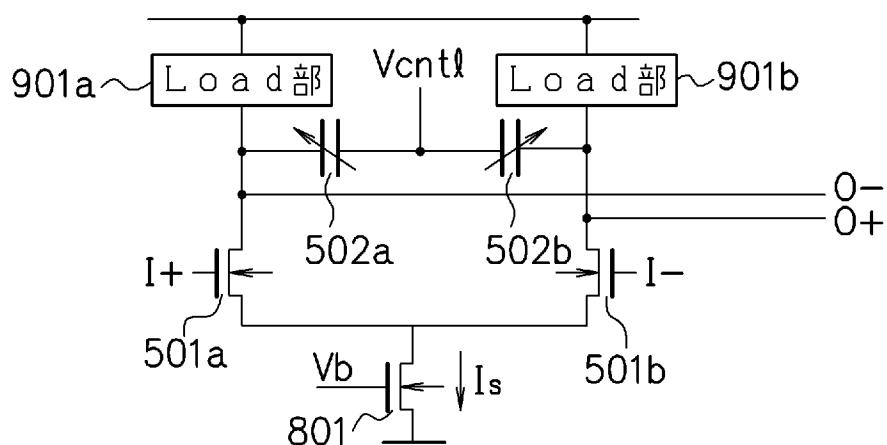
[図9A]



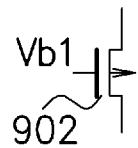
[図9B]



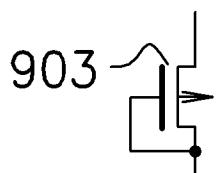
[図9C]



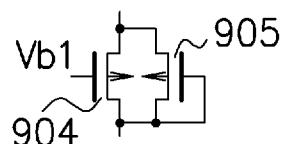
[図9D]



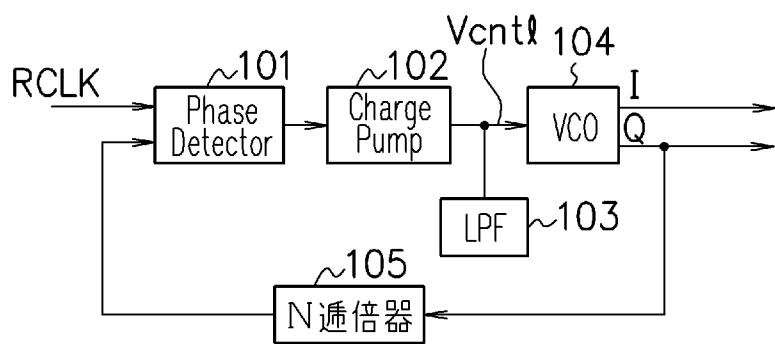
[図9E]



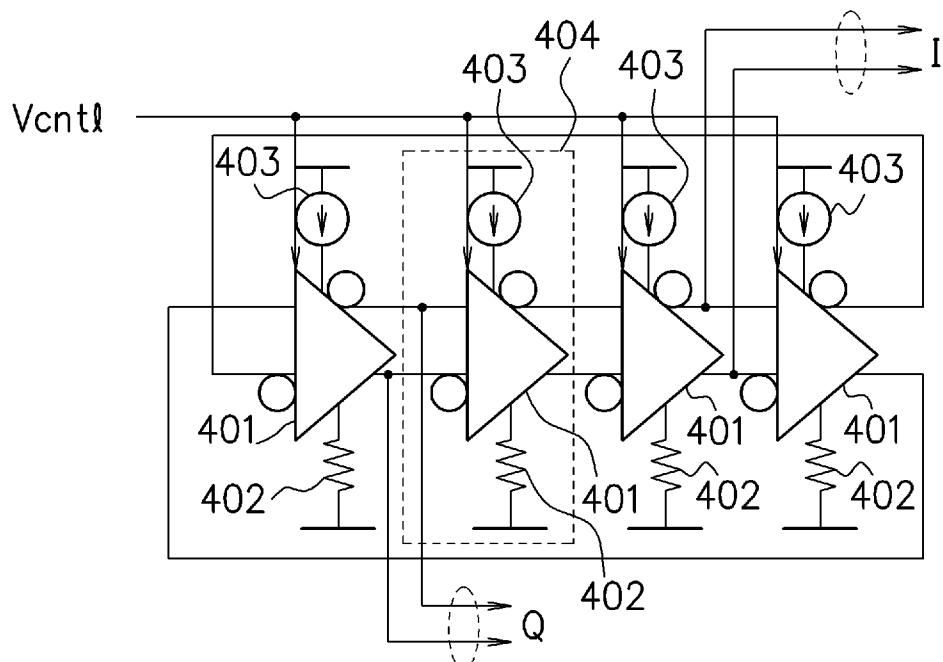
[図9F]



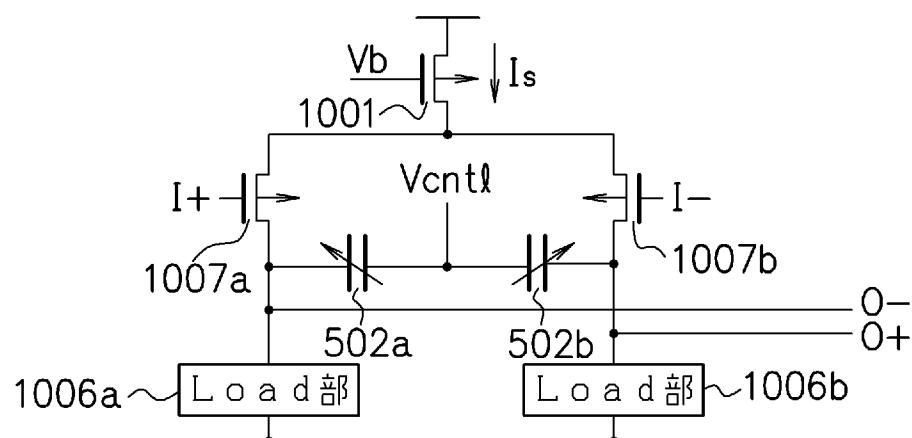
[図10A]



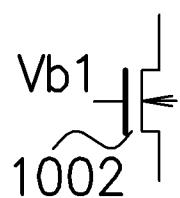
[図10B]



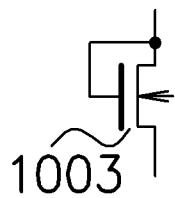
[図10C]



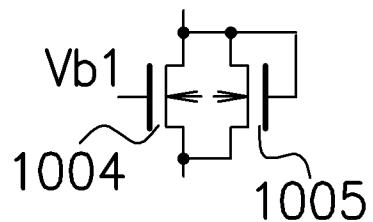
[図10D]



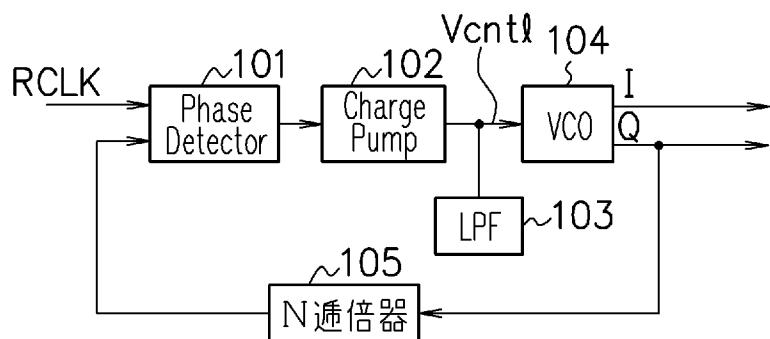
[図10E]



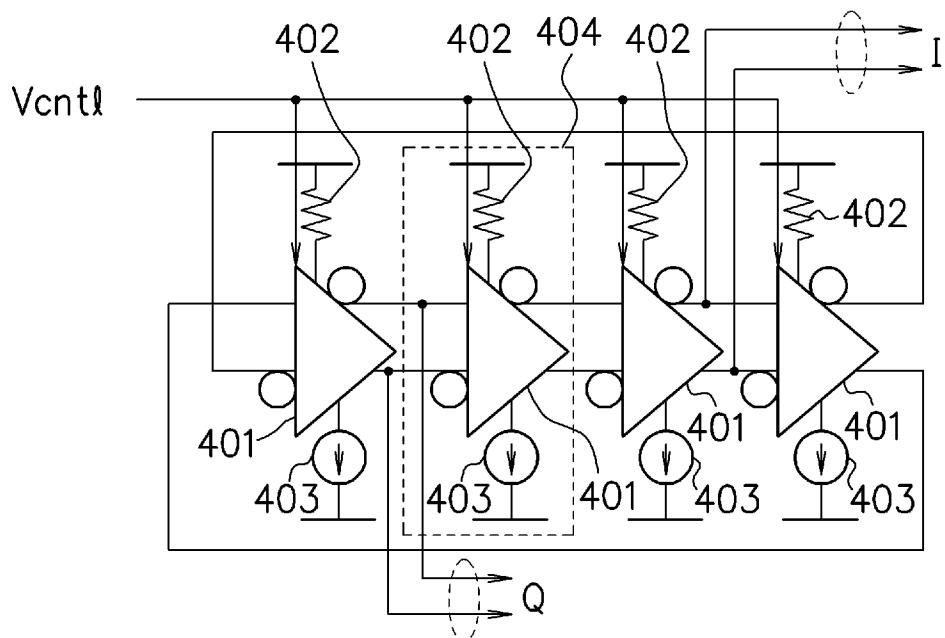
[図10F]



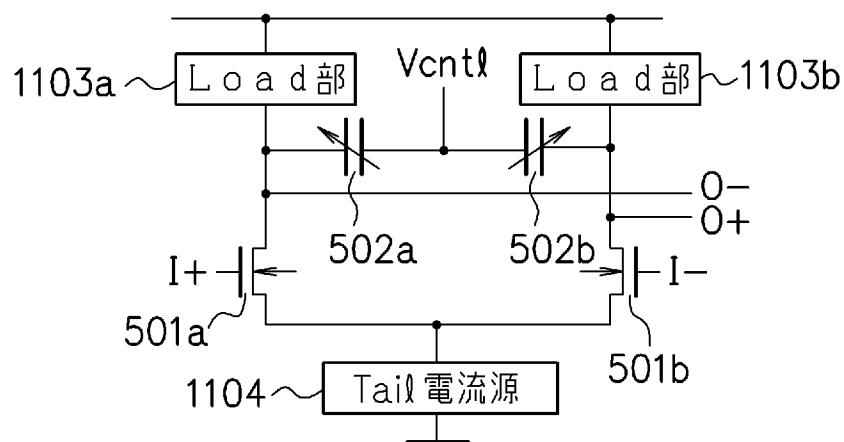
[図11A]



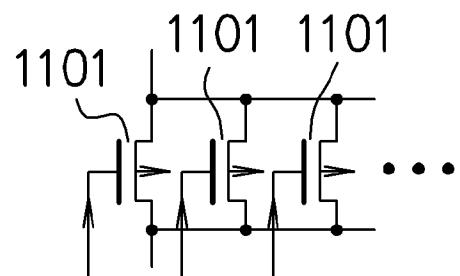
[図11B]



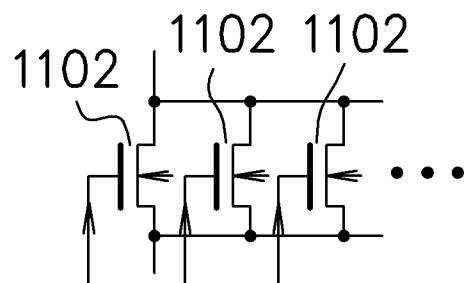
[図11C]



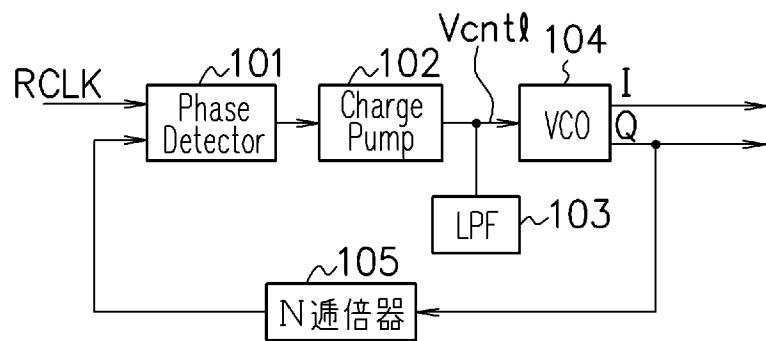
[図11D]



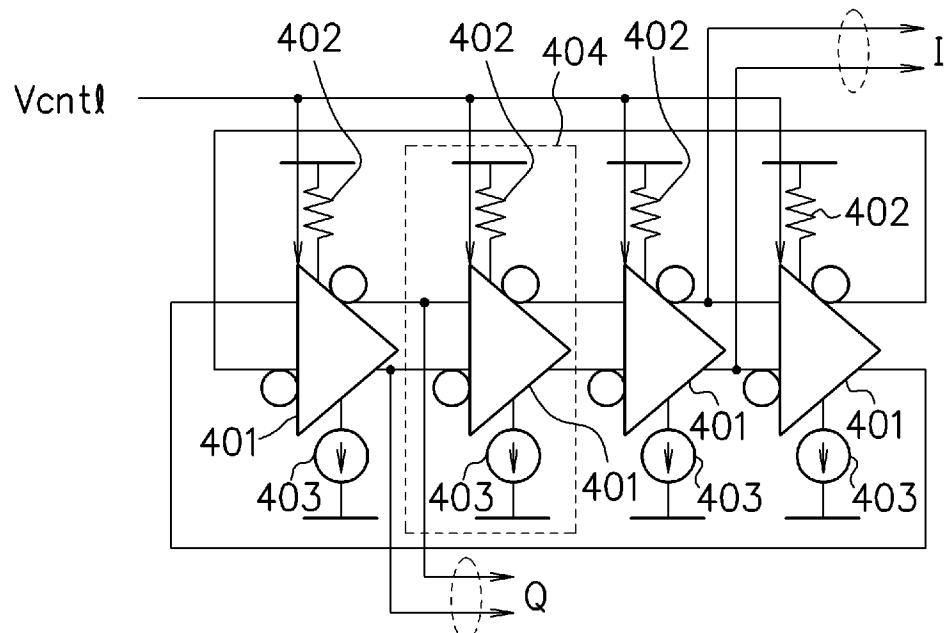
[図11E]



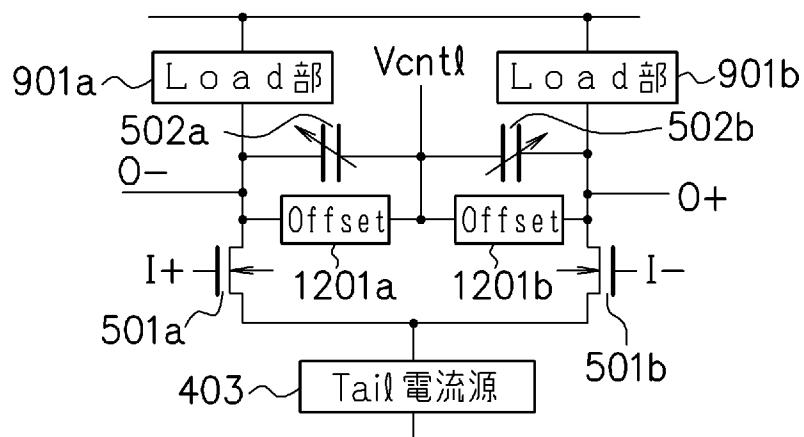
[図12A]



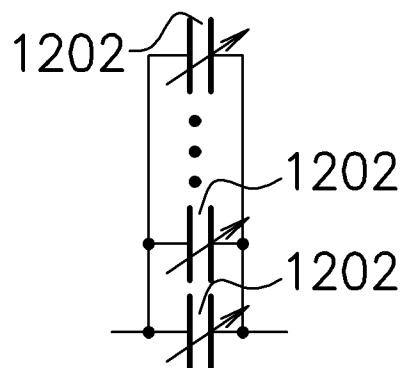
[図12B]



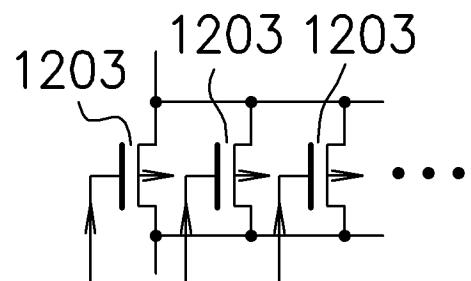
[図12C]



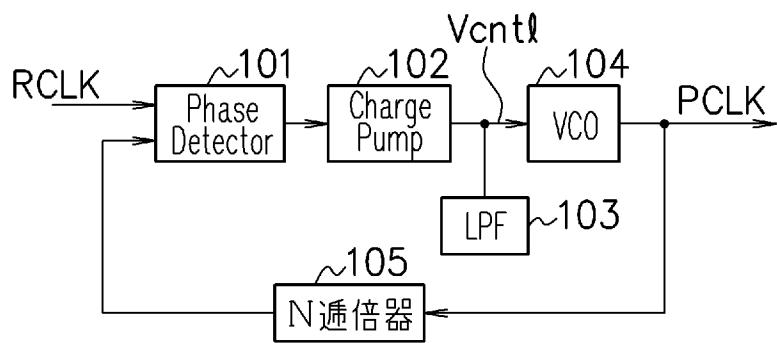
[図12D]



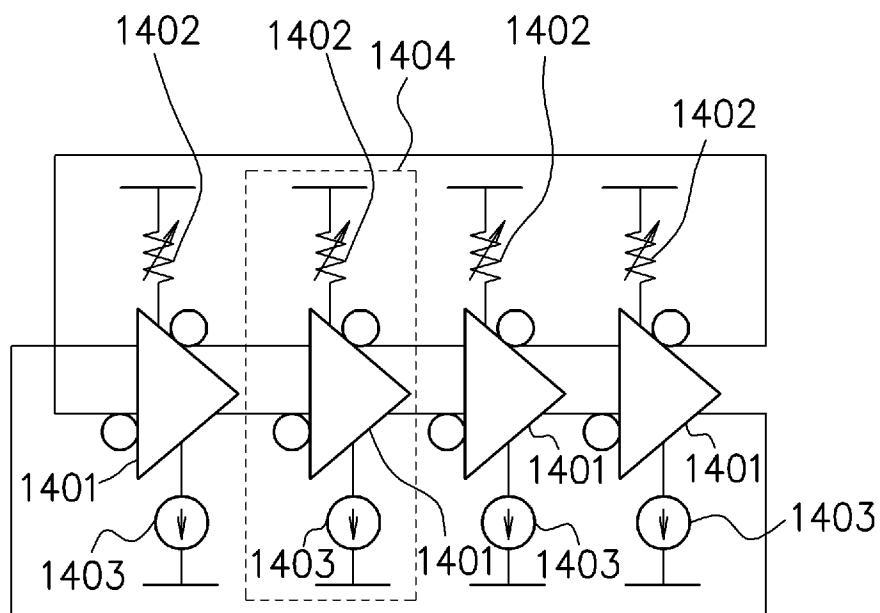
[図12E]



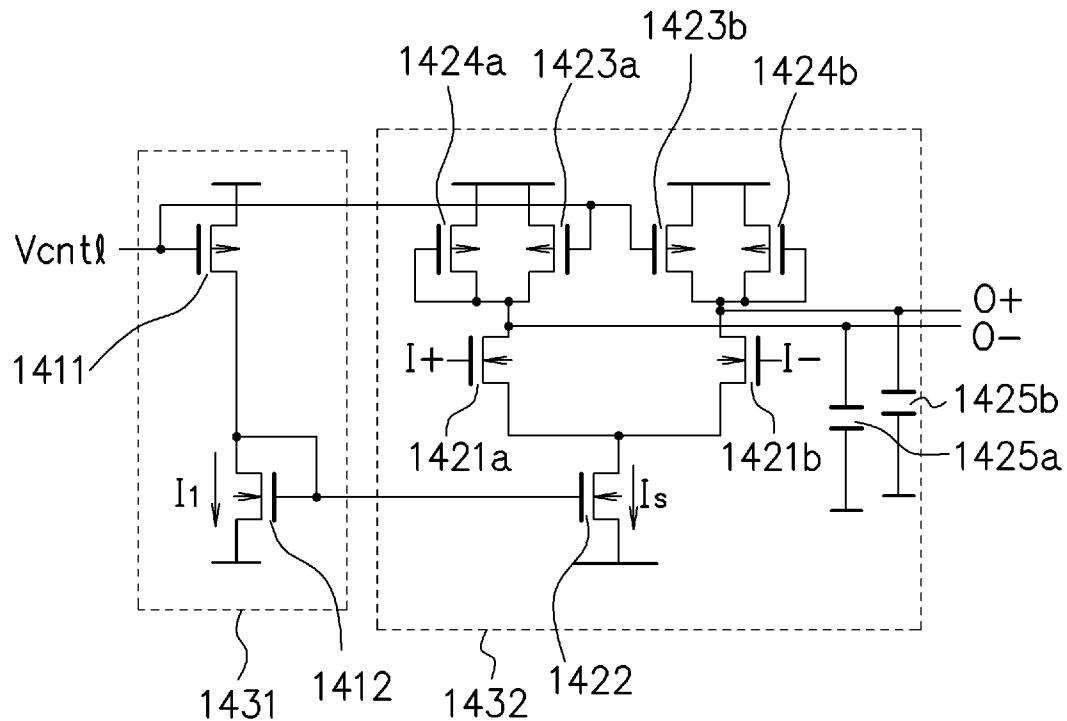
[図13]



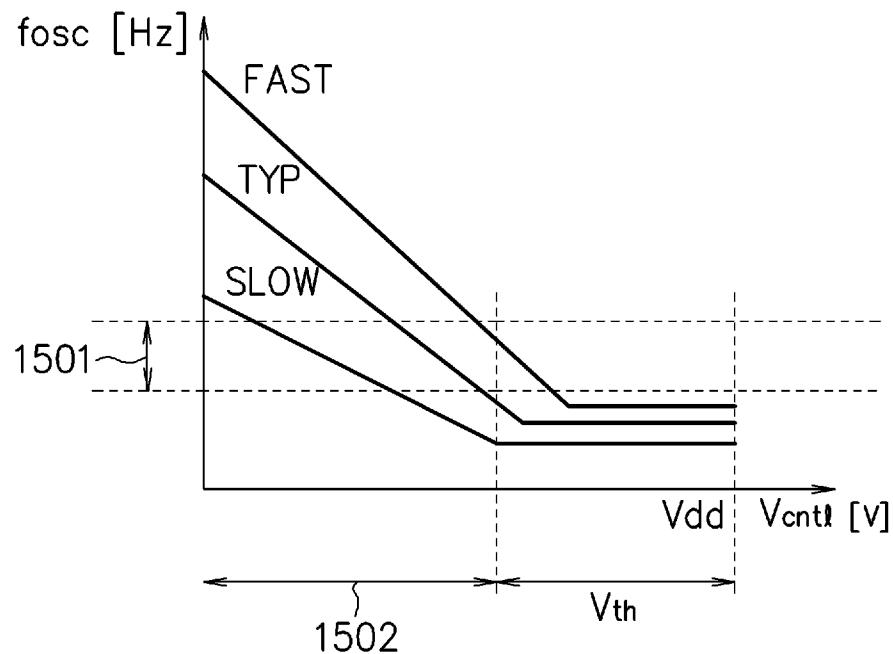
[図14A]



[図14B]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023384

A. CLASSIFICATION OF SUBJECT MATTER
H03K3/354 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/354 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2-53304 A (Sony Corp.), 22 February, 1990 (22.02.90), Page 4, upper column; Figs. 1, 2 (Family: none)	1-5, 10, 20
X	JP 9-326676 A (Sony Corp.), 16 December, 1997 (16.12.97), Par. Nos. [0002] to [0006]; Fig. 5 (Family: none)	1-5, 10, 20
Y	JP 9-214299 A (Toshiba Corp.), 15 August, 1997 (15.08.97), Par. Nos. [0035] to [0044]; Fig. 3 & US 5767748 A1	6-9, 11-19

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
 02 February, 2006 (02.02.06)

Date of mailing of the international search report
 14 February, 2006 (14.02.06)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023384

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-244285 A (Mitsubishi Electric Corp.), 08 September, 2000 (08.09.00), Par. Nos. [0020] to [0025]; Figs. 2, 3 & US 6252467 B1	6-9, 11-19

A. 発明の属する分野の分類（国際特許分類（IPC））
Int.Cl. H03K3/354(2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K3/354(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2-53304 A (ソニー株式会社) 1990. 02. 22、第4頁上段欄、第1図及び第2図 (ファミリーなし)	1-5、10、 20
X	J P 9-326676 A (ソニー株式会社) 1997. 12. 16、段落【0002】-【0006】、第5図 (ファミリーなし)	1-5、10、 20
Y	J P 9-214299 A (株式会社東芝) 1997. 08. 15、段落【0035】-【0044】、図3 & U S 5767748 A 1	6-9、 11-19

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

02. 02. 2006

国際調査報告の発送日

14. 02. 2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

5 X 3572

柳下 勝幸

電話番号 03-3581-1101 内線 3596

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 0 - 2 4 4 2 8 5 A (三菱電機株式会社) 2 0 0 0 . 0 9 . 0 8 、段落【0 0 2 0】-【0 0 2 5】、図2及び図3 & U S 6 2 5 2 4 6 7 B 1	6-9、 11-19