

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5097501号
(P5097501)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl.	F I	
HO 1 L 21/82 (2006.01)	HO 1 L 21/82	W
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88	Z
HO 1 L 21/768 (2006.01)	HO 1 L 27/04	D
HO 1 L 23/522 (2006.01)	HO 1 L 21/90	N
HO 1 L 21/822 (2006.01)		

請求項の数 3 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2007-270820 (P2007-270820)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成19年10月18日(2007.10.18)	(74) 代理人	100100310 弁理士 井上 学
(65) 公開番号	特開2009-99821 (P2009-99821A)	(74) 代理人	100098660 弁理士 戸田 裕二
(43) 公開日	平成21年5月7日(2009.5.7)	(72) 発明者	松本 隆 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内
審査請求日	平成22年9月8日(2010.9.8)	(72) 発明者	野口 純司 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

論理ブロック、フィリップフロップ及びバッファの配置を決定する配置工程と、クロック配線及び信号配線の配置を決定する配線配置と、半導体集積回路装置の動作速度を検証する検証工程と、半導体集積回路装置を製造する製造工程とを有する半導体集積回路装置の製造方法において、

前記検証工程が、

各クロック配線及び各信号配線の寄生抵抗、寄生容量及び配線長に基づいて、各クロック配線におけるクロックの伝搬遅延時間及び各信号配線における信号の伝搬遅延時間を計算する遅延時間計算工程と、

前記遅延時間計算工程で算出された前記クロックの伝搬遅延時間及び前記信号の伝搬遅延時間に基づいて、タイミング制約違反の有無を判定するタイミング制約違反判定工程と

前記タイミング制約違反判定工程で前記タイミング制約違反が検出された場合に、前記タイミング違反を解消するタイミング最適化工程とを有し、

前記タイミング最適化工程が、

前記タイミング制約違反の解消の為に必要な追加の信号或いはクロックの伝搬遅延時間に応じて設定すべきボイド形成抑止領域の長さを決定する第1工程と、

前記追加の信号或いはクロックの伝搬遅延時間を付与する最適化対象配線と該最適化対象配線と所定間隔以下で近接する隣接配線を特定し、該隣接配線の長さと同前記第1工程で

決定した長さを比較する第 2 工程と、

前記第 2 工程で前記隣接配線の長さが前記第 1 工程で決定した長さより長いと判定された場合に、前記最適化対象配線と前記隣接配線の間に前記第 1 工程で決定した長さ分の前記ボイド形成抑止領域を設定する第 3 工程とを有し、

前記最適化対象配線と所定間隔以下で近接する隣接配線が複数存在する場合、前記第 2 工程において、複数の隣接配線の各長さの合計と前記第 1 工程で決定した長さを比較するものであり、

前記第 3 工程において、前記最適化対象配線と前記複数の隣接配線の間のそれぞれに前記ボイド形成抑止領域を設定し、設定した複数のボイド形成抑止領域の各長さの合計が前記第 1 工程で決定した長さとなるようにするものであり、

前記タイミング最適化工程が、更に、

前記第 2 工程で前記隣接配線の長さが前記第 1 工程で決定した長さより短いと判定された場合に、前記タイミング制約違反の解消の為に必要な追加の信号或いはクロックの伝搬遅延時間から前記最適化対象配線と前記隣接配線の間のボイドを全てなくすことで得られる信号或いはクロックの伝搬遅延時間を差し引いた不足の信号或いはクロックの伝搬遅延時間に応じて設定すべきダミー配線の長さを決定する第 4 工程と、

前記最適化対象配線の周囲に前記第 4 工程で決定した長さのダミー配線を形成する領域が存在するか判定する第 5 工程と、

前記第 5 工程でダミー配線を形成する領域が存在すると判定された場合に、前記最適化対象配線と所定間隔以下で近接する前記ダミー配線を前記第 4 工程で決定した長さ分設定する第 6 工程とを有し、

第 6 工程の後、前記第 3 工程において、前記最適化対象配線と前記隣接配線の間の全部及び前記最適化対象配線と前記ダミー配線の間の全部を覆う複数のボイド形成抑止領域をそれぞれ設定するものであり、

前記製造工程が、

第 1 の絶縁膜に互いに所定間隔以下で近接した第 1 及び第 2 の配線溝を形成する第 7 工程と、

前記第 1 及び第 2 の配線溝内に導体膜を埋め込み互いに所定間隔以下で近接した最適化対象配線及び隣接配線をそれぞれ形成する第 8 工程と、

前記第 3 工程において設定した前記ボイド形成抑止領域を覆うフォトレジストパターンを、前記最適化対象配線と前記隣接配線の間の前記第 1 絶縁膜上に形成する第 9 工程と、

前記フォトレジストパターンをマスクとして前記第 1 絶縁膜をエッチング除去する第 10 工程と、

前記最適化対象配線と前記第 2 の配線の間のうち前記第 1 絶縁膜が除去された部分にボイドが形成されるように、前記第 1 及び第 2 の配線の上方および残された前記第 1 の絶縁膜の上方に第 2 の絶縁膜を形成する第 11 工程を有し、

前記第 10 工程において残された前記第 1 の絶縁膜の両側に前記ボイドが形成されるように、前記第 3 工程において前記ボイド形成抑止領域を設定するものであり、

前記第 1 の絶縁膜の誘電率を、前記第 2 の絶縁膜の誘電率よりも高くすることを特徴とする半導体集積回路装置の製造方法。

【請求項 2】

前記第 1 の絶縁膜を酸化シリコン膜或いは窒化シリコン膜とし、第 2 の絶縁膜を低誘電率絶縁膜とすることを特徴とする請求項 1 に記載の半導体集積回路装置の製造方法。

【請求項 3】

前記低誘電率絶縁膜を SiO_F 膜或いは SiO_C 膜とすることを特徴とする請求項 2 に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置の製造方法に関し、特に、遅延時間の設計制約を満足す

10

20

30

40

50

るための半導体集積回路装置の最適化技術に関する。

【背景技術】

【0002】

タイミング最適化は、半導体集積回路装置の設計工程の随所で行われるもので、従来はRTL修正、論理セルの追加、論理セルの置き換えといったことが行われていた。論理セルの追加や置き換えは、トランジスタのサイズ変更やトランジスタの閾値切り替えによって、負荷の充放電の速度を調節することが目的となる。この為、このような修正を行うと、再論理合成、再機能検証といった設計の後戻りが発生し、設計期間が増大するという問題があった。

【0003】

特許文献1には、かかる問題を解決するため、半導体集積回路装置のタイミング調整において隣接配線間の寄生容量を変えることを目的として、隣接配線間の距離を一部狭くしたり広くしたりすること（従来技術1）や、隣接配線間の絶縁膜の材質を部分的に変更すること（従来技術2）で、ディレイ違反を解消する方法が開示されている。

【0004】

一方、半導体集積回路装置のプロセス世代が進むにつれて、トランジスタの動作速度が増すと共に、トランジスタ間を繋ぐ配線はその幅が細くなり、隣接配線間の距離も近くなるため、半導体集積回路装置（LSI）の速度は、ゲート遅延から配線のRC遅延が律束する割合が大きくなってきている。また、配線抵抗を低減するため、配線構造のアスペクト比（断面の縦横比）が高さ方向に長い長方形となり、隣接配線間の寄生容量が増大し、更なる配線RC遅延の増大を招いている。

【0005】

このことから半導体デバイスのロードマップとして、配線ディレイを低減するためのさまざまな技術が提案されてきた。その1つが、配線層間絶縁膜としての低誘電率（low-k）材料の開発による配線間の寄生容量低減である。近年では、この低誘電率化の進歩も飽和しつつあり、次世代ではlow-k層間絶縁膜に多孔質性を加えた絶縁膜であるポラスlow-k材料からなる配線層間絶縁膜が着目されていたが、材料の機械的な強度不足から信頼性の問題が残っていた。

【0006】

そこで、次世代の配線構造として、同層の隣接配線間にボイドを残すAir-Gapと呼ばれる技術が着目されている。なお、このAir-Gap技術は、特許文献2に開示されている。

【0007】

【特許文献1】特開2003-338546号公報

【特許文献2】特開2003-297918号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

Air-Gap技術では、所定間隔以下に近接した隣接配線間にボイド（Air-Gap）が形成される。この為、上述の従来技術1にAir-Gap技術を適用した場合、所定間隔以上に隣接配線間の距離を広くするとボイド（Air-Gap）が無くなり、従来技術1と異なり逆に隣接配線間の寄生容量が増大してしまうという問題が生ずる。また、ボイド（Air-Gap）が形成される所定間隔以下の範囲での上述の従来技術1の配線負荷によるディレイ調整は、配線間距離依存性が極めて小さくなる為に、より長い配線長に渡って配線引き直しを行う必要があり、配線チャンネルを無駄に消費するという問題が生ずる。

【0009】

さらに、上述の従来技術2は、配線層間絶縁膜に通常使用の絶縁材料に加えて新たな特別な絶縁材料を付加する技術である為、製造プロセスが複雑になることと、既存製造ラインへの付加設備を確保する必要があり、また、新材料の適用は信頼性の確保も含めコスト

10

20

30

40

50

・T A Tとも増大するという問題が生ずる。

【0010】

本発明は、上記従来の課題を解消するためになされたものであり、Air - Gap技術の適用を前提とし、製造プロセスへの付加を抑えコスト・T A Tを増大させることなくタイミング最適化が可能となる半導体集積回路装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】

本発明の半導体集積回路装置の製造方法は、回路設計を行う第1工程と、回路設計の情報に基づいてレイアウト設計を行う第2工程と、レイアウト設計の情報に基づいて半導体集積回路装置を製造する第3工程と備え、第2工程において、タイミング制約違反の有無を判定し、タイミング制約違反が検出された場合にこれを解消する為に信号やクロックの更なる遅延が必要な最適化対象配線とこれに所定間隔以下で近接する隣接配線の間（隣接配線間）の一部又は全部にボイド形成抑止領域を設定し、第3工程において、ボイド形成抑止領域内の最適化対象配線と隣接配線の間（隣接配線間）に絶縁膜を形成し、ボイド形成抑止領域外の最適化対象配線と隣接配線の間（隣接配線間）にボイドを形成するものである。

【発明の効果】

【0013】

本発明によれば、製造プロセスへの付加を抑えコスト・T A Tを増大させることなくタイミング最適化が可能となる半導体集積回路装置およびその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0015】

図1は、本実施の形態における半導体集積回路装置の製造方法におけるレイアウト設計段階のフローチャートである。なお、このレイアウト設計に先立って回路設計が行われ、論理ファイル1には回路設計情報が格納されている。

【0016】

レイアウト設計は、論理ブロック、フリップフロップ、バッファ等の配置を決定する配置工程P00と、配線の配置を決定する配線工程R00と、最終的な動作速度を確認する検証工程V00とから構成される。

【0017】

配置工程P00は、回路設計情報に基づき、論理セル（論理ブロック及びフリップフロップ）を配置するセル配置工程P01と、論理セル配置情報よりバッファを自動挿入するファンアウト調整工程P02と、論理ブロック、フリップフロップ、バッファのそれぞれの端子間を配線する簡易配線工程P03と、配線されたもののうち信号配線の信号ディレイ時間を計算する遅延時間計算工程P04と、遅延時間計算工程P04の結果に基づいて、論理セル間の信号ディレイ時間が所定時間内に収まっているか否かを検証する遅延時間チェック工程P05とから構成される。なお、簡易配線工程P03は、論理ブロック、フリップフロップ、バッファ等の配置の適否判断の為に仮の配線を行う工程で、実際の配線は、後に続く配線工程R00において行う。

【0018】

10

20

30

40

50

遅延時間チェック工程 P 0 5 において信号ディレイ時間が所定時間内に収まっていない信号配線が抽出された場合には、セル配置工程 P 0 1 に戻り、遅延時間チェック工程 P 0 5 で全ての信号ディレイ時間が所定時間内に収まるまで P 0 1 から P 0 4 までの工程を繰り返す。全ての信号ディレイ時間が所定時間内に収まると、その際にセル配置工程 P 0 1 及びファンアウト調整工程にて決定した論理ブロック、フリップフロップ、バッファの配置情報を最終のものとして、次の配線工程 R 0 0 に移行する。

【 0 0 1 9 】

配線工程 R 0 0 は、配置工程 P 0 0 にて決定した配置情報に基づき、クリティカルパスやクロック等を優先して配線した後に残りの配線を行う自動配線工程 R 0 1 と、並行配線長、波形チェックを行う `signal integrity` チェック工程 R 0 2 と、信号配線及びクロック配線の各配線長に基づいてそれぞれのディレイ時間を計算する遅延時間計算工程 R 0 3 と、遅延時間計算工程 R 0 3 で得た信号ディレイ時間及びクロックディレイ時間に基づいてタイミング制約違反の有無を判定するタイミング制約違反判定工程 R 0 4 と、タイミング制約違反判定工程 R 0 4 によってタイミング制約違反が抽出された場合にこれを解消するために信号配線或いはクロック配線の配線長の修正を行う配線修正工程 R 0 5 とから構成される。

【 0 0 2 0 】

配線修正工程 R 0 5 では、タイミング制約違反判定工程 R 0 4 でホールドディレイ違反の判定がされた場合には、違反の対象となった信号配線の配線長をより長くする修正を行う。また、タイミング制約違反判定工程 R 0 4 でセットアップディレイ違反の判定がされた場合には、違反の対象となった信号配線の配線長をより短くする修正、或いは、違反の対象となったクロック配線の配線長を長くする修正の、何れかを行う。全ての信号配線及びクロック配線においてタイミング制約違反がなくなると、次の検証工程 V 0 0 に移行する。

【 0 0 2 1 】

なお、ホールドディレイ違反は、クロック信号変化に対しデータ信号の方が早く伝搬し、データを正しくラッチするために必要な時間を十分確保できないエラーであり、また、セットアップディレイ違反は、クロック信号変化の前にデータを保持しなければならない時間を十分に確保できないエラーである。

【 0 0 2 2 】

検証工程 V 0 0 は、配線工程 R 0 0 にて決定した配線情報に基づき、各配線の詳細な寄生抵抗、寄生容量を抽出する配線 RC 抽出工程 V 0 1 と、配線 RC 抽出工程にて得た各配線の寄生抵抗、寄生容量と各配線長に基づいてそれぞれのディレイ時間を計算する遅延時間計算工程 V 0 2 と、遅延時間計算工程で得た信号ディレイ時間及びクロックディレイ時間に基づいてタイミング制約違反の有無を判定するタイミング制約違反判定工程 V 0 3 と、タイミング制約違反判定工程 V 0 3 でタイミング制約違反が検出された場合にこれを解消するタイミング最適化工程 V 0 4 とから構成される。尚、タイミング制約違反判定工程 V 0 3 では、ホールドディレイ違反やセットアップディレイ違反の有無の他、クロック信号の分配における等スキュー違反等の検出を行う。

【 0 0 2 3 】

本発明の一つ目の特徴は、Air-Gap 技術の適用によりボイド (Air-Gap) が形成される所定間隔以下に近接した隣接配線間領域のうち、ボイドの形成を抑止する領域をタイミング最適化工程 V 0 4 において設定することにある。なお、ボイド形成抑止の為の半導体集積回路装置の具体的な製造プロセスについては後述することとし、まずタイミング最適化工程 V 0 4 につき詳述する。

【 0 0 2 4 】

タイミング最適化工程 V 0 4 では、まず、タイミング制約違反判定工程 V 0 3 で検出された違反解消の為に必要な信号やクロックの追加の遅延時間とボイドをなくし寄生容量を増大させることで増加する遅延時間とに基づいて、ボイドの形成を抑止すべき領域の長さ L を算出する (V 0 4 1 工程)。

【 0 0 2 5 】

次に、配線工程 R 0 0 にて決定した配線情報に基づいて信号やクロックの追加の遅延が必要な配線（以下、「最適化対象配線」という）とその最適化対象配線に対しボイドが形成される所定間隔以下で近接する隣接配線とを特定し、その隣接配線長 l が V 0 4 1 工程で算出したボイド形成の抑止領域の長さ L 以上であるか否かを判定する（V 0 4 2 工程）。なお、隣接配線長 l は、最適化対象配線に対し所定間隔以下で平行して延存している部分の長さとする。また、最適化対象配線に対する隣接配線が複数存在する場合には、それらの合計の長さを隣接配線長 l とする。図 2 に、タイミング制約違反判定工程 V 0 3 で算出されたタイミングパスディレイ分布図を示す。上記 V 0 4 2 工程での最適化対象配線の隣接配線の特定の際には、図 2 に示すタイミング違反パスや目標ディレイ値に対しタイミ

10

【 0 0 2 6 】

V 0 4 2 工程において、隣接配線がボイド形成の抑止領域の長さ L 以上の隣接配線長 l で存在すると判定された場合には、最適化対象配線と隣接配線間に長さ L に相当する分のボイド形成抑止領域を設定する（V 0 4 6 工程）。

【 0 0 2 7 】

図 3 A は、配置工程 P 0 0 にて論理ブロック、フリップフロップ、バッファが配置され、配線工程 R 0 0 にてそれぞれの端子間の配線がなされた一例のレイアウト図であり、3 0 1 ~ 3 0 4 はフリップフロップを、3 1 0 ~ 3 1 4 はバッファを、3 2 0 は論理ブロックを、3 3 0 ~ 3 4 0 はクロック配線を、3 5 1 ~ 3 5 2 は信号配線を、3 6 1, 3 6 2, 3 6 3, 3 6 4 はそれぞれクロック配線 3 3 3, 3 3 5, 3 3 7, 3 3 9 に対しボイド 3 7 1, 3 7 2, 3 7 3, 3 7 4 が形成される所定間隔以下で近接する隣接配線を、3 6 5, 3 6 6, 3 6 7 はそれぞれ信号配線 3 5 2 に対しボイド 3 7 5, 3 7 6, 3 7 7 が形成される所定間隔以下で近接する隣接配線を、それぞれ示している。

20

【 0 0 2 8 】

図 3 B に、図 3 A のレイアウトにおいてフリップフロップ 3 0 1 までのクロックの伝搬遅延時間が他のフリップフロップ 3 0 2 ~ 3 0 4 までのクロックの伝搬遅延時間より短く、タイミング制約違反判定工程 V 0 3 でクロック信号の等スキュー違反が検出された場合のタイミング最適化工程 V 0 4 後のレイアウト図を示す。

30

【 0 0 2 9 】

図 3 A のレイアウトが上述の等スキュー違反を起こしている場合には、クロック配線 3 3 3, 3 3 4 が上述した最適化対象配線となる。このうち最適化対象配線 3 3 4 には間にボイドが形成される隣接配線がなく、最適化対象配線 3 3 3 には間にボイド 3 7 1 が形成される隣接配線 3 6 1 が 1 つ存在している。なお、ここで隣接配線 3 6 1 は上述の図 2 の (1) の領域内のパスに関する隣接配線であるものと仮定する。

【 0 0 3 0 】

図 3 B は、V 0 4 2 工程において V 0 4 1 工程で算出されたボイド形成抑止領域の長さ L より隣接配線 3 6 1 の長さ l が長いと判定され、V 0 4 6 工程で最適化対象配線 3 3 3 とその隣接配線 3 6 1 の間に長さ L 相当分のボイド形成抑止領域 3 8 1 が設定された状態を示している。なお、図 3 B では、両端にそれぞれボイド 3 7 1 a, 3 7 1 b が形成されその間がボイド形成抑止領域 3 8 1 となるようにレイアウトされているが、一端側に 1 つのボイドを形成し他端側をボイド形成抑止領域とすることも可能である。但し、図 3 B に示すレイアウトの方が、実際の半導体装置の製造プロセスにおいてボイド形成抑止領域 3 8 1 を規定するマスクの最適化対象配線 3 3 3 の延在方向の合せずれが生じた際にもボイド形成抑止領域 3 8 1 の長さ L の変動が生じない為、レイアウト設計どおりの追加遅延時間を付与できるという点で有利である。

40

【 0 0 3 1 】

次に、図 3 C に、図 3 A のレイアウトにおいてフリップフロップ 3 0 4 までの信号の伝

50

搬遅延時間がフリップフロップ304までのクロックの伝搬遅延時間より短く、論理ブロック320からのデータが1回のクロックエッジでフリップフロップ304に正しく転送されず、データがフリップフロップ304を通過してしまうホールドディレイ違反がタイミング制約違反判定工程V03で検出された場合のタイミング最適化工程V04後のレイアウト図を示す。

【0032】

図3Aのレイアウトが上述のホールドディレイ違反を起こしている場合には、信号配線351, 352が上述した最適化対象配線となる。このうち最適化対象配線351には間にボイドが形成される隣接配線がなく、最適化対象配線352には間にボイド375, 376, 377がそれぞれ形成される隣接配線365, 366, 367が3つ存在している。なお、以下の説明においては、これらの隣接配線365~367のうち367は上述の図2の(2)の領域内のパスに関する隣接配線であり、365, 366は上述の図2の(1)の領域内のパスに関する隣接配線であるものと仮定する。

10

【0033】

図3Cは、V042工程においてV041工程で算出されたボイド形成抑止領域の長さLより隣接配線367を除いた隣接配線365の長さL2と隣接配線366の長さL1を合計した長さL(L1+L2)が長いと判定され、V046工程で最適化対象配線352と隣接配線365の間及び最適化対象配線352と隣接配線366の間にボイド形成抑止領域382及びボイド形成抑止領域383がそれぞれ設定された状態を示している。なお、図3Cでは、V041工程で算出されたボイド形成抑止領域の長さL(L1+L2)を隣接配線366の長さL1と等しい長さL1と残りの長さL2とに分け、最適化対象配線352と隣接配線366の間は全てボイド形成抑制領域383とし、最適化対象配線352と隣接配線365の間に長さL2相当分のボイド形成抑止領域382を設定している。ここで、ボイド形成抑制領域383の設定においては、その長さを図3CのL1'のように隣接配線366の長さL1よりも長くしておくことが有利である。ボイド形成抑制領域383を隣接配線366の長さL1と全く同一の長さL1とした場合には、実際の半導体装置の製造プロセスにおいてボイド形成抑止領域383を規定するマスクの最適化対象配線352の延在方向の合せずれが生ずると一端部にボイドが形成されてしまい、レイアウト設計どおりの追加遅延時間を付与できなくなる恐れがある虞がある。図3CのL1'のように長めに設定することにより、このような問題を防止することができる。なお、ボイド形成抑制領域383を図3CのL1'のように長めに設定したとしても実質的なボイド形成抑制領域の長さが隣接配線366の長さL1と等しいL1であることは、図3Aと図3Cを比較すれば明らかである。なお、ボイド形成抑止領域382の両側にそれぞれボイド375a, 375bをレイアウトしたことによる効果は、図3Bにおいて前述したとおりである。

20

30

【0034】

図3Dは、図3Cのボイド形成抑止領域382及びボイド形成抑止領域383のレイアウトの変形例を示す図である。図3Dでは、L1とL2の合計の長さLは変えずに、ボイド形成抑止領域383の長さL1を隣接配線366の長さL1よりも短くし、その分ボイド形成抑止領域382の長さL2を図3Cのボイド形成抑止領域382の長さL2より長くし、ボイド形成抑止領域383の両側にもそれぞれボイド376a, 376bをレイアウトしている。

40

【0035】

V042工程において、隣接配線の長さlがボイド形成の抑止領域の長さLに満たないと判定された場合には、タイミング制約違反判定工程V03で検出された違反解消の為に必要な信号やクロックの追加の遅延時間から最適化対象配線と上述の図2の(1)の領域内にある隣接配線の間ボイドを全てなくすることで得られる遅延時間を差し引いた不足の遅延時間と最適化対象配線に隣接するダミー配線を形成し寄生容量を増大させることで増加する遅延時間とに基づいて、形成すべきダミー配線長mを算出する(V043工程)。なお、かかる算出にあたり、最適化対象配線とダミー配線の間隔はボイドが形成される所

50

定間隔以下とするが、最適化対象配線とダミー配線の間は全てボイド形成抑止領域を設定し、ボイドを形成しないものとする。

【 0 0 3 6 】

次に、最適化対象配線の周囲に、V 0 4 3 工程において算出した長さmのダミー配線を形成するエリアが存在するか否かを判定する (V 0 4 4 工程)。

【 0 0 3 7 】

V 0 4 4 工程において、長さmのダミー配線を形成するエリアが存在すると判定された場合には、最適化対象配線に隣接する長さmのダミー配線を設定する (V 0 4 5 工程)。

【 0 0 3 8 】

次に、最適化対象配線と隣接配線間のボイド及び最適化対象配線とダミー配線間のボイドが全てなくなるように、最適化対象配線と隣接配線間に長さlのボイド形成抑止領域を、最適化対象配線とダミー配線間に長さmのボイド形成抑止領域を、それぞれ設定する (V 0 4 6 工程)。

【 0 0 3 9 】

図 3 E に、図 3 A のレイアウトにおいてフリップフロップ 3 0 4 までの信号の伝搬遅延時間がフリップフロップ 3 0 4 までのクロックの伝搬遅延時間とクロック周期の和よりも長く、論理ブロック 3 2 0 からのデータの目標のクロック周期内でのフリップフロップ 3 0 4 への転送が間に合わないセットアップディレイ違反がタイミング制約違反判定工程 V 0 3 で検出された場合のタイミング最適化工程 V 0 4 後のレイアウト図を示す。

【 0 0 4 0 】

図 3 A のレイアウトが上述のセットアップディレイ違反を起こしている場合には、クロック配線 3 3 9 , 3 4 0 が上述した最適化対象配線となる。このうち最適化対象配線 3 4 0 には間にボイドが形成される隣接配線がなく、最適化対象配線 3 3 9 には間にボイド 3 7 4 が形成される隣接配線 3 6 4 が 1 つ存在している。なお、ここで隣接配線 3 6 4 は上述の図 2 の (1) の領域内のパスに関する隣接配線であるものと仮定する。

【 0 0 4 1 】

図 3 E は、V 0 4 2 工程において隣接配線 3 3 4 の長さlがV 0 4 1 工程で算出されたボイド形成抑止領域の長さLに満たないと判定され、V 0 4 4 工程において最適化対象配線 3 3 9 の周囲にV 0 4 3 工程で算出された長さmのダミー配線を形成するエリアが存在すると判定され、V 0 4 5 工程で最適化対象配線 3 3 9 に隣接した長さmのダミー配線 3 9 0 が配置されると共に、V 0 4 6 工程で最適化対象配線 3 3 9 と隣接配線 3 6 4 の間及び最適化対象配線 3 3 9 とダミー配線 3 9 0 の間に隣接配線 3 6 4 の長さlのボイド形成抑止領域 3 8 4 及びダミー配線 3 9 0 の長さmのボイド形成抑止領域 3 8 5 がそれぞれ設定された状態を示している。ここで、ボイド形成抑制領域 3 8 4 の設定においてはその長さを図 3 E の l ' のように隣接配線 3 6 4 の長さlよりも長くし、ボイド形成抑制領域 3 8 5 の設定においてはその長さを図 3 E の m ' のようにダミー配線 3 9 0 の長さmよりも長くしておくことにより、図 3 C において述べたように確実にレイアウト設計どおりの追加遅延時間を付与することができる。

【 0 0 4 2 】

V 0 4 4 工程において、最適化対象配線の周囲にV 0 4 3 工程で算出された長さmのダミー配線を形成するエリアが存在しないと判定された場合には、V 0 4 工程でのタイミング最適化は行わず、配線工程 R 0 0 の自動配線工程 R 0 1 に戻り、最適化対象配線の引き直しを行う。

V 0 4 工程でのタイミング最適化が行われた後は、配線 R C 抽出工程 V 0 1 に戻り、遅延時間計算工程 V 0 2 を経てタイミング制約違反判定工程 V 0 3 に至る。タイミング制約違反判定工程 V 0 3 においてタイミング制約違反が検出されなくなると、

全ての信号配線及びクロック配線においてタイミング制約違反がなくなると、配置工程 P 0 0 にて決定した配置情報や配線工程 R 0 0 にて決定した配線情報の他、タイミング最適化工程 V 0 4 でのボイド形成抑止領域やダミー配線の設定情報をマスクデータ 2 として格納し、半導体集積回路装置の製造工程に移行する。

10

20

30

40

50

【 0 0 4 3 】

以下、Air-Gap技術を適用し、かつ、上記V046工程で設定したボイド形成抑止領域にボイドを形成しない半導体集積回路装置の製造工程について説明する。なお、本発明においては、半導体基板上へのMOSFET等の半導体素子の形成プロセスは従来どおりである為、本発明の特徴である半導体素子形成以降の配線層の形成プロセスについて詳述する。

【 0 0 4 4 】

図4に本実施の形態の半導体集積回路装置の配線層の要部平面図を示し、図5に図4のA-A'における断面図を示す。各図において、101a~cは配線、102はボイド形成抑止領域、1002は導電性バリア膜(第1導体膜)、1003は主導体膜(第2導体膜)、1005はボイド(Air-Gap)、1000, 1001, 1004, 1006~1008は絶縁膜である。図4, 5に示すように、配線101bと配線101cの間にはボイド105が形成され、ボイド形成抑止領域102内の配線101aと配線101bの間には絶縁膜1006が存在しボイドは形成されていない。

【 0 0 4 5 】

なお、上述の図3Bに示す例では、クロック配線333と隣接配線361が図4, 5の配線101bと配線101aにそれぞれ対応し、クロック配線335, 337, 339と隣接配線362~364或いは信号配線352と隣接配線365~367が図4, 5における配線101bと配線101cにそれぞれ対応する。また、上述の図3C, Dに示す例では、信号配線352と隣接配線365或いは信号配線352と隣接配線36366が図4, 5の配線101bと配線101aにそれぞれ対応し、クロック配線33, 335, 337, 339と隣接配線361~364或いは信号配線352と隣接配線367が図4, 5における配線101bと配線101cにそれぞれ対応する。さらに、上述の図3Eに示す例では、クロック配線339と隣接配線364或いはクロック配線339とダミー配線390が図4, 5の配線101bと配線101aにそれぞれ対応し、クロック配線333, 335, 337と隣接配線361~363或いは信号配線352と隣接配線365~367が図4, 5における配線101bと配線101cにそれぞれ対応する。

【 0 0 4 6 】

図6~12は、本実施の形態の半導体集積回路装置の配線層の製造工程中の要部断面図である。

まず、図6に示されるように、絶縁膜1000上に絶縁膜1001をプラズマCVD法などによって形成する。なお、図示していないが、絶縁膜1000の下には半導体集積回路装置の半導体基板とその上に形成された半導体素子が既に形成されている。絶縁膜1001は、例えばプラズマCVD法によって形成された窒化シリコン膜からなり、その厚さは、例えば25nm~50nm程度である。絶縁膜1001の他の材料として、例えばプラズマCVD法で形成された炭化シリコン膜、プラズマCVD法で形成されたSiCN膜またはプラズマCVD法で形成された酸窒化シリコン(SiON)膜の単体膜を用いても良い。これらの膜を用いた場合、窒化シリコン膜に比べて誘電率を大幅に下げることができるので、配線容量を低減することができ、半導体装置の動作速度を向上させることができる。プラズマCVD法で形成された炭化シリコン膜には、例えば上記Block(AMAT社製)がある。また、SiCN膜の成膜に際しては、例えばヘリウム(He)と、アンモニア(NH₃)と、トリメチルシラン(3MS)との混合ガスが用いられる。また、プラズマCVD法で形成された酸窒化シリコン膜としては、例えばPE-TMS(Canon製、誘電率=3.9)があり、その形成に際しては、例えばトリメトキシシラン(TMS)ガスと酸化窒素(N₂O)ガスとの混合ガスが用いられる。

【 0 0 4 7 】

次に、絶縁膜1001上に絶縁膜1006を形成する。絶縁膜1006には、Low-K材料、例えばSiOF膜やSiOC膜のような低誘電率絶縁膜(Low-K絶縁膜)を用いることもできるが、上述のタイミング最適化において最適化対象配線への追加遅延時間付与を与えやすくする為に、より誘電率の高い酸化シリコン膜や窒化シリコン膜とする

10

20

30

40

50

ことがより好ましい。

【0048】

次に、絶縁膜1006上に反射防止膜1009およびフォトレジスト膜を順に形成し、露光によりフォトレジスト膜をパターン化してフォトレジストパターン1010を形成する。なお、フォトレジストパターン1010には、上記配線工程R00にて決定した配線情報及び上記V045工程で設定したダミー配線情報に基づいて、配線やダミー配線の形成領域に開口部が形成されている。そして、フォトレジストパターン1010をエッチングマスクにしたドライエッチング法により、反射防止膜1009を選択的に除去する。その後、フォトレジストパターン1010をエッチングマスクにしたドライエッチング法により、絶縁膜1006を選択的に除去し、開口部を形成する。それから、アッシングを行い、フォトレジストパターン1010および反射防止膜1009をアッシングして除去した後、最後に絶縁膜1006の開口部から露出する絶縁膜1001をエッチングする。これにより、図7に示されるように、各配線溝100a~cが形成される。なお、フォトレジストパターン1010をエッチングマスクにしたドライエッチング法により、絶縁膜1006および1001を選択的に除去し、各配線溝100a~cを形成した後、フォトレジストパターン1010および反射防止膜1009を除去することもできる。

10

【0049】

次に、図8に示すように、全面に、例えば窒化チタン(TiN)などからなる厚さ5~50nm程度の薄い導電性バリア膜(第1導体膜)1002をスパッタリング法などを用いて形成する。導電性バリア膜1002は、例えば後述の主導体膜形成用の銅の拡散を防止する機能および主導体膜のリフロー時に銅の濡れ性を向上させる機能などを有している。このような導電性バリア膜1002の材料としては、窒化チタンに代えて、銅と殆ど反応しない窒化タングステン(WN)または窒化タンタル(TaN)などのような高融点金属窒化物を用いることもできる。また、導電性バリア膜1002の材料として、高融点金属窒化物にシリコン(Si)を添加した材料や、銅と反応し難いタンタル(Ta)、チタン(Ti)、タングステン(W)、チタンタングステン(TiW)合金などのような高融点金属や、絶縁膜との密着性が良いTaとCuの濡れ性が良いTaを組み合わせたTa-N/Ta積層バリアを用いることもできる。

20

【0050】

続いて、導電性バリア膜1002上に、例えば厚さ800~1600nm程度の相対的に厚い銅からなる主導体膜(第2導体膜)1003を形成する。主導体膜1003は、例えばCVD法、スパッタリング法またはめっき法などを用いて形成することができる。その後、例えば150~400程度の非酸化性雰囲気(例えば水素雰囲気や窒素雰囲気)中において熱処理を施すことにより主導体膜1003をリフローさせ、銅を配線溝100の内部に隙間なく埋め込む。

30

【0051】

次に、主導体膜1003、導電性バリア膜1002をCMP法によって研磨する。これにより、図8に示すように、相対的に薄い導電性バリア膜1002と相対的に厚い主導体膜1003とからなる各配線101a~cをそれぞれ各配線溝100a~c内に形成する。

40

【0052】

次に、図9に示すように、絶縁膜1006及び配線101上に、バリア絶縁膜1007を20~50nm成膜する。絶縁膜1007は、例えば窒化シリコン膜からなり、銅配線のバリア絶縁膜として機能する。従って、絶縁膜1007は、配線101の主導体膜1003中の銅が、後で形成される層間絶縁膜1008中に拡散するのを抑制または防止する。絶縁膜1007の他の材料として、例えば炭化シリコン(SiC)膜、炭窒化シリコン(SiCN)膜または酸窒化シリコン(SiON)膜の単体膜を用いても良い。これらの膜を用いた場合、窒化シリコン膜に比べて誘電率を大幅に下げることができるので、配線容量を低減することができ、半導体集積回路装置の動作速度を向上させることができる。プラズマCVD法で形成された炭化シリコン膜には、例えばBLOK(AMAT社製)が

50

ある。その成膜ガスは、上記した通りである。上記SiCN膜の成膜に際しては、例えばヘリウム(He)と、アンモニア(NH₃)と、トリメチルシラン(3MS)との混合ガスを用いる。また、上記プラズマCVD法で形成された酸化シリコン膜としては、例えばPE-TMS(Canon製、誘電率=3.9)がある。上記酸化シリコン膜の形成に際しては、例えばトリメトキシシラン(TMS)ガスと酸化窒素(N₂O)ガスとの混合ガスを用いる。

その後、絶縁膜1007上にフォトレジスト膜を形成し、露光によりフォトレジスト膜をパターン化してフォトレジストパターン1011を形成する。この際に、絶縁膜1007は、フォトレジストパターン1011と銅配線101との反応防止膜として機能する。なお、さらに精度を向上させるため、フォトレジスト膜の下部、バリア絶縁膜1007の上部に反射防止膜を用いることも可能である。このフォトレジストパターン1011は、上記V046工程で設定したボイド形成抑止領域情報に基づいて、ボイド形成抑止領域102を覆うように形成する。

【0053】

そして、このフォトレジストパターン1011をエッチングマスクにしたドライエッチング法により、絶縁膜1007、1006を選択的に除去し、ボイド形成抑止領域102の絶縁膜1007、1006を残す。(図10)この際、ウェハをプラズマCVD装置の処理室内に配置し、CF₄ガスを導入してプラズマ電源を印加することにより、ウェハ(特に配線101が露出するCMP面)に対して、CF₄プラズマ処理を施し、絶縁膜1007、1006を除去する。このようなCF₄プラズマ処理により、1003のCu配線表面は、一時的に有機系副生成物やフッ化系副生成物が僅かに生じるが、その後実施する後洗浄(たとえば、有機酸洗浄、フッ酸洗浄、有機アルカリ洗浄あるいはそれらの混合溶液による洗浄)や、水素アニール処理によって除去できる。また、絶縁膜1006にSiLK等のシリコンを含まない有機膜を用いた場合、絶縁膜1006のエッチングには、アンモニアやN₂/H₂混合ガス等の還元性プラズマを用いる。なお、プラズマ処理とは、プラズマ状態にある環境に、基板表面、あるいは、基板上に絶縁膜、金属膜等のような部材が形成されている時にはその部材表面を暴露し、プラズマの化学的、機械的(ボンバードメント)作用を表面に与えて処理することをいう。また、還元性雰囲気中のプラズマとは、還元作用、すなわち、酸素を引き抜く作用を有するラジカル、イオン、原子、分子等の反応種が支配的に存在するプラズマ環境をいう。

【0054】

本発明の2つ目の特徴は、後のボイド形成に不可欠な隣接配線間の絶縁膜除去工程において、上記タイミング最適化工程V04で設定したボイド形成抑止領域102の隣接配線間の絶縁膜1006を除去することなく残すことにある。

【0055】

図11は、図10に続く半導体集積回路装置の配線層の製造工程中における要部断面図を示している。ボイド形成抑止領域102以外の絶縁膜1006が除去された後、後洗浄を行い、その後、全面に絶縁膜1004をプラズマCVD法などによって形成する。すなわち、各配線101a~cの上面および側面、バリア絶縁膜1007、絶縁膜1001を覆うように、絶縁膜1004を20~50nm成膜する。絶縁膜1004は、例えば窒化シリコン膜からなり、銅配線のバリア絶縁膜として機能する。従って、絶縁膜1004は、配線101の主導体膜1003中の銅が、後で形成される層間絶縁膜1008中に拡散するのを抑制または防止する。絶縁膜1004の他の材料として、例えば炭化シリコン(SiC)膜、炭窒化シリコン(SiCN)膜または酸化窒化シリコン(SiON)膜の単体膜を用いても良い。これらの膜を用いた場合、窒化シリコン膜に比べて誘電率を大幅に下げることができるので、配線容量を低減することができ、半導体装置の動作速度を向上させることができる。プラズマCVD法で形成された炭化シリコン膜には、例えばBLOCK(AMAT社製)がある。その成膜ガスは、上記した通りである。上記SiCN膜の成膜に際しては、例えばヘリウム(He)と、アンモニア(NH₃)と、トリメチルシラン(3MS)との混合ガスを用いる。また、上記プラズマCVD法で形成された酸化シリコ

ン膜としては、例えばPE-TMS(Canon製、誘電率=3.9)がある。上記酸化シリコン膜の形成に際しては、例えばトリメトキシシラン(TMS)ガスと酸化窒素(N₂O)ガスとの混合ガスを用いる。

次に、バリア絶縁膜1004上に、絶縁膜1008を成膜する。絶縁膜1008には、SiOFやSiOCといった低誘電率絶縁膜(Low-K絶縁膜)を用いる。

【0056】

本実施の形態においては、所定間隔以下に近接した配線101bと配線101cの間では絶縁膜1008がコンフォーマルには成膜されない条件で、絶縁膜1008を堆積する。ここで、上記所定間隔は絶縁膜1008の成膜条件により変わるが、少なくとも半導体集積回路装置の配線層における最小ピッチの配線間隔は上記所定間隔以下のものである。所定間隔以下に近接した配線間では、絶縁膜1008の堆積が進行するに従って、対向する配線側面(配線対向面)の上部近傍での堆積物に遮られて徐々に反応種が下方に入り込みにくくなる。このため、対向する配線側面の下部近傍での堆積速度は上部近傍での堆積速度に比べて小さくなる。従って、対向する配線側面上に堆積された絶縁膜1008の厚みは均一にはならず、上部近傍での厚みが下部近傍よりも厚くなる。

【0057】

このため、配線101bと配線101cの間では、絶縁膜1008は配線101b,101cの形状を反映したコンフォーマルな形状にはならず、図18に示されるようなボイド(Air-Gap)1005が生じる。また、絶縁膜1008の成膜には、プラズマCVD法などを用いることができ、絶縁膜1008の成膜条件を調整することなどにより、上述のようなボイド(Air-Gap)1005を近接した隣接配線間に容易に形成することができる。

一方、ボイド形成抑止領域102では、配線101aと配線101bの間の絶縁膜1006が除去されずに残っている為にボイドが形成されず、その配線101a,bの寄生容量が増大し、配線101a,bにおける信号やクロックの伝搬遅延時間を大きくすることができる。なお、より短いボイド形成抑止領域102の設定長さでより大きな伝搬遅延時間を得る為には、配線101aと配線101bの間の絶縁膜1006をボイド1005形成の為に堆積する絶縁膜1008より高い誘電率の膜とすることが重要である。この点で、上述の例のように、絶縁膜1008をSiOFやSiOC等の低誘電率絶縁膜とし、絶縁膜1006を酸化シリコン膜や窒素シリコン膜とすることが望ましい。

なお、本実施の形態では、配線101a~cの上面および側面をバリア絶縁膜としての絶縁膜1004で覆うので、配線101a~cにおいて導電性バリア膜1002を省略し、銅からなる主導體膜1003だけで配線101a~cを形成することもできる。

【0058】

次に、絶縁膜1008の上面に発生した段差を解消するため、CMPによる平坦化処理を行って、図18に示す配線層が得られる。

【図面の簡単な説明】

【0059】

【図1】本実施の形態におけるレイアウト設計段階のフローチャートである。

【図2】タイミング制約違反判定工程V03で算出されたタイミングパスディレイ分布図。

【図3A】V00工程前の論理ブロック、フリップフロップ、バッファ、各種配線のレイアウト図。

【図3B】V04工程における等スキュー違反のタイミング最適化後のレイアウト図。

【図3C】V04工程におけるホールドディレイ違反のタイミング最適化後のレイアウト図。

【図3D】V04工程におけるホールドディレイ違反のタイミング最適化後の他のレイアウト図。

【図3E】V04工程におけるセットアップディレイ違反のタイミング最適化後のレイアウト図。

- 【図4】本実施の形態の半導体集積回路装置の配線層の要部平面図。
 - 【図5】本実施の形態の半導体集積回路装置の配線層の要部平面図。
 - 【図6】本実施の形態の半導体集積回路装置の配線層の製造工程中の要部断面図。
 - 【図7】本実施の形態の半導体集積回路装置の配線層の製造工程中の要部断面図。
 - 【図8】本実施の形態の半導体集積回路装置の配線層の製造工程中の要部断面図。
 - 【図9】本実施の形態の半導体集積回路装置の配線層の製造工程中の要部断面図。
 - 【図10】本実施の形態の半導体集積回路装置の配線層の製造工程中の要部断面図。
 - 【図11】本実施の形態の半導体集積回路装置の配線層の製造工程中の要部断面図。
- 【符号の説明】

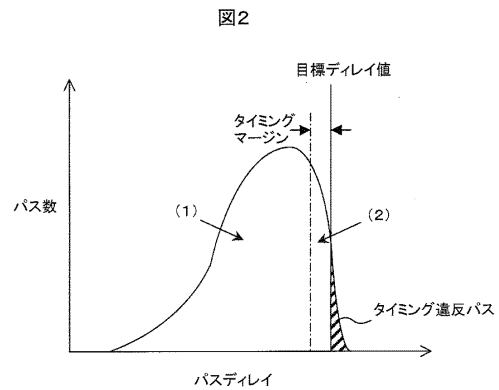
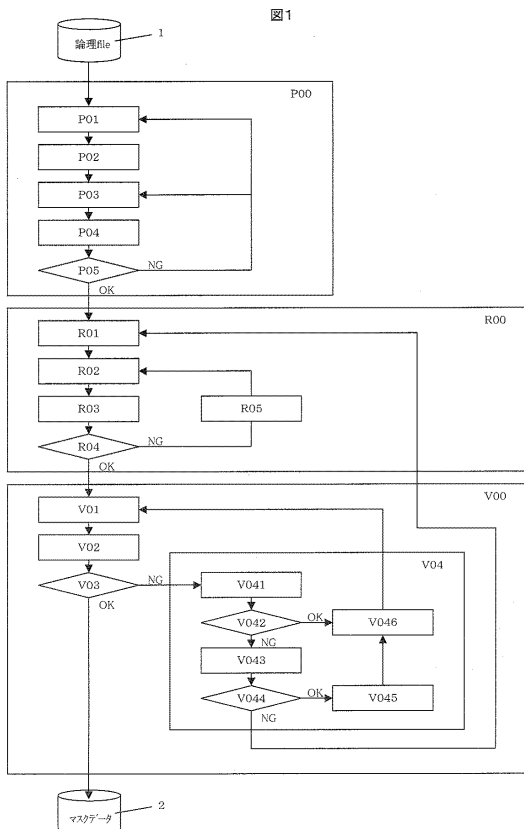
【0060】

10

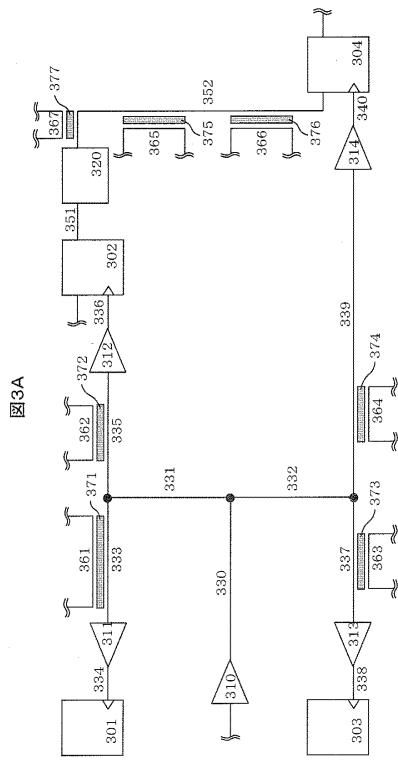
301～304…フリップフロップ、310～314…バッファ、320…論理ブロック、330～340…クロック配線、351～352…信号配線、361～367…隣接配線、371～377…ボイド (Air-Gap) 381～385…ボイド形成抑止領域、390…ダミー配線、101a～c…配線、102…ボイド形成抑止領域、1002…導電性バリア膜 (第1導体膜)、1003…主導體膜 (第2導体膜)、1005…ボイド (Air-Gap)、1000, 1001, 1004, 1006～1008…絶縁膜。

【図1】

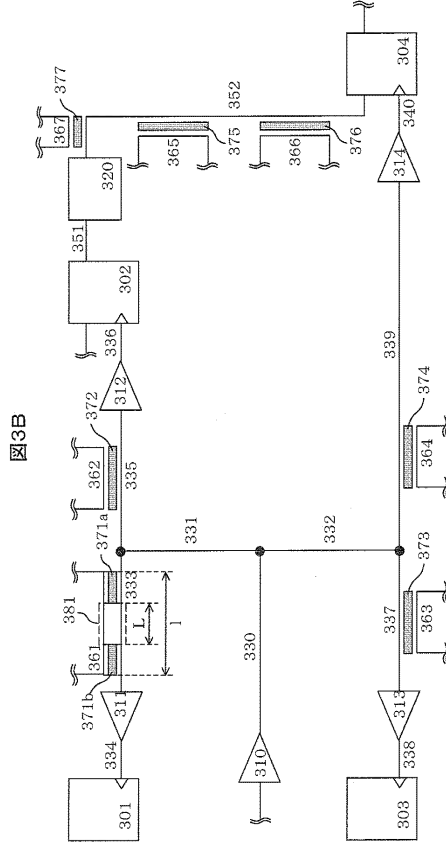
【図2】



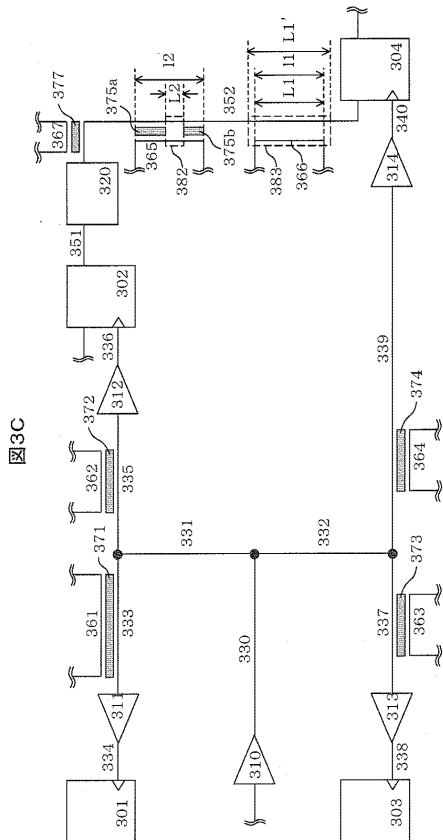
【 図 3 A 】



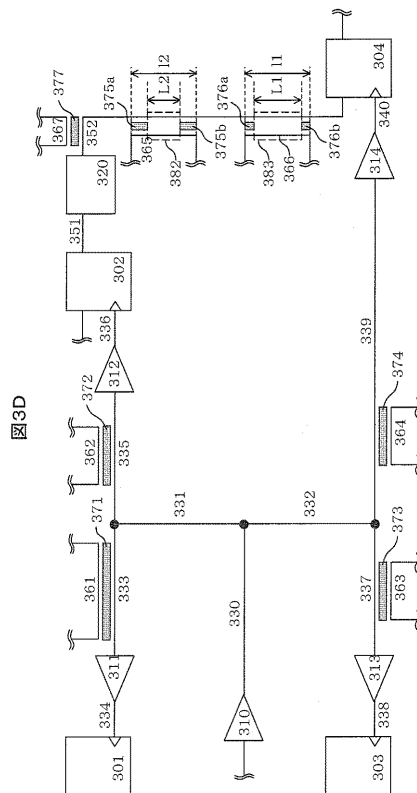
【 図 3 B 】



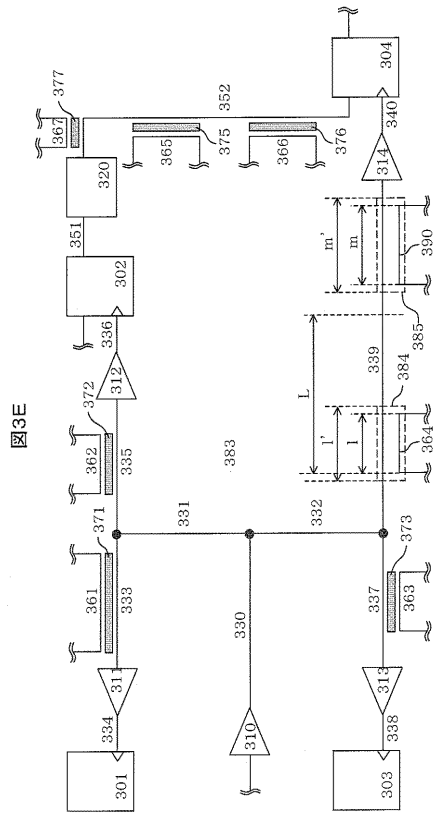
【 図 3 C 】



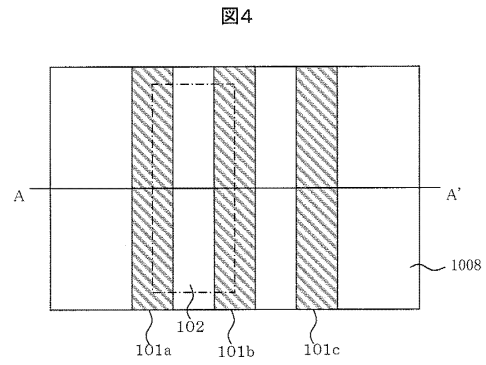
【 図 3 D 】



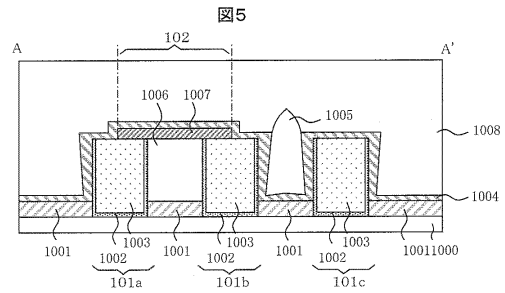
【 図 3 E 】



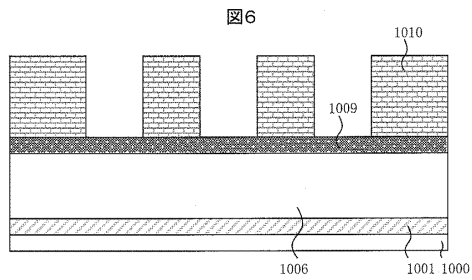
【 図 4 】



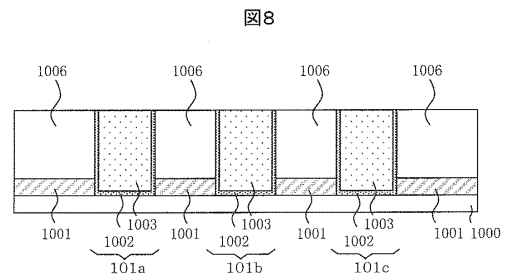
【 図 5 】



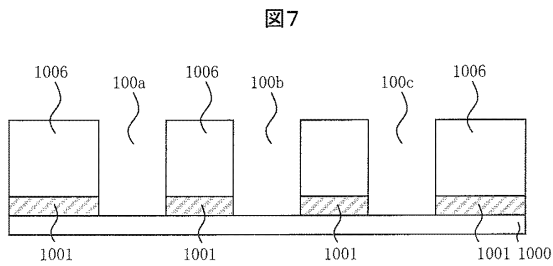
【 図 6 】



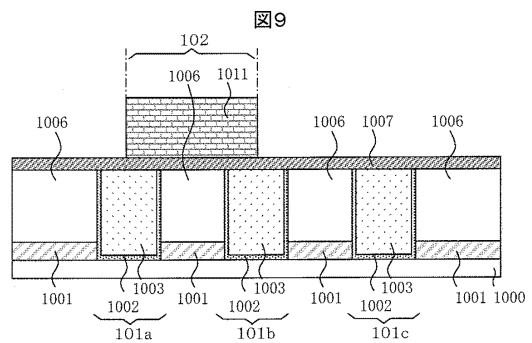
【 図 8 】



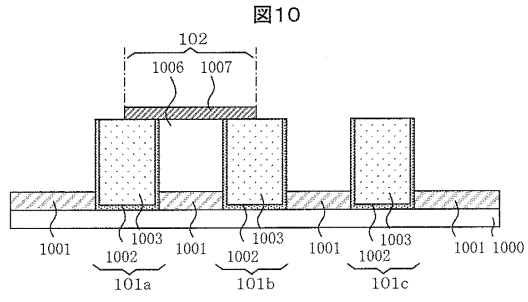
【 図 7 】



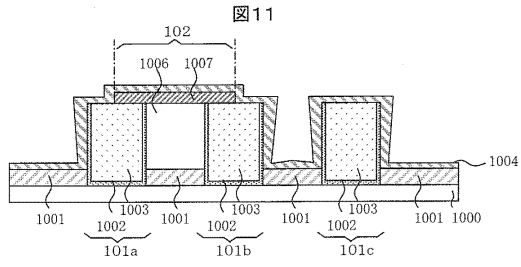
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/04 (2006.01)

H 0 1 L 23/532 (2006.01)

(72)発明者 大島 隆文

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

審査官 平野 崇

(56)参考文献 特開2008-103610(JP,A)

特開2003-338546(JP,A)

特開2001-028369(JP,A)

特開2003-297918(JP,A)

特開2003-078015(JP,A)

特開2000-150654(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 1 / 7 6 8

H 0 1 L 2 1 / 8 2 2

H 0 1 L 2 3 / 5 2 2

H 0 1 L 2 3 / 5 3 2

H 0 1 L 2 7 / 0 4

C i N i i

J S T P l u s (J D r e a m I I)