

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G06F 3/153

(45) 공고일자 1995년 12월 20일
(11) 공고번호 특 1995-0014980

(21) 출원번호	특 1992-0018561	(65) 공개번호	특 1993-0009372
(22) 출원일자	1992년 10월 09일	(43) 공개일자	1993년 05월 22일
(30) 우선권 주장	786,238 1991년 10월 31일 미국(US)		
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 존 디. 크레인 미합중국, 뉴욕 10504, 아몽크		
(72) 발명자	마이클 제이. 뉴러 미합중국, 버지니아 22110, 마나사스, 에머랄드 드라이브 7409		
(74) 대리인	이병호, 최달용		

심사관 : 홍순우 (책자공보 제4254호)

(54) 비디오 처리 시스템 및 데이터 병합 방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

비디오 처리 시스템 및 데이터 병합 방법

[도면의 간단한 설명]

- 제1도는 전형적인 그래픽 디스플레이 시스템의 블록도.
- 제2도는 디스플레이 메모리의 약도(schematic representation).
- 제3도는 베이직 비디오 삽입 처리 시스템의 블록도.
- 제4도는 이중 버퍼형 VIPS 수행의 블록도.
- 제5도는 오버레이(overlay)를 가진 이중 버퍼형 VIPS 수행의 블록도.
- 제6도는 프레임 삽입 버퍼의 블록도.
- 제7도는 병합 과정(merge process)동안 영상 데이터의 흐름을 보여주는 블록도.
- 제8도는 이중 DIP 수행의 블록도.
- 제9도는 NTSC 비디오 처리를 포함하는 VIPS의 블록도.

* 도면의 주요부분에 대한 부호의 설명

- 10 : 그래픽 처리 시스템
- 12 : 호스트 프로세서
- 14 : 디스플레이 인터페이스 프로세서
- 16 : 디스플레이 메모리
- 18 : 디지털 아날로그 변환기
- 19 : 디스플레이 모니터

[발명의 상세한 설명]

본 발명은 정보의 다중 독립 소스에 기초한(based on multiple independent sources of information) 다중 영상의 처리, 생성 및 병합 구조 및 방법에 관한 것이다.

특히, 다중 영상 생성의 독립적인 처리를 서포트하기 위해 패럴 처리 경로(parallel processing paths)를 제공하는 구조 및 방법이 기술된다. 본 발명은 또한 상기 패럴 처리 경로의 성능에 악 영향을 미치거나 또는 그것을 저하시키지 않고 픽셀 바이 픽셀을 기초하여(on a pixel by pixel

basis) 이들 다중 합 영상(multiple resultant images)을 병합시키는 구조 및 방법을 제공한다.

비용을 감소시키기 위해 증가된 처리 능력으로 인해 매우 중요해진 컴퓨터 기술의 한 분야로는 다중 매체(multimedia)의 분야를 들 수 있다. 다중 매체는 디스플레이상의 갖가지 소스로부터(from a variety of sources on a display) 그래픽 또는 텍스트형 영상(of graphical and/or textual images)의 조정된 디스플레이(the coordinated display of graphical and/or textual images)를 포함한다. 이들 소스는 풀 모션 라이브 비디오, 다른 그래픽 서브-시스템으로부터의 외부 RGB 비디오 소스, 등고선 지도(contour maps) 또는 의학 영상 정보(medical image information)와 같은 아이템을 가진 데이터 베이스, 또는 소나(sonar) 또는 레이더 정보를 제공할 수도 있는 프론트-엔드 처리 서브-시스템(front-end processing subsystem)을 포함할 수 있다. 각 소스로부터 수신된 정보는 단일 영상 또는 다중 영상을 창출해 내는데 사용될 수 있다. 각 소스로부터 수신된 정보는 디스플레이 되기 전에 서로 다른 처리 레벨을 필요로 할 수도 있다.

서로 다른 소스로부터의 다중 영상의 생성 및 처리에 따른 문제점중 하나는 잘 정의된 방법 또는 구조가 전혀 없다는 것이다. 종종 다중 소스의 발생 및 처리는 단일 처리 경로에 의해 서포트될 수 없는 성능 조절 기능을 가질 수도 있다. 예컨대, 풀 모션 비디오와 소나 디스플레이를 위한 갱신을 위해 실시간 요구 조건(the real time requirements for both full motion video and the updates for a sonar display)이 단일 처리 경로에 의해 달성될 수는 없다. 소나 디스플레이와 같이 많은 디스플레이 영상이 시간이 경과함에 따라 통합되기 때문에, 그들은 지속적인 처리를 요구한다. 이것은 상기 소나 디스플레이가 디스플레이될 수 없음을 암시하지만, 여전히 동일한 량의 처리를 요구한다.

게다가, 어떻게 이들 다중 생성 영상이 단일 디스플레이 영상으로 병합되어야만 하는지를 정의하기 위해 to define how these multiple generated images should be merge into a single display image) 적소에 정의된 방법 또는 구조가 전혀 존재하지 않는다. 전형적으로, 이들 영상은 순차적으로 디스플레이되거나, 서로다른 스크린 부분으로 할당되며, 또는 몇몇 경우에 있어서 서로 오버랩될 수도 있다. 상기 영상이 오버랩될 경우, 그들은 통상적으로 직사각형 영역으로 제한되고, "윈도우(windows)"로 지칭된다. 대부분의 경우에 있어서, 다중 영상 병합의 복잡성은 곧바로 시스템의 전체 그래픽 성능에 나쁜 영향을 미친다.

그러므로 다중 그래픽의 영상을 독립적으로 동시에 처리 및 디스플레이하는 구조 및 방법을 제공하는 것이 바람직하다.

또, 하나 이상의 영상이 제공될때 어느 비디오 영상의 픽셀이 디스플레이되는지 결정하는 방법을 갖는 것이 바람직하다.

그러므로, 본 발명의 목적은 다중 영상을 처리, 생성, 및 병합시키는 (for processing, generating and merging multiple images)구조 및 방법을 제공하는 것이다.

본 발명의 다른 목적은 시스템 성능에 나쁜 영향을 미치지 않고 픽셀 바이 픽셀에 기초하여(on a pixel by pixel basis) 영상을 병합시키는 구조 및 방법을 제공하는 것이다.

본 발명의 또다른 목적은 패럴 처리 경로에서(in parallel processing paths) 그래픽 영상을 처리하는 구조 및 방법을 제공하는 것이다.

이들 목적 및 분명한 다른 특징들이 그래픽 처리에 대한 모듈러 및 패럴 접근법(a modular and parallel approach to graphic processing)을 제공하는 비디오 삽입 처리 시스템(Video Insertion Processing system) ; VIPS) 구조에 의해 달성된다.

그래픽 모듈의 코어 세트를 사용함으로써 (Using a core set of graphic modules), 넓은 범위의 그래픽 처리 요구 조건이 만족될 수 있다. 독립적인 그래픽 경로를 서포트하는 능력을 제공함으로써, 부가된 그래픽 경로의 각 세트에 대해 성능이 N번 만큼 증가할 수 있다(the performance can increase by N times for each set of graphic paths added). 독립된 그래픽 경로의 사용은 또한 실시간 응답 조건을 만족시키기 위해 시스템을 증가시킨다. 상기 구조의 모듈러 특성은 요구된 바와 같은 쉬운 촉진을 허용한다(permits easy enhancement as required).

VIPS 구조에 대한 키는 다중 프레임 버퍼로부터의 영상을 단일 디스플레이 영상으로 병합시키는 능력이다. 최종 영상은 픽셀의 우선 순위에 기초한(based on the pixel's priority) 각 픽셀 소스 선택의 결과(a result of selecting each pixel source)이다. 이것은 형태 또는 사이즈에 무관한 영상 오버레이, 언더레이, 병합, 및 하이드 능력(the capability of image overlay, underlay, merge and hide)을 그래픽 시스템에 제공한다. 패럴 파이프라인형 접근법은 전체 시스템 성능을 저하시키지 않고 픽셀 바이 픽셀에 기초하여 서로다른 그래픽 경로로부터 생성된 다중 영상을 병합시키는 능력을 VIPS 구조에 제공한다.

본 발명의 양호한 실시예는 산업 표준 VME와 VSB 버스를 사용하는 컴퓨터 시스템으로 통합된다. VME와 VSB 버스를 기술하는 것은 본 발명의 범위를 벗어난 것이며, 추가 정보가 다음의 공보로부터 구해될 수 있다. 즉, 1985년 10월, 개정 C.1 VME 버스 명세 매뉴얼(VME bus Specification Manual)과 1986년 11월, 개정 C. VSB 명세 매뉴얼(VSB Specification Manual)로써, 이들은 모두 모토로라사로부터 유용하다. VME와 VSB 의 일차적 기능은 시스템간 통신에 사용될 수 있는 (which can be used for intersystem communication) 고속 데이터 전송 버스를 제공하는 것이다.

전형적인 그래픽 처리 시스템이 제1도에 도시된 블럭도에 표시된다. 그래픽 시스템(10)은 기능 블럭(12,14,16 및 18)에 의해 표시된 네개의 분리된 부분으로 분류된다. 호스트 프로세서(12)는 디스플레이 생성 경로로 그래픽 명령을 내리는 것에 대한 책임을 지며, 상기 경로는 블럭(14,16,18 및 19)을 포함한다. 상기 디스플레이 생성 경로로 그래픽 명령이 내려지는(at which the graphical commands will be issued to the display generation path) 레벨은 종속적인 응용이다(application dependent). 내려진 그래픽 명령은 GKS, PHIGS, 또는 베이직 그래픽 프리미티브(basic graphic primitives)와 같은 일반적으로 공지된 고급 디스플레이 언어로 (in a commonly known high order

display language) 나타낼 수 있다. 상기 호스트 프로세서(12)는 시스템의 전체 그래픽 흐름을 제어한다. 로딩 및 시스템 요구 조건에 의존하여, 단일 호스트 프로세서(12)는 다중 응용(multiple application)을 처리할 수 있으며, 또는 단일 응용을 처리할 수도 있다. 양호한 실시예에 있어서, 호스트 프로세서(12)는 CPU-3A 프로세서이며, 이것은 Radstone The Technologies로부터 상업적으로 이용 가능하다.

디스플레이 인터페이스 프로세서(14)는 호스트 프로세서(12)와 디스플레이 생성 경로사이의 인터페이스를 책임진다.

그것은 또한 디스플레이 생성 경로안의 하나 이상의 응용을 위한 명령어 처리를 책임질 수도 있다. 디스플레이 인터페이스 프로세서(14)는 상기 호스트 프로세서(12)로부터 그래픽 명령어를 해석한다. 이들 명령어에 응답하여, 그것은 전체 목적과 영상 통제 계산(images directed computations)을 실행한다. 이들 계산으로부터, 디스플레이 인터페이스 프로세서(14)는 디스플레이 메모리(16)안의 그래픽 영상을 갱신 및 조정한다. 그것은 또한 스크린 리프레쉬(screen refreshes)를 유지하도록 비데오 동기화 신호를 발생 또는 수신할 수 있다.

디스플레이 메모리(16)는 디스플레이 모니터(19)상에 디스플레이될 그래픽 영상의 모든 픽셀에 대한 값을 유지한다.

유지된 각 값의 범위는 디스플레이 메모리(16)의 깊이 "Z"에 따라 좌우될 것이다. 디스플레이 메모리의 깊이 Z는 그래픽 시스템 사이에서 변할 수 있다. 디스플레이 메모리의 깊이는 메모리가 서포트하는 비트 평면의 수이다. 각각의 비트 평면은 최소 상기 디스플레이 모니터(19)의 X,Y비트 차원을 갖는다(Each bit plane will have a minimum thr X, Y bit dimensions of the Display Monitor 19). 비트 평면안의 각 비트는 디스플레이 모니터상에 디스플레이된 영상의 일부분을 포함할 것이다. 각 픽셀에 대한 값은 디스플레이 메모리(16)의 Z차원을 따라 저장된다. 특정 X, Y비트 픽셀 값을 액세스하기 위해, 모든 비트 평면은 나란하게 액세스되며 각 평면안에 대응하는 X, Y비트 값을 구하거나 수정한다(obtaining or modifying the corresponding X, Y bit value in each plane). 제2도는 디스플레이 메모리(16)의 약도이다. 이 실시예에 있어서, X방향으로는 X픽셀이, Y방향으로는 Y픽셀이 존재하며(there are X pixels in the X direction, Y pixels in the direction), Z는 디스플레이 메모리의 깊이 또는 비트 평면의 수를 나타낸다.

제1도에 대해 언급한건데, 디지털-아날로그 변환기(DAC)(18)는 디스플레이 메모리(16)로부터 디지털 출력력을 취하기 위한 논리로 구성되며(the Digital to Analog Converter(DAC)18, consists of the logic to take the digital output from the Display Memory 16) 이들 디지털 입력을 디스플레이 모니터(19)를 구동할 적색, 녹색 및 청색 아날로그 신호로 변환시킨다. 상기 DAC(18)는 또한 시스템에 대한 비데오 타이밍을 구동할 수도 있다.

비데오 삽입 처리 시스템에 대한 기본 구조가 제3도에 도시된다. 상기 호스트 프로세서(12)는 디스플레이 생성 경로안에 하나이상의 디스플레이 인터페이스 프로세서(14)에 그래픽 명령을 내리는 책임을 진다. 상기 디스플레이 생성 경로에 대한 인터페이스는 VSB버스(302)에 걸쳐 존재하며(The interface to the display generation path is over VSB bus 302), 상기 버스는 호스트 프로세서(12)와 디스플레이 생성 경로 사이에 전용 버스(a private bus)를 제공한다. 이 버스상에 생성된 트래픽(the traffic generated on this bus)은 VME 버스(304)상의 버스 트래픽에 의해 영향을 받지 않을 수도 있고 받을 수도 있다. 상기 VSB버스(302)는 각 VSB버스 상에서의 다중 마스터를 허용한다. VIPS에 있어서, 상기 호스트 프로세서(12) 성능은 비교적 높은 성능의 모듈로 대체하거나 나란히 다른 프로세서를 부가함으로써 (by either emplacement with a higher performance module or the addition of additional processors in parallel)증가될 수 있다.

상술된 바와 같이, 디스플레이 인터페이스 프로세서(14)는 시스템에 프로그램가능 그래픽 엔진을 제공한다. 그것은 상기 VSB버스(302)를 거쳐 호스트로부터 명령을 수신한다. 디스플레이 인터페이스 프로세서(DIP)(14)는 이들 호스트 명령을 해석, 실행하고 그것에 응답한다. 이들 명령으로부터, DIP(14)는 디스플레이 메모리에 보유된 디지털 영상을 갱신 및 조정할 것이다. 상기 시스템에는 이 시스템 요구 조건에 따라 좌우되는 다중 DIP 모듈(14)이 존재할 수도 있다. 상기 DIP 설계는 또한 다중 디스플레이 메모리를 서포트한다. 디스플레이 메모리안에 영상을 갱신하고 조정하는 것 이외에 DIP(14)는 디지털-아날로그 변환기(18)에 의해 생성된 시스템 비데오 타이밍에 기초한 외부 비데오 동기화를 유지한다.

프레임 삽입 버퍼(FIB) 모듈(310)은 VIPS의 디스플레이 생성 경로에 대해 디스플레이 메모리(16)로써 기능한다. 시스템 안의 FIB 모듈(310)수는 응용 요구조건(Application requirements) 및 각 FIB(310) 모듈상에 제공된 메모리 량에 따라 좌우된다. 상기 FIB (310)에 대한 최소 요구 조건은 디스플레이 모니터(19)상의 모든 픽셀에 대한 값을 발생시키는 것이다(제1도).

상기 FIB(310)는 두개의 인터페이스를 제공한다. 제1인터페이스는 FIB(310)를 액세스하기위해 DIP 모듈에 대한 경로를 제공하도록 (to provide a path for the DIP module to access the FIB 310) DIP(14)로부터의 액세스를 서포트한다. 제2인터페이스는 DAC(18)를 경유하여 디스플레이 모니터(19)의 스크린 리프레쉬를 서포트하는데 사용된다.

디지털-아날로그 변환기(18)는 전체 시스템에 대해 비데오 타이밍을 발생시킨다. 이 타이밍으로부터, 스크린 리프레쉬동안 사용된 정보를 발생시키는데 관련된 디스플레이 생성 경로안의 모든 소자가 동기화에 관련된다(From this timing, all elements in the display generation path involved in generating the information used during screen refresh are kept in synchronization). 스크린 리프레쉬동안, DAC(18)는 디스플레이될 영상을 나타내는 디지털 픽셀 데이터의 스트림을 수신한다. 디지털 픽셀 데이터의 스트림은 시스템안의 모든 FIBs조합의 결과이다. 수신된 각각의 픽셀은 상당수의 비트 딥(bit deep)이 될 것이다. 이 값은 디스플레이 모니터에 대해 적색, 녹색 및 청색 아날로그 신호를 발생시키는데 사용될 세개의 조명도 레벨(intensity levels)로 변환되어야만 한다. 이것은 칼라 순량표 또는 CLT를 통해 픽셀값을 통과시키므로써 이루어지며, 기

본적으로 세개의 랜덤 액세스 메모리(RAM)이다. 세개의 RAMs은 각각 적색, 녹색 또는 청색 아날로그 신호중 하나에 관련된다(Each of the three RAMs is dedicated to either the red, green or blue analog signals). 조명도 변환후, 이들 값은 아날로그 신호를 발생시키기 위해 DAC에 의해 사용된다. 상기 DAC(18)는 임의의 호스트 프로세서(12)에 의해 액세스될 수 있도록 VME 버스(304)와 통신한다.

많은 응용에 있어서, 이중 버퍼링이 명멸(flicker)을 제거하는데 요구된다. 명멸은 모니터에서 디스플레이되는 영상 안에 많은 수의 픽셀값이 이동하게 될때 발생할 수 있다. 이중 버퍼링은 또한 모니터 영상안의 순간 변화를 시뮬레이트 하는데 사용된다. 실례로써, 제4도에서 현재 맵 영상(map image)이 FIB #1 400안에 존재하고, 모니터상에 디스플레이된다.

상기 맵 영상은 모니터의 전체 스크린 크기를 사용하며, FIB(400)의 전체 깊이를 요구한다. 그때 호스트(12)는 새 위치로 맵을 스크롤 다운할 것을 명령한다. 많은 양의 데이터로 인해, DIP(14)가 FIB #1 400안의 영상을 수정하려 할 경우(if the DIP(14) tried to modify the image within FIB #1 400), 모니터상의 영상은 적절하게 명멸을 나타나게 될 것이다. DIP(14)가 우선적으로 FIB #2 402에 안에 새로운 맵 영상을 만들고 모니터 입력을 FIB #1 400으로부터 FIB #2 402로 스위칭할 경우, 모니터 상의 갱신이 순간적으로 나타나게 될 것이다. 이것은 DAC(18)가 영상을 발생시킬때 사용하는 FIB가 어느것인지를 선택할 수 있도록 디스플레이 생성 경로를 요구한다.

예컨대, 맵 영상의 정상에 목표 정보를 디스플레이 할 것(to display target information)을 요구하게 되고, FIB의 전체 깊이를 취하게 될 경우, 다른 FIB 모듈(404)이 제5도에 도시된 바와 같이 목표 정보를 유지하는데 필요하게 된다. 스크린 리프레쉬 타임에서, 시스템은 단일 영상을 창출하도록 액티브 맵 영상 및 목표 정보를 선택해야만 한다. 맵 영상사이의 선택이 FIB에 기초하여 실행되는 반면에, 목표 영상 및 맵 영상 사이의 선택은 픽셀 바이 픽셀에 기초하여(on a pixel by pixel basis) 이루어져야만 한다. 목표 위치가 지속적으로 갱신/이동되기 때문에, 맵 영상 또는 목표 영상사이의 픽셀 선택은 스크린 리프레쉬 싸이클 동안 발생해야만 한다. FIB #3 404 안의 픽셀이 제로에 일치할 경우, 맵 영상안의 대응 픽셀이 디스플레이되어야만 한다.

FIB #3 안의 픽셀이 제로에 일치하지 않을 경우, 목표 영상으로부터의 픽셀이 디스플레이되어야만 한다. 앞서 언급된 바와 같이, 이 응용은 맵 영상에 대한 프레임 버퍼 선택과 목표 정보를 포함하도록 픽셀 바이 픽셀 병합을 실행하기 위한 병합을 요구한다(As mentioned before, this application requires a merge to perform both a frame buffer selection for the map image and a pixel by pixel merge to include the target information).

영상 병합 과정이 아래에 기술될 것이다. 몇몇 응용에 있어서, 단일 FIB는 비파괴적인 방식으로 원하는 영상을 서포트 하기에 충분한 비트 평면을 제공하지 않을 수도 있다. 이것이 발생할때, 상기 영상은 픽셀 바이 픽셀이 기초하여 결정되어야만 한다. 이전 실례에 있어서, 목표 정보를 가진 한 FIB 버퍼는 항상 맵 영상을 포함한 다른 FIBs를 오버레이한다. 영상을 중첩시키고 언더레이시키는 것은 두개의 FIB 출력의 병합동안 픽셀 선택이 픽셀 바이 픽셀에 기초하여 실행될 것을 요구한다.

게다가, 픽셀 선택에 대한 기초는 픽셀의 값이 상술된 간단한 오버레이 실례에서와 같이 제로에 일치하는지 여부를 체크하는 것까지 연장되어야 한다(the basis for pixel selection must extend beyond checking if the value of a pixel is equal to zero). 이것을 액세스하는 한 방법은 영상안의 각 픽셀에 대해 우선 순위를 할당하는 것이다. 그때 우선 순위 값은 디스플레이 모니터상에 디스플레이 될 픽셀이 어느 것인지를 결정하는데(to determine which pixels will be displayed on the Display Monitor)사용된다. 상기 우선 순위값을 할당하려는 알고리즘(the algorithm to assign the priority values)은 FIB 모듈의 특별한 응용 및 설계에 따라 좌우된다.

제6도에 도시된 바와 같이, 각각의 FIB 모듈(803)은 프레임 버퍼(804), 국부 영상 버퍼(805), 픽셀 병합 버퍼(806), 우선 순위 할당 버퍼(807), 픽셀 출력 인터페이스(800), 및 픽셀 입력 인터페이스(802)를 포함한다. 병합 시퀀스동안, 각 국부 영상을 위한 특정(X,Y) 위치에 대한 각 픽셀의 우선 순위가 비교될 것이다. 특정(X,Y)위치에 대해, 가장 높은 우선순위 값을 가진 픽셀이 비교적 낮은 우선 순위를 가진 모든 픽셀을 오버레이 할 수 있으며(the pixel with the highest priority value could overlay all pixels with a lower priority), 디스플레이 모니터상에 디스플레이 될 수 있다. 서로다른 두개의 국부 영상(805) 안의 동일한 (X,Y) 위치에 있는 두 픽셀이 동일한 우선 순위를 가질 경우, DAC에 가까운 FIB모듈상에 포함된 국부 영상이 디스플레이 된다.

앞서 언급된 바와 같이, 몇몇 지점에서 다중 FIB 모듈로부터의 국부 영상이 병합되어야만 한다. FIB 모듈수가 증가함에 따라, 병합은 더욱 복잡해진다. 분명히, 단일 지점에서 8 FIB 시스템의 병합을 실행하기 위한 1/0량과 논리가 난점이 될 것이다. VIPS 구조는 국부 영상을 함께 병합시키는 유일한 방법을 제공한다. VIPS는 FIB 모듈 각각에 대한 병합을 분류한다. 각각의 FIB 모듈에서, FIB는 그것의 국부 영상(805)과 픽셀 입력 인터페이스(802)로부터 인입 외부 영상사이에 병합을 실행할 것이다. 상기 인입 외부 영상은 높이, 폭 깊이에 있어서 국부 영상에 일치한다. 그것은 국부 영상과 비슷한 각 픽셀에 할당된 우선 순위를 갖는다. 상기 FIB는 종속된 응용인(that is application dependent) 알고리즘에 따라 국부 영상(805)으로부터의 픽셀(X, Y)의 우선 순위를 인입 외부 영상 픽셀(X, Y)의 우선 순위와 비교할 것이다. 선택된 픽셀의 조합 및 그들의 조합된 우선순위(The combination of the pixels selected and their associated priorities)는 국부 영상 높이, 폭 및 깊이에 일치하는 출력 외부 영상을 생성시키도록 결합될 것이다. 상기 외부 영상은 픽셀 병합 버퍼(806)에 저장된다.

VIPS 병합 시퀀스는 제2도를 참조하여 기술될 것이다. 스크린 리프레쉬 초기에, 가장 높은 ID(900)를 가진 FIB는 그것의 국부 영상을 완전히 시프트시키는 것으로 시작한다. 이 국부 영상은 그것이 다음 FIB(902)로 통과하게 될때 완전한 상태를 유지하며(This local image will remain intact when it is passed to the next FIB 902), 그에 따라 그것의 인입 외부 영상이 디스에이بل 된다. 상기 FIB(902)는 그것의 국부 영상을 FIB(900)로부터의 인입 외부 영상과 병합한다. 그것이 FIB(900)으로

부터 FIB(902)로 픽셀 데이터, 즉 국부 영상을 전달하도록 두개의 클럭 사이클을 취한다고 가정하자. FIB(900)와 FIB(902)가 동시에 픽셀 데이터의 완전한 시프트를 시작할 경우(If FIB 900 and 902 begin shifting pixel data out at the same time), FIB(900)의 픽셀(X, Y+Z)은 FIB(902)의 픽셀(X, Y)에 비교된다. 상기 비교를 실행하도록 각 FIB에서 초래된 두 클럭 사이클 지연으로 인해, 각 FIB는 많은 클럭 사이클만큼 그것의 국부 영상 생성을 지연시켜야만 한다. 8 FIB 시스템에 대해, 지연은 $(7-FIB\ ID) \times 2$ 에 일치한다. 이 지연을 실행함으로써, 각각의 FIB는 그것의 국부 영상의 픽셀(X, Y)을 인입 외부 영상의 픽셀(X, Y)과 병합할 것이다.

한 가능 병합 과정의 실례로써, 윈도우 영상 #2을 오버레이하는(which overlays window image #2) 윈도우 영상 #1과 조합된 모든 픽셀이 가장 높은 우선 순위로 할당될 것이다. 윈도우 영상 #2이 윈도우 영상 #1을 오버레이하도록 순차적으로 요구될 경우, 윈도우 영상 #2의 우선 순위는 증가될 것이며 윈도우 #1의 우선 순위는 감소될 것이다. 스크린 리프레쉬 동안, 윈도우 영상 #2으로부터의 픽셀이 윈도우 영상 #1으로부터의 픽셀을 거쳐 선택될 것이다. 모든 영상에 있어서 배경 또는 사용되지 않은 픽셀에 우선 순위 레벨이 할당되어야만 한다. 이들 픽셀은 오버레이 조직안에서 (in the overlay scheme) 가장 낮은 우선 순위로 할당되어야 한다. 이것은 두 윈도우 영상의 모든 액티브 픽셀이 디스플레이되도록 허용할 것이다.

특정한 응용에 있어서 영상이 숨겨져야 할 경우 (If for a particular application an image is to be thidden), 영상의 우선 순위는 다른 FIB 모듈의 배경 영상의 우선 순위 아래로 떨어질 수 있다. 이것은 다른 FIB 모듈의 배경 영상으로 하여금 숨겨질 영상을 오버레이하게 할 것이다(to overlay the image to be hidden).

상술된 병합 기술을 사용하는 최종 스크린 리프레쉬는 우선 순위 조직에 기초한 픽셀 바이 픽셀에 기초하여(on a pixel by pixel basis based on a priority scheme) FIB 모듈의 출력 병합으로 구성된다. 우선 순위 값을 FIB안의 각 픽셀에 할당함으로써, 병합이 어느 FIB에 영상이 위치하게 되는지 여부와 무관하게 영상이 다른 영상을 오버레이 및 언더레이 할 것을 허용한다. 우선 순위가 각각 다른 픽셀로 할당되게 하므로써(By allowing priority to be assigned to each individual pixel), 영상이 단일 커서 또는 라인으로 여겨질 수 있으며 또는 전체 프레임 버퍼일 수도 있다.

VIPS 구조의 많은 시스템 양상은 매우 종속적인 응용이다(Many system aspects of the VIPS architecture are highly application dependent). FIB의 양, 요구된 우선 순위 레벨의 수 및 디스플레이 메모리의 양이 각 FIB에 사용된다. 임의의 FIB 상에 포함된 디스플레이 메모리의 양은 제한되지 않는다. 한편, FIB는 높이, 폭 및 픽셀 깊이에 있어서의 시스템 스크린 해상도 파라미터를 서포트하는 국부 영상을 창출할 수 있어야만 한다. 사실상 국부 영상은 스크린 리프레쉬동안 발생하는 디지털 픽셀 비트 스트림이다. 상기 픽셀 데이터는 M 라인안의 프레임 버퍼로부터 시프트되며 이때 M은 디스플레이 모니터상의 가시선의 수이다(where M is the number of visible lines on the display monitor). 각 라인의 N 칼럼으로 이루어질 것이며 이때 N은 디스플레이 모니터상의 가시 칼럼의 수이다. 픽셀 값은 상기 디스플레이 모니터상의 모든 MXN 픽셀 위치에 대해 생성되어야만 한다. 이 픽셀 비트 스트림 또는 그것으로 지칭되는 국부 영상은, 대부분의 그래픽 시스템에 있어서, RAMDAC 또는 D/A 컨버터로 진행하게 될 것이다(This pixel bit stream of local image as it will be referred is what would normally, in most graphic systems, go directly to the RAMDAC or D/A convertor).

단일 FIB 구조에 있어서, 출력 외부 영상은 D/A 변환을 위해 바로 DAC 모듈(18)로 통과하게 될 것이다. 상기 인입 외부 영상은 제로가 되거나 디스에이블될 것이다. 그러므로, 전체 국부 영상은 디스플레이를 위해 DAC 모듈로 통과하게 될 것이다. 추가된 FIB(780)가 제6도에 도시된 바와같은 시스템에 추가될 경우, 그것의 출력 외부 영상(782)은 오리지널 FIB(803)의 인입 외부 영상(802)으로 공급될 것이다. 추가된 FIB's가 추가될 경우, 그들은 동일한 방법으로 연결될 것이다. FIB 자체는 FIB's 국부 영상(805)을 인입 외부 영상과 병합시키고 DAC 또는 다른 FIB 모듈로 통과하게될 최종 영상을 출력하기 위해 필요한 하드웨어를 공급한다. 우선 순위의 적절한 사용으로, FIB의 위치는 시스템의 오버레이/언더레이 조직에서의(in the overlay/underlay scheme of the system) 그것의 국부 영상 위치를 제한하지는 않는다.

DAC가 국부 영상 발생이 나타나때 즉 픽셀 데이터의 시프팅을 제어하기 때문에, 시스템안에서의 FIBs의 최대 수를 알아야만 한다. DAC가 클럭 사이클 T에서 국부 영상 수신을 시작할 것을 요구할 경우(If DAC requires to start receiving the local image at lock cycle T), 클럭 사이클 T-(2MAX+2)에서 국부 영상의 발생을 요청해야만 하며, 이때 MAX 는 시스템안에서 FIBs의 최대 #이다. 이것은 국부 영상으로 하여금 FIB 모듈 각각을 통해 흐르게 하는데 충분한 시간을 허용할 것이다. VIPS 시스템으로 하여금 적절하게 실행하게 하기 위해서, 시스템안에서 가능한 최대 FIBs 수를 좁힐 필요는 없다(it is not necessary to have populated the maximum number of FIBs possible in the system). 한편, FIB's IDs는 가장 낮은 것으로 시작하고 진행하여야 한다. 예컨대 시스템을 위해 정의된 FIBs의 최대수는 8이고 FIBs의 조밀수(the populated number of FIBs)는 6이며, 상기 조밀 FIBs를 위한 IDs는 0에서 5까지의 범위에 존재해야만 한다. FIB IDs는 또한 지속적인 것이어야 하고 분할될 수 없다. 이 특징은 체인의 끝에서 발생하는 모든 부가 또는 삭제로 FIBs가 체인으로부터 부가 또는 삭제되게 해준다.

DAC 및 모든 FIBs중 최소한 일부분은 싱크(sync) 상태를 유지해야만 한다. DAC와 함께 싱크 상태를 유지해야만 하는 FIB의 부분은 국부 영상을 발생시키고 그것과 인입 외부 영상을 병합시키는 논리여야 한다. 그러나 FIB's 프레임 버퍼를 갱신 및 수정하는 DIP가 DAC와 동기 상태를 유지할 것을 요구하지는 않는다. 프레임 버퍼상에서 이들 비동기 조건 모두를 서포트 하기 위해, VRAMs이 프레임 버퍼를 수행시키는데 사용된다. VRAMs은 이중 포트 디바이스로 여겨질 수 있다. 그것은 DRAM 인터페이스 및 연속 데이터 레지스터 인터페이스로 구성된다. 상기 VRAM은 연속 데이터 레지스터 전,후로의 DRAM안의 임의의 열 사이 데이터의 전달을 허용한다. 한번 데이터가 연속 데이터 레지스터로 전달되면, DRAM 인터페이스 및 연속 데이터 레지스터 인터페이스는 서로 동시에 비동기적으로 액세스될 수

있다. 이것은 영상 발생 논리가 연속 데이터 레지스터 인터페이스를 액세스하는 동시에 DIP 모듈로 하여금 DRAM 인터페이스를 액세스하게 한다(This allows the DIP module to access the DRAM interface at the same time local image generation logic is accessing the serial register interface).

DIP 프로세서가 DAC와 싱크 상태를 유지할 필요가 없을지라도(Although the DIP processor does not have to remain in sync with the DAC), 적절한 시간에 연속 데이터 레지스터 전달에 대해 DRAM을 초기화시킬 책임이 있다. 이들 전달을 적절하게 실행하도록 하기 위해, DIP's 그래픽 프로세서는 디스플레이 CRT's 타이밍에 기초하는 HSYNC, VSYNC 및 비디오 클럭 신호를 모니터해야만 한다. 상기 FIB 모듈은 DAC 모듈로부터 이들 신호를 수신할 것이다. 상기 FIB는 이들 신호를 상술된 바와같이 FIB 모듈에 기초한 많은 수의 클럭 싸이클 만큼 지연시키며 그들을 DIP 모듈로 통과시킨다.

DAC 모듈로 통과하게되는 최종 영상은 각 FIB 모듈로부터의 모든 국부 영상의 조합이다. 최종 영상 안에 정의된 픽셀 값은 디스플레이 모니터로 통과된 RGB 비디오 신호를 발생시키는데 사용된다. 그러므로, 국부 영상을 발생시킴에 있어서, 모든 FIB 모듈은 디지털 픽셀 값을 아날로그 신호로 변환시키기 위해 동일한 칼라 테이블을 사용해야만 한다. 다시말해, FIB #1 및 FIB #2가 적색을 디스플레이하길 원할 경우, 국부 영상안의 픽셀 값은 양 FIBs에 대해 동일한 값이어야 한다. 오늘날 유용한 많은 D/A 컨버터에 있어서, 칼라 순량표(CLT)는 적색, 청색 및 녹색 아날로그 신호에 대한 픽셀 값을 각각의 칼라 조명도로 변화시키기 위해 존재한다. 이것은 최종 영상 픽셀 값과 디스플레이 모니터에서 보여지는 실제 칼라 사이의 단일 변동을 허용한다. 8비트 덩 픽셀에 기초한 국부 영상을 발생시키는 시스템은 유용한 256칼라를 제공할 것이다. 이 8비트 값이 RAMDAC를 통해 통과됨에 따라, 그것은 세개의 분리된 CLTs를 통해 세개의 8비트 값으로 변동된다. 이들 세개의 8비트 값은 적색, 녹색 및 청색 아날로그 신호를 발생시키도록 세개의 D/A 컨버터를 구동할 것이다.

FIB가 그것의 프레임 버퍼안에 8비트 평면을 포함한다고 가정했을 경우, 1비트 평면은 커서로 사용되며 다른 7비트 평면은 데이터로 사용된다. 한 비트가 커서 비트 평면안에서 액티브상태일 경우, 다른 7비트는 반드시 "don't cares"가 된다. 이것은 8비트 평면으로 가능한 256칼라 값중에서 단지 129칼라 값이 발생될 것임을 의미한다. 이것은 커서 비트 평면이 인액티브 상태일때 데이터 영상에 대한 다른 7비트 평면 및 128 칼라와 무관한 커서에 대한 단일 칼라를 나타낸다(This assumes a single color for the cursor independent of the other 7 bit planes, and 128 colors for the data image when the cursor bit plane is inactive). 이 패턴을 실제 칼라 값으로 변환시키는 것은 RAMDAC 안의 DAC에서 이루어질 수 있으나, 이것은 시스템 이용가능 칼라를 129로 제한하게 된다. 동일한 시스템안의 서로 다른 FIB에 있어서 두영상이 각각 4비트 평면을 사용하는 단일 프레임 버퍼안에 유지되고 RAMDAC가 상기 픽셀 값을 실제 칼라 값으로 변환시키는데 사용될 경우, 커서 및 데이터 영상을 가진 FIB와 동일한 4비트 영상을 가진 FIB 사이의 칼라 변동에 있어서 저촉이 존재하게 될 것이다(there will be a conflict in the color translation between the FIB with the cursor and data image and the FIB with the equal 4 bit image).

CLT 접근법과 같이 비용이 많이 들지 않는 다른 접근법이 취해질 수 있지만, 그다지 유용적이지도 않고 일반적인 것도 못된다. 예컨대, 7비트 영상 및 1비트 커서를 모두 보유하는 FIB 경우를 가정해 보자(assume the case of the FIB which maintains both a 7 bit image and a 1 bit cursor). 비교적 작은 7비트가 커서의 칼라에 나쁜 영향을 미치지 않기 때문에, 오리지널 8비트를 통과하는 대신, 고정된 8비트 패턴이 원하는 커서 칼라를 나타내도록 강요받을 수 있다. 이것은 여전히 특별한 FIB로 하여금 가능한 129칼라를 발생시키도록 제한하지만, 유용한 시스템 칼라수를 256에 유지하도록 허용하게 될 것이다. 이것은 RAMDAC로부터의 특정 응용의 칼라 변동을 이 응용을 서포트하는 FIB로 이동시킨다.

우선 순위를 국부 영상안의 각 픽셀로 할당하도록 하는 알고리즘 및 국부 영상의 발생 또한 매우 중요한 응용이다(Generation of the local image and the algorithms to assign priorities to each pixel in the local image is also highly application dependent). 한 방법은 프레임 버퍼안의 전체 윈도우 또는 액티브 영상에 한 단일 우선 순위를 할당하는 것이다. 프레임 버퍼의 배경 또는 사용되지 않는 부분은 서로 다른 우선 순위로 세트될 수 있다. 기본 알고리즘은 다음과 같다. 즉, 픽셀 값이 제로일 경우, 픽셀에 배경 우선 순위가 할당된다(The basic algorithm is if the pixel value is zero, the pixel is assigned the background priority). 픽셀 값이 제로가 아닐 경우, 이 픽셀에는 프레임 버퍼 우선 순위가 할당된다. 이것은 실예를 통해, 단일 FIB로부터의 국부 영상이 단지 두 우선 순위 레벨을 가질 수 있음을 암시한다. 대부분의 응용에 있어서, 이것은 적합해질 수 있다.

그래픽 처리 능력 및 속도를 증가시킬 필요가 있을 경우, 상기 구조는 제8도에 도시된 바와같이 제2 디스플레이 인터페이스 프로세서(600)로 수행될 수 있다. 이것은 상기 응용이 분리된 처리과정동안 분할될 수 있는 한 시스템의 그래픽 처리 능력을 두배로 할 수 있다. 두개의 서로 다른 FIB's(400 및 402)의 병합 또한 우선 순위 조직으로 처리될 것이다(The merging of the different FIB's 400 and 402 would also be handled with the priority scheme).

상기 구조에 대해 달리 추가되는 것은 제9도에 도시되는 바와같이 디지털 변환에 대한 NTSC(Standard Broadcast Video)일 수 있다. 이것은 특정 목표의 가시적 접촉에 사용되어야 한다(This might be used for a visual contact of a particular target). 디지털 변환에 대한 NTSC는 실시간 갱신 요구 조건을 만족시키도록 종속된 그래픽 처리를 요구한다. 비디오 입력(700)에 기초한 디지털 영상은 종속된 프레임 버퍼(702)안에 어셈블리될 것이다. 디지털화된 영상이 시스템안의 다른 그래픽 처리에 의해 악 영향을 받거나 주지않고, 지속적으로 갱신되기 때문에, 디지털화된 영상을 디스플레이 시키는데 요구되는 어셈블리 시간이 존재하지 않게 된다. 상기 디지털화된 영상은 그것의 할당된 우선 순위에 따라 즉시 나타나거나 사라진다.

시뮬레이션 단계에 있어서는, 256레벨을 Z차원안에 유지하는 것이 바람직하다(it may be desirable to maintain 256 levels in the Z dimension). 예컨대, 탱크(tank)는 점진적으로 숲을 통과하는 것

으로 나타날 수 있다. 상기 숲 또는 랜드스케이프(landscape)는 그것의 깊이 위치에 의존하여 (dependign on its depth position) 서로다른 우선 순위를 가진 랜드스케이프안의 각 영상으로 한 프레임 버퍼안에 나타날 것이다. 상기 탱크 영상은 다른 프레임 버퍼안에 유지될 수 있다. 상기 탱크 영상은 탱크의 상대적 깊이 위치에 따라(depending on relative depth location of the tank) 그것의 우선 순위를 변화시킬 것이다. 이것은 랜드스케이프 영상을 유지하는 FIB가 0에서 255의 범위의 픽셀 우선 순위를 가진 국부 영상을 발생시킬 수 있음을 암시한다. 상기 두 방법은 두개의 극단적인 경우로 간주될 수 있다. VIPS's 유동성의 이점을 가질 수 있는 여러 중립적인 경우가 존재한다.

FIB 모듈에 의해 서포트되는 다른 특징은 패스-쓰루 모드(Pass-Thru mode)이다. 이것은 FIB 모듈로 하여금 그것의 국부 영상이 인입 외부 영상과 병합되지 못하게 해준다. 상기 인입 외부 영상은 수정되지 않고 FIB 모듈을 통과할 것이다. 이 추가된 특징은 이중 버퍼링시 매우 유용하다. 이 특징을 사용함으로써, 그것은 시스템에 필요한 우선 순위 레벨수에 따른 요구조건을 감소시킨다. 그것이 또한 영상이 숨겨지는 것을 허용해주는 동안 그래픽 프로세서는 프레임 버퍼안에 영상을 형성한다. 영상은 완전해진후, 즉각적으로 디스플레이 모니터링상에 나타날 수 있다.

VIPS가 제공하는 다른 이점은 디스플레이 생성 경로의 성능에 악영향을 주지않고 몇몇 또는 모든 디스플레이된 영상을 저장하는 방법으로, 종종 투명 하드 카피(THC)로 지칭된다. THC 모듈은 DAC(18)로써 디지털 픽셀 데이터의 동일한 스트림을 수신할 것이다. 이 디지털 데이터의 스트림은 시스템 모니터상에 디스플레이되는 실제 영상을 나타낸다. 스크린이 리프레쉬됨에 따라, 상기 THC는 차후 호스트 프로세서에 의해 판독되도록 픽셀 데이터를 메모리에 순차적으로 저장할 수 있다. DAC CLT에서 실행된 임의의 변동을 보상하기 위해, 상기 CLT가 사용될 THC에 부가될 수 있는 반면 데이터를 THC 상의 RAM에 저장시킬 수 있다. THC는 그것이 다시 인에이블될때까지 단일 프레임을 포착하기 위한 인에이블 신호를 갖게 될 것이다. 그때 상기 호스트 프로세서는 영상을 판독하도록 VME 버스를 거쳐 THC 모듈을 액세스할 수 있다. 하드 카피를 위한 디지털 기술의 사용은 에러 발생율을 감소시킨다.

본 발명은 양호한 실시예를 참조하여 기술되었으나, 본 발명의 정신 및 범위를 벗어나지 않고 여러 변경이 이루어질 수 있다는 사실이 본 기술에 숙련된 사람들에게 의해 이해될 것이다. 본 발명의 모듈러 및 유동적 특징은 특별한 요구 조건을 만족시키기 위해 서로 다른 구조를 허용한다. 따라서, 본 발명의 범위는 단지 첨부된 특허청구 범위에 제안된 바에 따라서만 제한될 것이다.

(57) 청구의 범위

청구항 1

다중 그래픽 응용을 단일 비디오 디스플레이상에 통합시키기 위한(for integratng multiple graphic applications onto a single video display) 비디오 처리 시스템으로써, 사상(events)에 기초한 디스플레이 인터페이스 프로세서에 대해 제어 명령을 내리기 위한(for issuing control commands to an display interface processor) 호스트 프로세서 수단과, 비디오 동기화를 유지하기 위한(for maintaining video synchronization) 디스플레이 인터페이스 프로세서 수단과, 상기 비디오 처리 시스템에 디스플레이 메모리를 제공하고 픽셀 바이 픽셀에 기초하여 영상을 병합시키기 위한(for merging images on a pixel by pixel basis) 프레임 삽입 버퍼 수단, 및 디스플레이될 비디오 영상을 나타내는 픽셀 바이 데이터(the pixel by pixel data)를 디스플레이 구동을 위해(to drive a display) 아날로그 신호로 변환시키기 위한 디지털-아날로그 변환 수단을 포함하는 것을 특징으로 하는 비디오 처리 시스템.

청구항 2

제1항에 있어서, 다수의 소스로부터 사상을 수신하기 위한 다수의 호스트 프로세서 수단을 포함하는 것을 특징으로 하는 비디오 처리 시스템.

청구항 3

제1항에 있어서, 다수의 영상을 나타내는 데이터를 저장하기 위한 다수의 프레임 삽입 버퍼를 포함하는 것을 특징으로 하는 비디오 처리 시스템.

청구항 4

제1항에 있어서, 비디오 동기화를 유지하기 위한 다수의 디스플레이 인터페이스 프로세서 수단을 포함하는 것을 특징으로 하는 비디오 처리 시스템.

청구항 5

제4항에 있어서, 다수의 영상을 나타내는 데이터를 저장하기 위한 다수의 프레임 삽입 버퍼를 포함하는 것을 특징으로 하는 비디오 처리 시스템.

청구항 6

제5항에 있어서, 프레임 삽입 버퍼 각각에 있어서 데이터의 픽셀 바이 픽셀 병합(a pixel by pixel merge)을 실행하기 위한 수단을 포함하는 것을 특징으로 하는 비디오 처리 시스템.

청구항 7

N프레임 삽입 버퍼안에 저장된 N영상을 나타내는 데이터를 병합하는 방법으로써, 국부 영상(local image)을 각각 발생시키는 N프레임 삽입 버퍼를 제공하는 단계와, 각각의 국부 영상 버퍼안의 각 픽셀에 우선 순위 넘버 1-N를 할당하는 단계와, N번째 프레임 버퍼(the Nth frame buffer)로부터 N-

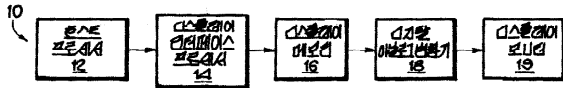
1번째 프레임 버퍼로 국부 영상을 통과시키는 단계와, 픽셀 바이 픽셀에 기초하여 N-1번째 프레임 버퍼안의 국부 영상 데이터와 N번째 프레임 버퍼로부터의 국부 영상 데이터의 우선 순위를 비교하는 단계와, 우선 순위 알고리즘(a priority algorithm)에 기초한 2프레임 버퍼로부터 상기 국부 영상 데이터를 병합시키는 단계와, 상기 병합된 데이터(the merged data)를 다음 프레임 버퍼에 대해 분류하는 단계, 및 상기 모든 프레임 버퍼안의 모든 데이터가 병합될때까지(until all of the data in all of the frame buffers have been merged), 상기 비교, 병합, 및 분류 단계를 반복하는 단계를 포함하는 것을 특징으로 하는 병합 방법.

청구항 8

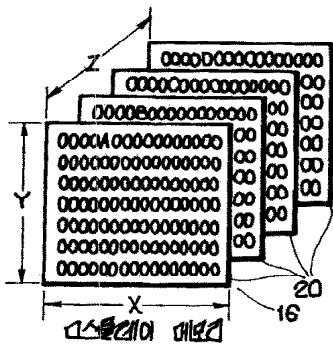
제7항에 있어서, 상기 비교적 단계가 상기 프레임 버퍼안의 각각의 행 및 열에 각 픽셀의 우선 순위의 픽셀 바이 픽셀 비교(a pixel by pixel comparison of the priority of each pixel in each row and column in the frame buffer)를 포함하는 것을 특징으로 하는 데이터 병합 방법.

도면

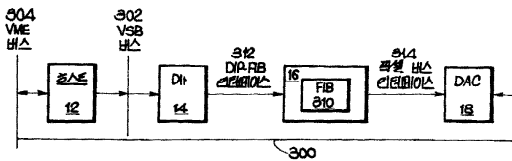
도면1



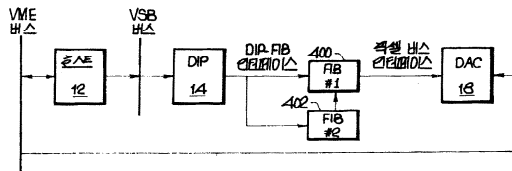
도면2



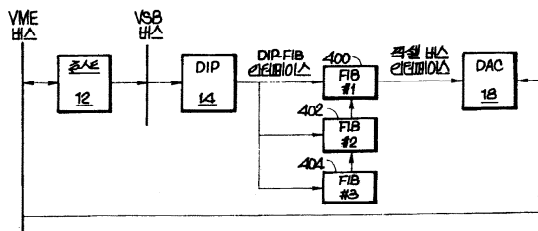
도면3



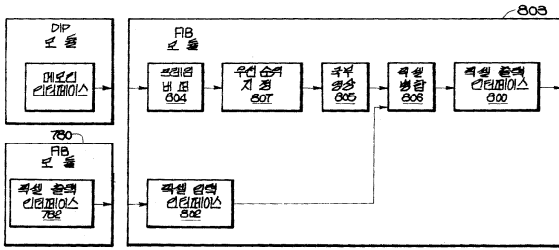
도면4



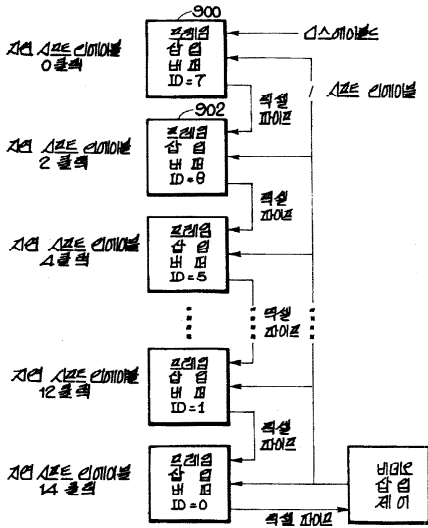
도면5



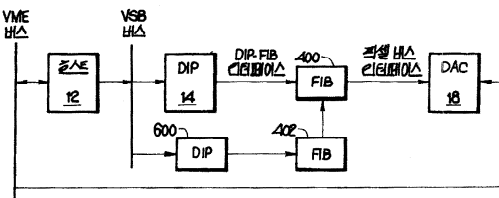
도면6



도면7



도면8



도면9

