(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)公開番号
特開2024-168221
(P2024-168221A)
(43)公開日　令和6年12月5日(2024.12.5)

(51)国際特許分類		FI			テーマコード（参考）
H01L 25/07 (2006.01)		H01L	25/04	C	5H770
H02M 7/48 (2007.01)		H02M	7/48	Z	

審査請求　未請求　請求項の数　10　ＯＬ　（全22頁）

(21)出願番号　特願2023-84709(P2023-84709)
(22)出願日　令和5年5月23日(2023.5.23)

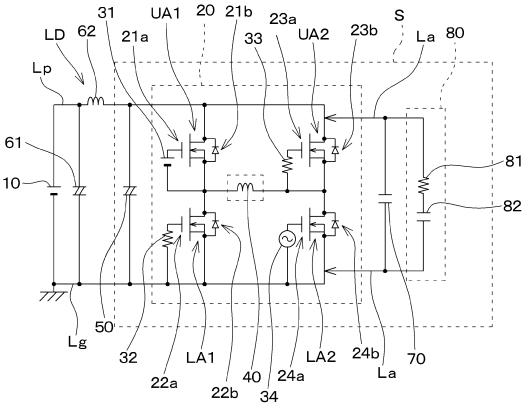
(71)出願人　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　110001128
弁理士法人ゆうあい特許事務所
(72)発明者　長瀬　昇
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内
(72)発明者　大島　賢史
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内

Ｆターム（参考）　5H770　AA02 AA22 BA01 CA06 DA01 DA03 DA41 KA01 W PA24 QA01 QA04 QA06

最終頁に続く

(54)【発明の名称】　半導体装置

(57)【要約】
【課題】スイッチング損失が増加することを抑制する。
【解決手段】配線Ｌａ、Ｌｐ、Ｌａが形成された配線基板と、配線基板の一面側に配置され、インバータ回路部２０を構成する半導体チップ有し、インバータ回路部２０が配線と接続される半導体モジュールと、配線基板の他面側に配置されて配線と接続され、インバータ回路部２０よりも主電源１０側でインバータ回路部２０と並列接続される平滑コンデンサ５０と、配線基板に配置され、インバータ回路部２０と並列接続される周波数用コンデンサ７０と、を備え、周波数用コンデンサ５０は、インバータ回路部２０と平滑コンデンサ５０とを接続する配線Ｌｐ、Ｌｇと異なる接続配線Ｌａに接続されるようにする。
【選択図】図１



【特許請求の範囲】
【請求項１】
半導体装置であって、
一面（１００ａ）および前記一面と反対側の他面（１００ｂ）を有し、配線（１１０、１２０、１３０、Ｌａ、Ｌｐ、Ｌａ）が形成された配線基板（１００）と、
前記配線基板の一面側に配置され、インバータ回路部（２０）を構成する半導体チップ（２２０、２３０）を有し、前記インバータ回路部が前記配線と接続される半導体モジュール（２００）と、
前記配線基板の他面側に配置されて前記配線と接続され、前記インバータ回路部よりも主電源（１０）側で前記インバータ回路部と並列接続される平滑コンデンサ（５０）と、
前記配線基板に配置され、前記インバータ回路部と並列接続される周波数用コンデンサ（７０）と、を備え、
前記周波数用コンデンサは、前記インバータ回路部と前記平滑コンデンサとを接続する配線（Ｌｐ、Ｌｇ）と異なる接続配線（Ｌａ）に接続されている半導体装置。
【請求項２】
前記周波数用コンデンサと並列接続される状態で前記配線基板に配置され、抵抗（８１）を含んで構成されるノイズ低減部（８０）を有し、
前記ノイズ低減部は、前記インバータ回路部と前記平滑コンデンサとを接続する前記配線と異なる前記接続配線に接続されている請求項１に記載の半導体装置。
【請求項３】
前記周波数用コンデンサおよび前記ノイズ低減部は、前記配線基板の一面側に配置されていると共に隣合う状態で配置されている請求項２に記載の半導体装置。
【請求項４】
前記半導体モジュールは、前記配線基板の一面に対する法線方向において、所定の辺（２８３）を有する平面形状とされ、前記所定の辺側に、前記主電源の正極側と接続される配線（Ｌｐ）と接続される正接続端子（２１１ｂ、２１７ａ）と、前記主電源の負極側と接続される配線（Ｌｇ）と接続される負接続端子（２１３ｂ、２１７ｂ）とを有しており、
前記半導体モジュールおよび前記平滑コンデンサは、前記平滑コンデンサの方が前記半導体モジュールよりも前記所定の辺に沿った方向の長さが長くされ、
前記配線基板の一面に対する法線方向において、前記半導体モジュールは、前記所定の辺が前記平滑コンデンサ内に位置する状態で配置されており、
前記平滑コンデンサは、正極端子（５１）および負極端子（５２）を有し、前記配線基板の一面に対する法線方向において、前記正極端子が前記半導体モジュールの前記所定の辺側に配置される前記正接続端子と重なると共に前記負極端子が前記半導体モジュールの前記所定の辺側に配置される前記負接続端子と重なる状態で配置され、前記正極端子が前記配線基板を厚さ方向に貫通する配線としてのスルーホール配線（１３０）を介して前記正接続端子と接続されていると共に、前記負極端子が前記配線基板を厚さ方向に貫通する配線としてのスルーホール配線（１３０）を介して前記負接続端子と接続されている請求項３に記載の半導体装置。
【請求項５】
前記周波数用コンデンサおよび前記ノイズ低減部は、前記法線方向において、前記所定の辺側に配置されている請求項４に記載の半導体装置。
【請求項６】
前記半導体モジュールと前記周波数用コンデンサとを接続する配線距離は、前記半導体モジュールと前記平滑コンデンサとを接続する配線距離よりも短くされている請求項１ないし５のいずれか１つに記載の半導体装置。
【請求項７】
前記周波数用コンデンサと前記ノイズ低減部とを接続する配線距離は、前記周波数用コンデンサと前記平滑コンデンサとを接続する配線距離よりも短くされている請求項２ない

し５のいずれか１つに記載の半導体装置。
【請求項８】
前記周波数用コンデンサと前記ノイズ低減部とを接続する配線距離は、前記半導体モジュールと前記周波数用コンデンサとを接続する配線距離よりも短くされている請求項２ないし５のいずれか１つに記載の半導体装置。
【請求項９】
前記半導体モジュールは、外形を形作る封止部材（２８０）と、前記封止部材の外面（２８２～２８６）から露出し、リードレス構造とされている端子部（２１１ｂ、２１２ｃ、２１３ｂ、２１４、２１５）とを有するＱＦＮ構造とされている請求項１ないし５のいずれか１つに記載の半導体装置。
【請求項１０】
前記半導体モジュールを挟んで前記配線基板と反対側に配置され、前記半導体モジュールと熱的に接続される放熱部材（４００）を有している請求項１ないし５のいずれか１つに記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、インバータ回路部を構成する半導体チップを有する半導体モジュールを配線基板に配置して構成される半導体装置に関するものである。
【背景技術】
【０００２】
従来より、インバータ回路部を構成する半導体チップを有する半導体モジュールを配線基板に配置して構成される半導体装置が提案されている（例えば、特許文献１参照）。具体的には、この半導体装置では、配線基板の一面上に半導体モジュールが配置されていると共に、周波数用コンデンサが配置されている。なお、インバータ回路部は、複数のスイッチング素子を備えて構成される。また、周波数用コンデンサは、インバータ回路部を構成するスイッチング素子のオン、オフの切り替えによって電流が流れ得るものであり、スイッチング素子の見かけ上の容量を調整するものである。
【０００３】
このような半導体装置は、例えば、ＥＰＳ（Electric Power Steeringの略）等を構成する車載用の負荷駆動装置として用いられる。なお、負荷駆動装置は、半導体装置と共に平滑コンデンサ等が配置されて構成される。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特許第７０８８１３２号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
ところで、本発明者らは、配線基板を有効に利用するため、配線基板の他面側に、負荷駆動装置を構成する平滑コンデンサを配置して半導体装置を構成することを検討しており、このような構成では、負荷駆動装置における配線距離を短くし易くできる。しかしながら、上記のようなインバータ回路部を有する半導体装置では、インバータ回路部の作動に伴って共振現象が発生する。この場合、配線距離を短くすることで配線ＥＳＬが小さくなると、共振周波数がインダクタンスと容量に依存するため、半導体装置の共振周波数が高くなり易い。なお、ＥＳＬは、Equivalent Series Inductanceの略称であり、等価直列インダクタンスのことである。
【０００６】
このため、上記の半導体装置のように周波数用コンデンサを配置することにより、スイッチング素子における見かけ上の容量を大きくでき、共振周波数を低くし易くできる。し

たがって、上記のような半導体装置を車両に搭載する場合には、インバータ回路部を作動させた際に発生する共振現象がＦＭラジオ放送帯のノイズとなることを抑制し易くできる。

【０００７】

しかしながら、周波数用コンデンサを配置する場所によっては、インバータ回路部の動作時に周波数用コンデンサによって大きなサージ電圧が発生する可能性があり、スイッチング損失を増加させる可能性がある。

【０００８】

本開示は、スイッチング損失が増加することを抑制できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【０００９】

本開示の１つの観点によれば、半導体装置は、一面（１００ａ）および一面と反対側の他面（１００ｂ）を有し、配線（１１０、１２０、１３０、Ｌａ、Ｌｐ、Ｌａ）が形成された配線基板（１００）と、配線基板の一面側に配置され、インバータ回路部（２０）を構成する半導体チップ（２２０、２３０）を有し、インバータ回路部が配線と接続される半導体モジュール（２００）と、配線基板の他面側に配置されて配線と接続され、インバータ回路部よりも主電源（１０）側でインバータ回路部と並列接続される平滑コンデンサ（５０）と、配線基板に配置され、インバータ回路部と並列接続される周波数用コンデンサ（７０）と、を備え、周波数用コンデンサは、インバータ回路部と平滑コンデンサとを接続する配線（Ｌｐ、Ｌｇ）と異なる接続配線（Ｌａ）に接続されている。

【００１０】

これによれば、周波数用コンデンサは、平滑コンデンサとインバータ回路部とを接続して大電流が流れ得る配線とは異なる接続配線に配置されている。このため、周波数用コンデンサがインバータ回路部における電流の変化の影響を受け難くなる。したがって、サージ電圧を発生させることを抑制でき、スイッチング損失が増加することを抑制できる。

【００１１】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【００１２】

【図１】第１実施形態における負荷駆動装置の回路構成を示す図である。

【図２】比較例における負荷駆動装置の回路構成を示す図である。

【図３】比較例における第４スイッチング素子の電流および電圧と時間との関係を示す図である。

【図４】比較例の負荷駆動装置における共振電流を示す図である。

【図５】配線ＥＳＬおよびドレイン－ソース間容量と、共振周波数との関係を示す図である。

【図６】第１実施形態における第４スイッチング素子の電流および電圧と時間との関係を示す図である。

【図７】第１実施形態の負荷駆動装置における共振電流を示す図である。

【図８】第１実施形態における半導体装置の平面図である。

【図９】図８中のIX－IX線に沿った断面図である。

【図１０】図８中のX－X線に沿った断面図である。

【図１１】図８中のIX－IX線に沿った半導体モジュールの断面図である。

【図１２】図８中のXII－XII線に沿った半導体モジュールの断面図である。

【図１３】２つの半導体チップを有する負荷駆動装置の回路構成を示す図である。

【図１４】４つの半導体チップを有する半導体装置のリード部を示す模式図である。

【図１５】４つの半導体チップを有する負荷駆動装置の回路構成を示す図である。

【図１６】６つの半導体チップを有する半導体装置のリード部を示す模式図である。

【図１７】６つの半導体チップを有する負荷駆動装置の回路構成を示す図である。
【発明を実施するための形態】
【００１３】
以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。
【００１４】
（第１実施形態）
第１実施形態について、図面を参照しつつ説明する。なお、本実施形態の半導体装置は、例えば、自動車等の車両に搭載され、ＥＰＳ等に用いられる負荷駆動装置を構成するのに適用されると好適である。まず、本実施形態の半導体装置を用いて構成した負荷駆動装置ＬＤの回路構成について、図１を参照しつつ説明する。
【００１５】
負荷駆動装置ＬＤは、図１に示されるように、主電源１０、インバータ回路部２０、モータ４０、平滑コンデンサ５０、フィルタコンデンサ６１、チョークコイル６２、周波数用コンデンサ７０、ノイズ低減部８０等を備えている。なお、本実施形態の半導体装置Ｓは、具体的には後述するが、インバータ回路部２０、平滑コンデンサ５０、周波数用コンデンサ７０、ノイズ低減部８０を含んで構成される。
【００１６】
主電源１０は、例えば、車両に搭載されるバッテリ等で構成され、正極側に電源配線Ｌｐが接続されていると共に、負極側にグランド配線Ｌｇが接続されて直流電圧を供給する。
【００１７】
インバータ回路部２０は、電源配線Ｌｐおよびグランド配線Ｌｇのとの間に直列接続された上アームＵＡ１、ＵＡ２および下アームＬＡ１、ＬＡ２を有する構成とされている。本実施形態のインバータ回路部２０は、直列に接続された第１上アームＵＡ１および第１下アームＬＡ１と、直列に接続された第２上アームＵＡ２および第２下アームＬＡ２とが並列に備えられて構成されている。
【００１８】
第１、第２上アームＵＡ１、ＵＡ２および第１、第２下アームＬＡ１、ＬＡ２は、それぞれ同様の構成されている。本実施形態では、第１、第２上アームＵＡ１、ＵＡ２および第１、第２下アームＬＡ１、ＬＡ２は、ｎチャネル型のＭＯＳＦＥＴで構成される第１～第４スイッチング素子２１ａ～２４ａと、還流用のダイオード素子２１ｂ～２４ｂとを有する構成とされている。なお、ＭＯＳＦＥＴは、Metal Oxide Semiconductor Field Effect Transistorの略称である。
【００１９】
各アームＵＡ１、ＵＡ２、ＬＡ１、ＬＡ２を構成するスイッチング素子２１ａ～２４ａおよびダイオード素子２１ｂ～２４ｂは、それぞれ並列に接続されている。本実施形態では、各ダイオード素子２１ｂ～２４ｂは、カソードが各スイッチング素子２１ａ～２４ａのドレインと接続されると共にアノードが各スイッチング素子２１ａ～２４ａのソースと接続されるように配置されている。なお、本実施形態の各ダイオード素子２１ｂ～２４ｂは、各スイッチング素子２１ａ～２４ａの寄生ダイオードで構成される。
【００２０】
第１スイッチング素子２１ａは、ゲートが直流電源３１を介して第１スイッチング素子２１ａと第２スイッチング素子２２ａとの間の中点と接続されている。第２スイッチング素子２２ａは、ゲートが抵抗３２を介してグランド配線Ｌｇと接続されている。第３スイッチング素子２３ａは、ゲートが抵抗３３を介して第３スイッチング素子２３ａと第４スイッチング２４ａとの間の中点と接続されている。第４スイッチング素子２４ａは、ゲートが交流電源３４を介してグランド配線Ｌｇと接続されている。
【００２１】
モータ４０は、負荷に相当するものであり、一端部側が第１スイッチング素子２１ａと

第２スイッチング素子２２ａとの間の中点と接続され、他端部側が第３スイッチング素子２３ａと第４スイッチング素子２４ａとの間の中点と接続されている。

【００２２】

平滑コンデンサ５０は、電源配線Ｌｐとグランド配線Ｌｇとの間に、インバータ回路部２０よりも主電源１０側であって、インバータ回路部２０と並列になるように配置され、インバータ回路部２０に印加される電圧を充電する。なお、平滑コンデンサ５０は、アルミ電解コンデンサ等で構成される。

【００２３】

フィルタコンデンサ６１およびチョークコイル６２は、ノイズ対策用ＬＣフィルタ回路を構成するものであり、平滑コンデンサ５０よりも主電源１０側に配置されている。より詳しくは、フィルタコンデンサ６１は、平滑コンデンサ５０よりも主電源１０側であって、平滑コンデンサ５０と並列に配置されている。チョークコイル６２は、フィルタコンデンサ６１と平滑コンデンサ５０とを接続する電源配線Ｌｐに備えられている。なお、本実施形態では、フィルタコンデンサ６１およびチョークコイル６２は、後述する半導体装置Ｓとは別体として備えられる。

【００２４】

周波数用コンデンサ７０は、インバータ回路部２０を挟んで主電源１０と反対側に備えられ、インバータ回路部２０と並列となるように配置されている。言い換えると、周波数用コンデンサ７０は、インバータ回路部２０と主電源１０とを繋ぐ電源配線Ｌｐおよびグランド配線Ｌｇとは別の接続配線Ｌａを介してインバータ回路部２０に接続されている。つまり、周波数用コンデンサ７０は、インバータ回路部２０と平滑コンデンサ５０とを繋ぐ電源配線Ｌｐおよびグランド配線Ｌｇとは別の接続配線Ｌａを介してインバータ回路部２０に接続されている。すなわち、周波数用コンデンサ７０は、インバータ回路部２０と平滑コンデンサ５０との間のインピーダンスとは別の独立インピーダンスとなる接続配線Ｌａを介してインバータ回路部２０に接続されている。

【００２５】

ノイズ低減部８０は、抵抗８１およびスナバコンデンサ８２が直列に接続されたスナバ回路で構成されており、周波数用コンデンサ７０と並列に配置されている。但し、ノイズ低減部８０は、周波数用コンデンサ７０と同様に、インバータ回路部２０と主電源１０とを繋ぐ電源配線Ｌｐおよびグランド配線Ｌｇとは別の接続配線Ｌａを介してインバータ回路部２０に接続されている。つまり、ノイズ低減部８０は、インバータ回路部２０と平滑コンデンサ５０とを繋ぐ電源配線Ｌｐおよびグランド配線Ｌｇとは別の接続配線Ｌａを介してインバータ回路部２０に接続されている。すなわち、ノイズ低減部８０は、インバータ回路部２０と平滑コンデンサ５０との間のインピーダンスとは別の独立インピーダンスとなる接続配線Ｌａを介してインバータ回路部２０に接続されている。

【００２６】

以上が本実施形態における負荷駆動装置ＬＤの回路構成である。次に、上記負荷駆動装置ＬＤの作動および効果について説明する。

【００２７】

まず、上記負荷駆動装置ＬＤの作動および効果を理解し易くするため、周波数用コンデンサ７０およびノイズ低減部８０が備えられていない負荷駆動装置ＬＤ１を比較例とし、比較例の負荷駆動装置ＬＤ１の作動について、図２を参照しつつ説明する。以下では、例として、第１スイッチング素子２１ａおよび第４スイッチング素子２４ａがオン状態である場合から第４スイッチング素子２４ａをオフ状態にした場合の作動について説明する。

【００２８】

なお、以下では、第１スイッチング素子２１ａおよび第４スイッチング素子２４ａがオン状態である場合から第４スイッチング素子２４ａをオフ状態にすることを、単に第４スイッチング素子２４ａをオフ状態にするともいう。また、スイッチング素子がオン状態であるとは、スイッチング素子に電流が流れる状態であることを意味し、スイッチング素子がオフ状態であるとは、スイッチング素子に電流が流れないようにした状態であることを

意味する。そして、以下では、図２に示されるように、電源配線Ｌｐにおける平滑コンデンサ５０と第１スイッチング素子２１ａとの間の配線ＥＳＬを配線ＥＳＬ１０１として説明する。同様に、電源配線Ｌｐにおける第１スイッチング素子２１ａと第３スイッチング素子２３ａとの間の配線ＥＳＬを配線ＥＳＬ１０２として説明する。また、グランド配線Ｌｇにおける平滑コンデンサ５０と第２スイッチング素子２２ａとの間の配線ＥＳＬを配線ＥＳＬ１０３として説明する。グランド配線Ｌｇにおける第２スイッチング素子２２ａと第４スイッチング素子２４ａとの間の配線ＥＳＬを配線ＥＳＬ１０４として説明する。

【００２９】

比較例の負荷駆動装置ＬＤ１では、図２に示されるように、第１スイッチング素子２１ａおよび第４スイッチング素子２４ａがオン状態である場合、矢印Ａで示すように、第１スイッチング素子２１ａ、モータ４０、第４スイッチング素子２４ａを電流ＩＬＤが流れる。

【００３０】

そして、図３に示されるように、時点ｔ０にて第４スイッチング素子２４ａをオフ状態にする。これにより、モータ４０を流れていた電流ＩＬＤがモータ４０を電源とした還流電流となり、還流電流は、図２中の矢印Ｂで示されるように、第３ダイオード素子２３ｂを通じて第１スイッチング素子２４ａに流れようとする。この場合、第４スイッチング素子２４ａにおけるドレイン－ソース間電圧ＶＬｄｓは、配線ＥＳＬによる種々の逆起電力の影響を受ける。なお、図３において、ＩＬＤは、第４スイッチング素子２４ａを流れる電流であり、ＶＬｄｓは、第４スイッチング素子２４ａのドレイン－ソース間電圧である。

【００３１】

具体的には、第４スイッチング素子２４ａをオフ状態にすると、第１スイッチング素子２１ａと第３スイッチング素子２３ａとの間の配線ＥＳＬ１０２では、第３ダイオード素子２３ｂを介して急激な還流電流が流れるため、逆起電力によって電位が上がる。また、平滑コンデンサ５０と第１スイッチング素子２１ａの間の配線ＥＳＬ１０１では、急激な電流遮断が発生するため、逆起電力によって電位が上がる。一方、平滑コンデンサ５０と第４スイッチング素子２４ａの配線ＥＳＬ１０３、１０４では、急激な電流遮断が発生するため、電位が下がる。

【００３２】

そして、これらの電位の影響により、図３に示されるように、第４スイッチング素子２４ａにおけるドレイン－ソース間電圧ＶＬｄｓは、第４スイッチング素子２４ａがオフされた後に大きなピーク電圧Ｐが発生する。なお、ピーク電圧Ｐは、配線ＥＳＬ１０１～１０４が大きいほど大きくなり易い。

【００３３】

そして、図４に示されるように、第４スイッチング素子２４ａは、ドレイン－ソース間容量Ｃｄｓを有し、ドレイン－ソース間容量Ｃｄｓには、ピーク電圧Ｐに比例したエネルギーが蓄積される。このため、第４スイッチング素子２４ａをオフ状態にした後には、図４中の矢印Ｃに示されるように、ドレイン－ソース間容量Ｃｄｓに蓄積されたエネルギーにより、ドレイン－ソース間容量Ｃｄｓと平滑コンデンサ５０との間に共振電流が流れる。そして、図３に示されるように、この共振電流が流れる共振現象（すなわち、リンギング）Ｒにより、ドレイン－ソース間電圧ＶＬｄｓが変動する。なお、共振電流は、第３ダイオード素子２３ｂに還流電流が流れているため、還流電流に重畳されて流れる。

【００３４】

ここで、現状では、各スイッチング素子２１ａ～２４ａ（すなわち、後述する半導体チップ）の小型化が進められており、各スイッチング素子２１ａ～２４ａが小型化されることでドレイン－ソース間容量Ｃｄｓも小さくなる。そして、ドレイン－ソース間容量Ｃｄｓが小さくなることでスイッチング速度が速くなり、スイッチング損失が低減される。また、現状では、各スイッチング素子２１ａ～２４ａを備える半導体装置Ｓの小型化が図られており、各スイッチング素子２１ａ～２４と接続される配線距離が短くなることで配線

ＥＳＬが小さくなる。
【００３５】
そして、共振周波数は、インダクタンスをＬ、容量をＣとすると、１／（２π（ＬＣ）$^{1/2}$）で示される。このため、共振周波数は、ドレイン－ソース間容量Ｃｄｓが小さくなることで高くなると共に、配線ＥＳＬが小さくなることで高くなり易い。具体的には、比較例の負荷駆動装置ＬＤ１では、共振周波数が５０～１００ＭＨｚ程度のＦＭラジオ放送帯の周波数帯域になる可能性があり、共振現象がＦＭラジオ放送帯に対するノイズとなる可能性がある。
【００３６】
したがって、本実施形態では、図１に示されるように、まず、インバータ回路部２０と並列に周波数用コンデンサ７０が備えられている。このため、見かけ上の第４スイッチング素子２４ａにおけるドレイン－ソース間容量Ｃｄｓを大きくでき、図５に示されるように、共振周波数を小さくできる。したがって、共振現象ＲがＦＭラジオ放送帯に対するノイズとなることを抑制し易くできる。
【００３７】
この場合、周波数用コンデンサ７０を平滑コンデンサ５０（すなわち、主電源１０）とインバータ回路部２０とを接続する電源配線Ｌｐに配置すると、周波数用コンデンサ７０は、電流の変化による配線ＥＳＬの逆起電力の影響を受け易くなり、余分なサージ電圧を発生させる可能性がある。このため、本実施形態では、平滑コンデンサ５０とインバータ回路部２０とを接続し、大電流が流れ得る電源配線Ｌｐおよびグランド配線Ｌｇとは異なる接続配線Ｌａに、周波数用コンデンサ７０を配置している。これにより、周波数用コンデンサ７０が電流の変化による逆起電力の影響を受け難くなり、サージ電圧を発生させることを抑制できるため、スイッチング損失が増加することを抑制できる。
【００３８】
また、周波数用コンデンサ７０を備えることにより、第４スイッチング素子２４ａをオフ状態にすると、還流電流は、第３ダイオード素子２３ｂを通じて周波数用コンデンサ７０にも流れ、周波数用コンデンサ７０にも蓄えられる。このため、図６に示されるように、図３の比較例と比較すると、各配線ＥＳＬ１０１～１０４の影響を小さくでき、第４スイッチング素子２４ａにおけるドレイン－ソース間電圧ＶＬｄｓのピーク電圧Ｐを小さくできる。したがって、共振電流を小さくでき、共振現象を早期に減衰させ易くできる。さらに、周波数用コンデンサ７０を備えることにより、還流作動への切り替わりを一旦周波数用コンデンサ７０で受け持たせることができるため、発生し得るサージ電圧も小さくでき、さらにスイッチング損失を小さくできる。
【００３９】
一方、周波数用コンデンサ７０を配置することにより、第４スイッチング素子２４ａをオフ状態にした後の共振電流は、第４スイッチング素子２４ａにおけるドレイン－ソース間容量Ｃｄｓおよび周波数用コンデンサ７０が発生源となって流れる。具体的には、図７中の矢印Ｄ、Ｅに示されるように、共振電流は、ドレイン－ソース間容量Ｃｄｓおよび周波数用コンデンサ７０と、平滑コンデンサ５０との間を流れる。
【００４０】
このため、本実施形態では、さらに、ノイズ低減部８０が備えられている。これにより、共振電流は、ノイズ低減部８０にも流れ、抵抗８１によって減衰され易くなる。したがって、図６に示されるように、図３の比較例と比較すると、さらに早期に共振現象Ｒを減衰させることができる。この場合、ノイズ低減部８０は、共振電流が流れ易くなるように、周波数用コンデンサ７０の近傍に配置されることが好ましい。
【００４１】
以上が本実施形態における負荷駆動装置ＬＤの作動および効果である。そして、上記の効果をさらに得るためには、次のようにすることが好ましい。
【００４２】
まず、インバータ回路部２０と周波数用コンデンサ７０との間の配線距離は、インバー

タ回路部２０と平滑コンデンサ５０との間の配線距離より短くなるようにすることが好ましい。言い換えると、インバータ回路部２０と周波数用コンデンサ７０との間の配線ＥＳＬは、インバータ回路部２０と平滑コンデンサ５０との間の配線ＥＳＬより小さくなるようにすることが好ましい。これにより、還流電流を周波数用コンデンサ７０に流れ易くすることができ、ピーク電圧Ｐを小さくし易くできる。

【００４３】

また、周波数用コンデンサ７０とノイズ低減部８０との間の配線距離は、周波数用コンデンサ７０と平滑コンデンサ５０との間の配線距離より短くなるようにすることが好ましい。言い換えると、周波数用コンデンサ７０とノイズ低減部８０との間の配線ＥＳＬは、周波数用コンデンサ７０と平滑コンデンサ５０との間の配線ＥＳＬより小さくなるようにすることが好ましい。これにより、共振電流がノイズ低減部８０に流れ込み易くなり、抵抗８１によって共振電流を減衰させ易くできる。

【００４４】

また、周波数用コンデンサ７０とノイズ低減部８０との間の配線距離は、インバータ回路部２０と周波数用コンデンサ７０との間の配線距離より短くなるようにすることが好ましい。言い換えると、周波数用コンデンサ７０とノイズ低減部８０との間の配線ＥＳＬは、インバータ回路部２０と周波数用コンデンサ７０との間の配線ＥＳＬより小さくなるようにすることが好ましい。これにより、周波数用コンデンサ７０を電源とする共振電流がノイズ低減部８０に流れ込み易くなり、抵抗８１によって共振電流を減衰させ易くできる。

【００４５】

次に、上記負荷駆動装置ＬＤを構成する本実施形態の半導体装置Ｓの構造について、図８～図１２を参照しつつ説明する。なお、本実施形態の半導体装置Ｓは、図１にも示されるように、上記の負荷駆動装置ＬＤにおける平滑コンデンサ５０、インバータ回路部２０、周波数用コンデンサ７０、ノイズ低減部８０を含んで構成される。そして、上記の負荷駆動装置ＬＤは、本実施形態の半導体装置Ｓとは別に構成される主電源１０、フィルタコンデンサ６１、チョークコイル６２等を組み合わせて構成される。

【００４６】

半導体装置Ｓは、図８～図１０に示されるように、配線基板１００、半導体モジュール２００、平滑コンデンサ５０、周波数用コンデンサ７０、ノイズ低減部８０等を有している。なお、図８は、配線基板１００を省略した平面模式図であり、後述する封止部材２８０の外形線を実線で示すと共に、封止部材２８０の内部に配置される部分を実線で示している。また、図１１は、図８中のIX－IX線に沿った断面図である。以下、本実施形態では、一方向をＸ軸方向とし、一方向と交差する方向をＹ軸方向とし、Ｘ軸方向およびＹ軸方向と交差する方向をＺ軸方向として説明する。例えば、図８中では、紙面左右方向がＸ方向となり、紙面上下方向がＹ方向となり、紙面手前方向がＺ軸方向となる。また、図８は、Ｚ軸方向から視た平面模式図ともいえる。

【００４７】

配線基板１００は、一面１００ａおよび他面１００ｂを有するプリント基板等で構成されており、一面１００ａ側に一面側配線１１０が形成されていると共に他面１００ｂ側に他面側配線１２０が形成されている。そして、一面側配線１１０および他面側配線１２０は、配線基板１００の厚さ方向に貫通するスルーホール配線１３０を介して適宜電気的に接続されている。なお、本実施形態では、一面側配線１１０、他面側配線１２０、およびスルーホール配線１３０は、上記の負荷駆動装置ＬＤにおける電源配線Ｌｐ、グランド配線Ｌｇ、接続配線Ｌａを含む構成とされる。そして、本実施形態では、一面側配線１１０、他面側配線１２０、スルーホール配線１３０が配線基板に形成される配線に相当する。また、Ｘ軸方向およびＹ軸方向は、配線基板１００の面方向に沿った方向ということもでき、Ｚ軸方向は、配線基板１００の面方向に対する法線方向に沿った方向ということもできる。

【００４８】

半導体モジュール２００は、インバータ回路部２０を構成するスイッチング素子が形成された半導体チップを有する構成とされている。なお、上記の負荷駆動装置ＬＤでは、４つのスイッチング素子２１ａ～２４ａを有するインバータ回路部２０を説明した。しかしながら、ここでは、説明の簡略化のため、スイッチング素子２１ａが形成された第１半導体チップ２２０およびスイッチング素子２２ａが形成された第２半導体チップ２３０の２つの半導体チップを有する２ｉｎ１型の半導体モジュール２００を例に挙げて説明する。

【００４９】

半導体モジュール２００は、図８、図１１、図１２に示されるように、リードフレーム２１０、第１半導体チップ２２０および第２半導体チップ２３０を有している。また、半導体モジュール２００は、第１ワイヤ２５１および第２ワイヤ２５２と、第１架橋部材２６０および第２架橋部材２７０と、これらを封止する封止部材２８０等を有している。なお、本実施形態の半導体モジュール２００は、後述するように略直方体状とされている。

【００５０】

リードフレーム２１０は、例えば、Ｃｕ（銅）、Ｆｅ（鉄）、またはこれらの合金等の金属材料を用いて構成され、第１実装部２１１、第２実装部２１２、第３実装部２１３、第１制御端子部２１４、第２制御端子部２１５を有している。なお、リードフレーム２１０は、例えば、後述する封止部材２８０が成形されるまでは、図示しないタイバー等によって一体化されており、封止部材２８０が成形された後にタイバーが除去されることによって各部２１１～２１５に分離される。

【００５１】

第１実装部２１１は、平面略矩形状とされた第１搭載部２１１ａと、第１搭載部２１１ａからｘ軸方向およびｙ軸方向に延設された複数の第１端子部２１１ｂとを有している。なお、第１端子部２１１ｂは、第１搭載部２１１ａから後述の第２実装部２１２側と異なる方向に延設されている。また、本実施形態の第１端子部２１１ｂは、上記の負荷駆動装置ＬＤにおける電源配線Ｌｐと接続される端子となり、正接続端子に相当する。

【００５２】

第２実装部２１２は、平面略矩形状とされ、Ｘ軸方向にて第１搭載部２１１ａと隣合うように配置された第２搭載部２１２ａと、第２搭載部２１２ａからＸ軸方向に延設され、Ｙ軸方向にて第１搭載部２１１ａと隣合うように配置された延設部２１２ｂとを有している。また、第２実装部２１２は、第２搭載部２１２ａからＸ軸方向に延設された第２端子部２１２ｃおよび第２搭載部２１２ａおよび延設部２１２ｂからＹ軸方向に延設された第２端子部２１２ｃを有している。なお、第２端子部２１２ｃは、第２搭載部２１２ａから第１実装部２１１側および後述の第３実装部２１３側と異なる方向に延設されている。また、本実施形態の第２端子部２１２ｃは、上記の負荷駆動装置ＬＤにおけるモータ４０と接続される端子となる。

【００５３】

第３実装部２１３は、平面矩形状とされ、Ｘ軸方向にて第１搭載部２１１ａと隣合い、かつＹ軸方向にて第２搭載部２１２ａと隣合うように配置された第３搭載部２１３ａと、第３搭載部２１３ａからＸ軸方向およびＹ軸方向に延設された第３端子部２１３ｂとを有している。但し、第３端子部２１３ｂは、後述する封止部材２８０における第１端子部２１１ｂが露出する面と同じ面から露出する部分を含むように形成されている。なお、第３端子部２１３ｂは、第３搭載部２１３ａから第１実装部２１１側および第２実装部２１２側と異なる方向に延設されている。また、本実施形態の第３端子部２１３ｂは、上記の負荷駆動装置ＬＤにおけるグランド配線Ｌｇと接続される端子となり、負接続端子に相当する。

【００５４】

第１制御端子部２１４は、Ｙ軸方向にて第１搭載部２１１ａと隣合うように配置されていると共に、第１搭載部２１１ａからＹ軸方向に延設された第１端子部２１１ｂの間に配置されている。

【００５５】

第２制御端子部２１５は、Ｙ軸方向にて第２搭載部２１２ａと隣合うように配置されていると共に、第２搭載部２１２ａからＹ軸方向に延設された第２端子部２１２ｃの間に配置されている。

【００５６】

第１半導体チップ２２０および第２半導体チップ２３０は、Ｙ軸方向を長手方向とする矩形板状とされており、基本的な構成が同じとされている。そして、第１半導体チップ２２０は、上記の第１スイッチング素子２１ａおよび第１ダイオード素子２１ｂを含んで構成されている。第２半導体チップ２３０は、上記の第２スイッチング素子２２ａおよび第２ダイオード素子２２ｂを含んで構成されている。

【００５７】

第１半導体チップ２２０は、一面２２０ａ側に第１電極２２１および第３電極２２３を有し、一面２２０ａと反対側の他面２２０ｂに第２電極２２２を有している。同様に、第２半導体チップ２３０は、一面２３０ａ側に第１電極２３１および第３電極２３３を有し、一面２３０ａと反対側の他面２３０ｂに第２電極２３２を有している。なお、本実施形態では、第１、第２スイッチング素子２１ａ、２２ａがＭＯＳＦＥＴであるため、第１電極２２１、２３１がドレイン電極、第２電極２２２、２３２がソース電極、第３電極２２３、２３３がゲート電極に相当する。

【００５８】

そして、第１半導体チップ２２０は、第２電極２２２がはんだ等の接合部材２４１を介して第１実装部２１１に搭載されている。第２半導体チップ２３０は、第２電極２３２がはんだ等の接合部材２４２を介して第２実装部２１２に搭載されている。但し、第１半導体チップ２２０は、第３電極２２３が第１電極２２１よりも第１制御端子部２１４側に位置するように配置されている。また、第２半導体チップ２３０は、第３電極２３３が第１電極２３１よりも第２制御端子部２１５側に位置するように配置されている。つまり、第１半導体チップ２２０および第２半導体チップ２３０は、Ｙ軸方向において逆向きに配置されている。

【００５９】

第１ワイヤ２５１は、第１半導体チップ２２０の第３電極２２３と第１制御端子部２１４とを接続するように配置されている。第２ワイヤ２５２は、第２半導体チップ２３０の第３電極２３３と第２制御端子部２１５とを接続するように配置されている。つまり、第１制御端子部２１４および第２制御端子部２１５は、ゲート端子を構成するものである。なお、第１ワイヤ２５１および第２ワイヤ２５２は、例えば、金等の導電性材料により構成されている。

【００６０】

第１架橋部材２６０および第２架橋部材２７０は、Ｃｕ、Ｆｅ、またはこれらの合金等の導電性材料で構成され、略板状とされている。そして、第１架橋部材２６０は、接合部材を介し、第１半導体チップ２２０の第１電極２２１と第２実装部２１２の延設部２１２ｂとを接続するように配置されている。第２架橋部材２７０は、接合部材２４４、２４５を介し、第２半導体チップ２３０の第１電極２３１と第３実装部２１３とを接続するように配置されている。なお、第１架橋部材２６０および第２架橋部材２７０は、クリップとも称され得るものである。

【００６１】

封止部材２８０は、例えば、エポキシ樹脂等といった電気絶縁性の樹脂材料を用いて構成されている。なお、封止部材２８０は、樹脂材料に、当該樹脂材料よりも熱伝導率が大きいフィラー等が混入されて構成されていてもよい。フィラーは、例えば、アルミナ等の無機物粒子が採用される。

【００６２】

封止部材２８０は、例えば、金型を用いた射出成型等の方法により形成され、本実施形態では、一面２８１、他面２８２、一面２８１と他面２８２とを繋ぐ第１～第４側面２８３～２８６を有する略直方体状とされる。なお、半導体モジュール２００は、封止部材２

８０によって外形が形作られるため、略直方体状となる。

【００６３】

封止部材２８０は、一面２８１側に第１、第２架橋部材２６０、２７０が位置すると共に、他面２８２側にリードフレーム２１０が位置するように構成される。但し、封止部材２８０は、一面２８１側から第１、第２架橋部材２６０、２７０が露出しないように構成される。また、封止部材２８０は、他面２８２および各側面２８３～２８６から各端子部２１１ｂ、２１２ｃ、２１３ｂ、２１４、２１５が露出するように構成されている。言い換えると、上記の各端子部２１１ｂ、２１２ｃ、２１３ｂ、２１４、２１５は、封止部材２８０から露出するように形成されている。但し、各端子部２１１ｂ、２１２ｃ、２１３ｂ、２１４、２１５は、封止部材２８０から突出しないように構成されており、いわゆるリード端子を備えないリードレス構造とされている。つまり、本実施形態の半導体モジュール２００は、パッド状の端子を有するＱＦＮ（Quad Flat Non-leaded packageの略）構造とされている。

【００６４】

そして、本実施形態では、電源配線Ｌｐと接続される第１端子部２１１ｂおよびグランド配線Ｌｇと接続される第３端子部２１３ｂは、同じ第１側面２８３から露出する部分を含むように形成されている。

【００６５】

以上が本実施形態における半導体モジュール２００の構成である。なお、２つのスイッチング素子２１ａ、２２ａを有する場合のインバータ回路部２０は、図１３に示されるようになる。図１３では、インバータ回路部２０よりも主電源１０側の部分を省略して示している。

【００６６】

そして、半導体モジュール２００は、図９および図１０に示されるように、はんだ等の接合部材３００を介して配線基板１００の一面側配線１１０と電気的に接続されるように、配線基板１００の一面１００ａ側に配置されている。詳しくは、半導体モジュール２００は、第１端子部２１１ｂが、一面側配線１１０のうちの負荷駆動装置ＬＤにおける電源配線Ｌｐとなる部分に接続されるように配置されている。半導体モジュール２００は、第２端子部２１２ｃが、一面側配線１１０のうちの負荷駆動装置ＬＤにおけるモータ４０と接続される部分に接続されるように配置されている。半導体モジュール２００は、第３端子部２１３ｂが、一面側配線１１０のうちの負荷駆動装置ＬＤにおけるグランド配線Ｌｇとなる部分に接続されるように配置されている。また、半導体モジュール２００は、第１制御端子部２１４が、一面側配線１１０のうちのゲート配線となる部分に接続されている。半導体モジュール２００は、図９および図１０とは別断面において、第２制御端子部２１５が、一面側配線１１０のうちのゲート配線となる部分に接続されている。

【００６７】

平滑コンデンサ５０は、配線基板１００の他面１００ｂに、Ｚ軸方向において、半導体モジュール２００と重なるように、はんだ等の接合部材３１０を介して配置されている。より詳しくは、平滑コンデンサ５０は、Ｚ軸方向において、正極端子５１が第１端子部２１１ｂと重なると共に、負極端子５２が第３端子部２１３ｂと重なるように配置されている。本実施形態では、半導体モジュール２００と平滑コンデンサ５０とがこのように配置されていることにより、半導体モジュール２００と平滑コンデンサ５０とを主に接続する部分をスルーホール配線１３０とできる。つまり、半導体モジュール２００と平滑コンデンサ５０との間に、余分な一面側配線１１０や他面側配線１２０を含まないようにできる。このため、平滑コンデンサ５０とインバータ回路部２０との間の配線ＥＳＬを小さくできる。

【００６８】

また、本実施形態の半導体モジュール２００は、Ｘ軸方向の幅が平滑コンデンサ５０の幅よりも狭くされている。言い換えると、第１端子部２１１ｂおよび第３端子部２１３ｂが露出する第１側面２８３の長さ方向において、半導体モジュール２００は、平滑コンデ

ンサ５０よりも小さくされている。そして、平滑コンデンサ５０は、Ｚ軸方向において、半導体モジュール２００が含まれるように配置されている。言い換えると、平滑コンデンサ５０は、Ｘ軸方向に半導体モジュール２００が突出しないように配置されている。これにより、位置ずれ等によって半導体モジュール２００がＸ軸方向にずれたとしても、余分な一面側配線１１０や他面側配線１２０を含まないようにし易くできる。

【００６９】

周波数用コンデンサ７０およびノイズ低減部８０は、配線基板１００の一面１００ａ側であって、半導体モジュール２００の近傍に配置されている。具体的には、周波数用コンデンサ７０およびノイズ低減部８０は、一面側配線１１０のうちの負荷駆動装置ＬＤにおける接続配線Ｌａとなる部分に接続されるように配置されている。また、本実施形態では、周波数用コンデンサ７０およびノイズ低減部８０は、封止部材２８０における第１側面２８３側に配置されている。この場合、周波数用コンデンサ７０およびノイズ低減部８０は、半導体モジュール２００の近傍に配置するほど、インバータ回路部２０との間の配線距離を短くできるために好ましい。

【００７０】

さらに、平滑コンデンサ５０、周波数用コンデンサ７０、ノイズ低減部８０、および半導体モジュール２００は、次のように配置されることが好ましい。すなわち、半導体モジュール２００、平滑コンデンサ５０、周波数用コンデンサ７０は、インバータ回路部２０と周波数用コンデンサ７０との間の配線距離が、インバータ回路部２０と平滑コンデンサ５０との間の配線距離より短くなるように配置されることが好ましい。

【００７１】

周波数用コンデンサ７０、ノイズ低減部８０、平滑コンデンサ５０は、周波数用コンデンサ７０とノイズ低減部８０との間の配線距離が、周波数用コンデンサ７０と平滑コンデンサ５０との間の配線距離より短くなるように配置されることが好ましい。

【００７２】

周波数用コンデンサ７０、ノイズ低減部８０、半導体モジュール２００は、周波数用コンデンサ７０とノイズ低減部８０との間の配線距離が、インバータ回路部２０と周波数用コンデンサ７０との間の配線距離より短くなるように配置されることが好ましい。

【００７３】

この場合、本実施形態では、リード端子が側面から露出するＱＦＰ（quad flat packageの略）構造ではなく、リード端子が側面から突出しないリードレス構造であるＱＦＮ構造とされている。つまり、半導体モジュール２００は、パッド状の端子を介して配線基板１００と接続されている。このため、半導体モジュール２００がＱＦＰ構造とされている場合と比較して、リード端子分の配線距離を無くすことができ、上記の関係を成立させ易くできる。

【００７４】

放熱部材４００は、図９および図１０に示されるように、例えば、熱伝導率が高い金属材料等で構成され、放熱層５００を介して封止部材２８０の一面２８１と熱的に接続されている。なお、放熱層５００は、例えば、電気絶縁性および所定以上の熱伝導率を有する放熱ゲル等で構成される。これにより、半導体モジュール２００と放熱部材４００とが熱的に接続され、半導体モジュール２００に発生した熱が放熱部材４００から放熱される。

【００７５】

以上説明した本実施形態によれば、周波数用コンデンサ７０は、平滑コンデンサ５０とインバータ回路部２０とを接続し、大電流が流れ得る電源配線Ｌｐおよびグランド配線Ｌｇとは異なる接続配線Ｌａに配置されている。このため、周波数用コンデンサ７０がインバータ回路部２０における電流の変化による逆起電力の影響を受け難くなり、サージ電圧を発生させることを抑制でき、スイッチング損失が増加することを抑制できる。

【００７６】

（１）本実施形態では、抵抗８１を有するノイズ低減部８０を備えている。このため、共振現象をノイズ低減部８０にて減衰させ易くできる。また、ノイズ低減部８０は、電源配

線Ｌｐおよびグランド配線Ｌｇとは異なる接続配線Ｌａに配置されている。このため、ノイズ低減部８０によってサージ電圧が発生することも抑制できる。

【００７７】

（２）本実施形態では、周波数用コンデンサ７０およびノイズ低減部８０は、半導体モジュール２００と共に配線基板１００の一面１００ａ側に半導体モジュール２００と隣合うように配置されている。このため、半導体モジュール２００内のインバータ回路部２０と周波数用コンデンサ７０およびノイズ低減部８０とを接続する配線距離を短くし易くでき、配線ＥＳＬを小さくし易くできる。

【００７８】

（３）半導体モジュール２００は、第１側面２８３側に第１端子部２１１ｂおよび第３端子部２１３ｂを有し、半導体モジュール２００および平滑コンデンサ５０は、平滑コンデンサ５０の方が半導体モジュール２００よりもＸ軸方向に沿った長さが長くされている。そして、半導体モジュール２００は、Ｚ軸方向において、第１側面２８３が平滑コンデンサ５０内に位置するように配置されている。平滑コンデンサ５０は、Ｚ軸方向において、正極端子５１が半導体モジュール２００の第１端子部２１１ｂと重なると共に負極端子５２が半導体モジュール２００の第３端子部２１３ｂと重なる状態で配置されている。このため、位置ずれ等によって半導体モジュール２００がＸ軸方向にずれたとしても、余分な一面側配線１１０や他面側配線１２０を含まないようにし易くできる。また、このように半導体モジュール２００および平滑コンデンサ５０が配意されることにより、正極端子５１と第１端子部２１１ｂとを接続する配線、および負極端子５２と第３端子部２１３ｂとを接続する配線を主にスルーホール配線１３０にできる。このため、半導体モジュール２００と平滑コンデンサ５０との間に、余分な一面側配線１１０や他面側配線１２０を含まないようにでき、平滑コンデンサ５０とインバータ回路部２０との間の配線ＥＳＬを小さくし易くできる。

【００７９】

（４）本実施形態では、周波数用コンデンサ７０およびノイズ低減部８０は、半導体モジュール２００の第１側面２８３側に配置されている。このため、半導体モジュール２００（すなわち、インバータ回路部２０）と周波数用コンデンサ７０およびノイズ低減部８０とを接続する配線距離を短くでき、配線ＥＳＬを小さくし易くできる。

【００８０】

（５）本実施形態では、インバータ回路部２０と周波数用コンデンサ７０との間の配線距離は、インバータ回路部２０と平滑コンデンサ５０との間の配線距離より短くなるようにすることが好ましい。これにより、還流電流を周波数用コンデンサ７０に流れ易くすることができ、ピーク電圧Ｐを小さくし易くできる。つまり、共振電流を小さくできる。

【００８１】

（６）本実施形態では、周波数用コンデンサ７０とノイズ低減部８０との間の配線距離は、周波数用コンデンサ７０と平滑コンデンサ５０との間の配線距離より短くなるようにすることが好ましい。これにより、共振電流がノイズ低減部８０に流れ込み易くなり、抵抗８１によって共振電流を減衰させ易くできる。

【００８２】

（７）本実施形態では、周波数用コンデンサ７０とノイズ低減部８０との間の配線距離は、インバータ回路部２０と周波数用コンデンサ７０との間の配線距離より短くなるようにすることが好ましい。これにより、周波数用コンデンサ７０を電源とする共振電流がノイズ低減部８０に流れ込み易くなり、抵抗８１によって共振電流を減衰させ易くできる。

【００８３】

（８）本実施形態では、半導体モジュール２００は、リードレス構造であるＱＦＮ構造とされており、半導体モジュール２００がＱＦＰ構造とされている場合と比較して、ＱＦＰ構造である場合に備えられるリード端子分の配線距離を無くすことができる。このため、平滑コンデンサ５０、周波数用コンデンサ７０、ノイズ低減部８０、および半導体モジュール２００の位置関係を成立させ易くできる。

【００８４】
（９）本実施形態では、半導体モジュール２００と熱的に接続される放熱部材４００を備えている。このため、半導体モジュール２００に発生した熱を放熱部材４００から放熱できる。
【００８５】
（他の実施形態）
本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。
【００８６】
例えば、上記第１実施形態において、インバータ回路部２０を構成する各スイッチング素子２１ａ～２４ａは、ＩＧＢＴ素子（Insulated Gate Bipolar Transistorの略）等で構成されていてもよい。また、各ダイオード素子２１ｂ～２４ｂは、各スイッチング素子２１ａ～２４ａとは別体として備えられていてもよい。
【００８７】
そして、上記第１実施形態において、半導体モジュール２００は、例えば、４つの半導体チップを含んで構成される４ｉｎ１構造とされていてもよいし、６つの半導体チップを含んで構成される６ｉｎ１構造とされていてもよい。
【００８８】
例えば、４ｉｎ１の半導体モジュール２００の場合、リードフレーム２１０は、図１４に示されるように、第１～第４搭載部２１６ａ～２１６ｄ、第１～第４搭載部２１６ａ～２１６ｄから延設された第１～第４端子部２１７ａ～２１７ｄを有する構成とされる。また、リードフレーム２１０は、４つの半導体チップとそれぞれ接続される第１～第４制御端子部２１８ａ～２１８ｄを有する構成とされる。
【００８９】
そして、電源配線Ｌｐと接続される第１端子部２１７ａおよびグランド配線Ｌｇと接続される第２端子部２１７ｂは、少なくとも封止部材２８０における同じ第１側面２８３側から露出するように配置される。
【００９０】
この場合、インバータ回路部２０の構成は図１の通りであるが、各端子部２１７ａ～２１７ｄ、２１８ａ～２１８ｄを含めると図１５のように示される。なお、４つの半導体チップには、第１～第４スイッチング素子２１ａ～２４ａおよびダイオード素子がそれぞれ形成され、図１５では、第１～第４スイッチング素子２１ａ～２４ａと並列に配置されるダイオード素子を省略している。また、図１５では、インバータ回路部２０よりも主電源１０側の部分を省略して示している。
【００９１】
同様に、６ｉｎ１の半導体モジュール２００の場合、リードフレーム２１０は、図１６に示されるように、第１～第５搭載部２１６ａ～２１６ｅ、第１～第５搭載部２１６ａ～２１６ｅから延設された第１～第５端子部２１７ａ～２１７ｅを有する構成とされる。また、リードフレーム２１０は、６つの半導体チップとそれぞれ接続される第１～第６制御端子部２１８ａ～２１８ｆを有する構成とされる。
【００９２】
そして、電源配線Ｌｐと接続される第１端子部２１７ａおよびグランド配線Ｌｇと接続される第２端子部２１７ｂは、少なくとも封止部材２８０における同じ第１側面２８３側から露出するように配置される。
【００９３】
この場合、インバータ回路部２０の構成は、各端子部２１７ａ～２１７ｅ、２１８ａ～２１８ｆを含めると図１７のように示される。なお、６つの半導体チップには、第１～第

６スイッチング素子２１ａ～２６ａおよびダイオード素子がそれぞれ形成され、図１７では、スイッチング素子２１ａ～２６ａと並列に配置されるダイオード素子を省略している。また、図１７では、インバータ回路部２０よりも主電源１０側の部分を省略して示している。

【００９４】

さらに、上記第１実施形態において、ノイズ低減部８０は備えられていなくてもよい。このような構成としても、周波数用コンデンサ７０を接続配線Ｌａに配置することにより、サージ電圧を低減でき、スイッチング損失を低減できる。

【００９５】

上記第１実施形態において、周波数用コンデンサ７０およびノイズ低減部８０は、例えば、配線基板１００の他面１００ｂ側に配置されていてもよい。また、上記第１実施形態において、周波数用コンデンサ７０およびノイズ低減部８０は、封止部材２８０における第１側面２８３の近傍ではなく、第２～４側面２８４～２８６のいずれかの近傍に配置されていてもよい。

【００９６】

上記第１実施形態において、平滑コンデンサ５０は、Ｘ軸方向の長さが半導体モジュール２００より短くされていてもよいし、Ｚ軸方向において半導体モジュール２００と重ならないように配置されていてもよい。

【００９７】

上記第１実施形態において、平滑コンデンサ５０、周波数用コンデンサ７０、ノイズ低減部８０、半導体モジュール２００と接続される配線の配線距離は、適宜変更可能である。

【００９８】

上記第１実施形態において、半導体モジュール２００は、ＱＦＰ構造とされていてもよい。

【００９９】

上記第１実施形態において、放熱部材４００が備えられていなくてもよい。

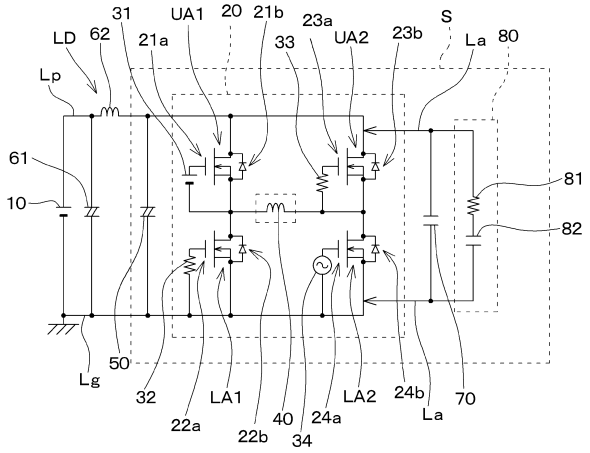
【符号の説明】

【０１００】

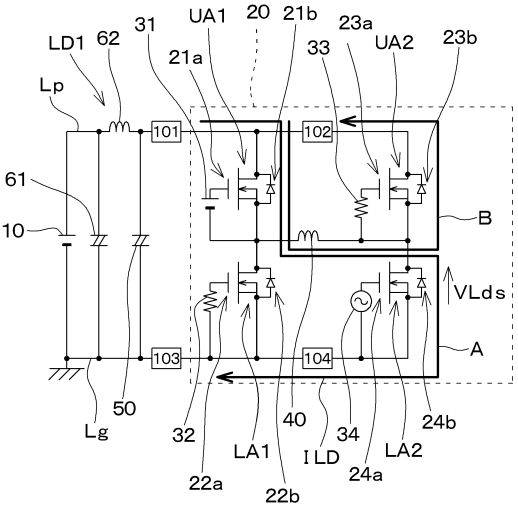
１０　主電源
２０　インバータ回路部
５０　平滑コンデンサ
７０　周波数用コンデンサ
１００　配線基板
１００ａ　一面
１００ｂ　他面
１１０　一面側配線
１２０　他面側配線
１３０　スルーホール配線
２００　半導体モジュール
Ｌａ　接続配線
Ｌｐ　電源配線
Ｌｇ　グランド配線

【図面】

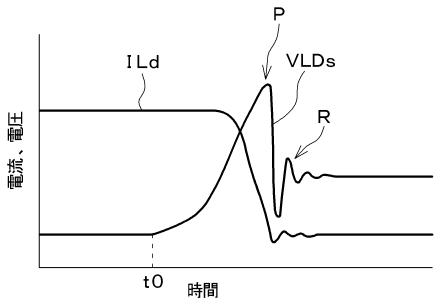
【図１】


LD
62
31
21a
UA1
20
21b
33
23a
UA2
23b
S
La
80
Lp
61
10
81
82
50
Lg
32
22a
LA1
22b
40
34
24a
LA2
24b
La
70

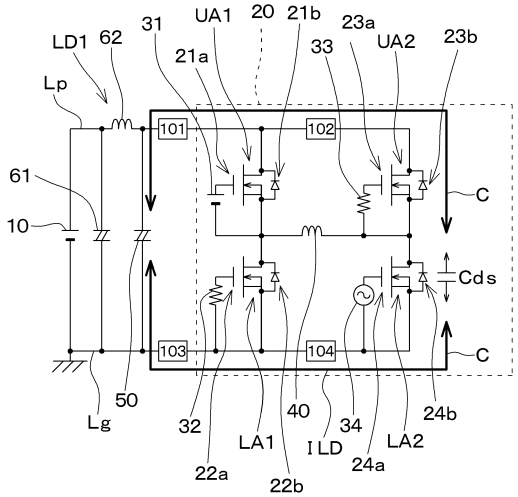
【図２】


LD1
62
31
21a
UA1
20
21b
33
23a
UA2
23b
Lp
101
102
61
10
B
VLds
A
103
104
50
Lg
32
22a
LA1
22b
40
ILD
34
24a
LA2
24b

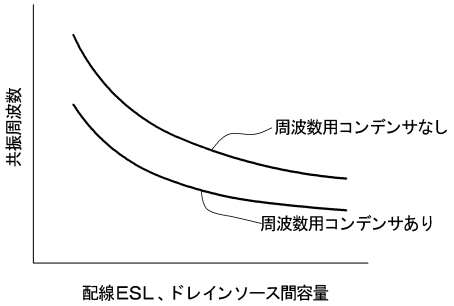
【図３】


P
ILd
VLDs
R
電流、電圧
t0
時間

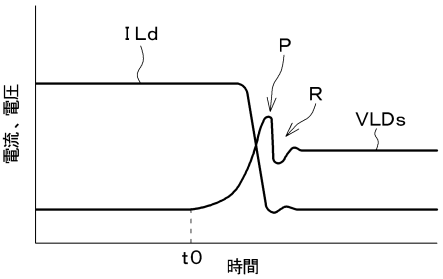
【図４】


LD1
62
31
21a
UA1
20
21b
33
23a
UA2
23b
Lp
101
102
61
10
C
Cds
C
103
104
50
Lg
32
22a
LA1
22b
40
ILD
34
24a
LA2
24b

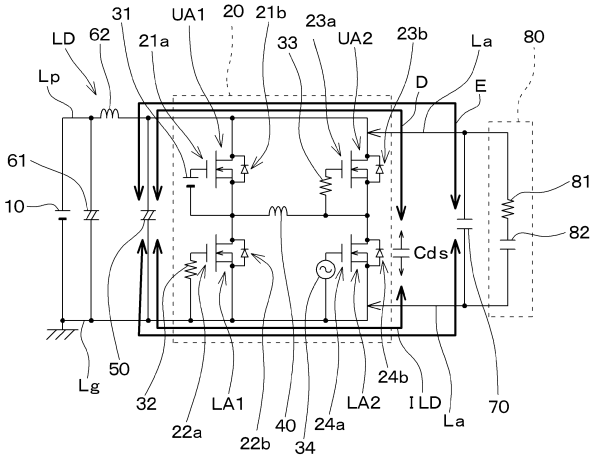
【図５】


共振周波数
周波数用コンデンサなし
周波数用コンデンサあり
配線ESL、ドレインソース間容量

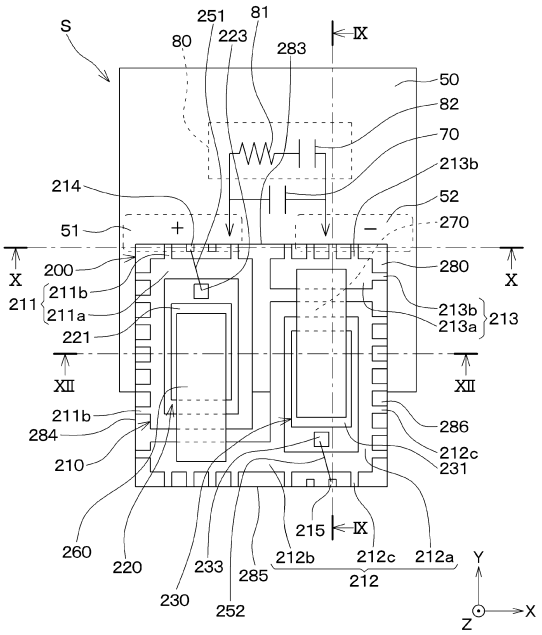
【図６】


ILd
P
R
VLDs
電流、電圧
t0
時間

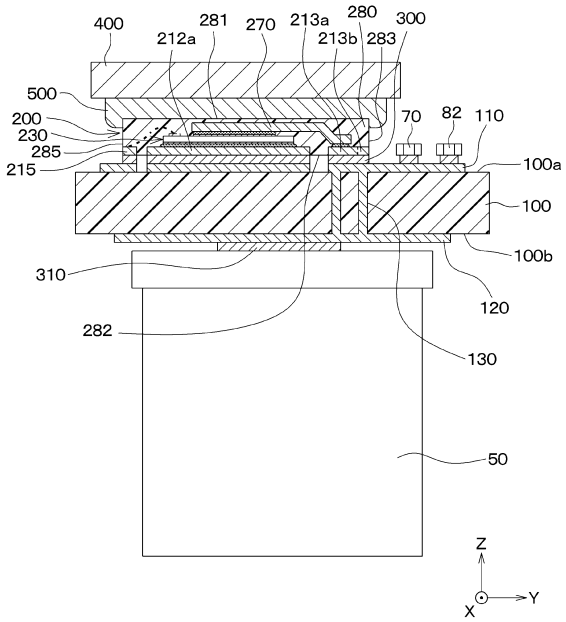
【図７】


LD
62
31
21a
UA1
20
21b
23a
33
UA2
23b
La
80
Lp
D
E
61
10
81
82
Cds
Lg
50
32
22a
LA1
22b
40
34
24a
LA2
24b
ILD
La
70

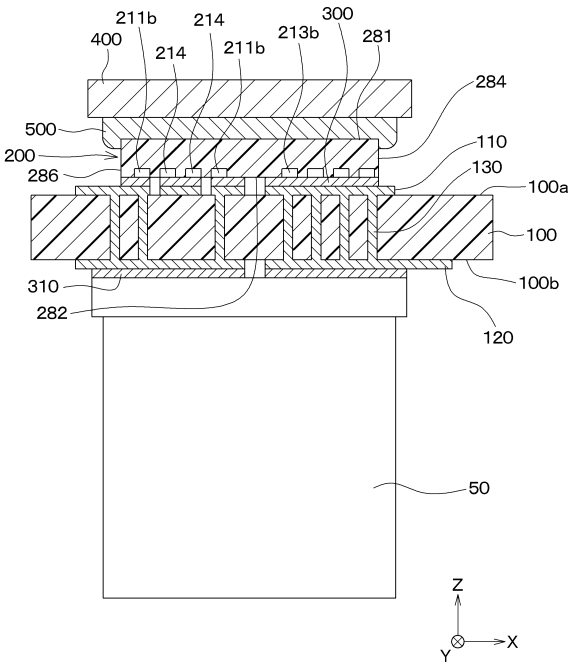
【図８】


S
251
81
80
223
283
Ⅸ
50
82
70
213b
214
52
51
270
X
200
280
211
211b
211a
213b
213a
213
221
XII
211b
284
286
212c
231
210
215
260
220
233
285
212b
212c
212a
212
230
252
Y
Z
X

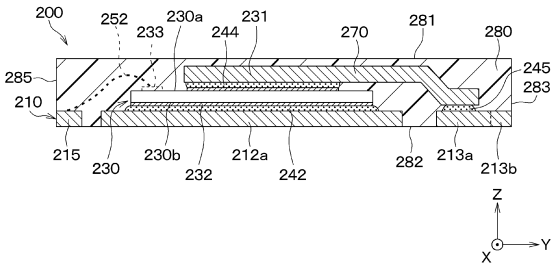
【図９】



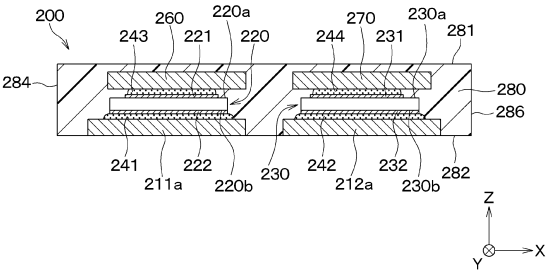
【図１０】



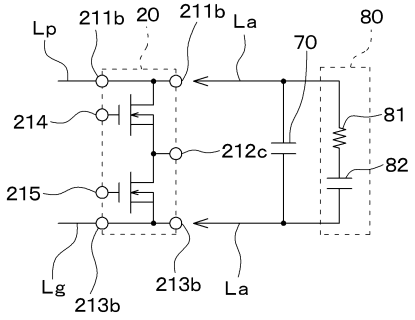
【図１１】



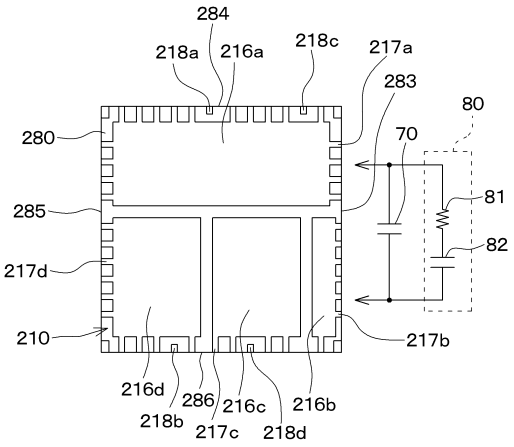
【図１２】



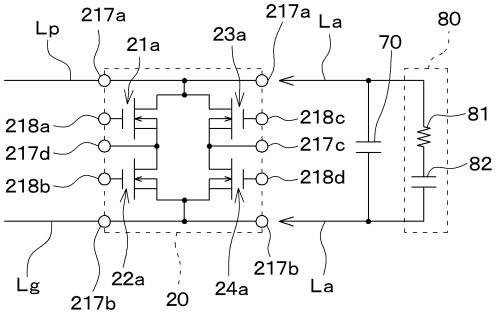
【図１３】



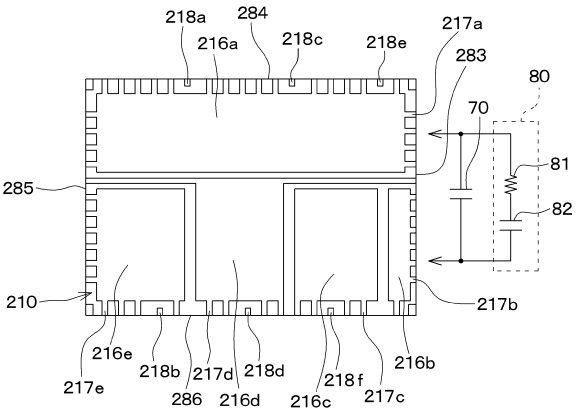
【図１４】



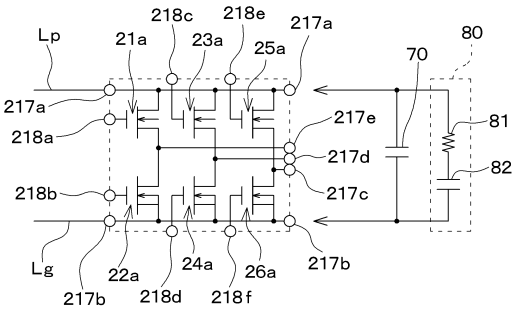
【図１５】



【図１６】



【図１７】


Lp
218c
218e
217a
21a
23a
25a
80
70
217a
218a
217e
81
217d
82
218b
217c
Lg
217b
22a
24a
26a
217b
218d
218f

フロントページの続き

Ｆターム（参考） QA08