

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-197821

(P2019-197821A)

(43) 公開日 令和1年11月14日(2019.11.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/11568 (2017.01)	HO 1 L 27/11568	5 F 0 8 3
HO 1 L 27/11536 (2017.01)	HO 1 L 27/11536	5 F 1 0 1
HO 1 L 27/11573 (2017.01)	HO 1 L 27/11573	
HO 1 L 27/11521 (2017.01)	HO 1 L 27/11521	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	
審査請求 未請求 請求項の数 20 O L (全 51 頁) 最終頁に続く		

(21) 出願番号 特願2018-91290 (P2018-91290)
 (22) 出願日 平成30年5月10日 (2018.5.10)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110002066
 特許業務法人筒井国際特許事務所
 (72) 発明者 川嶋 祥之
 東京都江東区豊洲三丁目2番24号 ルネ
 サスエレクトロニクス株式会社内
 Fターム(参考) 5F083 EP02 EP18 EP25 EP26 EP33
 EP34 EP36 EP48 EP63 EP68
 ER03 ER04 ER09 ER14 ER19
 ER21 ER30 GA25 GA28 JA02
 JA04 JA19 JA32 JA35 JA39
 LA10 MA06 MA16 MA19 PR21
 PR40 PR43 PR53 ZA01
 最終頁に続く

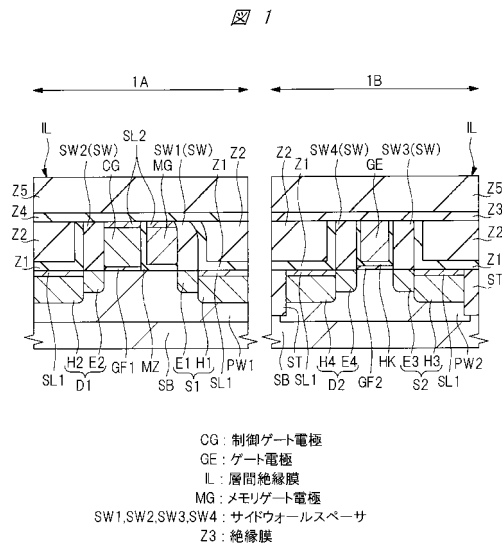
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】半導体装置の信頼性を向上させる。

【解決手段】半導体装置は、不揮発メモリのメモリセルと、周辺回路用のMISFETとを備えている。層間絶縁膜ILは、メモリセル用のゲート絶縁膜と制御ゲート電極CGとメモリゲート電極MGとサイドウォールスペーサSW1, SW2とからなる構造体上に形成され、かつ窒化シリコンまたは酸化アルミニウムからなる絶縁膜Z3を含んでいる。絶縁膜Z3は、MISFET用のゲート絶縁膜とゲート電極GEとサイドウォールスペーサSW3, SW4とからなる構造体上には形成されていない。層間絶縁膜ILは、ゲート電極GEの上方に配置される窒化シリコン膜を含んでおらず、かつ、ゲート電極GEの上方に配置される酸化アルミニウム膜も含んでいない。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

不揮発性メモリのメモリセルおよび電界効果トランジスタを備える半導体装置であって、

半導体基板と、

前記半導体基板内に形成され、それぞれ前記メモリセルのソースまたはドレイン用の半導体領域として機能する第 1 半導体領域および第 2 半導体領域と、

前記半導体基板内に形成され、それぞれ前記電界効果トランジスタのソースまたはドレイン用の半導体領域として機能する第 3 半導体領域および第 4 半導体領域と、

前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基板上に第 1 ゲート絶縁膜を介して形成された、前記メモリセル用の第 1 ゲート電極と、

前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基板上に、電荷蓄積部を有する第 2 ゲート絶縁膜を介して形成された、前記メモリセル用の第 2 ゲート電極と、

前記第 3 半導体領域と前記第 4 半導体領域との間の前記半導体基板上に第 3 ゲート絶縁膜を介して形成された、前記電界効果トランジスタ用の第 3 ゲート電極と、

前記第 1 ゲート電極の前記第 2 ゲート電極側とは反対側に形成された第 1 サイドウォールスペーサと、

前記第 2 ゲート電極の前記第 1 ゲート電極側とは反対側に形成された第 2 サイドウォールスペーサと、

前記第 3 ゲート電極の両側に形成された第 3 サイドウォールスペーサおよび第 4 サイドウォールスペーサと、

前記第 1 および第 2 ゲート絶縁膜と前記第 1 および第 2 ゲート電極と前記第 1 および第 2 サイドウォールスペーサとからなる第 1 構造体と、前記第 3 ゲート絶縁膜と前記第 3 ゲート電極と前記第 3 および第 4 サイドウォールスペーサとからなる第 2 構造体とを覆う層間絶縁膜と、

前記層間絶縁膜上に形成された第 1 配線と、

を有し、

前記層間絶縁膜は、

前記第 1、第 2、第 3 および第 4 半導体領域上と前記第 1、第 2、第 3 および第 4 サイドウォールスペーサの側面上とに形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成された第 2 絶縁膜と、

前記第 1 構造体上に形成された第 3 絶縁膜と、

を含み、

前記第 1 絶縁膜が窒化シリコンからなるか、あるいは、前記第 1 および第 2 サイドウォールスペーサが窒化シリコン膜を含んでおり、

前記第 3 絶縁膜は、窒化シリコンまたは酸化アルミニウムからなり、

前記第 1 および第 2 ゲート電極の上方には前記第 3 絶縁膜が存在し、

前記第 2 構造体の上方には前記第 3 絶縁膜は配置されておらず、

前記層間絶縁膜は、前記第 3 ゲート電極の上方に配置される窒化シリコン膜を含んでおらず、かつ、前記第 3 ゲート電極の上方に配置される酸化アルミニウム膜も含んでいない

、半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 ゲート電極と前記第 2 ゲート電極とは、前記第 2 ゲート絶縁膜を介して隣り合っている、半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記第 1 絶縁膜は窒化シリコンからなり、

前記第 2 絶縁膜は酸化シリコンからなる、半導体装置。

【請求項 4】

- 請求項 1 記載の半導体装置において、
前記第 1 および第 2 絶縁膜は、前記第 1 および第 2 構造体の周囲に形成されており、前記第 1、第 2 および第 3 ゲート電極の上方には形成されていない、半導体装置。
- 【請求項 5】
請求項 4 記載の半導体装置において、
前記層間絶縁膜は、前記第 1 および第 2 構造体と前記第 1 および第 2 絶縁膜との上方に、前記第 3 絶縁膜を覆うように形成された第 4 絶縁膜を更に含む、半導体装置。
- 【請求項 6】
請求項 5 記載の半導体装置において、
前記第 4 絶縁膜は酸化シリコンからなる、半導体装置。 10
- 【請求項 7】
請求項 5 記載の半導体装置において、
前記層間絶縁膜は、前記第 2 構造体上に形成された第 5 絶縁膜を更に含み、
前記第 4 絶縁膜は、前記第 3 絶縁膜および前記第 5 絶縁膜を覆うように形成されている、半導体装置。
- 【請求項 8】
請求項 7 記載の半導体装置において、
前記第 5 絶縁膜は酸化シリコンからなる、半導体装置。
- 【請求項 9】
請求項 7 記載の半導体装置において、
前記第 3 絶縁膜と前記第 5 絶縁膜とは、重なっておらず、互いに隣接している、半導体装置。 20
- 【請求項 10】
請求項 7 記載の半導体装置において、
前記第 3 絶縁膜と前記第 5 絶縁膜とは、重なっておらず、互いに離間している、半導体装置。
- 【請求項 11】
請求項 5 記載の半導体装置において、
前記第 3 絶縁膜の側面は、前記第 1 サイドウォールスペーサ上、第 2 サイドウォールスペーサ上または前記第 1 絶縁膜の端面上に位置する、半導体装置。 30
- 【請求項 12】
請求項 1 記載の半導体装置において、
前記層間絶縁膜には、前記層間絶縁膜を貫通する複数のコンタクトホールが形成され、
前記複数のコンタクトホール内には、それぞれ導電性のプラグが形成されている、半導体装置。
- 【請求項 13】
請求項 1 記載の半導体装置において、
前記第 3 ゲート電極はメタルゲート電極である、半導体装置。
- 【請求項 14】
請求項 1 記載の半導体装置において、
前記第 3 絶縁膜は、窒化シリコン膜である、半導体装置。 40
- 【請求項 15】
不揮発性メモリのメモリセルおよび電界効果トランジスタを備える半導体装置であって、
半導体基板と、
前記半導体基板内に形成され、それぞれ前記メモリセルのソースまたはドレイン用の半導体領域として機能する第 1 半導体領域および第 2 半導体領域と、
前記半導体基板内に形成され、それぞれ前記電界効果トランジスタのソースまたはドレイン用の半導体領域として機能する第 3 半導体領域および第 4 半導体領域と、
前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基板上に第 1 ゲート絶縁 50

膜を介して形成された、前記メモリセル用の第1ゲート電極と、

前記第1半導体領域と前記第2半導体領域との間の前記半導体基板の上に、電荷蓄積部を有する第2ゲート絶縁膜を介して形成された、前記メモリセル用の第2ゲート電極と、

前記第3半導体領域と前記第4半導体領域との間の前記半導体基板の上に第3ゲート絶縁膜を介して形成された、前記電界効果トランジスタ用の第3ゲート電極と、

前記第1ゲート電極の前記第2ゲート電極側とは反対側に形成された第1サイドウォールスペーサと、

前記第2ゲート電極の前記第1ゲート電極側とは反対側に形成された第2サイドウォールスペーサと、

前記第3ゲート電極の両側に形成された第3サイドウォールスペーサおよび第4サイドウォールスペーサと、

前記第1および第2ゲート絶縁膜と前記第1および第2ゲート電極と前記第1および第2サイドウォールスペーサとからなる第1構造体と、前記第3ゲート絶縁膜と前記第3ゲート電極と前記第3および第4サイドウォールスペーサとからなる第2構造体とを覆う層間絶縁膜と、

前記層間絶縁膜上に形成された第1配線と、

を有し、

前記層間絶縁膜は、

前記第1、第2、第3および第4半導体領域上と前記第1、第2、第3および第4サイドウォールスペーサの側面上とに形成された第1絶縁膜と、

前記第1絶縁膜上に形成された第2絶縁膜と、

前記第1構造体上に形成された第3絶縁膜と、

を含み、

前記第1絶縁膜が水素に対するバリア性を有するか、あるいは、前記第1および第2サイドウォールスペーサが、水素に対するバリア性を有する膜を含んでおり、

前記第3絶縁膜は、水素に対するバリア性を有し、

前記第1および第2ゲート電極の上方には前記第3絶縁膜が存在し、

前記第2構造体の上方には前記第3絶縁膜は配置されておらず、

前記層間絶縁膜は、前記第3ゲート電極の上方に配置されかつ水素に対するバリア性を有する膜を含んでいない、半導体装置。

【請求項16】

不揮発性メモリのメモリセルおよび電界効果トランジスタを備える半導体装置の製造方法であって、

(a) 半導体基板を用意する工程、

(b) 前記半導体基板の上に第1ゲート絶縁膜を介して前記メモリセル用の第1ゲート電極を形成し、前記半導体基板の上に電荷蓄積部を有する第2ゲート絶縁膜を介して前記メモリセル用の第2ゲート電極を形成し、前記半導体基板の上に第3ゲート絶縁膜を介して前記電界効果トランジスタ用のダミーゲート電極を形成する工程、

ここで、前記第1ゲート電極と前記第2ゲート電極とは、前記第2ゲート絶縁膜を介して隣り合い、

(c) 前記第1ゲート電極の前記第2ゲート電極に隣合う側とは反対側に配置される第1サイドウォールスペーサと、前記第2ゲート電極の前記第1ゲート電極に隣合う側とは反対側に配置される第2サイドウォールスペーサと、前記ダミーゲート電極の両側に配置される第3サイドウォールスペーサおよび第4サイドウォールスペーサとを形成する工程、

(d) 前記第1および第2ゲート電極と前記第1および第2サイドウォールスペーサとからなる第1構造体の両側における前記半導体基板に第1半導体領域および第2半導体領域を形成し、前記ダミーゲート電極と前記第3および第4サイドウォールスペーサとからなる第2構造体の両側における前記半導体基板に第3半導体領域および第4半導体領域を形成する工程、

10

20

30

40

50

ここで、前記第 1 半導体領域および前記第 2 半導体領域は、それぞれ、前記メモリセルのソースまたはドレイン用の半導体領域として機能し、

前記第 3 半導体領域および前記第 4 半導体領域は、それぞれ、前記電界効果トランジスタのソースまたはドレイン用の半導体領域として機能し、

(e) 前記 (d) 工程後、前記半導体基板上に、前記第 1 構造体および前記第 2 構造体を覆うように、第 1 層間絶縁膜を形成する工程、

ここで、前記第 1 層間絶縁膜は、第 1 絶縁膜と、前記第 1 絶縁膜上の第 2 絶縁膜とを有し、

(f) 前記第 1 層間絶縁膜の一部を除去して、前記第 1 ゲート電極、前記第 2 ゲート電極および前記ダミーゲート電極のそれぞれの上面を前記第 1 層間絶縁膜から露出させる工程、

(g) 前記 (f) 工程後、前記ダミーゲート電極を除去し、前記ダミーゲート電極が除去された領域に第 3 ゲート電極を形成する工程、

(h) 前記第 1 および第 2 ゲート電極を覆う第 3 絶縁膜を形成する工程、

ここで、前記第 3 ゲート電極上には前記第 3 絶縁膜は配置されず、

(i) 前記第 1、第 2 および第 3 ゲート電極と前記第 1、第 2、第 3 および第 4 サイドウォールスペーサと前記第 1 層間絶縁膜との上方に、前記第 3 絶縁膜を覆うように、第 4 絶縁膜を形成する工程、

(j) 前記第 4 絶縁膜上に第 1 配線を形成する工程、

を有し、

前記第 1 絶縁膜が窒化シリコンからなるか、あるいは、前記第 1 および第 2 サイドウォールスペーサが窒化シリコン膜を含んでおり、

前記第 3 絶縁膜は、窒化シリコンまたは酸化アルミニウムからなり、

前記第 4 絶縁膜は、窒化シリコンおよび酸化アルミニウム以外の絶縁材料からなり、

前記第 4 絶縁膜と前記第 3 ゲート電極との間には、窒化シリコン膜および酸化アルミニウム膜のいずれも形成されていない、半導体装置の製造方法。

【請求項 17】

請求項 16 記載の半導体装置の製造方法において、

前記 (g) 工程後で、前記 (h) 工程前に、

(g1) 前記第 3 ゲート電極を覆いかつ前記第 1 および第 2 ゲート電極を露出する第 5 絶縁膜を形成する工程、

(g2) 前記第 1 および第 2 ゲート電極のそれぞれの上部に、金属シリサイド層を形成する工程、

を更に有し、

前記 (h) 工程は、

(h1) 前記第 1 構造体と前記第 5 絶縁膜とを覆うように、前記第 3 絶縁膜形成用の第 6 絶縁膜を形成する工程、

(h2) 前記第 5 絶縁膜上の前記第 6 絶縁膜を研磨して除去する工程、

を有し、

前記 (h2) 工程後に残存する前記第 6 絶縁膜により、前記第 3 絶縁膜が形成され、

前記 (i) 工程では、前記第 3 および第 5 絶縁膜上に、前記第 4 絶縁膜が形成される、半導体装置の製造方法。

【請求項 18】

請求項 16 記載の半導体装置の製造方法において、

前記 (g) 工程後で、前記 (h) 工程前に、

(g1) 前記第 3 ゲート電極を覆いかつ前記第 1 および第 2 ゲート電極を露出する第 5 絶縁膜を形成する工程、

(g2) 前記第 1 および第 2 ゲート電極のそれぞれの上部に、金属シリサイド層を形成する工程、

を更に有し、

10

20

30

40

50

前記 (h) 工程は、

(h 1) 前記第 1 構造体と前記第 5 絶縁膜とを覆うように、前記第 3 絶縁膜形成用の第 6 絶縁膜を形成する工程、

(h 2) 前記第 6 絶縁膜上にマスク層を形成する工程、

(h 3) 前記マスク層をエッチングマスクとして用いて前記第 6 絶縁膜をエッチングしてパターニングする工程、

を有し、

前記 (h 3) 工程後に残存する前記第 6 絶縁膜により、前記第 3 絶縁膜が形成され、

前記 (i) 工程では、前記第 3 および第 5 絶縁膜上に、前記第 4 絶縁膜が形成される、半導体装置の製造方法。

10

【請求項 19】

請求項 16 記載の半導体装置の製造方法において、

前記第 3 ゲート電極はメタルゲート電極である、半導体装置の製造方法。

【請求項 20】

請求項 19 記載の半導体装置の製造方法において、

前記 (g) 工程では、前記ダミーゲート電極と前記第 1 ゲート電極と前記第 2 ゲート電極とを除去し、前記ダミーゲート電極が除去された領域に第 3 ゲート電極を形成し、前記第 1 ゲート電極が除去された領域に前記メモリセル用の第 1 メタルゲート電極を形成し、前記第 2 ゲート電極が除去された領域に前記メモリセル用の第 2 メタルゲート電極を形成し、

20

前記 (h) 工程では、前記第 1 および第 2 メタルゲート電極を覆うように、前記第 3 絶縁膜が形成される、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、不揮発性メモリを有する半導体装置およびその製造方法に好適に利用できるものである。

【背景技術】

【0002】

電氣的に書込・消去が可能な不揮発性半導体記憶装置として、EEPROM (Electrically Erasable and Programmable Read Only Memory) が広く使用されている。現在広く用いられているフラッシュメモリに代表されるこれらの記憶装置は、MISFETのゲート電極下に、酸化膜で囲まれた導電性の浮遊ゲート電極あるいはトラップ性絶縁膜を有しており、浮遊ゲートあるいはトラップ性絶縁膜での電荷蓄積状態を記憶情報とし、それをトランジスタの閾値として読み出すものである。なお、トラップ性絶縁膜とは、電荷の蓄積可能な絶縁膜をいい、一例として、窒化シリコン膜などがあげられる。このような電荷蓄積領域への電荷の注入・放出によってMISFETのしきい値をシフトさせ記憶素子として動作させる。このフラッシュメモリとしては、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 膜を用いたスプリットゲート型セルがある。

30

【0003】

国際公開WO2016/088196号(特許文献1)には、不揮発性メモリを備える半導体装置に関する技術が記載されている。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】国際公開WO2016/088196号

【発明の概要】

【発明が解決しようとする課題】

【0005】

不揮発性メモリを有する半導体装置において、信頼性を向上させることが望まれる。

50

【 0 0 0 6 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 0 7 】

一実施の形態によれば、半導体装置は、不揮発性メモリのメモリセルおよび電界効果トランジスタを備えている。半導体装置を構成する半導体基板内には、前記メモリセルのソース・ドレイン用の第1および第2半導体領域と、前記電界効果トランジスタのソース・ドレイン用の第3および第4半導体領域と、が形成されている。前記第1半導体領域と前記第2半導体領域との間の前記半導体基板上に、前記メモリセル用の第1ゲート電極が第1ゲート絶縁膜を介して形成され、前記メモリセル用の第2ゲート電極が電荷蓄積部を有する第2ゲート絶縁膜を介して形成されている。前記第3半導体領域と前記第4半導体領域との間の前記半導体基板上に、前記電界効果トランジスタ用の第3ゲート電極が第3ゲート絶縁膜を介して形成されている。前記第1ゲート電極の隣に第1サイドウォールスペーサが形成され、前記第2ゲート電極の隣に第2サイドウォールスペーサが形成され、前記第3ゲート電極の両隣に第3および第4サイドウォールスペーサが形成されている。前記第1および第2ゲート絶縁膜と前記第1および第2ゲート電極と前記第1および第2サイドウォールスペーサとからなる第1構造体と、前記第3ゲート絶縁膜と前記第3ゲート電極と前記第3および第4サイドウォールスペーサとからなる第2構造体とを、層間絶縁膜が覆い、前記層間絶縁膜上に第1配線が形成されている。前記層間絶縁膜は、前記第1、第2、第3および第4半導体領域上と前記第1、第2、第3および第4サイドウォールスペーサの側面上とに形成された第1絶縁膜と、前記第1絶縁膜上に形成された第2絶縁膜と、前記第1構造体上に形成され、かつ窒化シリコンまたは酸化アルミニウムからなる第3絶縁膜とを含んでいる。前記第3絶縁膜は、前記第2構造体の上方には配置されておらず、前記層間絶縁膜は、前記第3ゲート電極の上方に配置される窒化シリコン膜を含んでおらず、かつ、前記第3ゲート電極の上方に配置される酸化アルミニウム膜も含んでいない。

10

20

【発明の効果】

【 0 0 0 8 】

一実施の形態によれば、半導体装置の信頼性を向上させることができる。

30

【図面の簡単な説明】

【 0 0 0 9 】

【図1】一実施の形態である半導体装置の要部断面図である。

【図2】一実施の形態である半導体装置の要部断面図である。

【図3】一実施の形態である半導体装置の要部断面図である。

【図4】メモリセルの等価回路図である。

【図5】変形例の半導体装置の要部断面図である。

【図6】「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

【図7】一実施の形態の半導体装置の製造工程中の要部断面図である。

40

【図8】図7に続く半導体装置の製造工程中の要部断面図である。

【図9】図8に続く半導体装置の製造工程中の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】図10に続く半導体装置の製造工程中の要部断面図である。

【図12】図11に続く半導体装置の製造工程中の要部断面図である。

【図13】図12に続く半導体装置の製造工程中の要部断面図である。

【図14】図13に続く半導体装置の製造工程中の要部断面図である。

【図15】図14に続く半導体装置の製造工程中の要部断面図である。

【図16】図15に続く半導体装置の製造工程中の要部断面図である。

【図17】図16に続く半導体装置の製造工程中の要部断面図である。

50

- 【図18】図17に続く半導体装置の製造工程中の要部断面図である。
- 【図19】図18に続く半導体装置の製造工程中の要部断面図である。
- 【図20】図19に続く半導体装置の製造工程中の要部断面図である。
- 【図21】図20に続く半導体装置の製造工程中の要部断面図である。
- 【図22】図21に続く半導体装置の製造工程中の要部断面図である。
- 【図23】図22に続く半導体装置の製造工程中の要部断面図である。
- 【図24】図23に続く半導体装置の製造工程中の要部断面図である。
- 【図25】図24に続く半導体装置の製造工程中の要部断面図である。
- 【図26】図25に続く半導体装置の製造工程中の要部断面図である。
- 【図27】図26に続く半導体装置の製造工程中の要部断面図である。 10
- 【図28】図27に続く半導体装置の製造工程中の要部断面図である。
- 【図29】図28に続く半導体装置の製造工程中の要部断面図である。
- 【図30】図29に続く半導体装置の製造工程中の要部断面図である。
- 【図31】図30に続く半導体装置の製造工程中の要部断面図である。
- 【図32】図31に続く半導体装置の製造工程中の要部断面図である。
- 【図33】図32に続く半導体装置の製造工程中の要部断面図である。
- 【図34】第1検討例の半導体装置の製造工程中の要部断面図である。
- 【図35】図34に続く半導体装置の製造工程中の要部断面図である。
- 【図36】第2検討例の半導体装置の製造工程中の要部断面図である。
- 【図37】図36に続く半導体装置の製造工程中の要部断面図である。 20
- 【図38】他の実施の形態の半導体装置の製造工程中の要部断面図である。
- 【図39】図38に続く半導体装置の製造工程中の要部断面図である。
- 【図40】図39に続く半導体装置の製造工程中の要部断面図である。
- 【図41】図40に続く半導体装置の製造工程中の要部断面図である。
- 【図42】図41に続く半導体装置の製造工程中の要部断面図である。
- 【図43】図42に続く半導体装置の製造工程中の要部断面図である。
- 【図44】図43に続く半導体装置の製造工程中の要部断面図である。
- 【図45】他の実施の形態の半導体装置の製造工程中の要部断面図である。
- 【図46】図45に続く半導体装置の製造工程中の要部断面図である。
- 【図47】図46に続く半導体装置の製造工程中の要部断面図である。 30
- 【図48】図47に続く半導体装置の製造工程中の要部断面図である。
- 【図49】図48に続く半導体装置の製造工程中の要部断面図である。
- 【図50】他の実施の形態の半導体装置の製造工程中の要部断面図である。
- 【図51】図50に続く半導体装置の製造工程中の要部断面図である。
- 【図52】図51に続く半導体装置の製造工程中の要部断面図である。
- 【図53】図52に続く半導体装置の製造工程中の要部断面図である。
- 【図54】図53に続く半導体装置の製造工程中の要部断面図である。
- 【図55】図54に続く半導体装置の製造工程中の要部断面図である。
- 【図56】図55に続く半導体装置の製造工程中の要部断面図である。
- 【図57】図56に続く半導体装置の製造工程中の要部断面図である。 40
- 【図58】図57に続く半導体装置の製造工程中の要部断面図である。
- 【発明を実施するための形態】
- 【0010】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合お

よび原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0011】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

10

【0012】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0013】

(実施の形態1)

<半導体装置の構造について>

本実施の形態および以下の実施の形態の半導体装置は、不揮発性メモリ(不揮発性記憶素子、フラッシュメモリ、不揮発性半導体記憶装置)を備えた半導体装置である。本実施の形態および以下の実施の形態では、不揮発性メモリは、nチャネル型MISFET(Metal Insulator Semiconductor Field Effect Transistor)を基本としたメモリセルをもとに説明を行う。また、本実施の形態および以下の実施の形態での極性は、nチャネル型MISFETを基本としたメモリセルの場合の動作を説明するためのものであり、pチャネル型MISFETを基本とする場合は、印加電位やキャリアの導電型等の全ての極性を反転させることで、原理的には同じ動作を得ることができる。

20

【0014】

本実施の形態の半導体装置を図面を参照して説明する。

【0015】

図1~図3は、本実施の形態の半導体装置の要部断面図である。図1には、メモリ領域1Aおよび周辺回路領域1Bの要部断面図が示されており、図2は、図1のメモリ領域1Aの部分拡大断面図であり、図3は、図1の周辺回路領域1Bの部分拡大断面図である。但し、図1に示される絶縁膜Z1, Z2, Z3, Z4, Z5については、図2および図3では図示を省略してある。図4は、メモリセルMCの等価回路図である。

30

【0016】

ここで、メモリ領域1Aは、半導体基板SBの主面において、不揮発性メモリのメモリセルが形成されている領域である。また、周辺回路領域1Bは、半導体基板SBの主面において、周辺回路を構成するMISFETが形成されている領域である。メモリ領域1Aと周辺回路領域1Bとは、同一の半導体基板SBの主面における互いに異なる平面領域に対応している。また、周辺回路とは、不揮発性メモリ以外の回路であり、例えば、CPUなどのプロセッサ、制御回路、センスアンプ、カラムデコーダ、ロウデコーダ、入出力回路などである。

40

【0017】

例えば1~10 cm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)SBには、素子を分離するための素子分離領域(素子分離部)STが形成されている。メモリ領域1Aにおいて、素子分離領域STで規定された活性領域に、p型ウエルPW1が形成されている。

【0018】

メモリ領域1Aには、実際には複数のメモリセルMCがアレイ状に形成されているが、図1および図2には、代表して1つのメモリセルMCが示されている。メモリセルMCは、スプリットゲート型のメモリセルであり、制御ゲート電極CGを有する制御トランジス

50

タ（選択トランジスタ）とメモリゲート電極MGを有するメモリトランジスタ（記憶用トランジスタ）との2つのMISFETを接続したものである。

【0019】

以下に、不揮発性メモリのメモリセルMCの基本構成について具体的に説明する。

【0020】

図1および図2に示されるように、不揮発性メモリのメモリセルMCは、半導体基板SBのp型ウエルPW1中に形成されたソース・ドレイン用のn型の半導体領域S1、D1と、半導体基板SB（p型ウエルPW1）の上に形成された制御ゲート電極CGと、半導体基板SB（p型ウエルPW1）の上に形成されて制御ゲート電極CGと隣合うメモリゲート電極MGとを有している。不揮発性メモリのメモリセルMCは、更に、制御ゲート電極CGおよび半導体基板SB（p型ウエルPW1）間に形成された絶縁膜GF1と、メモリゲート電極MGおよび半導体基板SB（p型ウエルPW1）間とメモリゲート電極MGおよび制御ゲート電極CG間とに形成された絶縁膜MZと、を有している。不揮発性メモリのメモリセルMCは、更に、メモリゲート電極MGおよび制御ゲート電極CGの互いに隣接していない側の側面上に形成されたサイドウォールスペーサSWを有している。

10

【0021】

制御ゲート電極CG（第1ゲート電極）およびメモリゲート電極MG（第2ゲート電極）は、それらの対向側面の間に絶縁膜MZを介した状態で、半導体基板SBの主面に沿って延在し、並んで配置されている。制御ゲート電極CGおよびメモリゲート電極MGの延在方向は、図1および図2の紙面に垂直な方向である。制御ゲート電極CGおよびメモリゲート電極MGは、それぞれ導電膜からなり、ここでは、n型ポリシリコン膜のようなシリコン膜からなる。

20

【0022】

制御ゲート電極CGおよびメモリゲート電極MGは、半導体領域D1と半導体領域S1との間の半導体基板SB（p型ウエルPW1）上に形成されており、半導体領域S1側にメモリゲート電極MGが位置し、半導体領域D1側に制御ゲート電極CGが位置している。但し、制御ゲート電極CGは絶縁膜GF1（第1ゲート絶縁膜）を介し、メモリゲート電極MGは絶縁膜MZ（第2ゲート絶縁膜）を介して、半導体基板SB（p型ウエルPW1）上に形成されている。制御ゲート電極CGと半導体基板SB（p型ウエルPW1）との間に形成された絶縁膜GF1、すなわち制御ゲート電極CGの下の絶縁膜GF1が、制御トランジスタのゲート絶縁膜として機能する。絶縁膜GF1は、例えば酸化シリコン膜などからなる。

30

【0023】

制御ゲート電極CGとメモリゲート電極MGとは、間に絶縁膜MZを介在して互いに隣合っている。絶縁膜MZは、メモリゲート電極MGと半導体基板SB（p型ウエルPW1）との間の領域と、メモリゲート電極MGと制御ゲート電極CGとの間の領域の、両領域にわたって連続的に延在している。絶縁膜MZはゲート絶縁膜とみなすことができる。但し、メモリゲート電極MGと半導体基板SB（p型ウエルPW1）との間の絶縁膜MZ、すなわちメモリゲート電極MGの下の絶縁膜MZは、メモリトランジスタのゲート絶縁膜として機能するが、メモリゲート電極MGと制御ゲート電極CGとの間の絶縁膜MZは、メモリゲート電極MGと制御ゲート電極CGとの間を絶縁するための絶縁膜として機能する。

40

【0024】

絶縁膜MZは、積層絶縁膜であり、絶縁膜MZ1と、絶縁膜MZ1上の絶縁膜MZ2と、絶縁膜MZ2上の絶縁膜MZ3とを有する積層膜からなる。ここでは、絶縁膜MZ1は、酸化シリコン膜からなり、絶縁膜MZ2は、窒化シリコン膜からなり、絶縁膜MZ3は、酸化シリコン膜からなる。

【0025】

なお、図1では、図面を見やすくするために、絶縁膜MZ1、MZ2、MZ3からなる積層膜を、単に絶縁膜MZとして図示しているが、実際には、図2に示されるように、絶

50

縁膜 MZ は、絶縁膜 MZ1, MZ2, MZ3 の積層膜からなる。

【0026】

絶縁膜 MZ のうち、絶縁膜 MZ2 は、電荷蓄積機能を有する絶縁膜（トラップ性絶縁膜）であり、電荷蓄積部（電荷蓄積層）として機能することができる。このため、絶縁膜 MZ は、その内部に電荷蓄積部（ここでは絶縁膜 MZ2）を有する絶縁膜とみなすことができる。絶縁膜 MZ のうち、トラップ性絶縁膜である絶縁膜 MZ2 の上下に位置する絶縁膜 MZ3 と絶縁膜 MZ1 とは、トラップ性絶縁膜に電荷を閉じ込めるための電荷ブロック層として機能することができる。絶縁膜 MZ1 および絶縁膜 MZ3 のそれぞれのバンドギャップは、トラップ性絶縁膜である絶縁膜 MZ2 のバンドギャップよりも大きい。

【0027】

なお、絶縁膜 MZ は、電荷蓄積部を有する絶縁膜であればよく、ONO（Oxide-Nitride-Oxide）膜には限定されない。金属酸化物膜のような高誘電率絶縁膜を積層して絶縁膜 MZ を形成することもでき、例えば、酸化アルミニウム膜と酸化ハフニウム膜（またはハフニウムシリケート膜）と酸化アルミニウム膜との積層膜などを、絶縁膜 MZ として用いることもできる。また、絶縁膜 MZ は、3 層構造に限定されず、4 層以上の絶縁膜により形成することもできる。

【0028】

半導体領域 S1, D1 は、それぞれ、メモリセル MC のソースまたはドレイン用の半導体領域として機能する。すなわち、半導体領域 S1 は、ソース領域またはドレイン領域の一方として機能する半導体領域であり、半導体領域 D1 は、ソース領域またはドレイン領域の他方として機能する半導体領域である。ここでは、半導体領域 S1 はソース領域として機能し、半導体領域 D1 はドレイン領域として機能するが、メモリセル MC におけるソースおよびドレインの呼称については、メモリセル MC の読み出し動作時におけるソースおよびドレインを指している。

【0029】

半導体領域 S1, D1 は、n 型の不純物が導入された n 型の半導体領域よりなり、それぞれ LDD（lightly doped drain）構造を備えている。すなわち、ソース用の半導体領域 S1 は、n⁻型半導体領域 E1 と n⁺型半導体領域 H1 とを有し、ドレイン用の半導体領域 D1 は、n⁻型半導体領域 E2 と n⁺型半導体領域 H2 とを有している。n⁺型半導体領域 H1 は、n⁻型半導体領域 E1 よりも不純物濃度が高くかつ接合深さが深く、また、n⁺型半導体領域 H2 は、n⁻型半導体領域 E2 よりも不純物濃度が高くかつ接合深さが深い。

【0030】

メモリゲート電極 MG および制御ゲート電極 CG の互いに隣接していない側の側面（側壁）上には、絶縁体からなるサイドウォールスペーサ（側壁絶縁膜）SW が形成されている。各サイドウォールスペーサ SW は、単層または複数層の絶縁膜により形成されている。

【0031】

ここで、メモリゲート電極 MG の側面上（隣）に形成されたサイドウォールスペーサ SW を、サイドウォールスペーサ SW1 と称し、制御ゲート電極 CG の側面上（隣）に形成されたサイドウォールスペーサ SW を、サイドウォールスペーサ SW2 と称することとする。すなわち、メモリセル MC は、制御ゲート電極 CG のメモリゲート電極 MG 側とは反対側に形成されたサイドウォールスペーサ SW2 と、メモリゲート電極 MG の制御ゲート電極 CG 側とは反対側に形成されたサイドウォールスペーサ SW1 と、を有している。

【0032】

低濃度の n⁻型半導体領域 E1 は、主としてサイドウォールスペーサ SW1 の下に形成され、かつ、メモリトランジスタのチャンネル形成領域に隣接している。高濃度の n⁺型半導体領域 H1 は、n⁻型半導体領域 E1 に隣接し、かつ、メモリトランジスタのチャンネル形成領域から n⁻型半導体領域 E1 の分だけ離間している。また、低濃度の n⁻型半導体領域 E2 は、主としてサイドウォールスペーサ SW2 の下に形成され、かつ、制御トラン

10

20

30

40

50

ジスタのチャンネル形成領域に隣接している。高濃度の n^+ 型半導体領域 $H2$ は、 n^- 型半導体領域 $E2$ に隣接し、かつ、制御トランジスタのチャンネル形成領域から n^- 型半導体領域 $E2$ の分だけ離間している。

【0033】

p型ウエル $PW1$ において、メモリゲート電極 MG の下の絶縁膜 MZ の下の領域が、メモリトランジスタのチャンネル形成領域に対応している。また、p型ウエル $PW1$ において、制御ゲート電極 CG の下の絶縁膜 $GF1$ の下の領域が、制御トランジスタのチャンネル形成領域に対応している。

【0034】

以上が、メモリセル MC の基本構成である。

10

【0035】

次に、周辺回路領域 $1B$ に形成された $MISFET2$ （電界効果トランジスタ）の基本構成を具体的に説明する。なお、ここでは、 $MISFET2$ が n チャンネル型の場合について説明するが、 p チャンネル型であってもよい。また、 n チャンネル型の $MISFET$ と p チャンネル型の $MISFET$ の両方を周辺回路領域 $1B$ に形成することもできる。

【0036】

図1および図3に示されるように、周辺回路領域 $1B$ の半導体基板 SB において、素子分離領域 ST で規定された活性領域に、p型ウエル $PW2$ が形成されている。 $MISFET2$ は、半導体基板 SB のp型ウエル $PW2$ 中に形成されたソース・ドレイン用の n 型の半導体領域 $S2$ 、 $D2$ と、半導体基板 SB （p型ウエル $PW2$ ）上に絶縁膜 $GF2$ 、 HK を介して形成されたゲート電極 GE と、を有している。

20

【0037】

ゲート電極 GE （第3ゲート電極）は、半導体領域 $D2$ と半導体領域 $S2$ との間の半導体基板 SB （p型ウエル $PW2$ ）上に絶縁膜 $GF2$ 、 HK （第3ゲート絶縁膜）を介して形成されている。半導体領域 $S2$ 、 $D2$ は、それぞれ、 $MISFET2$ のソースまたはドレイン用の半導体領域として機能する。すなわち、半導体領域 $S2$ は、ソース領域またはドレイン領域の一方として機能する半導体領域であり、半導体領域 $D2$ は、ソース領域またはドレイン領域の他方として機能する半導体領域である。ここでは、半導体領域 $S2$ はソース領域として機能し、半導体領域 $D2$ はドレイン領域として機能する。

【0038】

30

ゲート電極 GE の側面（側壁）上にも、サイドウォールスペーサ SW が形成されている。ここで、ゲート電極 GE のソース側（半導体領域 $S2$ 側）の側面上に形成されたサイドウォールスペーサ SW を、サイドウォールスペーサ $SW3$ と称することとする。また、ゲート電極 GE のドレイン側（半導体領域 $D2$ 側）の側面上に形成されたサイドウォールスペーサ SW を、サイドウォールスペーサ $SW4$ と称することとする。すなわち、 $MISFET2$ は、ゲート電極 GE の両側にそれぞれ形成されたサイドウォールスペーサ $SW3$ 、 $SW4$ を有している。

【0039】

ゲート電極 GE と半導体基板 SB （p型ウエル $PW2$ ）の間には、絶縁膜 $GF2$ と絶縁膜 HK との積層膜が介在した状態になっており、半導体基板 SB 側が絶縁膜 $GF2$ であり、ゲート電極 GE 側が絶縁膜 HK である。ゲート電極 GE と半導体基板 SB （p型ウエル $PW2$ ）との間に介在する絶縁膜 $GF2$ と絶縁膜 HK との積層膜が、 $MISFET2$ のゲート絶縁膜として機能する。

40

【0040】

絶縁膜 $GF2$ は、例えば酸化シリコン膜からなり、絶縁膜 HK は、高誘電率絶縁膜からなる。ここで、高誘電率絶縁膜とは、酸化シリコン膜よりも高い（より好ましくは窒化シリコン膜よりも高い）誘電率を有する絶縁膜を意味し、酸化ハフニウム膜、酸化アルミニウム膜または酸化タンタル膜などの金属酸化物膜を例示できる。ゲート絶縁膜に高誘電率膜を用いた場合は、酸化シリコン膜を用いた場合に比べて、ゲート絶縁膜の物理的膜厚を増加させることができるため、リーク電流を低減できるという利点を得られる。

50

【0041】

ゲート電極GEは、導電膜からなるが、ここでは、金属膜からなる。このため、ゲート電極GEは、いわゆるメタルゲート電極である。ゲート電極GEをメタルゲート電極としたことで、ゲート電極GEの空乏化現象を抑制し、寄生容量をなくすることができるという利点を得られる。また、トランジスタ素子の小型化も可能になるという利点も得られる。

【0042】

なお、本願において、ゲート電極を構成する金属膜に言及する場合、その金属膜とは金属伝導を示す導電膜を指し、単体の金属膜（純金属膜）や合金膜だけでなく、金属伝導を示す金属化合物膜（窒化金属膜や炭化金属膜など）も含むものとする。このため、ゲート電極GEは、金属伝導を示す導電膜からなり、金属級に抵抗率が低い。

10

【0043】

詳細は後述するが、後述のダミーゲート電極DGを除去してから、その除去領域にゲート電極GEおよび絶縁膜HKを埋め込んでいる。このため、絶縁膜GF2は、ゲート電極GEと半導体基板SB（p型ウエルPW2）とに挟まれた領域に形成されているが、絶縁膜HKは、ゲート電極GEと半導体基板SB（p型ウエルPW2）とに挟まれた領域だけでなく、ゲート電極GEとサイドウォールスペーサSW3とに挟まれた領域と、ゲート電極GEとサイドウォールスペーサSW4とに挟まれた領域とにも、形成されている。

【0044】

半導体領域S2，D2は、n型の不純物が導入されたn型の半導体領域よりなり、それぞれLDD構造を備えている。すなわち、ソース用の半導体領域S2は、n⁻型半導体領域E3とn⁺型半導体領域H3とを有し、ドレイン用の半導体領域D2は、n⁻型半導体領域E4とn⁺型半導体領域H4とを有している。n⁺型半導体領域H3は、n⁻型半導体領域E3よりも不純物濃度が高くかつ接合深さが深く、また、n⁺型半導体領域H4は、n⁻型半導体領域E4よりも不純物濃度が高くかつ接合深さが深い。

20

【0045】

p型ウエルPW2において、低濃度のn⁻型半導体領域E3は、主としてサイドウォールスペーサSW3の下に形成され、かつ、MISFET2のチャネル形成領域に隣接し、低濃度のn⁻型半導体領域E4は、主としてサイドウォールスペーサSW4の下に形成され、かつ、MISFET2のチャネル形成領域に隣接している。高濃度のn⁺型半導体領域H3は、n⁻型半導体領域E3に隣接し、かつMISFET2のチャネル形成領域からn⁻型半導体領域E3の分だけ離間し、また、高濃度のn⁺型半導体領域H4は、n⁻型半導体領域E4に隣接し、かつ、MISFET2のチャネル形成領域からn⁻型半導体領域E4の分だけ離間している。p型ウエルPW2において、ゲート電極GEの下の絶縁膜HK，GF2の下の領域が、MISFET2のチャネル形成領域に対応している。

30

【0046】

以上が、MISFET2の基本構成である。

【0047】

n⁺型半導体領域H1，H2，H3，H4の各上部（上面）には、金属シリサイド層SL1が形成され、メモリゲート電極MGの上部（上面）と制御ゲート電極CGの上部（上面）とには、金属シリサイド層SL2が形成されている。金属シリサイド層SL1，SL2は、例えば、コバルトシリサイド層、ニッケルシリサイド層または白金添加ニッケルシリサイド層などからなる。なお、制御ゲート電極CG上の金属シリサイド層SL2と、メモリゲート電極MG上の金属シリサイド層SL2とは、接触しておらず、互いに離間している。メモリゲート電極MGの上部の金属シリサイド層SL2は、メモリゲート電極MGの一部とみなすこともでき、また、制御ゲート電極CGの上部の金属シリサイド層SL2は、制御ゲート電極CGの一部とみなすこともできる。

40

【0048】

半導体基板SB上には、制御ゲート電極CG、メモリゲート電極MG、ゲート電極GEおよびサイドウォールスペーサSW1，SW2，SW3，SW4を覆うように、絶縁膜として層間絶縁膜ILが形成されている。すなわち、半導体基板SB上には、メモリセルM

50

Cを構成する絶縁膜GF1, MZと制御ゲート電極CGとメモリゲート電極MGとサイドウォールスペーサSW1, SW2とからなる構造体KT1(第1構造体)と、MISFET2を構成する絶縁膜GF2, HKとゲート電極GEとサイドウォールスペーサSW3, SW4とからなる構造体KT2(第2構造体)とが形成されている。そして、半導体基板SB上に、構造体KT1, KT2を覆うように、層間絶縁膜ILが形成され、層間絶縁膜IL上に配線M1(第1配線)が形成されている。なお、配線M1は、図1では図示されていないが、後述の図33に示されている。層間絶縁膜ILは、絶縁膜Z1と絶縁膜Z2と絶縁膜Z3と絶縁膜Z4と絶縁膜Z5とからなる。

【0049】

絶縁膜Z1は、好ましくは窒化シリコン膜からなる。絶縁膜Z2は、好ましくは酸化シリコン膜からなる。絶縁膜Z3は、好ましくは酸化シリコン膜からなる。絶縁膜Z4は、窒化シリコン膜または酸化アルミニウム膜からなり、より好ましくは窒化シリコン膜からなる。絶縁膜Z5は、好ましくは酸化シリコン膜からなる。

10

【0050】

絶縁膜Z1(第1絶縁膜)は、素子分離領域ST上と、n⁺型半導体領域H1, H2, H3, H4上と、サイドウォールスペーサSW1, SW2, SW3, SW4の側面上とに形成されている。n⁺型半導体領域H1, H2, H3, H4上に金属シリサイド層SL1が形成されている場合は、その金属シリサイド層SL1上に、絶縁膜Z1が形成される。絶縁膜Z2(第2絶縁膜)は、絶縁膜Z1上に形成されている。

【0051】

なお、サイドウォールスペーサSW1の側面とは、メモリゲート電極MGに接する側とは逆側の側面に対応している。また、サイドウォールスペーサSW2の側面とは、制御ゲート電極CGと接する側とは逆側の側面に対応している。また、サイドウォールスペーサSW3, SW4の側面とは、ゲート電極GEと接する側とは逆側の側面に対応している。

20

【0052】

絶縁膜Z1および絶縁膜Z2は、構造体KT1, KT2の上方には形成されておらず、従って制御ゲート電極CGとメモリゲート電極MGとゲート電極GEとの上方には形成されておらず、構造体KT1, KT2の周囲に形成されている。n⁺型半導体領域H1, H2, H3, H4上(金属シリサイド層SL1上)に位置する絶縁膜Z1は、絶縁膜Z2とn⁺型半導体領域H1, H2, H3, H4(金属シリサイド層SL1)とで挟まれており、また、サイドウォールスペーサSW1, SW2, SW3, SW4の側面上に位置する絶縁膜Z1は、絶縁膜Z2とサイドウォールスペーサSW1, SW2, SW3, SW4とで挟まれている。

30

【0053】

制御ゲート電極CGの上部の金属シリサイド層SL2の上面と、メモリゲート電極MGの上部の金属シリサイド層SL2の上面と、ゲート電極GEの上面と、サイドウォールスペーサSW1, SW2, SW3, SW4の各上面と、絶縁膜Z2の上面と、絶縁膜Z1の端面とは、ほぼ同じ高さ位置にある。なお、絶縁膜Z1の端面は、絶縁膜Z2とサイドウォールスペーサSWとで挟まれた絶縁膜Z1の端面(絶縁膜Z1の延在方向の端面)に対応している。また、高さ又は高さ位置について言及する場合は、半導体基板SBの主面を基準として、半導体基板SBの主面に略垂直な方向の高さ又は高さ位置を言うものとし、半導体基板SBの主面に近い側を低い側、半導体基板SBの主面から遠い側を高い側とする。

40

【0054】

絶縁膜Z3(第5絶縁膜)は、周辺回路領域1Bに形成され、絶縁膜Z4(第3絶縁膜)は、メモリ領域1Aに形成されている。具体的には、周辺回路領域1Bにおいて、構造体KT2(GF1, HK, GE, SW3, SW4)上と絶縁膜Z1, Z2上とに、絶縁膜Z3が形成されている。また、メモリ領域1Aにおいて、構造体KT1(GF1, MZ, CG, MG, SW1, SW2)上と絶縁膜Z1, Z2上とに、絶縁膜Z4が形成されている。

50

【 0 0 5 5 】

絶縁膜 Z 3 と絶縁膜 Z 4 とは、厚さ方向に重なってはいないが、平面方向（半導体基板 S B の主面に略平行な方向）に隣接している。換言すると、平面視において絶縁膜 Z 3 と絶縁膜 Z 4 とは重なっていないが、絶縁膜 Z 3 の側面（端面）と絶縁膜 Z 4 の側面（端面）とが互いに接しており、平面視において絶縁膜 Z 3 と絶縁膜 Z 4 とは互いに隣接している。絶縁膜 Z 3 の上面の高さ位置と、絶縁膜 Z 4 の上面の高さ位置とは、ほぼ同じである。

【 0 0 5 6 】

絶縁膜 Z 5（第 4 絶縁膜）は、構造体 K T 1, K T 2 と絶縁膜 Z 1, Z 2 との上方に、絶縁膜 Z 3 および絶縁膜 Z 4 を覆うように形成されている。このため、絶縁膜 Z 5 は、絶縁膜 Z 3 上と絶縁膜 Z 4 上に形成されている。絶縁膜 Z 5 の上面が、層間絶縁膜 I L の上面となっている。

10

【 0 0 5 7 】

層間絶縁膜 I L には層間絶縁膜 I L を貫通する後述のコンタクトホール C T が複数形成され、各コンタクトホール C T 内には後述のプラグ P G が形成され、プラグ P G が埋め込まれた層間絶縁膜 I L 上には後述の絶縁膜 Z F および配線 M 1 が形成されているが、ここではその図示および説明は省略する。

【 0 0 5 8 】

図 5 は、本実施の形態の半導体装置の変形例の要部断面図であり、上記図 1 に対応している。

20

【 0 0 5 9 】

図 5 の変形例の半導体装置が、上記図 1 の半導体装置と相違しているのは、周辺回路領域 1 B における絶縁膜 H K の形成領域である。上記図 1 の場合は、絶縁膜 H K は、ゲート電極 G E と半導体基板 S B 上の絶縁膜 G F 2 との間と、ゲート電極 G E とサイドウォールスペーサ S W 3 との間と、ゲート電極 G E とサイドウォールスペーサ S W 4 との間とにわたって、連続的に延在している。それに対して、図 5 の場合は、絶縁膜 H K は、ゲート電極 G E と半導体基板 S B 上の絶縁膜 G F 2 との間には形成されているが、ゲート電極 G E とサイドウォールスペーサ S W 3 との間と、ゲート電極 G E とサイドウォールスペーサ S W 4 との間には、絶縁膜 H K は形成されていない。これ以外については、図 5 の構造は、図 1 の構造と同様である。

30

【 0 0 6 0 】

図 1 と図 5 の相違は、絶縁膜 H K をいつ形成したかに依存している。すなわち、後述の図 2 2 および図 2 3 のように、ダミーゲート電極 D G を除去した後に、絶縁膜 H K を形成した場合は、図 1 の構造となる。一方、ダミーゲート電極 D G を形成した段階で、既に絶縁膜 H K を形成していた場合には、図 5 の構造となる。図 1 の場合と図 5 の場合のいずれも、本実施の形態および後述の実施の形態において採用することができる。

【 0 0 6 1 】

< 不揮発性メモリの動作について >

次に、不揮発性メモリの動作例について、図 6 を参照して説明する。

【 0 0 6 2 】

図 6 は、本実施の形態の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。ここで、電圧 V m g は、メモリゲート電極 M G に印加する電圧であり、電圧 V s は、半導体領域 S 1 に印加する電圧であり、電圧 V c g は、制御ゲート電極 C G に印加する電圧であり、電圧 V d は、半導体領域 D 1 に印加する電圧であり、ベース電圧 V b は、p 型ウエル P W 1 に印加される電圧である。図 6 の表に示したものは電圧の印加条件の好適な一例であり、これに限定されない。また、本実施の形態では、メモリトランジスタの絶縁膜 M Z 中の電荷蓄積部（ここでは絶縁膜 M Z 2）への電子の注入を「書込」、ホール（hole：正孔）の注入を「消去」と定義する。

40

【 0 0 6 3 】

50

書込み方式は、ソースサイド注入によるホットエレクトロン注入で書込みを行う S S I (Source Side Injection) 方式と、F N (Fowler Nordheim) トンネリングにより書込みを行う F N 方式とがある。

【 0 0 6 4 】

S S I 方式の書込みでは、例えば図 6 の表の A または B の欄の「書込動作電圧」に示されるような電圧を、書込みを行う選択メモリセルの各部位に印加する。これにより、ホットエレクトロンが、2つのゲート電極(メモリゲート電極 M G および制御ゲート電極 C G)間の下のチャネル領域(ソース、ドレイン間)で発生し、絶縁膜 M Z 中の電荷蓄積部(絶縁膜 M Z 2)にホットエレクトロン(電子)が注入される。注入された電子は、絶縁膜 M Z 2 中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。すなわち、メモリトランジスタは書込み状態となる。

10

【 0 0 6 5 】

F N 方式の書込みでは、例えば図 6 の表の C または D の欄の「書込動作電圧」に示されるような電圧を、書込みを行う選択メモリセルの各部位に印加し、メモリゲート電極 M G から電子をトンネリングさせて絶縁膜 M Z 中の絶縁膜 M Z 2 に注入する。注入された電子は、絶縁膜 M Z 2 中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇し、メモリトランジスタは書込み状態となる。

【 0 0 6 6 】

消去方法は、B T B T (Band-To-Band Tunneling : バンド間トンネル現象)によるホットホール注入により消去を行う B T B T 方式と、F N トンネリングにより消去を行う F N 方式とがある。

20

【 0 0 6 7 】

B T B T 方式の消去では、例えば図 6 の表の A または C の欄の「消去動作電圧」に示されるような電圧を、消去を行う選択メモリセルの各部位に印加する。これにより、B T B T 現象によりホールを発生させ電界加速することで絶縁膜 M Z 中の絶縁膜 M Z 2 中にホールを注入し、それによってメモリトランジスタのしきい値電圧を低下させる。すなわち、メモリトランジスタは消去状態となる。

【 0 0 6 8 】

F N 方式の消去では、例えば図 6 の表の B の欄または D の欄の「消去動作電圧」に示されるような電圧を、消去を行う選択メモリセルの各部位に印加し、メモリゲート電極 M G からホールをトンネリングさせて絶縁膜 M Z 中の絶縁膜 M Z 2 に注入する。注入されたホールは、絶縁膜 M Z 2 中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が低下し、メモリトランジスタは消去状態となる。

30

【 0 0 6 9 】

読出し時には、例えば図 6 の表の A の欄、B の欄、C の欄または D の欄の「読出動作電圧」に示されるような電圧を、読出しを行う選択メモリセルの各部位に印加する。読出し時のメモリゲート電極 M G に印加する電圧 V_{mg} を、書込み状態におけるメモリトランジスタのしきい値電圧と消去状態におけるメモリトランジスタのしきい値電圧との間の値に設定することで、書込み状態と消去状態とを判別することができる。

【 0 0 7 0 】

< 半導体装置の製造工程について >

次に、本実施の形態の半導体装置の製造方法について説明する。

40

【 0 0 7 1 】

図 7 ~ 図 3 3 は、本実施の形態の半導体装置の製造工程中の要部断面図である。図 7 ~ 図 3 3 には、上記図 1 に対応する領域の断面図が示されている。

【 0 0 7 2 】

図 7 に示されるように、まず、例えば 1 ~ 10 μm 程度の比抵抗を有する p 型の単結晶シリコンなどからなる半導体基板(半導体ウエハ) S B を用意する。それから、半導体基板 S B の主面に、活性領域を規定する素子分離領域 S T を S T I (Shallow Trench Isolation) 法などにより形成する。

50

【 0 0 7 3 】

次に、メモリ領域 1 A の半導体基板 S B に p 型ウエル P W 1 を、周辺回路領域 1 B の半導体基板 S B に p 型ウエル P W 2 を、イオン注入法を用いて形成する。

【 0 0 7 4 】

次に、図 8 に示されるように、メモリ領域 1 A および周辺回路領域 1 B の半導体基板 S B (p 型ウエル P W 1 , P W 2) の表面に、絶縁膜 G F を形成する。絶縁膜 G F は、例えば酸化シリコン膜からなり、熱酸化法などにより形成することができる。

【 0 0 7 5 】

次に、半導体基板 S B の主面全面上に、すなわち絶縁膜 G F 上に、制御ゲート電極 C G 形成用の導電膜としてシリコン膜 P S 1 を形成する。シリコン膜 P S 1 は、ポリシリコン膜からなり、C V D (Chemical Vapor Deposition) 法などを用いて形成することができる。シリコン膜 P S 1 は、成膜時または成膜後に導電型不純物 (例えば n 型不純物) を導入してもよい。

10

【 0 0 7 6 】

次に、シリコン膜 P S 1 上に絶縁膜 C P Z を形成する。絶縁膜 C P Z は、例えば窒化シリコン膜からなり、C V D 法などを用いて形成することができる。

【 0 0 7 7 】

次に、図 9 に示されるように、シリコン膜 P S 1 と絶縁膜 C P Z との積層膜を、フォトリソグラフィ技術およびエッチング技術を用いてパターンニングする。これにより、メモリ領域 1 A に、パターンニングされたシリコン膜 P S 1 からなる制御ゲート電極 C G と、パターンニングされた絶縁膜 C P Z からなるキャップ絶縁膜 C P 1 との積層体 L M 1 が形成される。このとき、周辺回路領域 1 B では、シリコン膜 P S 1 と絶縁膜 C P Z との積層膜は、パターンニングされずにそのまま残存する。周辺回路領域 1 B に残存するシリコン膜 P S 1 と絶縁膜 C P Z との積層膜を、積層膜 L M と称することとする。

20

【 0 0 7 8 】

メモリ領域 1 A において、積層体 L M 1 の下に残存する絶縁膜 G F が、制御トランジスタのゲート絶縁膜として機能する絶縁膜 G F 1 となる。従って、メモリ領域 1 A において、制御ゲート電極 C G が半導体基板 S B (p 型ウエル P W 1) 上にゲート絶縁膜としての絶縁膜 G F 1 を介して形成され、制御ゲート電極 C G 上にキャップ絶縁膜 C P 1 が形成された状態となる。メモリ領域 1 A において、制御ゲート電極 C G で覆われた部分以外の絶縁膜 G F は、パターンニング工程で行うドライエッチングや、あるいはその後のウェットエッチングによって除去され得る。

30

【 0 0 7 9 】

次に、洗浄処理を行って、半導体基板 S B の主面を清浄化した後、図 1 0 に示されるように、半導体基板 S B の主面全面に、すなわち、半導体基板 S B の表面上と積層体 L M 1 の上面および側面上と積層膜 L M の上面および側面上とに、メモリトランジスタのゲート絶縁膜用の絶縁膜 M Z を形成する。このため、絶縁膜 M Z は、半導体基板 S B 上に、積層体 L M 1 および積層膜 L M を覆うように形成される。

【 0 0 8 0 】

絶縁膜 M Z は、メモリトランジスタのゲート絶縁膜用の絶縁膜であり、内部に電荷蓄積部を有する絶縁膜である。なお、図面を見やすくするために、図 1 0 では、絶縁膜 M Z 1 と絶縁膜 M Z 2 と絶縁膜 M Z 3 とからなる絶縁膜 M Z を、単に絶縁膜 M Z として図示しているが、実際には、図 1 0 において点線の円で囲まれた領域の拡大図に示されるように、絶縁膜 M Z は、絶縁膜 M Z 1 と絶縁膜 M Z 1 上の絶縁膜 M Z 2 と絶縁膜 M Z 2 上の絶縁膜 M Z 3 との積層膜からなる。

40

【 0 0 8 1 】

絶縁膜 M Z を形成するには、例えば、まず酸化シリコン膜からなる絶縁膜 M Z 1 を熱酸化法により形成してから、絶縁膜 M Z 1 上に窒化シリコン膜からなる絶縁膜 M Z 2 を C V D 法で堆積し、更に絶縁膜 M Z 2 上に酸化シリコン膜からなる絶縁膜 M Z 3 を C V D 法または熱酸化法あるいはその両方で形成する。

50

【0082】

次に、半導体基板SBの主面全面上に、すなわち絶縁膜MZ上に、メモリ領域1Aにおいては積層体LM1を覆うように、周辺回路領域1Bにおいては積層膜LMを覆うように、メモリゲート電極MG形成用の導電膜としてシリコン膜PS2を形成する。シリコン膜PS2は、ポリシリコン膜からなり、CVD法などを用いて形成することができる。シリコン膜PS2は、成膜時または成膜後に導電型不純物（例えばn型不純物）を導入してもよい。

【0083】

次に、異方性エッチング技術により、シリコン膜PS2をエッチバックする。このシリコン膜PS2のエッチバック工程では、シリコン膜PS2の堆積膜厚の分だけシリコン膜PS2を異方性エッチングすることにより、積層体LM1の両方の側面上に絶縁膜MZを介してシリコン膜PS2をサイドウォールスペーサ状に残し、他の領域のシリコン膜PS2を除去する。これにより、図11に示されるように、メモリ領域1Aにおいて、積層体LM1の一方の側面上に絶縁膜MZを介してサイドウォールスペーサ状に残存したシリコン膜PS2により、メモリゲート電極MGが形成され、積層体LM1の他方の側面上に絶縁膜MZを介してサイドウォールスペーサ状に残存したシリコン膜PS2により、シリコンスペーサSSが形成される。メモリゲート電極MGは、メモリ領域1Aにおいて、絶縁膜MZ上に、絶縁膜MZを介して積層体LM1と隣合うように形成される。メモリゲート電極MG1とシリコンスペーサSSで覆われていない領域の絶縁膜MZは露出される。

10

【0084】

次に、図12に示されるように、メモリゲート電極MGが覆われかつシリコンスペーサSSが露出されるようなフォトレジストパターン（図示せず）を形成してから、このフォトレジストパターンをエッチングマスクとしたドライエッチングにより、シリコンスペーサSSを除去する。メモリゲート電極MGは、エッチングされずに残存する。その後、フォトレジストパターンは除去する。

20

【0085】

次に、絶縁膜MZのうち、メモリゲート電極MGで覆われずに露出する部分をエッチング（例えばウェットエッチング）によって除去する。この際、メモリ領域1Aにおいて、メモリゲート電極MGの下とメモリゲート電極MGおよび積層体LM1間とに位置する絶縁膜MZは、除去されずに残存し、他の領域の絶縁膜MZは除去される。図12には、この段階が示されている。

30

【0086】

次に、図13に示されるように、積層膜LMをフォトリソグラフィ技術およびエッチング技術を用いてパターンングすることにより、パターンングされた積層膜LMからなる積層体LM2を周辺回路領域1Bに形成する。この際、メモリ領域1Aはフォトレジストパターン（図示せず）で覆われているため、メモリゲート電極MGや積層体LM1はエッチングされずに残存する。積層体LM2は、ダミーゲート電極DGとその上のキャップ絶縁膜CP2とからなる。ダミーゲート電極DGは、パターンングされたシリコン膜PS1からなり、キャップ絶縁膜CP2は、パターンングされた絶縁膜CPZからなる。

40

【0087】

周辺回路領域1Bにおいて、積層体LM2の下に残存する絶縁膜GFが、上記絶縁膜GF2となる。周辺回路領域1Bにおいて、ダミーゲート電極DGで覆われた部分以外の絶縁膜GFは、パターンング工程で行うドライエッチングや、あるいはその後のウェットエッチングによって除去され得る。従って、周辺回路領域1Bにおいて、ダミーゲート電極DGが、半導体基板SB（p型ウエルPW2）上に絶縁膜GF2を介して形成され、ダミーゲート電極DG上にキャップ絶縁膜CP2が形成された状態となる。

【0088】

次に、図14に示されるように、n⁻型半導体領域E1，E2，E3，E4を、イオン注入法を用いて形成する。

【0089】

50

具体的には、例えばヒ素 (As) またはリン (P) などの n 型不純物を、メモリゲート電極 MG および積層体 LM1, LM2 をマスクとして用いて半導体基板 SB にイオン注入することにより、n⁻ 型半導体領域 E1, E2, E3, E4 を形成する。n⁻ 型半導体領域 E1, E2 は、メモリゲート電極 MG と積層体 LM1 とからなる構造体の両側における半導体基板 SB (p 型ウエル PW1) に形成される。n⁻ 型半導体領域 E3, E4 は、積層体 LM2 の両側における半導体基板 SB (p 型ウエル PW2) に形成される。n⁻ 型半導体領域 E1, E2, E3, E4 は、同じイオン注入工程で形成できるが、異なるイオン注入工程で形成してもよい。

【0090】

次に、積層体 LM1 およびメモリゲート電極 MG の側面上と、積層体 LM2 の両側面上とに、サイドウォールスペーサ SW (SW1, SW2, SW3, SW4) を形成する。

10

【0091】

サイドウォールスペーサ SW は、例えば次のようにして形成することができる。すなわち、上述のように n⁻ 型半導体領域 E1, E2, E3, E4 を形成した後、図 15 に示されるように、半導体基板 SB の主面上に、メモリゲート電極 MG および積層体 LM1, LM2 を覆うように、サイドウォールスペーサ SW 用の絶縁膜 ZM を形成する。絶縁膜 ZM は、単層の絶縁膜または複数の絶縁膜を積層した積層膜 (積層絶縁膜) であり、CVD 法などを用いて形成することができる。絶縁膜 ZM は、窒化シリコン膜を含むことが好ましく、窒化シリコン膜の単体膜、あるいは、窒化シリコン膜を含む積層膜 (例えば酸化シリコン膜と窒化シリコン膜との積層膜) からなる。それから、異方性エッチング技術により、絶縁膜 ZM をエッチバックすることにより、図 16 に示されるように、積層体 LM1 およびメモリゲート電極 MG の側面上と積層体 LM2 の両側面上とに、選択的に絶縁膜 ZM を残してサイドウォールスペーサ SW を形成し、他の領域の絶縁膜 ZM を除去する。絶縁膜 ZM が単層の絶縁膜からなる場合は、サイドウォールスペーサ SW も単層の絶縁膜からなり、絶縁膜 ZM が積層膜からなる場合は、サイドウォールスペーサ SW も積層膜からなる。

20

【0092】

サイドウォールスペーサ SW1 は、メモリ領域 1A において、メモリゲート電極 MG の側面のうち、絶縁膜 MZ を介して積層体 LM1 に隣接している側とは反対側の側面上に形成される。また、サイドウォールスペーサ SW2 は、メモリ領域 1A において、積層体 LM1 の側面のうち、絶縁膜 MZ を介してメモリゲート電極 MG に隣接している側とは反対側の側面上に形成される。また、サイドウォールスペーサ SW3 は、周辺回路領域 1B において、積層体 LM2 のソース側の側面上に形成され、サイドウォールスペーサ SW4 は、周辺回路領域 1B において、積層体 LM2 のドレイン側の側面上に形成される。

30

【0093】

サイドウォールスペーサ SW を形成した後、図 17 に示されるように、n⁺ 型半導体領域 H1, H2, H3, H4 を、イオン注入法を用いて形成する。

【0094】

具体的には、例えばヒ素 (As) またはリン (P) などの n 型不純物を、メモリゲート電極 MG と積層体 LM1, LM2 とサイドウォールスペーサ SW1, SW2, SW3, SW4 とをマスクとして用いて半導体基板 SB にイオン注入することにより、n⁺ 型半導体領域 H1, H2, H3, H4 を形成する。n⁺ 型半導体領域 H1, H2 は、メモリゲート電極 MG と積層体 LM1 とサイドウォールスペーサ SW1, SW2 とからなる構造体の両側における半導体基板 SB (p 型ウエル PW1) に形成される。n⁺ 型半導体領域 H3, H4 は、積層体 LM2 とサイドウォールスペーサ SW3, SW4 とからなる構造体の両側における半導体基板 SB (p 型ウエル PW2) に形成される。n⁺ 型半導体領域 H1, H2, H3, H4 は、同じイオン注入工程で形成することができるが、異なるイオン注入工程で形成してもよい。

40

【0095】

このようにして、メモリ領域 1A および周辺回路領域 1B のそれぞれに、ソース用の半

50

導体領域 (S 1 , S 2) とドレイン用の半導体領域 (D 1 , D 2) とが形成される。

【 0 0 9 6 】

次に、 n^- 型半導体領域 E 1 , E 2 , E 3 , E 4 および n^+ 型半導体領域 H 1 , H 2 , H 3 , H 4 など導入された不純物を活性化するための熱処理である活性化アニールを行う。

【 0 0 9 7 】

次に、図 1 8 に示されるように、 n^+ 型半導体領域 H 1 , H 2 , H 3 , H 4 およびメモリゲート電極 M G の各上部に、シリサイド (Salicide : Self Aligned Silicide) 技術を用いて金属シリサイド層 S L 1 を形成する。

【 0 0 9 8 】

金属シリサイド層 S L 1 は、具体的には次のようにして形成することができる。すなわち、半導体基板 S B の主面全面上に、メモリゲート電極 M G 、積層体 L M 1 , L M 2 およびサイドウォールスペーサ S W を覆うように、金属シリサイド層 S L 1 形成用の金属膜を形成する。この金属膜は、例えばコバルト (C o) 膜、ニッケル (N i) 膜、または、ニッケル白金合金膜などからなる。それから、半導体基板 S B に対して熱処理を施すことによって、 n^+ 型半導体領域 H 1 , H 2 , H 3 , H 4 およびメモリゲート電極 M G のそれぞれの上部 (上層部) を上記金属膜と反応させることで、金属シリサイド層 S L 1 を形成する。その後、未反応の金属膜を除去し、図 1 8 には、この段階の断面図が示されている。

【 0 0 9 9 】

なお、ここでは、メモリゲート電極 M G の上部にも金属シリサイド層 S L 1 を形成する場合について説明したが、他の形態として、メモリゲート電極 M G の上部には、金属シリサイド層 S L 1 を形成しない場合もあり得る。

【 0 1 0 0 】

次に、図 1 9 に示されるように、半導体基板 S B の主面全面上に、メモリゲート電極 M G 、積層体 L M 1 , L M 2 およびサイドウォールスペーサ S W 1 , S W 2 , S W 3 , S W 4 を覆うように、絶縁膜 (層間絶縁膜) S Z を形成する。すなわち、絶縁膜 Z 1 と絶縁膜 Z 2 とを順に形成する。

【 0 1 0 1 】

絶縁膜 S Z は、絶縁膜 Z 1 と絶縁膜 Z 1 上の絶縁膜 Z 2 との積層膜からなる。絶縁膜 Z 1 は、好ましくは窒化シリコン膜であり、絶縁膜 Z 2 は、好ましくは酸化シリコン膜であり、絶縁膜 Z 1 の厚さ (形成膜厚) は、絶縁膜 Z 2 の厚さ (形成膜厚) よりも薄い。絶縁膜 Z 1 , Z 2 は、例えば C V D 法などを用いて形成することができる。

【 0 1 0 2 】

次に、図 2 0 に示されるように、絶縁膜 S Z の上面を、C M P (Chemical Mechanical Polishing : 化学的機械的研磨) 法などを用いて研磨する。この工程を、「図 2 0 の研磨工程」と称することとする。図 2 0 の研磨工程により、制御ゲート電極 C G 、メモリゲート電極 M G およびダミーゲート電極 D G の各上面が露出される。すなわち、図 2 0 の研磨工程では、制御ゲート電極 C G 、メモリゲート電極 M G およびダミーゲート電極 D G の各上面が露出されるまで、研磨処理を行う。このため、図 2 0 の研磨工程では、絶縁膜 S Z を構成する絶縁膜 Z 2 および絶縁膜 Z 1 が研磨されるが、更に、キャップ絶縁膜 C P 1 , C P 2 も研磨されて除去され、また、サイドウォールスペーサ S W 1 , S W 2 , S W 3 , S W 4 の各上部も研磨され得る。メモリゲート電極 M G の上部に金属シリサイド層 S L 1 を形成していた場合は、図 2 0 の研磨工程で、メモリゲート電極 M G の上部の金属シリサイド層 S L 1 も研磨されて除去され得る。

【 0 1 0 3 】

図 2 0 の研磨工程を終了すると、制御ゲート電極 C G の上面とメモリゲート電極 M G の上面とダミーゲート電極 D G の上面とが露出し、制御ゲート電極 C G の上面と、メモリゲート電極 M G の上面と、ダミーゲート電極 D G の上面と、サイドウォールスペーサ S W 1 , S W 2 , S W 3 , S W 4 の各上面と、絶縁膜 Z 2 の上面と、絶縁膜 Z 1 の端面とが、ほぼ同じ高さ位置となる。

10

20

30

40

50

【0104】

次に、図21に示されるように、絶縁膜SZ上に、メモリ領域1Aを覆い、かつ周辺回路領域1Bを露出する絶縁膜MKを形成する。絶縁膜MKは、後でダミーゲート電極DGを除去する際のマスク層として機能する。絶縁膜MKは、例えば、酸化シリコン膜または窒化シリコン膜などからなる。絶縁膜MKは、メモリ領域1Aと周辺回路領域1Bとを含む絶縁膜SZ上に絶縁膜をCVD法などを用いて形成してから、その絶縁膜をフォトリソグラフィ技術およびエッチング技術を用いてパターンングすることにより、形成することができる。絶縁膜MKを形成することにより、制御ゲート電極CGおよびメモリゲート電極MGは絶縁膜MKで覆われているため露出しておらず、一方、ダミーゲート電極DGの上面は、絶縁膜MKで覆われずに露出した状態になる。

10

【0105】

次に、図22に示されるように、ダミーゲート電極DGをエッチングして除去する。この工程を、「図22のエッチング工程」と称することとする。図22のエッチング工程では、ダミーゲート電極DGを選択的にエッチングするため、ダミーゲート電極DGに比べて絶縁膜GF2、Z1、Z2、MKおよびサイドウォールスペーサSW(SW3、SW4)がエッチングされにくい条件でエッチングを行うことが好ましい。制御ゲート電極CGおよびメモリゲート電極MGは、絶縁膜MKで覆われているため、エッチングされずにそのまま残存する。

【0106】

ダミーゲート電極DGが除去されたことにより、溝(凹部、窪み部)TRが形成される。溝TRは、ダミーゲート電極DGが除去された領域であり、ダミーゲート電極DGを除去するまでダミーゲート電極DGが存在していた領域に対応する。溝TRの底面は、絶縁膜GF2の上面により形成され、溝TRの側面は、サイドウォールスペーサSW3、SW4により形成される。また、図22のエッチング工程では、溝TRの底部で絶縁膜GF2を残存させることが好ましく、それにより、溝TRの底部で半導体基板SBの基板領域(シリコン領域)が露出してエッチングされてしまうのを防止することができる。

20

【0107】

次に、図23に示されるように、半導体基板SB上に、すなわち溝TRの底面および側面上を含む絶縁膜SZ、MK上に、高誘電率絶縁膜からなる絶縁膜HKを形成する。それから、半導体基板SB上に、すなわち絶縁膜HK上に、溝TR内を埋めるように、メタルゲート電極用の導電膜として、金属膜ME1をスパッタリング法などを用いて形成する。

30

【0108】

金属膜ME1としては、例えば、窒化チタン(TiN)膜、窒化タンタル(TaN)膜、窒化タングステン(WN)膜、炭化チタン(TiC)膜、炭化タンタル(TaC)膜、炭化タングステン(WC)膜、窒化炭化タンタル(TaCN)膜、チタン(Ti)膜、タンタル(Ta)膜、チタンアルミニウム(TiAl)膜またはアルミニウム(Al)膜などを用いることができる。金属膜ME1は、金属伝導を示す導電膜であり、純金属膜や合金膜に限定されず、金属伝導を示す金属化合物膜であってもよい。また、金属膜ME1を積層膜とすることもできるが、その場合、その積層膜の少なくとも最下層は金属膜(金属伝導を示す導電膜)とする。また、その積層膜を、複数の金属膜の積層膜としてもよい。

40

【0109】

次に、図24に示されるように、溝TRの外部の不要な金属膜ME1および絶縁膜HKをCMP法などによって除去し、溝TR内に絶縁膜HKおよび金属膜ME1を残す。これにより、溝TR内に絶縁膜HKを介して金属膜ME1(ゲート電極GE)が埋め込まれた状態になる。その後、絶縁膜MKを除去するが、絶縁膜MKは、溝TRの外部の金属膜ME1および絶縁膜HKを除去する際のCMP処理で除去することもできる。

【0110】

このようにして、図24の構造が得られ、ダミーゲート電極DGが除去された領域である溝TR内に、高誘電率絶縁膜である絶縁膜HKを介して、メタルゲート電極であるゲート電極GEが形成される。

50

【0111】

本実施の形態では、ダミーゲート電極 DG を除去してゲート電極 GE に置き換え、このゲート電極 GE を周辺回路領域 1 B の MISFET 2 のゲート電極として用いている。このため、ダミーゲート電極 DG は、ダミーのゲート電極（擬似的なゲート電極）であり、リプレースメントゲート電極または置換用ゲート電極とみなすことができ、ゲート電極 GE は、MISFET を構成するゲート電極とみなすことができる。

【0112】

また、ここで説明したように、ダミーゲート電極 DG を除去した後に絶縁膜 HK を形成した場合は、ゲート電極 GE と半導体基板 SB 上の絶縁膜 GF 2 との間と、ゲート電極 GE とサイドウォールスペーサ SW 3 との間と、ゲート電極 GE とサイドウォールスペーサ SW 4 との間とにわたって、絶縁膜 HK が連続的に延在した状態になる。

10

【0113】

変形例として、ダミーゲート電極 DG を形成した段階で、既に絶縁膜 HK を形成しておくこともできる。例えば、上記絶縁膜 GF を形成した後、半導体基板 SB の主面全面上に絶縁膜 HK を形成してから、メモリ領域 1 A の絶縁膜 HK を選択的に除去し、かつ、周辺回路領域 1 B の絶縁膜 HK は残し、この状態で上記シリコン膜 PS 1 を形成する。これにより、ダミーゲート電極 DG の下に絶縁膜 HK が存在することになるため、図 22 のエッチング工程の後に、絶縁膜 HK 形成工程を行わずに、金属膜 ME 1 形成工程を行うことができ、その後、金属膜 ME 1 を CMP 処理することによりゲート電極 GE を形成すればよい。この場合は、上記図 5 のように、ゲート電極 GE の下には絶縁膜 HK が形成されているが、ゲート電極 GE とサイドウォールスペーサ SW 3 , SW 4 との間には、絶縁膜 HK は形成されていない状態になる。

20

【0114】

次に、図 25 に示されるように、絶縁膜 SZ (Z 1 , Z 2) 上に、周辺回路領域 1 B を覆い、かつメモリ領域 1 A を露出する絶縁膜 Z 3 を形成する。絶縁膜 Z 3 は、メモリ領域 1 A と周辺回路領域 1 B とを含む絶縁膜 SZ 上に絶縁膜を CVD 法などを用いて形成してから、その絶縁膜をフォトリソグラフィ技術およびエッチング技術を用いてパターニングすることにより、形成することができる。絶縁膜 Z 3 を形成することにより、ゲート電極 GE は絶縁膜 Z 3 で覆われているため露出しておらず、一方、制御ゲート電極 CG およびメモリゲート電極 MG 各上面は、絶縁膜 Z 3 で覆われずに露出した状態になる。絶縁膜 Z 3 は、好ましくは酸化シリコン膜からなる。

30

【0115】

次に、制御ゲート電極 CG およびメモリゲート電極 MG の各上部に、サリサイド技術を用いて金属シリサイド層 SL 2 を形成する。

【0116】

金属シリサイド層 SL 2 は、具体的には次のようにして形成することができる。すなわち、図 26 に示されるように、制御ゲート電極 CG およびメモリゲート電極 MG の各上面を含む絶縁膜 SZ , 絶縁膜 Z 3 上に、金属シリサイド層 SL 2 形成用の金属膜 ME 2 を形成する。この金属膜 ME 2 は、例えばコバルト (Co) 膜、ニッケル (Ni) 膜、または、ニッケル白金合金膜などからなり、制御ゲート電極 CG およびメモリゲート電極 MG に接している。それから、半導体基板 SB に対して熱処理を施すことにより、制御ゲート電極 CG およびメモリゲート電極 MG のそれぞれの上部 (上層部) を金属膜 ME 2 と反応させることで、金属シリサイド層 SL 2 を形成する。その後、未反応の金属膜 ME 2 を除去し、図 27 には、この段階の断面図が示されている。

40

【0117】

次に、図 28 に示されるように、絶縁膜 SZ 上および絶縁膜 Z 3 上に、絶縁膜 Z 4 a を形成する。絶縁膜 Z 4 a は、窒化シリコン膜または酸化アルミニウム膜からなり、より好ましくは窒化シリコン膜からなり、CVD 法などを用いて形成することができる。絶縁膜 Z 4 a は、半導体基板 SB の主面全面上に形成されるため、メモリ領域 1 A および周辺回路領域 1 B の両方に形成される。このため、絶縁膜 Z 3 が形成されている領域 (周辺回路

50

領域 1 B) では、絶縁膜 Z 3 上に絶縁膜 Z 4 a が形成される。また、絶縁膜 Z 3 が形成されていない領域 (メモリ領域 1 A) では、絶縁膜 S Z (Z 1, Z 2) 上と、制御ゲート電極 C G (金属シリサイド層 S L 2) 上と、メモリゲート電極 M G (金属シリサイド層 S L 2) 上と、サイドウォールスペーサ S W 1, S W 2 の各上面上とに、絶縁膜 Z 4 a が形成される。つまり、絶縁膜 Z 4 a は、上記構造体 K T 1 と絶縁膜 S Z と絶縁膜 Z 3 とを覆うように形成される。

【0118】

次に、図 29 に示されるように、絶縁膜 Z 3 上の絶縁膜 Z 4 a を、CMP 法などを用いて研磨して除去する。この際、CMP 処理の研磨時間を調整することなどによって、絶縁膜 Z 3 上には絶縁膜 Z 4 a が残存しないようにするとともに、絶縁膜 Z 3 が形成されていない領域 (メモリ領域 1 A) における絶縁膜 Z 4 a は、層状に残存させる。残存する絶縁膜 Z 4 a が、上記絶縁膜 Z 4 となる。絶縁膜 Z 3 上の絶縁膜 Z 4 a を CMP 法で除去した場合には、平面視において絶縁膜 Z 3 と絶縁膜 Z 4 とは互いに隣接し、絶縁膜 Z 3 の側面 (端面) と絶縁膜 Z 4 の側面 (端面) とが互いに接した状態になる。絶縁膜 Z 4 は、メモリゲート電極 M G および制御ゲート電極 C G を覆っているが、ゲート電極 G E 上には配置されていない。

10

【0119】

次に、図 30 に示されるように、絶縁膜 Z 3 および絶縁膜 Z 4 上に、絶縁膜 (層間絶縁膜) Z 5 を形成する。絶縁膜 Z 5 は、好ましくは酸化シリコン膜からなり、CVD 法などを用いて形成することができる。絶縁膜 Z 5 の厚さは、好ましくは、絶縁膜 Z 3, Z 4 の各厚さよりも厚い。絶縁膜 Z 5 は、半導体基板 S B の主面全面上に形成されるため、メモリ領域 1 A および周辺回路領域 1 B の両方に形成され、従って、制御ゲート電極 C G とメモリゲート電極 M G とゲート電極 G E とサイドウォールスペーサ S W 1, S W 2, S W 3, S W 4 と絶縁膜 S Z (Z 1, Z 2) との上方に形成される。このため、絶縁膜 Z 5 は、絶縁膜 Z 3 および絶縁膜 Z 4 を覆うように形成され、すなわち、メモリ領域 1 A においては、絶縁膜 Z 4 上に絶縁膜 Z 5 が形成され、周辺回路領域 1 B においては、絶縁膜 Z 3 上に絶縁膜 Z 5 が形成される。絶縁膜 Z 5 の形成後、絶縁膜 Z 5 の上面を CMP 法により研磨するなどして、絶縁膜 Z 5 の上面の平坦性を高めることもでき、これは後述の実施の形態 2 ~ 4 も同様である。絶縁膜 S Z (すなわち絶縁膜 Z 1, Z 2) と絶縁膜 Z 3 と絶縁膜 Z 4 と絶縁膜 Z 5 とにより、上記層間絶縁膜 I L が形成される。

20

30

【0120】

次に、図 31 に示されるように、フォトリソグラフィ技術を用いて層間絶縁膜 I L 上に形成したフォトレジストパターン (図示せず) をエッチングマスクとして、層間絶縁膜 I L をドライエッチングすることにより、層間絶縁膜 I L にコンタクトホール C T を形成する。コンタクトホール C T は、絶縁膜 Z 1 をエッチングストップ膜として用いる S A C (Self-Aligned Contact) 技術を用いて、形成することができる。

【0121】

具体的には、まず、層間絶縁膜 I L 上に、すなわち絶縁膜 Z 5 上に、フォトレジストパターン (図示せず) を形成する。このフォトレジストパターンは、コンタクトホール C T 形成予定領域に開口部を有している。それから、このフォトレジストパターンをエッチングマスクとして用いて主として絶縁膜 Z 5 (酸化シリコン膜) をエッチングする第 1 エッチングステップを行う。第 1 エッチングステップでは、絶縁膜 Z 5, Z 3, Z 2 (酸化シリコン膜) に比べて絶縁膜 Z 4, Z 1 (窒化シリコン膜) がエッチングされにくいエッチング条件で、エッチングを行う。第 1 エッチングステップでは、メモリ領域 1 A においては、絶縁膜 Z 5 を貫通するコンタクトホール C T が形成され、コンタクトホール C T の底部で絶縁膜 Z 4 が露出されるが、この絶縁膜 Z 4 をエッチングストップとして機能させる。一方、周辺回路領域 1 B においては、第 1 エッチングステップで、絶縁膜 Z 5 (酸化シリコン膜) がエッチングされ、更に絶縁膜 Z 3, Z 2 (酸化シリコン膜) がエッチングされ得る。このため、周辺回路領域 1 B において、絶縁膜 Z 5, Z 3, Z 2 にコンタクトホール C T が形成されるが、そのコンタクトホール C T が絶縁膜 Z 2 を貫通する前にエッチ

40

50

ングが終了するように、第1エッチングステップのエッチング時間を設定しておく。

【0122】

それから、フォトリソパターンをエッチングマスクとして用いて主としてメモリ領域1Aの絶縁膜Z4をエッチングする第2エッチングステップを行う。第2エッチングステップでは、絶縁膜Z4, Z1(窒化シリコン膜)に比べて絶縁膜Z5, Z3, Z2(酸化シリコン膜)がエッチングされにくいエッチング条件で、エッチングを行う。第2エッチングステップでは、メモリ領域1Aにおいては、コンタクトホールCTの底部で露出する絶縁膜Z4がエッチングされてコンタクトホールCTが絶縁膜Z5, Z4を貫通し、コンタクトホールCTの底部で絶縁膜Z2が露出されるが、この絶縁膜Z2をエッチングストップパとして機能させる。一方、周辺回路領域1Bにおいては、第2エッチングステップでは、コンタクトホールCTの底部で露出する絶縁膜Z2はエッチングされにくいため、第2エッチングステップを終了してもコンタクトホールCTは絶縁膜Z2を貫通しておらず、コンタクトホールCTの底部で絶縁膜Z1は露出されない。

10

【0123】

それから、フォトリソパターンをエッチングマスクとして用いて主として絶縁膜Z2をエッチングする第3エッチングステップを行う。第3エッチングステップでは、絶縁膜Z5, Z3, Z2(酸化シリコン膜)に比べて絶縁膜Z4, Z1(窒化シリコン膜)がエッチングされにくいエッチング条件で、エッチングを行う。第3エッチングステップでは、メモリ領域1Aにおいては、コンタクトホールCTの底部で露出する絶縁膜Z2がエッチングされてコンタクトホールCTが絶縁膜Z5, Z4, Z2を貫通し、コンタクトホールCTの底部で絶縁膜Z1が露出されるが、この絶縁膜Z1をエッチングストップパとして機能させる。一方、周辺回路領域1Bにおいては、第3エッチングステップでは、コンタクトホールCTの底部で露出する絶縁膜Z2がエッチングされてコンタクトホールCTが絶縁膜Z5, Z3, Z2を貫通し、コンタクトホールCTの底部で絶縁膜Z1が露出されるが、この絶縁膜Z1をエッチングストップパとして機能させる。

20

【0124】

それから、フォトリソパターンをエッチングマスクとして用いて主として絶縁膜Z1をエッチングする第4エッチングステップを行う。第4エッチングステップでは、絶縁膜Z1(窒化シリコン膜)に比べて金属シリサイド層SL1や基板領域(シリコン基板領域)がエッチングされにくいエッチング条件で、エッチングを行う。第4エッチングステップでは、メモリ領域1Aにおいては、コンタクトホールCTの底部で露出する絶縁膜Z1がエッチングされてコンタクトホールCTが絶縁膜Z5, Z4, Z2, Z1を貫通し、コンタクトホールCTの底部では、 n^+ 型半導体領域H1, H2の上部の金属シリサイド層SL1が露出される。一方、周辺回路領域1Bにおいては、第4エッチングステップでは、コンタクトホールCTの底部で露出する絶縁膜Z1がエッチングされてコンタクトホールCTが絶縁膜Z5, Z3, Z2, Z1を貫通し、コンタクトホールCTの底部では、 n^+ 型半導体領域H3, H4の上部の金属シリサイド層SL1が露出される。

30

【0125】

このようにして、メモリ領域1Aおよび周辺回路領域1BにそれぞれコンタクトホールCTを形成することができる。なお、エッチングされにくいことは、エッチング速度が遅い(小さい)ことに対応している。

40

【0126】

次に、図32に示されるように、コンタクトホールCT内に、接続用の導電体部として、タングステン(W)などからなる導電性のプラグPGを形成する。例えば、コンタクトホールCT内を含む層間絶縁膜IL上にバリア導体膜とタングステン膜とを順に形成してから、コンタクトホールの外部の不要なタングステン膜およびバリア導体膜をCMP法などによって除去することにより、プラグPGを形成することができる。

【0127】

メモリ領域1Aにおいては、 n^+ 型半導体領域H1, H2のそれぞれの上方において、絶縁膜Z5, Z4, Z2, Z1を貫通するようにコンタクトホールCTが形成され、その

50

コンタクトホールCTに埋め込まれたプラグPGは、 n^+ 型半導体領域H1, H2上に形成されている金属シリサイド層SL1に接して電氣的に接続される。また、周辺回路領域1Bにおいては、 n^+ 型半導体領域H3, H4のそれぞれの上方において、絶縁膜Z5, Z3, Z2, Z1を貫通するようにコンタクトホールCTが形成され、そのコンタクトホールCTに埋め込まれたプラグPGは、 n^+ 型半導体領域H3, H4上に形成されている金属シリサイド層SL1に接して電氣的に接続される。従って、メモリ領域1Aにおいては、 n^+ 型半導体領域H1に電氣的に接続されたプラグPGと、 n^+ 型半導体領域H2に電氣的に接続されたプラグPGとが形成され、また、周辺回路領域1Bにおいては、 n^+ 型半導体領域H3に電氣的に接続されたプラグPGと、 n^+ 型半導体領域H4に電氣的に接続されたプラグPGとが形成される。また、図32の断面には示されないが、制御ゲート電極CG、メモリゲート電極MGおよびゲート電極GEにそれぞれ電氣的に接続されたプラグPGを形成することもできる。

10

20

30

40

50

【0128】

次に、図33に示されるように、プラグPGが埋め込まれた層間絶縁膜IL上に絶縁膜ZFを形成してから、この絶縁膜ZFに配線溝を形成した後、配線溝内にシングルダマシン技術を用いて配線M1を形成する(埋め込む)。配線M1は、例えば、銅を主成分とする銅配線(埋込銅配線)である。配線M1は、プラグPGが埋め込まれた層間絶縁膜IL上に形成され、プラグPGの上面は、配線M1に接して電氣的に接続される。配線M1は、プラグPGを介して、 n^+ 型半導体領域H1、 n^+ 型半導体領域H2、 n^+ 型半導体領域H3、 n^+ 型半導体領域H4、制御ゲート電極CG、メモリゲート電極MG、あるいはゲート電極GEなどと電氣的に接続される。

【0129】

その後、デュアルダマシン法などにより2層目以降の配線を形成するが、ここでは図示およびその説明は省略する。また、配線M1およびそれよりも上層の配線は、ダマシン配線に限定されず、配線用の導電体膜をパターンニングして形成することもでき、例えばタングステン配線またはアルミニウム配線などとすることもできる。

【0130】

以上のようにして、本実施の形態の半導体装置が製造される。

【0131】

また、本実施の形態では、制御ゲート電極CGおよびダミーゲート電極DG上にキャップ絶縁膜CP1, CP2を形成した場合について説明した。他の形態として、キャップ絶縁膜CP1, CP2の形成を省略することもできる。

【0132】

<検討の経緯について>

図34および図35は、本発明者が検討した第1検討例の半導体装置の製造工程中の要部断面図であり、上記図7~図33に相当する領域の断面が示されている。

【0133】

第1検討例の場合は、本実施の形態と同様にして上記図27の構造を得た後、本実施の形態とは異なり、上記絶縁膜Z4a, Z4を形成することなく、図34に示されるように、絶縁膜Z5を形成する。このため、第1検討例の場合は、メモリ領域1Aにおいては、絶縁膜Z5の下に上記絶縁膜Z4に相当するものは、形成されていない。このため、第1検討例の場合は、周辺回路領域1Bにおける層間絶縁膜IL101は、絶縁膜Z1, Z2, Z3, Z5で構成され、メモリ領域1Aにおける層間絶縁膜IL101は、絶縁膜Z1, Z2, Z5で構成されている。

【0134】

その後、第1検討例の場合も、図35に示されるように、層間絶縁膜IL101にコンタクトホールCTを形成し、コンタクトホールCT内にプラグPGを形成し、プラグPGが埋め込まれた層間絶縁膜IL101上に、絶縁膜ZFおよび配線M1を形成する。

【0135】

本発明者の検討によれば、図34および図35の第1検討例の半導体装置においては、

次のような課題が発生することが分かった。

【0136】

水素（水素原子または水素イオン）は、種々の膜中を拡散しやすい。拡散した水素がメモリゲート電極MGの下に絶縁膜MZ中の電荷蓄積部（ここでは絶縁膜MZ2）にまで到達してしまうと、その水素に起因して電荷蓄積部（MZ2）中に浅いトラップ準位が形成される虞がある。この水素に起因したトラップ準位は、浅いエネルギー位置に形成されるため、そのトラップ準位に捕獲された電荷（ここでは電子）は、安定して保持されにくく、そのトラップ準位から抜けやすい。それゆえ、水素に起因した浅いトラップ準位に捕獲されている電荷の量は変動しやすい。水素に起因した浅いトラップ準位に捕獲された電荷の量が変動すると、それに伴ってメモリトランジスタのしきい値電圧も変動する。このため、絶縁膜MZ中の電荷蓄積部に水素に起因した浅いトラップ準位が形成されてしまうと、メモリトランジスタのしきい値電圧の変動が生じやすくなり、ひいては、不揮発性メモリを備える半導体装置の信頼性を低下させてしまう。このため、メモリゲート電極MGの下に絶縁膜MZ中の電荷蓄積部（MZ2）にまで水素が拡散する現象は、防ぐことが望ましい。

10

【0137】

メモリゲート電極MGの下に絶縁膜MZにまで水素が拡散する現象が生じる場合、その水素の由来（供給源）は、いくつかある。水素の由来（供給源）の一つは、絶縁膜Z5および絶縁膜ZFや、絶縁膜ZFよりも更に上層の絶縁膜（層間絶縁膜）中に含まれている水素である。すなわち、層間絶縁膜に使用する絶縁膜として、酸化シリコン系の絶縁膜は適しているが、成膜時に膜中に水素がある程度含まれてしまう。このため、絶縁膜Z5および絶縁膜ZFや、絶縁膜ZFよりも更に上層の絶縁膜（層間絶縁膜）中には、ある程度水素が含まれ得る。これらの絶縁膜中に含まれる水素が、種々の高温工程で拡散し、メモリゲート電極MGの下に絶縁膜MZ中にまで水素が到達する場合がある。

20

【0138】

また、水素の由来（供給源）の他の一つは、表面保護膜（パッシベーション膜）を形成した後に行う水素アニールである。この水素アニールにより、水素が表面保護膜やその下の複数の層間絶縁膜中を拡散（通過）し、更にメモリゲート電極MG中も拡散（通過）して絶縁膜MZに水素が到達する場合がある。また、配線形成工程で水素アニールを行う場合には、その水素アニールも水素の供給源となり得る。

30

【0139】

また、上述した水素アニールを行わなかったとしても、複数の絶縁膜（層間絶縁膜）と複数の配線層とで構成される配線構造（多層配線構造）を、その配線構造中に水素が存在しないように形成することは難しいため、水素の供給源を無くすことは難しい。

【0140】

そこで、本発明者は、水素に対するバリア性を有するバリア膜を用いて、メモリゲート電極MGの下に絶縁膜MZ中に水素が拡散するのを防ぐことを検討した。図36および図37は、本発明者が検討した第2検討例の半導体装置の製造工程中の要部断面図であり、上記図7～図35に相当する領域の断面が示されている。

40

【0141】

第2検討例の場合は、本実施の形態と同様にして上記図27の構造を得た後、図36に示されるように、メモリ領域1Aおよび周辺回路領域1Bに窒化シリコン膜からなる絶縁膜Z204を形成し、その後、本実施の形態とは異なり絶縁膜Z204のCMP処理は行わずに、その絶縁膜Z204上に上記絶縁膜Z5を形成する。このため、第2検討例では、図36に示されるように、メモリ領域1Aと周辺回路領域1Bとの両方において、絶縁膜Z5の下に窒化シリコン膜からなる絶縁膜Z104が残存している。このため、第2検討例の場合は、周辺回路領域1Bにおける層間絶縁膜IL201は、絶縁膜Z1, Z2, Z3, Z204, Z5で構成され、メモリ領域1Aにおける層間絶縁膜IL201は、絶縁膜Z1, Z2, Z204, Z5で構成されている。

【0142】

50

その後、第2検討例の場合も、図37に示されるように、層間絶縁膜IL201にコンタクトホールCTを形成し、コンタクトホールCT内にプラグPGを形成し、プラグPGが埋め込まれた層間絶縁膜IL201上に、絶縁膜ZFおよび配線M1を形成する。

【0143】

図36および図37の第2検討例の場合は、図34および図35の第1検討例に関連して説明した課題を解決または改善することができる。以下、その理由について説明する。

【0144】

本発明者は、水素の拡散を防止するバリア膜について検討し、その結果、窒化シリコン膜と酸化アルミニウム膜は、水素に対する高いバリア性を有しており、水素の拡散を防止するバリア膜として相応しいことが分かった。

10

【0145】

そこで、第2の検討例では、窒化シリコン膜からなる絶縁膜Z204を追加し、この絶縁膜Z204を、水素に対するバリア膜として用いている。メモリ領域1Aにおいて、窒化シリコン膜からなる絶縁膜Z204が存在することにより、絶縁膜Z204を越えてメモリゲート電極MGや制御ゲート電極CG側に水素が拡散するのを抑制または防止できるため、メモリゲート電極MGの下の絶縁膜MZ中の電荷蓄積部(MZ)にまで水素が拡散してしまうのを防止できる。これにより、絶縁膜MZ中の電荷蓄積部に水素に起因した浅いトラップ準位が形成されてしまうのを防ぐことができ、そのような浅いトラップ準位に起因したメモリトランジスタのしきい値電圧の変動を防止することができる。

【0146】

20

しかしながら、本発明者の検討によれば、図36および図37の第2検討例の半導体装置においては、次のような課題が発生することが分かった。

【0147】

不揮発性メモリではなく周辺回路用のMISFETにおいては、半導体基板SBとゲート絶縁膜との界面(ここでは半導体基板SBと絶縁膜GF2との界面)に、ダングリングボンドに起因した界面準位が形成されることが懸念され、その界面準位に起因してMISFETのしきい値電圧の変動や駆動力の低下が生じる虞がある。このため、周辺回路用のMISFETにおいては、半導体基板SBとゲート絶縁膜との界面に存在するダングリングボンドに水素を結合させてそのダングリングボンドを終端させておくことが望ましい。そうすることで、周辺回路用のMISFETにおいて、半導体基板SBとゲート絶縁膜との界面には、ダングリングボンドに起因した界面準位が形成されにくくなるため、そのような界面準位に起因した不具合が生じにくくなる。

30

【0148】

しかしながら、第2検討例の場合は、メモリ領域1Aだけでなく周辺回路領域1Bにも、窒化シリコン膜からなる絶縁膜Z204が存在しているため、メモリ領域1Aだけでなく周辺回路領域1Bにおいても、絶縁膜Z204を越えてゲート電極GE側に水素が拡散するのが防止されてしまう。このため、周辺回路領域1Bにおいては、半導体基板SBとゲート絶縁膜との界面にまで水素を供給することは難しくなる。従って、周辺回路領域1BのMISFETにおいては、半導体基板SBとゲート絶縁膜との界面に存在するダングリングボンドに水素を結合させることが難しくなり、そのダングリングボンドを終端させることが困難となる。このため、周辺回路領域1BのMISFETにおいて、半導体基板SBとゲート絶縁膜との界面には、ダングリングボンドに起因した界面準位が形成されやすくなくなるため、そのような界面準位に起因した不具合が生じやすくなる。

40

【0149】

従って、図34および図35の第1検討例の場合は、メモリ領域1Aの不揮発性メモリの信頼性が低下する虞があり、一方、図36および図37の第2検討例の場合は、周辺回路領域1BのMISFETの信頼性が低下する懸念がある。従って、第1検討例と第2検討例のいずれの場合も、半導体装置の信頼性が低下してしまう。

【0150】

< 主要な特徴と効果について >

50

本実施の形態の半導体装置は、不揮発性メモリのメモリセルMCおよび周辺回路用のMISFET2を備える半導体装置である。半導体装置を構成する半導体基板SB内には、メモリセルMCを構成する半導体領域S1, D1とMISFET2を構成する半導体領域S2, D2とが形成されている。また、半導体装置を構成する半導体基板SB上には、メモリセルMCを構成する絶縁膜GF1, MZと制御ゲート電極CGとメモリゲート電極MGとサイドウォールスペーサSW1, SW2とからなる構造体KT1と、MISFET2を構成する絶縁膜GF2, HKとゲート電極GEとサイドウォールスペーサSW3, SW4とからなる構造体KT2とが形成されている。そして、半導体基板SB上に、構造体KT1, KT2を覆うように、層間絶縁膜ILが形成され、層間絶縁膜IL上に配線M1が形成されている。

10

【0151】

本実施の形態の第1の特徴は、層間絶縁膜ILは、半導体領域S1, D1, S2, D2上とサイドウォールスペーサSW1, SW2, SW3, SW4の側面上とに形成された絶縁膜Z1と、絶縁膜Z1上に形成された絶縁膜Z2と、構造体KT1上に形成された絶縁膜Z4とを含んでおり、絶縁膜Z4は、窒化シリコンまたは酸化アルミニウムからなることである。メモリゲート電極MGおよび制御ゲート電極CGの上方には絶縁膜Z4が存在している。後述の実施の形態2, 3, 4も、この第1の特徴を備えている。但し、後述の実施の形態4では、制御ゲート電極CGおよびメモリゲート電極MGではなく、後述の制御ゲート電極CG1およびメモリゲート電極MG1が構造体KT1を構成する。なお、半導体領域S1, D1, S2, D2の上部に金属シリサイド層SL1が形成されている場合は、絶縁膜Z1は、半導体領域S1, D1, S2, D2の上部の金属シリサイド層SL1上とサイドウォールスペーサSW1, SW2, SW3, SW4の側面上とに形成される。

20

【0152】

本実施の形態の第2の特徴は、絶縁膜Z1が窒化シリコンからなるか、あるいは、サイドウォールスペーサSW1, SW2が窒化シリコン膜を含んでいることである。後述の実施の形態2, 3, 4も、この第2の特徴を備えている。

【0153】

本実施の形態の第3の特徴は、構造体KT2の上方には絶縁膜Z4は配置されておらず、層間絶縁膜ILは、ゲート電極GEの上方に配置される窒化シリコン膜を含んでおらず、かつ、ゲート電極GEの上方に配置される酸化アルミニウム膜も含んでいないことである。なお、後述の実施の形態2, 3, 4も、この第3の特徴を備えている。

30

【0154】

本実施の形態では、第1の特徴と第2の特徴とにより、上記第1検討例に関連して説明した課題を改善または解決し、不揮発性メモリの信頼性を向上することができる。

【0155】

すなわち、窒化シリコン膜と酸化アルミニウム膜は、水素に対する高いバリア性を有している。このため、本実施の形態では、窒化シリコンまたは酸化アルミニウムからなる絶縁膜Z4（すなわち水素に対するバリア性を有する膜）を構造体KT1上に形成し、メモリゲート電極MGおよび制御ゲート電極CGの上方に絶縁膜Z4が存在するようにしており、この絶縁膜Z4を、水素の拡散を防止するバリア膜として機能させることができる。これにより、メモリ領域1Aにおいて、絶縁膜Z4を越えてメモリゲート電極MGや制御ゲート電極CG側に水素が拡散するのを抑制または防止することができるため、メモリゲート電極MGの下の絶縁膜MZ中の電荷蓄積部（絶縁膜MZ）にまで水素が拡散してしまうのを抑制または防止できる。

40

【0156】

更に、本実施の形態では、絶縁膜Z1が窒化シリコンからなるか（すなわち絶縁膜Z1が水素に対するバリア性を有するか）、あるいは、サイドウォールスペーサSW1, SW2が窒化シリコン膜（すなわち水素に対するバリア性を有する膜）を含んでいる。絶縁膜Z1が窒化シリコンからなる場合は、絶縁膜Z1も水素に対するバリア膜として機能することができるため、絶縁膜Z1を越えてメモリゲート電極MGや制御ゲート電極CG側に

50

水素が拡散するのを抑制または防止することができる。また、サイドウォールスペーサ S W 1 , S W 2 が窒化シリコン膜を含んでいる場合は、サイドウォールスペーサ S W 1 , S W 2 に含まれる窒化シリコン膜も、水素に対するバリア膜として機能することができるため、サイドウォールスペーサ S W 1 , S W 2 を越えてメモリゲート電極 M G や制御ゲート電極 C G 側に水素が拡散するのを抑制または防止することができる。すなわち、サイドウォールスペーサ S W 1 , S W 2 と絶縁膜 Z 1 とのうちの少なくとも一方が水素に対するバリア膜として機能することができる。

【 0 1 5 7 】

つまり、本実施の形態では、メモリゲート電極 M G および制御ゲート電極 C G の上方に位置する絶縁膜 Z 4 が水素に対するバリア膜として機能し、かつ、メモリゲート電極 M G および制御ゲート電極 C G の横方向に位置するサイドウォールスペーサ S W 1 , S W 2 と絶縁膜 Z 1 とのうちの少なくとも一方が水素に対するバリア膜として機能する。このため、メモリゲート電極 M G および制御ゲート電極 C G は、水素に対するバリア膜で囲まれている。絶縁膜 Z 4 が、上方（絶縁膜 Z 5）からメモリゲート電極 M G および制御ゲート電極 C G 側への水素の拡散を防止し、絶縁膜 Z 1 またはサイドウォールスペーサ S W 1 , S W 2 が、構造体 K T 1 の横側（絶縁膜 Z 2）からメモリゲート電極 M G および制御ゲート電極 C G 側への水素の拡散を防止する。これにより、上下方向と横方向の両方において、メモリゲート電極 M G および制御ゲート電極 C G に水素が拡散するのを抑制または防止することができるため、メモリゲート電極 M G の下の絶縁膜 M Z 中の電荷蓄積部（絶縁膜 M Z）にまで水素が拡散してしまうのを的確に抑制または防止することができる。これにより、絶縁膜 M Z 中の電荷蓄積部に水素に起因した浅いトラップ準位が形成されてしまうのを抑制または防止することができ、そのような浅いトラップ準位に起因したメモリトランジスタのしきい値電圧の変動を、抑制または防止することができる。従って、不揮発性メモリを備える半導体装置の信頼性を向上させることができる。

【 0 1 5 8 】

そして、本実施の形態では、上記第 3 の特徴により、上記第 2 検討例に関連して説明した課題を改善または解決し、周辺回路の M I S F E T の信頼性を向上することができる。

【 0 1 5 9 】

すなわち、本実施の形態では、水素に対するバリア性を有する絶縁膜 Z 4 は、構造体 K T 2 の上方には配置されておらず、層間絶縁膜 I L は、ゲート電極 G E の上方に配置される窒化シリコン膜を含んでおらず、かつ、ゲート電極 G E の上方に配置される酸化アルミニウム膜も含んでいない。つまり、層間絶縁膜 I L は、ゲート電極 G E の上方に配置されかつ水素に対するバリア性を有する膜を含んでいない。絶縁膜 Z 3 , Z 5 は、いずれも、窒化シリコンおよび酸化アルミニウム以外の絶縁材料からなり、好ましくは酸化シリコンからなり、絶縁膜 Z 5 とゲート電極 G E との間には、窒化シリコン膜および酸化アルミニウム膜のいずれも形成されていない。層間絶縁膜 I L が含んでいるバリア膜（水素に対するバリア性を有する膜）は、絶縁膜 Z 4 と絶縁膜 Z 1 であるが、そのバリア膜（Z 1 , Z 4）は、ゲート電極 G E の上方には配置されていない。

【 0 1 6 0 】

このため、周辺回路領域 1 B においては、ゲート電極 G E 側に水素を拡散させることができ、ゲート電極 G E の下のゲート絶縁膜と半導体基板 S B との界面にまで水素を供給することができる。従って、周辺回路領域 1 B に形成された M I S F E T においては、ゲート電極 G E の下のゲート絶縁膜と半導体基板 S B との界面に存在するダングリングボンドに水素を結合させることができ、そのダングリングボンドを終端させることができる。このため、周辺回路領域 1 B の M I S F E T において、半導体基板 S B とゲート絶縁膜との界面には、ダングリングボンドに起因した界面準位が形成されにくくなるため、そのような界面準位に起因した不具合が生じるのを抑制または防止することができる。従って、周辺回路領域 1 B の M I S F E T の信頼性を向上させることができ、ひいては、半導体装置の信頼性を向上させることができる。

【 0 1 6 1 】

一般的な（不揮発性メモリ以外の）MISFETにおいては、半導体基板SBとゲート絶縁膜との界面に水素が供給されることが望ましいのに対して、不揮発性メモリにおいては、ゲート絶縁膜中に電荷を保持することで情報を記憶するという素子の特徴を考慮すると、ゲート絶縁膜中に水素が供給されることは望ましくない。このことに気づいたからこそ、本実施の形態では、層間絶縁膜ILを、水素に対するバリア膜を含む複数の膜で構成し、メモリゲート電極MGおよび制御ゲート電極CG側への水素の拡散を防止しながら、ゲート電極GEへの水素の拡散は遮られないように、バリア膜の配置位置を設計している。これにより、上記第1検討例に関連して説明した課題と、上記第2検討例に関連して説明した課題との両方を解決または改善することができる。本実施の形態では、メモリ領域1Aの不揮発性メモリの信頼性と周辺回路領域1BのMISFETの信頼性の両方を向上させることができるため、半導体装置の総合的な信頼性を向上させることができる。

10

20

30

40

50

【0162】

また、本実施の形態では、絶縁膜Z4は、窒化シリコンまたは酸化アルミニウムからなるが、窒化シリコン膜と酸化アルミニウム膜が、水素に対するバリア性に優れているからである。しかしながら、絶縁膜Z4が窒化シリコン膜であれば、より好ましい。なぜなら、窒化シリコン膜は、半導体装置に対する使用実績が長く、信頼性に優れた窒化シリコン膜を的確に形成する成膜技術が確立されているからである。また、水素に対するバリア性自体も、酸化アルミニウム膜よりも窒化シリコン膜の方が優れている。また、例えば、絶縁膜Z1として窒化シリコン膜を用いる場合や、サイドウォールスペーサSWを形成するのに窒化シリコン膜を用いる場合など、窒化シリコン膜を成膜する機会は多く、それらの窒化シリコン膜を形成するのに用いた成膜装置を、絶縁膜Z4の成膜工程に利用することも可能になる。従って、水素に対するバリア性、膜自身の信頼性、成膜装置および成膜時間などの観点で、絶縁膜Z4としては、酸化アルミニウム膜を用いるよりも、窒化シリコン膜を用いた方が、より好ましい。

【0163】

また、上記図34および図35の第1検討例の場合は、周辺回路領域1Bに絶縁膜Z3が形成され、メモリ領域1Aには絶縁膜3が形成されていないことから、周辺回路領域1Bにおける配線M1とゲート電極GEとの間の距離に比べて、メモリ領域1Aにおける配線M1とゲート電極(MG, CG)との間の距離が短くなり、メモリ領域1Aにおける配線M1とゲート電極(MG, CG)との間の耐圧が低くなる懸念がある。

【0164】

それに対して、本実施の形態では、周辺回路領域1Bに絶縁膜Z3が形成され、メモリ領域1Aには絶縁膜4が形成されていることで、メモリ領域1Aにおける配線M1とゲート電極(MG, CG)との間の距離を、周辺回路領域1Bにおける配線M1とゲート電極GEとの間の距離とほぼ同程度とすることができる。このため、第1検討例の場合に比べて、メモリ領域1Aにおける配線M1とゲート電極(MG, CG)との間の耐圧を向上させることができる。この観点で、絶縁膜Z4の厚さは、絶縁膜Z3の厚さと同程度とすることができる。

【0165】

また、水素に対するバリア性などを考慮すると、絶縁膜Z4の厚さは、例えば5~50nm程度が好適である。また、絶縁膜Z5の厚さは、絶縁膜Z4の厚さよりも厚くすることができ、例えば30~500nm程度とすることができる。また、絶縁膜Z3の厚さは、例えば5~50nm程度とすることができる。

【0166】

（実施の形態2）

図38~図44は、本実施の形態2の半導体装置の製造工程中の要部断面図である。

【0167】

上記図24の構造を得るまでは、本実施の形態2も上記実施の形態1の製造工程と同様であるので、ここではその説明は省略する。

【0168】

上記実施の形態 1 と同様にして、上記図 2 4 の構造を得た後、本実施の形態 2 では、図 3 8 に示されるように、絶縁膜 Z 3 を形成する。絶縁膜 Z 3 の材料や成膜法は本実施の形態 2 も上記実施の形態 1 と同様であるが、絶縁膜 Z 3 の形成領域が、上記実施の形態 1 と本実施の形態 2 とで相違している。すなわち、上記実施の形態 1 では、絶縁膜 Z 3 は、周辺回路領域 1 B 全体に形成されるが、メモリ領域 1 A には形成されていなかった。それに対して、本実施の形態 2 では、絶縁膜 Z 3 は、周辺回路領域 1 B 全体とメモリ領域 1 A の一部とに形成される。すなわち、本実施の形態 2 では、絶縁膜 Z 3 は、絶縁膜 S Z (Z 1 , Z 2) 上に、周辺回路領域 1 B 全体とメモリ領域 1 A の一部とを覆い、かつメモリゲート電極 M G および制御ゲート電極 C G を露出するように、形成される。具体的には、絶縁膜 Z 3 は開口部 O P 1 を有しており、その開口部 O P 1 から、制御ゲート電極 C G およびメモリゲート電極 M G が露出される。開口部 O P 1 の内壁 (側面) は、サイドウォールスペーサ S W 1 , S W 2 上または絶縁膜 Z 1 の端面上に位置していることが好ましい。図 3 9 の場合は、開口部 O P 1 の内壁 (側面) は、サイドウォールスペーサ S W 1 , S W 2 上に位置しているが、絶縁膜 Z 1 の端面上に位置していてもよい。メモリ領域 1 A の絶縁膜 Z 2 は、絶縁膜 Z 3 で覆われる。

10

20

30

40

50

【 0 1 6 9 】

次に、図 3 9 に示されるように、制御ゲート電極 C G およびメモリゲート電極 M G の各上部に、サリサイド技術を用いて金属シリサイド層 S L 2 を形成する。金属シリサイド層 S L 2 を形成する手法は、本実施の形態 2 も上記実施の形態 1 と同様であるので、ここではその繰り返しの説明は省略する。

【 0 1 7 0 】

次に、図 4 0 に示されるように、開口部 O P 1 内を含む絶縁膜 Z 3 上に、絶縁膜 Z 4 a を形成する。絶縁膜 Z 4 a の材料や成膜法は、本実施の形態 2 も上記実施の形態 1 と同様である。絶縁膜 Z 4 a は、半導体基板 S B の主面全面上に形成されるため、メモリ領域 1 A および周辺回路領域 1 B の両方に形成される。このため、絶縁膜 Z 4 a は、絶縁膜 Z 3 上と、絶縁膜 Z 3 の開口部 O P 1 から露出する制御ゲート電極 C G (金属シリサイド層 S L 2) 、メモリゲート電極 M G (金属シリサイド層 S L 2) およびサイドウォールスペーサ S W 1 , S W 2 上とに、形成される。つまり、絶縁膜 Z 4 a は、上記構造体 K T 1 と絶縁膜 Z 3 とを覆うように形成される。

【 0 1 7 1 】

次に、図 4 1 に示されるように、絶縁膜 Z 3 上の絶縁膜 Z 4 a を、C M P 法などを用いて除去する。この際、C M P 処理の研磨時間を調整することなどによって、絶縁膜 Z 3 上には絶縁膜 Z 4 a が残存しないようにするとともに、絶縁膜 Z 3 が形成されていない領域 (すなわち絶縁膜 Z 3 の開口部 O P 1 内) における絶縁膜 Z 4 a は、層状に残存させる。残存する絶縁膜 Z 4 a が、絶縁膜 Z 4 となる。絶縁膜 Z 3 上の絶縁膜 Z 4 a を C M P 法で除去した場合には、絶縁膜 Z 3 と絶縁膜 Z 4 とは重なっておらず、平面視において互いに隣接し、絶縁膜 Z 3 の側面と絶縁膜 Z 4 の側面とが互いに接した状態になる。

【 0 1 7 2 】

絶縁膜 Z 4 の平面形状および形成位置は、開口部 O P 1 の平面形状および形成位置と同じである。このため、開口部 O P 1 の内壁がサイドウォールスペーサ S W 1 , S W 2 上または絶縁膜 Z 1 の端面上に位置していたことを反映して、絶縁膜 Z 4 の側面 (端面) は、サイドウォールスペーサ S W 1 上、サイドウォールスペーサ S W 2 上または絶縁膜 Z 1 の端面上に位置している。図 4 1 の場合は、絶縁膜 Z 4 の側面は、サイドウォールスペーサ S W 1 , S W 2 上に位置しているが、絶縁膜 Z 1 の端面上に位置していてもよい。いずれにしても、制御ゲート電極 C G およびメモリゲート電極 M G は絶縁膜 Z 4 で覆われる。

【 0 1 7 3 】

次に、図 4 2 に示されるように、絶縁膜 Z 3 および絶縁膜 Z 4 上に、絶縁膜 Z 5 を形成する。絶縁膜 Z 5 の材料や成膜法は、本実施の形態 2 も上記実施の形態 1 と同様である。絶縁膜 Z 5 は、半導体基板 S B の主面全面上に形成されるため、メモリ領域 1 A および周辺回路領域 1 B の両方に形成され、従って、絶縁膜 Z 3 および絶縁膜 Z 4 上に連続的に形

成される。絶縁膜 S Z (すなわち絶縁膜 Z 1 , Z 2) と絶縁膜 Z 3 と絶縁膜 Z 4 と絶縁膜 Z 5 とにより、層間絶縁膜 I L が形成される。

【 0 1 7 4 】

次に、図 4 3 に示されるように、層間絶縁膜 I L にコンタクトホール C T を形成する。

【 0 1 7 5 】

具体的には、まず、層間絶縁膜 I L 上に、すなわち絶縁膜 Z 5 上に、上記実施の形態 1 と同様にフォトレジストパターン (図示せず) を形成する。それから、このフォトレジストパターンをエッチングマスクとして用いて主として絶縁膜 Z 5 (酸化シリコン膜) と絶縁膜 Z 3 (酸化シリコン膜) と絶縁膜 Z 2 (酸化シリコン膜) とをエッチングする第 1 エッチングステップを行う。この第 1 エッチングステップでは、絶縁膜 Z 5 , Z 3 , Z 2 (酸化シリコン膜) に比べて絶縁膜 Z 1 (窒化シリコン膜) がエッチングされにくいエッチング条件で、エッチングを行う。第 1 エッチングステップでは、メモリ領域 1 A および周辺回路領域 1 B のそれぞれに、絶縁膜 Z 5 , Z 3 , Z 2 を貫通するコンタクトホール C T が形成され、各コンタクトホール C T の底部で露出される絶縁膜 Z 1 をエッチングストップパとして機能させる。

10

【 0 1 7 6 】

それから、フォトレジストパターンをエッチングマスクとして用いて、主としてコンタクトホール C T の底部で露出する絶縁膜 Z 1 をエッチングする第 2 エッチングステップを行う。この第 2 エッチングステップは、上記実施の形態 1 の上記第 4 エッチングステップと同様に行うことができるので、ここではその繰り返しの説明は省略する。第 2 エッチングステップを行うことで、メモリ領域 1 A および周辺回路領域 1 B において、コンタクトホール C T が絶縁膜 Z 5 , Z 3 , Z 2 , Z 1 を貫通し、コンタクトホール C T の底部では、 n^+ 型半導体領域 H 1 , H 2 , H 3 , H 4 の上部の金属シリサイド層 S L 1 が露出される。

20

【 0 1 7 7 】

このようにして、メモリ領域 1 A および周辺回路領域 1 B にそれぞれコンタクトホール C T を形成することができる。

【 0 1 7 8 】

以降の工程は、本実施の形態 2 も上記実施の形態 1 と同様である。すなわち、図 4 4 に示されるように、コンタクトホール C T 内に導電性のプラグ P G を形成する。それから、プラグ P G が埋め込まれた層間絶縁膜 I L 上に絶縁膜 Z F を形成してから、絶縁膜 Z F に配線溝を形成した後、配線溝内に配線 M 1 を形成する。その後、2 層目以降の配線を形成するが、ここでは図示およびその説明は省略する。

30

【 0 1 7 9 】

本実施の形態 2 の場合は、上記実施の形態 1 で得られる効果に加えて、更に、コンタクトホール C T を形成しやすくなるという効果も得ることができる。以下、これについて説明する。

【 0 1 8 0 】

上記実施の形態 1 では、絶縁膜 Z 4 は、メモリ領域 1 A のほぼ全体にわたって形成され、周辺回路領域 1 B には形成されていない。このため、メモリ領域 1 A において n^+ 型半導体領域 H 1 , H 2 の上方には絶縁膜 Z 4 が存在する一方で、周辺回路領域 1 B において n^+ 型半導体領域 H 3 , H 4 の上方には絶縁膜 Z 4 は配置されていない。従って、メモリ領域 1 A において n^+ 型半導体領域 H 1 , H 2 上に形成するコンタクトホール C T は、絶縁膜 Z 4 を貫通する必要があるが、一方、周辺回路領域 1 B において n^+ 型半導体領域 H 3 , H 4 上に形成するコンタクトホール C T は、絶縁膜 Z 4 を貫通する必要はない。これに付随して、上記実施の形態 1 では、メモリ領域 1 A のコンタクトホール C T と周辺回路領域 1 B のコンタクトホール C T とを一緒に形成するためには、コンタクトホール C T を形成するのに要するエッチングステップの数が多くなってしまふ。具体的には、上記図 3 1 を参照して説明した第 1 エッチングステップ、第 2 エッチングステップ、第 3 エッチングステップおよび第 4 エッチングステップの 4 つのエッチングステップが必要になる。この

40

50

ため、コンタクトホールCT形成工程が行いにくくなり、コンタクトホールCTを形成するのに要する手間と時間が増加し、半導体装置のスループットの低下や製造コストの増加を招く虞がある。

【0181】

それに対して、本実施の形態2では、メモリ領域1Aの構造体KT1上に絶縁膜Z4が形成されており、メモリゲート電極MGおよび制御ゲート電極CGの上方に絶縁膜Z4が存在しているが、絶縁膜Z4の側面(端面)は、サイドウォールスペーサSW1上、サイドウォールスペーサSW2上または絶縁膜Z1の端面上に位置している。そして、周辺回路領域1Bには、絶縁膜Z4は形成されていない。このため、メモリセル用のn⁺型半導体領域H1, H2(半導体領域S1, D1)の上方において、絶縁膜Z2上に形成されているのは、絶縁膜Z4ではなく絶縁膜Z3であり、また、MISFET2用のn⁺型半導体領域H3, H4(半導体領域S2, D2)の上方において、絶縁膜Z2上に形成されているのは、絶縁膜Z4ではなく絶縁膜Z3である。従って、メモリ領域1Aにおいてn⁺型半導体領域H1, H2上に形成するコンタクトホールCTは、絶縁膜Z4を貫通する必要はなく、また、周辺回路領域1Bにおいてn⁺型半導体領域H3, H4上に形成するコンタクトホールCTも、絶縁膜Z4を貫通する必要はない。つまり、本実施の形態2の場合は、メモリ領域1Aのn⁺型半導体領域H1, H2上に形成されたコンタクトホールCTと、周辺回路領域1Bのn⁺型半導体領域H3, H4上に形成されたコンタクトホールCTとは、どちらも、絶縁膜Z5, Z3, Z2, Z1を貫通するように形成される。このため、本実施の形態2では、メモリ領域1AのコンタクトホールCTと周辺回路領域1BのコンタクトホールCTとを一緒に形成する場合でも、コンタクトホールCTを形成するのに要するエッチングステップの数が少なくて済む。具体的には、上記図43を参照して説明した第1エッチングステップおよび第2エッチングステップの2つのエッチングステップを行えばよい。このため、コンタクトホールCT形成工程が行いやすくなり、コンタクトホールCTを形成するのに要する手間と時間を低減でき、半導体装置のスループットの向上や製造コストの低減を図ることができる。

【0182】

(実施の形態3)

図45~図49は、本実施の形態3の半導体装置の製造工程中の要部断面図である。上記図28の構造を得るまでは、本実施の形態3も上記実施の形態1の製造工程とほぼ同様であるので、ここではその説明は省略する。

【0183】

上記実施の形態1とほぼ同様にして上記図28の構造を得た後、本実施の形態3では、図45に示されるように、絶縁膜Z4a上にマスク層としてフォトレジストパターン(レジストパターン)RPを、フォトリソグラフィ技術を用いて形成する。フォトレジストパターンRPは、周辺回路領域1Bには形成されず、メモリ領域1Aに形成される。平面視において、絶縁膜Z3とフォトレジストパターンRPとは重なっていない。

【0184】

次に、フォトレジストパターンRPをエッチングマスクとして用いて、絶縁膜Z4aを選択的にエッチングすることにより、絶縁膜Z4aをパターンニングする。これにより、パターンニングされた絶縁膜Z4aからなる絶縁膜Z4が形成される。すなわち、絶縁膜Z4は、フォトレジストパターンRPの下に残存する絶縁膜Z4aからなり、フォトレジストパターンRPで覆われない部分の絶縁膜Z4aは、エッチングされて除去される。絶縁膜Z3上の絶縁膜Z4aは、エッチングにより除去されるため、残存しない。このエッチングは、絶縁膜Z4に比べて絶縁膜Z3, Z2がエッチングされにくい条件で行うため、絶縁膜Z3は層状に残存する。その後、フォトレジストパターンRPをアッシングなどにより除去し、図46にはこの段階が示されている。

【0185】

上記実施の形態1, 2の場合は、絶縁膜Z4aをCMP処理することにより絶縁膜Z4を形成していたため、絶縁膜Z4と絶縁膜Z3とは、重なってはいないが、互いに隣接し

ており、絶縁膜 Z 4 の側面（端面）と絶縁膜 Z 3 の側面（端面）とが接していた。それに対して本実施の形態 3 では、フォトリソグラフィ技術およびエッチング技術を用いて絶縁膜 Z 4 a をパターニングすることにより絶縁膜 Z 4 を形成しているため、絶縁膜 Z 4 と絶縁膜 Z 3 とは、重なっておらず、かつ、平面視において所定の間隔をあけて離間しており、絶縁膜 Z 4 の側面（端面）と絶縁膜 Z 3 の側面（端面）とは接していない。絶縁膜 Z 3 , Z 4 で覆われない部分の絶縁膜 S Z は、後で絶縁膜 Z 5 で覆われる。

【0186】

本実施の形態 3 において、上記実施の形態 1 のように、メモリ領域 1 A のほぼ全体に絶縁膜 Z 4 を形成することも可能である。しかしながら、本実施の形態 3 においても、上記実施の形態 2 のように、絶縁膜 Z 4 の側面（端面）は、サイドウォールスペーサ S W 1 上、サイドウォールスペーサ S W 2 上または絶縁膜 Z 1 の端面上に位置していることが、より好ましい。図 4 6 の場合は、絶縁膜 Z 4 の側面は、絶縁膜 Z 1 の端面上に位置しているが、サイドウォールスペーサ S W 1 , S W 2 上に位置していてもよい。いずれにしても、制御ゲート電極 C G およびメモリゲート電極 M G は絶縁膜 Z 4 で覆われる。また、本実施の形態 3 の場合は、絶縁膜 Z 4 a の C M P 処理は行わないため、絶縁膜 Z 4 a の形成膜厚は、上記実施の形態 1 , 2 の場合よりも薄くすることもできる。

10

【0187】

次に、図 4 7 に示されるように、絶縁膜 Z 3 および絶縁膜 Z 4 上に、絶縁膜 Z 5 を形成する。絶縁膜 Z 5 の材料や成膜法は、本実施の形態 3 も上記実施の形態 1 と同様である。絶縁膜 Z 5 は、半導体基板 S B の主面全面上に形成されるため、メモリ領域 1 A および周辺回路領域 1 B の両方に形成され、従って、周辺回路領域 1 B では絶縁膜 Z 3 上に形成され、メモリ領域 1 A では絶縁膜 S Z 上と絶縁膜 Z 4 上に形成される。絶縁膜 S Z（すなわち絶縁膜 Z 1 , Z 2）と絶縁膜 Z 3 と絶縁膜 Z 4 と絶縁膜 Z 5 とにより、層間絶縁膜 I L が形成される。

20

【0188】

次に、図 4 8 に示されるように、層間絶縁膜 I L にコンタクトホール C T を形成する。

【0189】

具体的には、まず、層間絶縁膜 I L 上に、すなわち絶縁膜 Z 5 上に、上記実施の形態 1 と同様にフォトレジストパターン（図示せず）を形成する。それから、このフォトレジストパターンをエッチングマスクとして用いて主として絶縁膜 Z 5（酸化シリコン膜）と絶縁膜 Z 3（酸化シリコン膜）と絶縁膜 Z 2（酸化シリコン膜）とをエッチングする第 1 エッチングステップを行う。この第 1 エッチングステップでは、絶縁膜 Z 5 , Z 3 , Z 2（酸化シリコン膜）に比べて絶縁膜 Z 1（窒化シリコン膜）がエッチングされにくいエッチング条件で、エッチングを行う。第 1 エッチングステップでは、メモリ領域 1 A に、絶縁膜 Z 5 , Z 2 を貫通するコンタクトホール C T が形成され、周辺回路領域 1 B に、絶縁膜 Z 5 , Z 3 , Z 2 を貫通するコンタクトホール C T が形成される。この際、各コンタクトホール C T の底部で露出される絶縁膜 Z 1 をエッチングストップパとして機能させる。

30

【0190】

それから、フォトレジストパターンをエッチングマスクとして用いて、主としてコンタクトホール C T の底部で露出する絶縁膜 Z 1 をエッチングする第 2 エッチングステップを行う。この第 2 エッチングステップは、上記実施の形態 1 の上記第 4 エッチングステップや上記実施の形態 2 の上記第 2 エッチングステップと同様に行うことができるので、ここではその繰り返しの説明は省略する。第 2 エッチングステップを行うことで、メモリ領域 1 A においては、コンタクトホール C T が絶縁膜 Z 5 , Z 2 , Z 1 を貫通し、周辺回路領域 1 B においては、コンタクトホール C T が絶縁膜 Z 5 , Z 3 , Z 2 , Z 1 を貫通し、コンタクトホール C T の底部では、 n^+ 型半導体領域 H 1 , H 2 , H 3 , H 4 の上部の金属シリサイド層 S L 1 が露出される。

40

【0191】

このようにして、メモリ領域 1 A および周辺回路領域 1 B にそれぞれコンタクトホール C T を形成することができる。

50

【0192】

以降の工程は、本実施の形態3も上記実施の形態1, 2と同様である。すなわち、図49に示されるように、コンタクトホールCT内に導電性のプラグPGを形成する。それから、プラグPGが埋め込まれた層間絶縁膜IL上に絶縁膜ZFを形成してから、絶縁膜ZFに配線溝を形成した後、配線溝内に配線M1を形成する。その後、2層目以降の配線を形成するが、ここでは図示およびその説明は省略する。

【0193】

本実施の形態3においても、上記実施の形態1または上記実施の形態2とほぼ同様の効果を得ることができる。

【0194】

また、上記実施の形態1, 2の場合は、絶縁膜Z4aをCMP処理することにより絶縁膜Z4を形成している。このため、絶縁膜Z4を形成するのにフォトリソグラフィ工程が不要となるため、工程数を低減することができる。このため、半導体装置の製造コストの低減に有利となる。

【0195】

一方、本実施の形態3の場合は、フォトリソグラフィ技術およびエッチング技術を用いて絶縁膜Z4aをパターニングすることにより、絶縁膜Z4を形成している。このため、フォトリソグラフィ工程は必要となるが、絶縁膜Z4を容易かつ的確に形成することができるという利点がある。

【0196】

すなわち、CMP処理を用いて絶縁膜Z4を形成する場合は、絶縁膜Z4aの形成膜厚をある程度厚くし、また、CMP処理時のディッシングをある程度抑制しないと、絶縁膜Z4を形成すべき領域で絶縁膜Z4aが消失してしまい、絶縁膜Z4を的確に形成できなくなる虞がある。このため、絶縁膜Z4aの成膜工程や絶縁膜Z4aのCMP工程をある程度厳格に管理する必要がある。それに対して、本実施の形態3のようにフォトリソグラフィ技術およびエッチング技術を用いて絶縁膜Z4を形成した場合には、所望の位置に所望の形状の絶縁膜Z4を容易かつ的確に形成することができる。このため、工程管理が容易になるという利点を得られる。

【0197】

(実施の形態4)

図50～図58は、本実施の形態3の半導体装置の製造工程中の要部断面図である。

【0198】

本実施の形態4では、上記実施の形態1とほぼ同様の工程を行って、上記図20に相当する図50の構造を得る。ここで、図50の構造が上記図20の構造と相違するのは、以下の点である。

【0199】

すなわち、図50の場合は、制御ゲート電極CGは、半導体基板SB(p型ウエルPW1)上に、絶縁膜GF1とその上の絶縁膜HK(高誘電率絶縁膜)との積層膜を介して形成され、ダミーゲート電極DGは、半導体基板SB(p型ウエルPW2)上に、絶縁膜GF2とその上の絶縁膜HK(高誘電率絶縁膜)との積層膜を介して形成されている。例えば、上記図7の構造を得た後、半導体基板SB(p型ウエルPW1, PW2)の表面に絶縁膜GFを形成してから、絶縁膜GF上に絶縁膜HK(高誘電率絶縁膜)を形成し、その後、絶縁膜HK上にシリコン膜PS1と絶縁膜CPZとを順に形成し、その後上記図9～図20を参照して説明した工程を行うことで、図50の構造を得ることができる。それ以外は、図50の構造は、上記図20の構造と同様である。

【0200】

次に、ダミーゲート電極DGと制御ゲート電極CGとメモリゲート電極MGとが露出した状態でエッチングを行うことで、図51に示されるように、ダミーゲート電極DGと制御ゲート電極CGとメモリゲート電極MGとをエッチングして除去する。この際のエッチング工程では、ダミーゲート電極DGと制御ゲート電極CGとメモリゲート電極MGとを

10

20

30

40

50

選択的にエッチングする。このため、ダミーゲート電極 D G と制御ゲート電極 C G とメモリゲート電極 M G とに比べて絶縁膜 H K , G F 1 , G F 2 , Z 1 , Z 2 およびサイドウォールスペーサ S W 1 , S W 2 , S W 3 , S W 4 がエッチングされにくい条件でエッチングを行うことが好ましい。

【 0 2 0 1 】

ダミーゲート電極 D G が除去されたことにより、溝 T R が形成され、制御ゲート電極 C G が除去されたことにより、溝（凹部、窪み部） T R 1 が形成され、メモリゲート電極 M G が除去されたことにより、溝（凹部、窪み部） T R 2 が形成される。溝 T R 1 は、制御ゲート電極 C G を除去するまで制御ゲート電極 C G が存在していた領域に対応し、また、溝 T R 2 は、メモリゲート電極 M G を除去するまでメモリゲート電極 M G が存在していた領域に対応する。溝 T R の底部では絶縁膜 H K , G F 2 が残存し、溝 T R 1 の底部では絶縁膜 H K , G F 1 が残存し、溝 T R 2 の底部では絶縁膜 M Z が残存している。

10

【 0 2 0 2 】

次に、図 5 2 に示されるように、半導体基板 S B 上に、すなわち溝 T R , T R 1 , T R 2 内を含む絶縁膜 S Z 上に、金属膜 M E 1 を形成する。金属膜 M E 1 の材料や成膜法は、本実施の形態 3 も上記実施の形態 1 と同様である。

【 0 2 0 3 】

次に、図 5 3 に示されるように、溝 T R , T R 1 , T R 2 の外部の不要な金属膜 M E 1 を C M P 法などによって除去し、溝 T R , T R 1 , T R 2 内に金属膜 M E 1 を残す。

【 0 2 0 4 】

このようにして、ダミーゲート電極 D G が除去された領域である溝 T R 内に、残存する金属膜 M E 1 からなるゲート電極 G E が形成される。また、制御ゲート電極 C G が除去された領域である溝 T R 1 内に、残存する金属膜 M E 1 からなる制御ゲート電極 C G 1 が形成され、メモリゲート電極 M G が除去された領域である溝 T R 2 内に、残存する金属膜 M E 2 からなるメモリゲート電極 M G 1 が形成される。ゲート電極 G E と制御ゲート電極 C G 1 とメモリゲート電極 M G 1 とは、いずれもメタルゲート電極である。

20

【 0 2 0 5 】

本実施の形態 4 では、ダミーゲート電極 D G と制御ゲート電極 C G とメモリゲート電極 M G を除去して、それぞれゲート電極 G E と制御ゲート電極 C G 1 とメモリゲート電極 M G 1 とに置き換えている。このため、本実施の形態 4 では、ダミーゲート電極 D G と制御ゲート電極 C G とメモリゲート電極 M G とは、いずれもダミーのゲート電極であり、リプレイスメントゲート電極または置換用ゲート電極とみなすことができる。一方、ゲート電極 G E は、M I S F E T を構成するゲート電極とみなすことができ、制御ゲート電極 C G 1 およびメモリゲート電極 M G 1 は、不揮発性メモリのメモリセルを構成するゲート電極とみなすことができる。

30

【 0 2 0 6 】

次に、図 5 4 に示されるように、絶縁膜 S Z (Z 1 , Z 2) 上に、制御ゲート電極 C G 1 とメモリゲート電極 M G 1 とゲート電極 G E とサイドウォールスペーサ S W 1 , S W 2 , S W 3 , S W 4 とを覆うように、絶縁膜 Z 4 a を形成する。絶縁膜 Z 4 a は、半導体基板 S B の主面全面上に形成されるため、メモリ領域 1 A および周辺回路領域 1 B の両方に形成される。絶縁膜 Z 4 a の材料や成膜法は、本実施の形態 2 も上記実施の形態 1 と同様である。

40

【 0 2 0 7 】

次に、本実施の形態 4 においても、上記実施の形態 3 と同様に、絶縁膜 Z 4 a 上にマスク層としてフォトリソパターン R P を形成する。

【 0 2 0 8 】

次に、本実施の形態 4 においても、上記実施の形態 3 と同様に、フォトリソパターン R P をエッチングマスクとして用いて、絶縁膜 Z 4 a をエッチングしてパターンニングすることにより、絶縁膜 Z 4 を形成する。その後、フォトリソパターン R P を除去し、図 5 5 にはこの段階が示されている。絶縁膜 Z 4 は、メモリ領域 1 A には形成されるが、

50

周辺回路領域 1 B には形成されない。

【 0 2 0 9 】

本実施の形態 4 では、上記絶縁膜 Z 3 は形成されていないが、上記実施の形態 3 と同様の絶縁膜 Z 4 が形成されている。絶縁膜 Z 4 の形成法と形成位置と形状とは、本実施の形態 4 も上記実施の形態 3 と同様である。このため、本実施の形態 4 において、上記実施の形態 1 のようにメモリ領域 1 A のほぼ全体に絶縁膜 Z 4 を形成することも可能であるが、上記実施の形態 2 , 3 のように、絶縁膜 Z 4 の側面（端面）は、サイドウォールスペーサ S W 1 上、サイドウォールスペーサ S W 2 上または絶縁膜 Z 1 の端面上に位置していることが、より好ましい。図 5 5 の場合は、絶縁膜 Z 4 の側面は、絶縁膜 Z 1 の端面上に位置しているが、サイドウォールスペーサ S W 1 , S W 2 上に位置していてもよい。いずれにしても、制御ゲート電極 C G 1 およびメモリゲート電極 M G 1 は絶縁膜 Z 4 で覆われる。

10

【 0 2 1 0 】

次に、図 5 6 に示されるように、絶縁膜 S Z (Z 1 , Z 2) および絶縁膜 Z 4 上に、絶縁膜（層間絶縁膜）Z 5 を形成する。絶縁膜 Z 5 の材料や成膜法は、本実施の形態 4 も上記実施の形態 1 と同様である。絶縁膜 Z 5 は、半導体基板 S B の主面全面上に形成されるため、メモリ領域 1 A および周辺回路領域 1 B の両方に形成され、従って、周辺回路領域 1 B では絶縁膜 S Z 上とゲート電極 G E 上とサイドウォールスペーサ S W 3 , S W 4 上に形成され、メモリ領域 1 A では絶縁膜 S Z 上と絶縁膜 Z 4 上に形成される。絶縁膜 S Z (すなわち絶縁膜 Z 1 , Z 2) と絶縁膜 Z 4 と絶縁膜 Z 5 とにより、層間絶縁膜 I L が形成される。

20

【 0 2 1 1 】

次に、図 5 7 に示されるように、層間絶縁膜 I L にコンタクトホール C T を形成する。

【 0 2 1 2 】

具体的には、まず、層間絶縁膜 I L 上に、すなわち絶縁膜 Z 5 上に、上記実施の形態 1 と同様にフォトレジストパターン（図示せず）を形成する。それから、このフォトレジストパターンをエッチングマスクとして用いて主として絶縁膜 Z 5 （酸化シリコン膜）と絶縁膜 Z 2 （酸化シリコン膜）とをエッチングする第 1 エッチングステップを行う。この第 1 エッチングステップでは、絶縁膜 Z 5 , Z 2 （酸化シリコン膜）に比べて絶縁膜 Z 1 （窒化シリコン膜）がエッチングされにくいエッチング条件で、エッチングを行う。第 1 エッチングステップでは、メモリ領域 1 A および周辺回路領域 1 B のそれぞれに、絶縁膜 Z 5 , Z 2 を貫通するコンタクトホール C T が形成され、各コンタクトホール C T の底部で露出される絶縁膜 Z 1 をエッチングストップパとして機能させる。

30

【 0 2 1 3 】

それから、フォトレジストパターンをエッチングマスクとして用いて、主としてコンタクトホール C T の底部で露出する絶縁膜 Z 1 をエッチングする第 2 エッチングステップを行う。この第 2 エッチングステップは、上記実施の形態 1 の上記第 4 エッチングステップや上記実施の形態 2 , 3 の第 2 エッチングステップと同様に行うことができるので、ここではその繰り返しの説明は省略する。第 2 エッチングステップを行うことで、メモリ領域 1 A および周辺回路領域 1 B において、コンタクトホール C T が絶縁膜 Z 5 , Z 2 , Z 1 を貫通し、コンタクトホール C T の底部では、 n^+ 型半導体領域 H 1 , H 2 , H 3 , H 4 の上部に形成されている金属シリサイド層 S L 1 が露出される。

40

【 0 2 1 4 】

このようにして、メモリ領域 1 A および周辺回路領域 1 B にそれぞれコンタクトホール C T を形成することができる。

【 0 2 1 5 】

以降の工程は、本実施の形態 3 も上記実施の形態 1 , 2 と同様である。すなわち、図 5 8 に示されるように、コンタクトホール C T 内に導電性のプラグ P G を形成する。それから、プラグ P G が埋め込まれた層間絶縁膜 I L 上に絶縁膜 Z F を形成してから、絶縁膜 Z F に配線溝を形成した後、配線溝内に配線 M 1 を形成する。その後、2 層目以降の配線を形成するが、ここでは図示およびその説明は省略する。

50

【0216】

本実施の形態4においても、上記実施の形態3とほぼ同様の効果を得ることができる。

【0217】

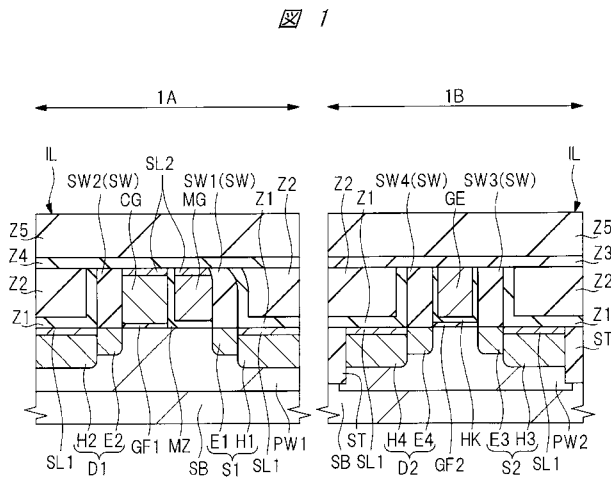
以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【符号の説明】

【0218】

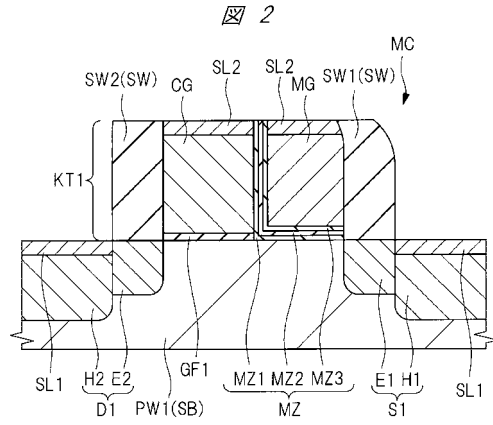
1 A	メモリ領域	
1 B	周辺回路領域	10
2	M I S F E T	
C G , C G 1	制御ゲート電極	
C P 1、C P 2	キャップ絶縁膜	
C T	コンタクトホール	
D 1 , D 2 , S 1 , S 2	半導体領域	
E 1 , E 2 , E 3 , E 4	n ⁻ 型半導体領域	
D G	ダミーゲート電極	
G E	ゲート電極	
H 1 , H 2 , H 3 , H 4	n ⁺ 型半導体領域	
I L	層間絶縁膜	20
K T 1 , K T 2	構造体	
L M	積層膜	
L M 1 , L M 2	積層体	
M 1	配線	
M C	メモリセル	
M G , M G 1	メモリゲート電極	
P G	プラグ	
P S 1 , P S 2	シリコン膜	
P W 1 , P W 2	p型ウエル	
S B	半導体基板	30
S L 1 , S L 2	金属シリサイド層	
S T	素子分離領域	
S W , S W 1 , S W 2 , S W 3 , S W 4	サイドウォールスペーサ	
T R , T R 1 , T R 2	溝	
G F , G F 1 , G F 2 , H K , M K , M Z , M Z 1 , M Z 2 , M Z 3 , S Z , Z 1 , Z 2 , Z 3 , Z 4 , Z 4 a , Z 5 , Z F , Z M	絶縁膜	

【 図 1 】

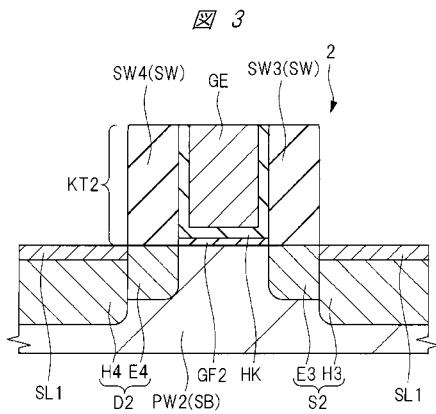


CG : 制御ゲート電極
 GE : ゲート電極
 IL : 層間絶縁膜
 MG : メモリゲート電極
 SW1,SW2,SW3,SW4 : サイドウォールスペーサ
 Z3 : 絶縁膜

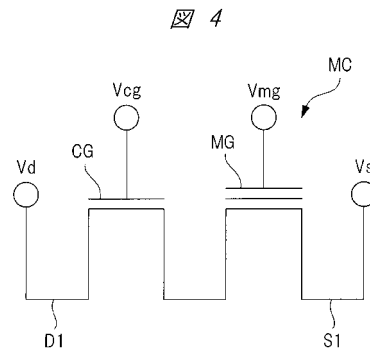
【 図 2 】



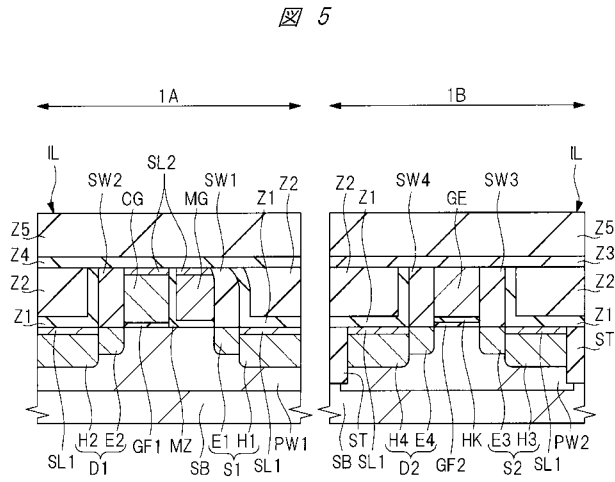
【 図 3 】



【 図 4 】



【 図 5 】

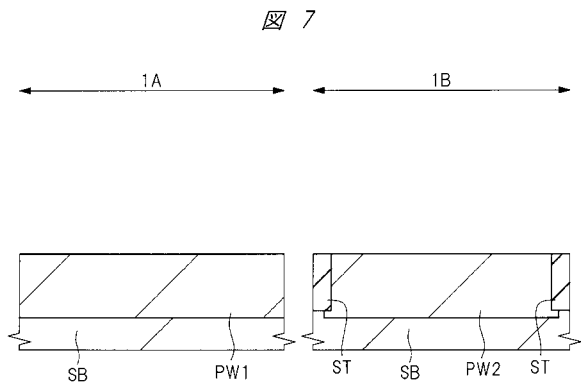


【 図 6 】

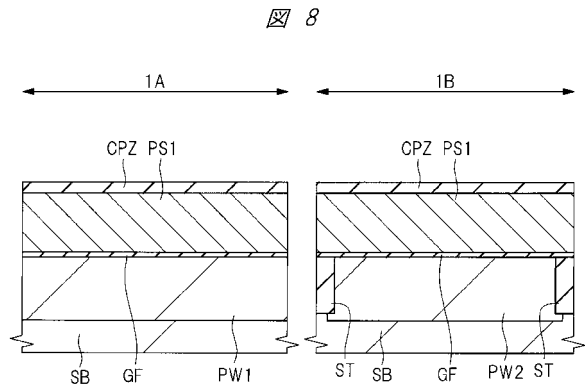
図 6

動作方式	書き動作電圧(V) Vmg/Vs/Vcg/Vd/Vb	消去動作電圧(V) Vmg/Vs/Vcg/Vd/Vb	読出動作電圧(V) Vmg/Vs/Vcg/Vd/Vb
A SS(書込)/BTBT(消去)	10/5/1/0.5/0	-6/6/0/open/0	0/0/1.5/1.5/0
B SS(書込)/FN(消去)	10/5/1/0.5/0	12/0/0/0/0	0/0/1.5/1.5/0
C FN(書込)/BTBT(消去)	-12/0/0/0/0	-6/6/0/open/0	0/0/1.5/1.5/0
D FN(書込)/FN(消去)	-12/0/0/0/0	12/0/0/0/0	0/0/1.5/1.5/0

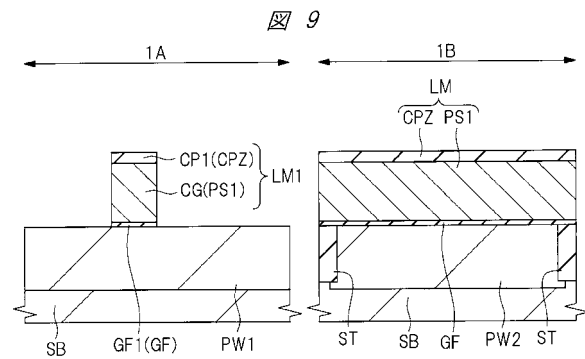
【 図 7 】



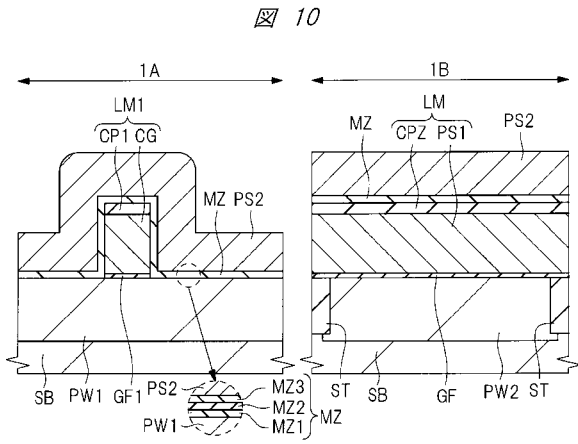
【 図 8 】



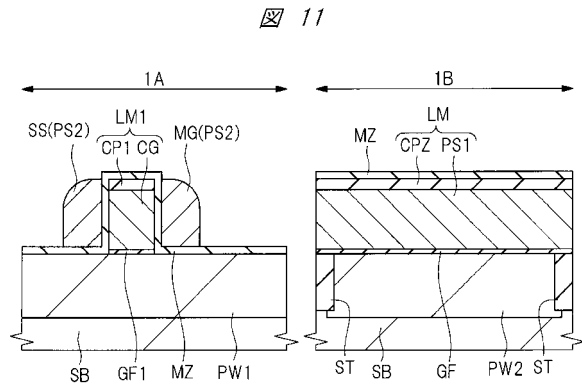
【 図 9 】



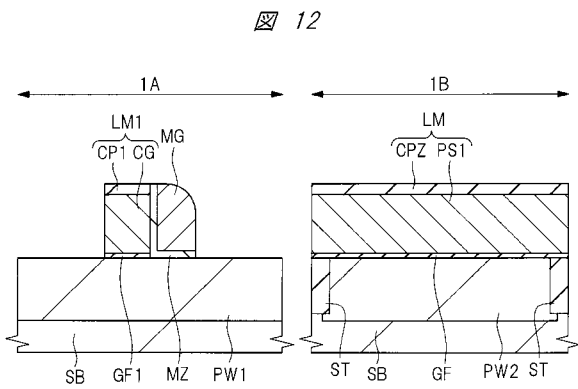
【図 10】



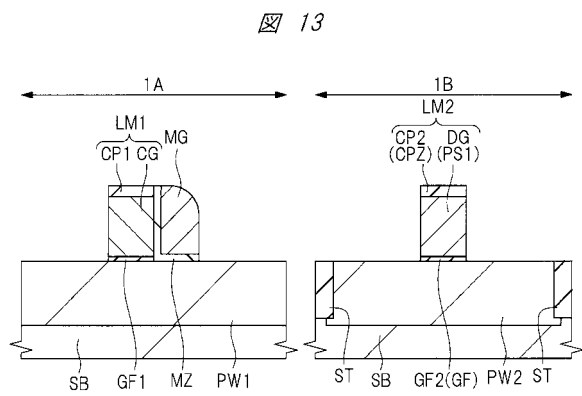
【図 11】



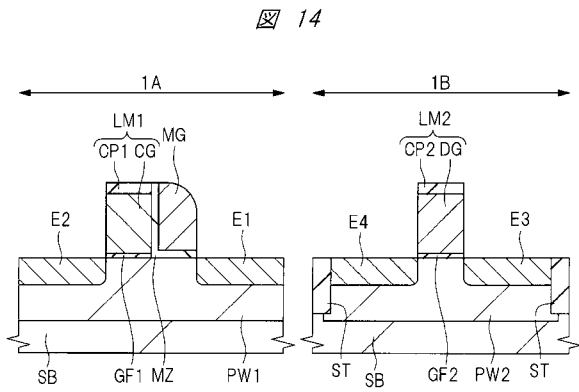
【図 12】



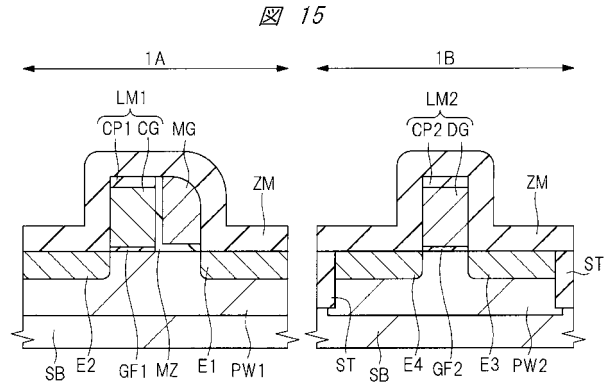
【図 13】



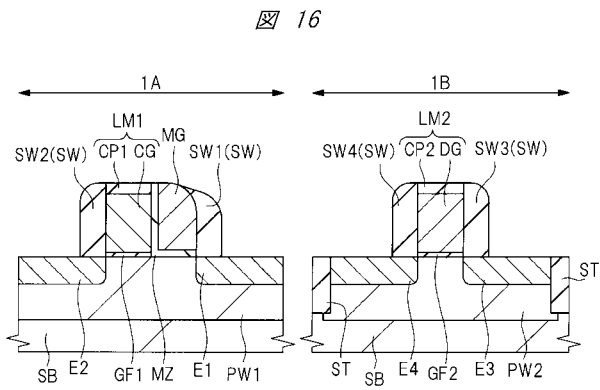
【 図 1 4 】



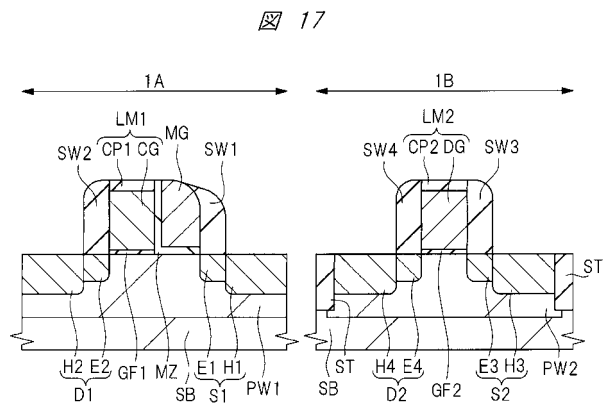
【 図 1 5 】



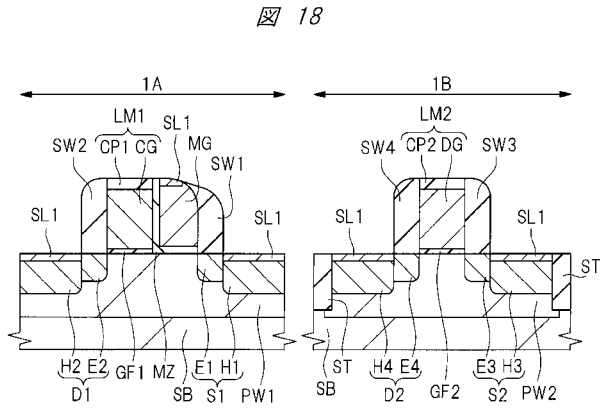
【 図 1 6 】



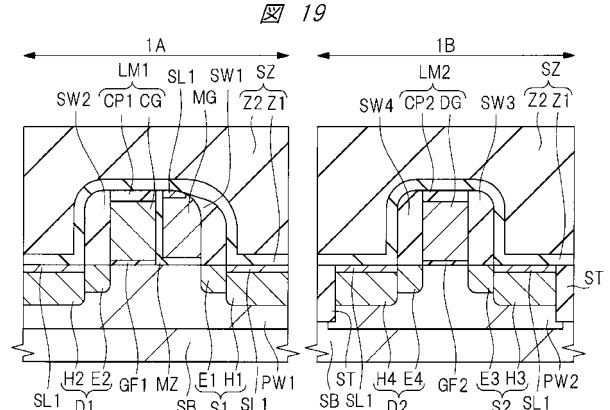
【 図 1 7 】



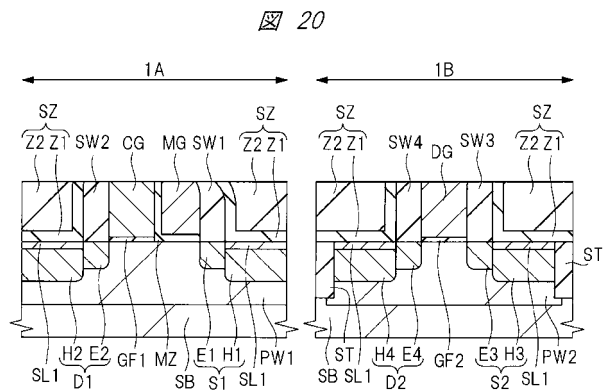
【 図 18 】



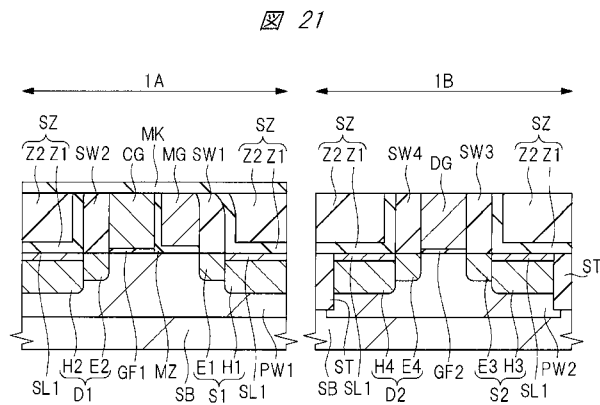
【 図 19 】



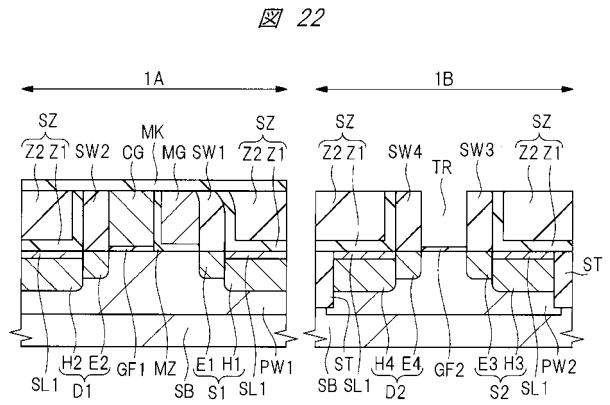
【 図 20 】



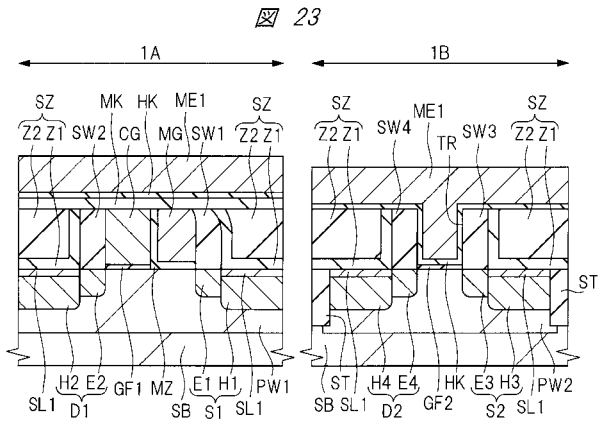
【 図 21 】



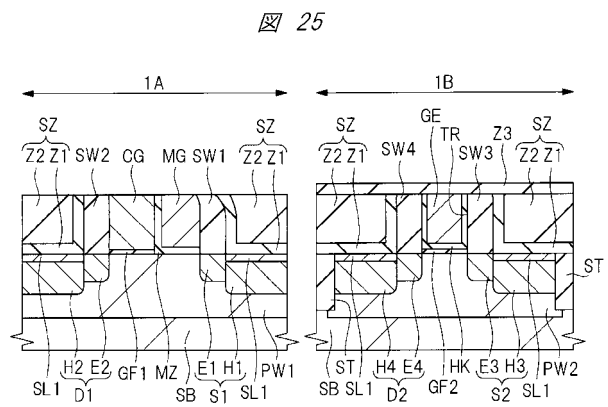
【 図 22 】



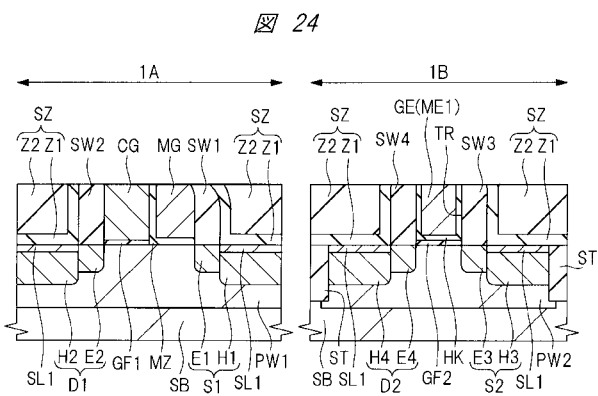
【 図 2 3 】



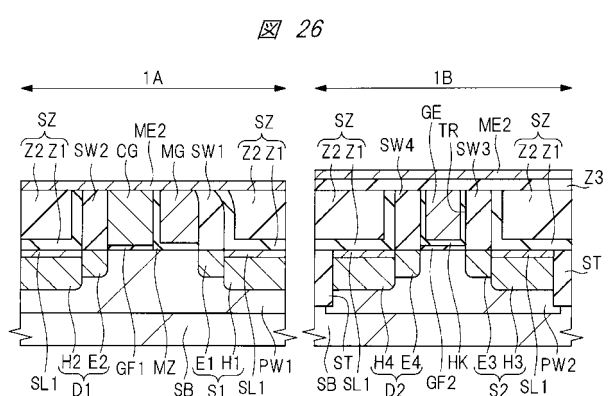
【 図 2 5 】



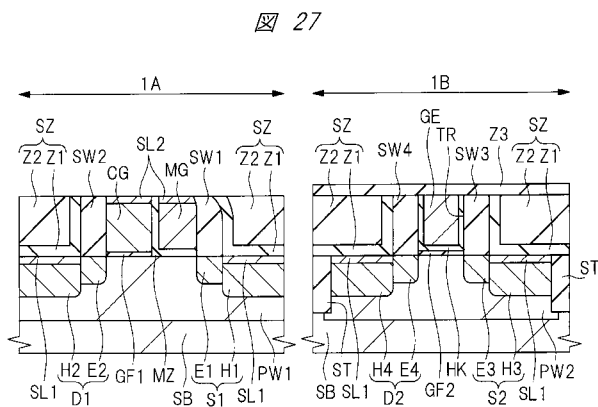
【 図 2 4 】



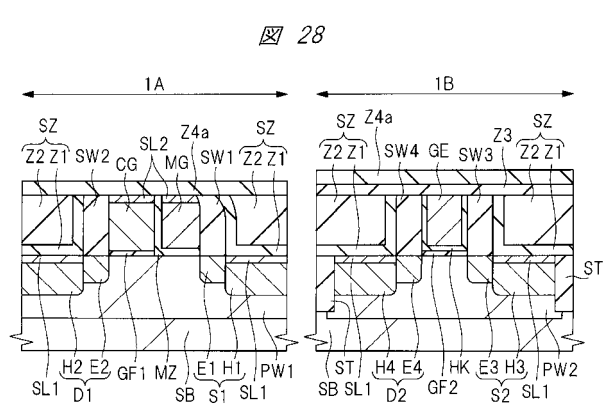
【 図 2 6 】



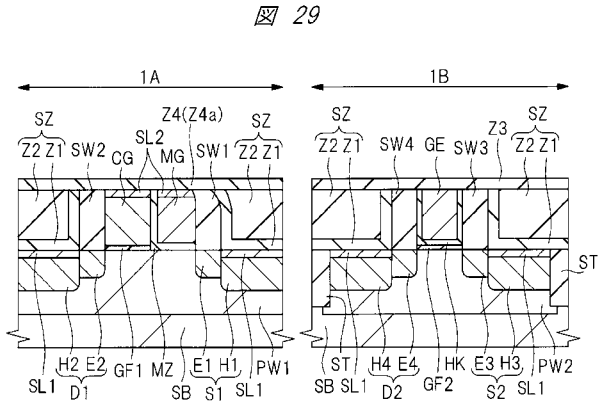
【 図 2 7 】



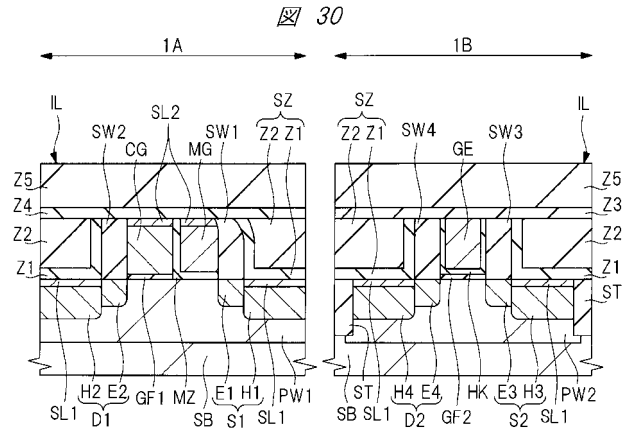
【 図 2 8 】



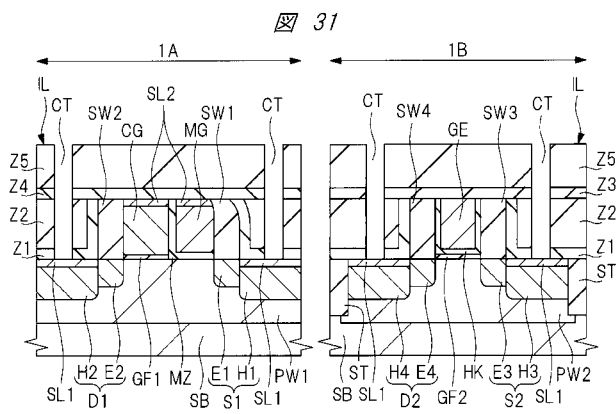
【 図 29 】



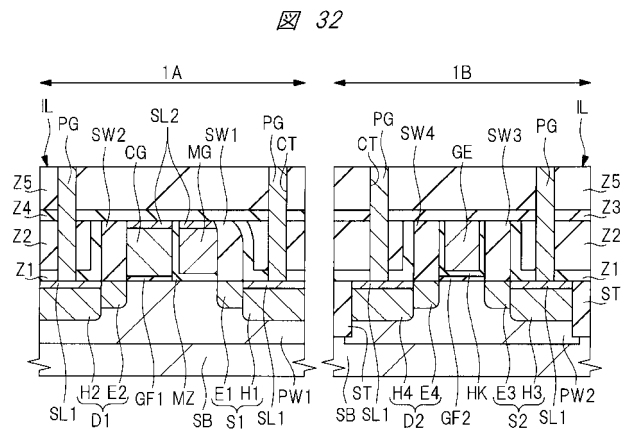
【 図 30 】



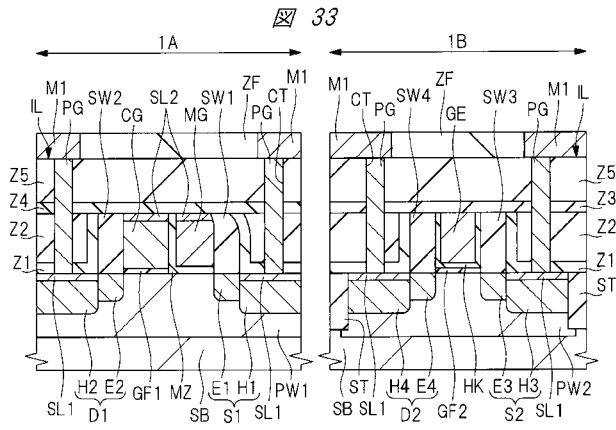
【 図 31 】



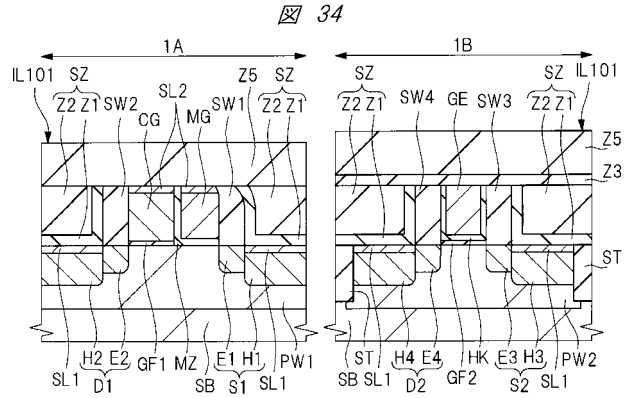
【 図 32 】



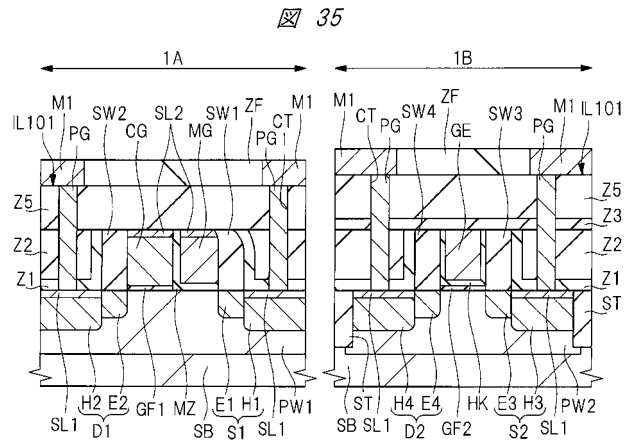
【 図 3 3 】



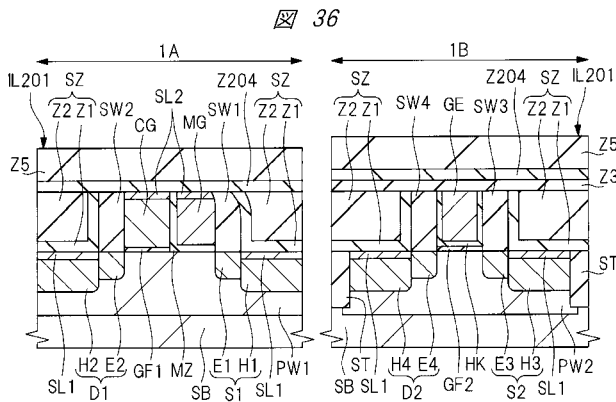
【 図 3 4 】



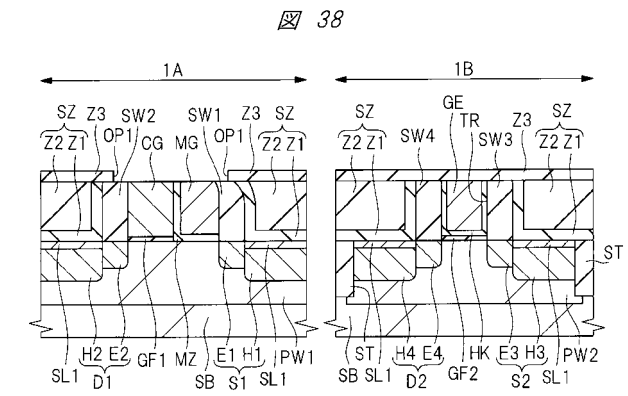
【 図 3 5 】



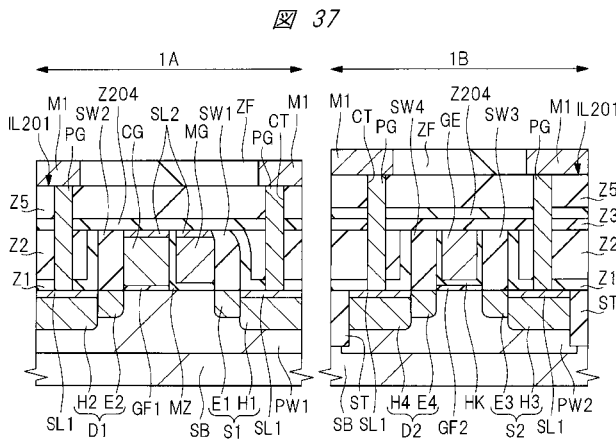
【 図 3 6 】



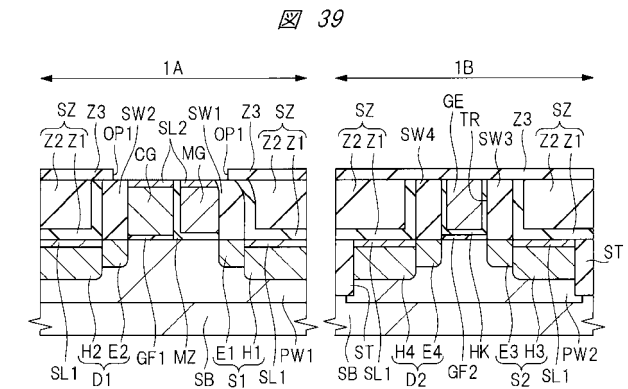
【 図 3 8 】



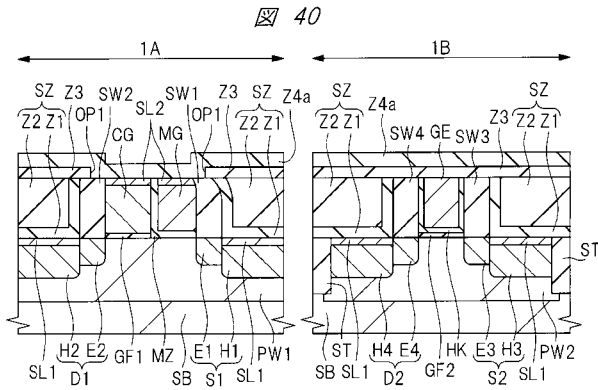
【 図 3 7 】



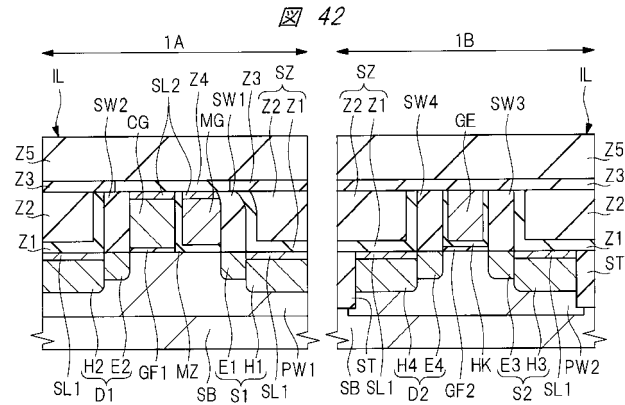
【 図 3 9 】



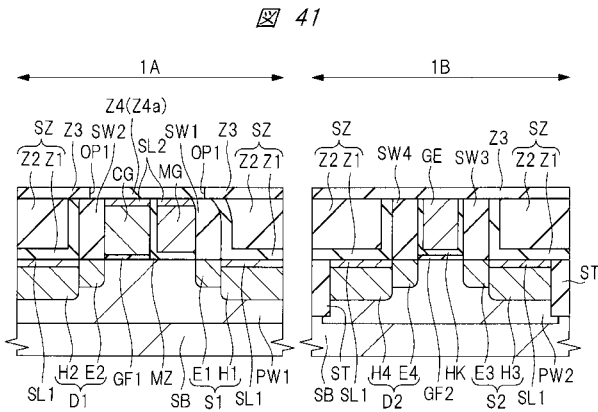
【 図 4 0 】



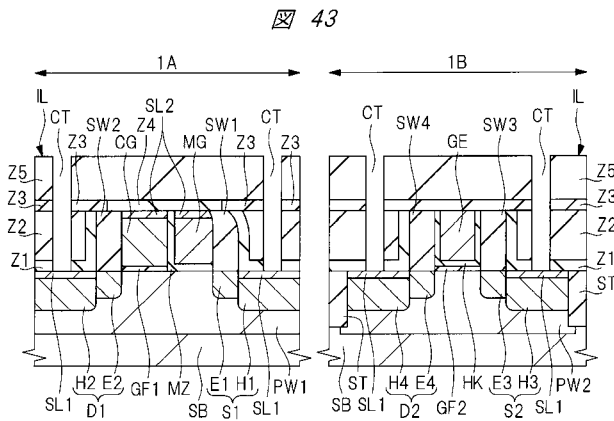
【 図 4 2 】



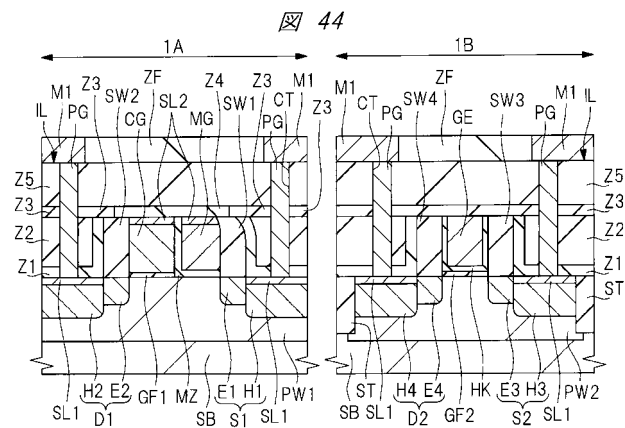
【 図 4 1 】



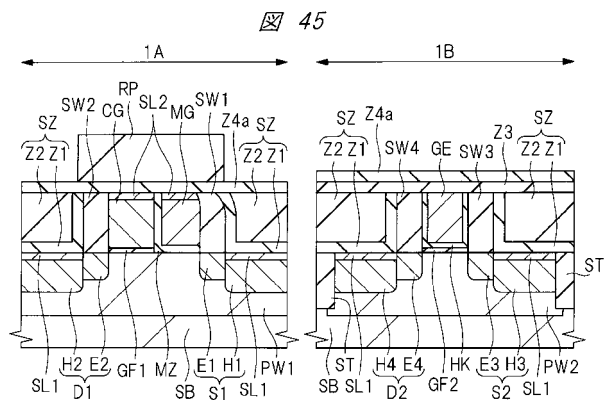
【 図 4 3 】



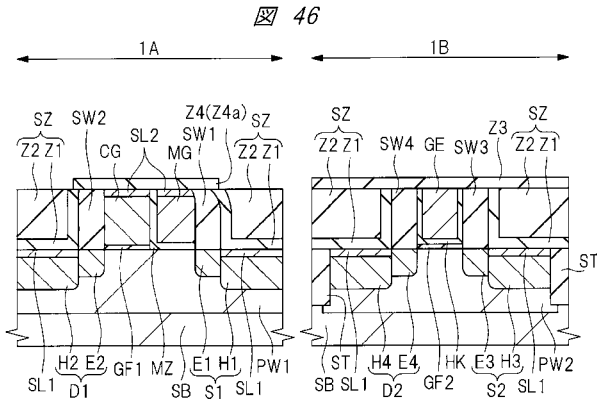
【 図 4 4 】



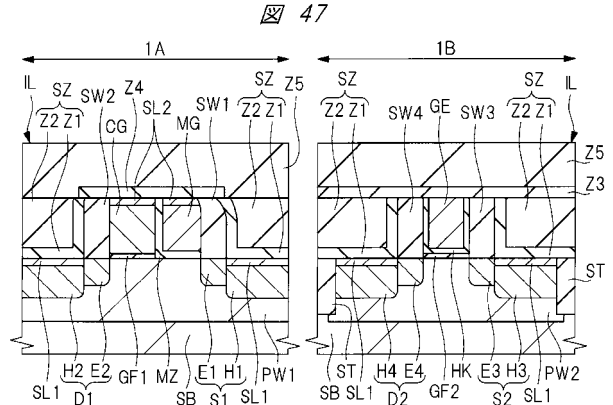
【 図 4 5 】



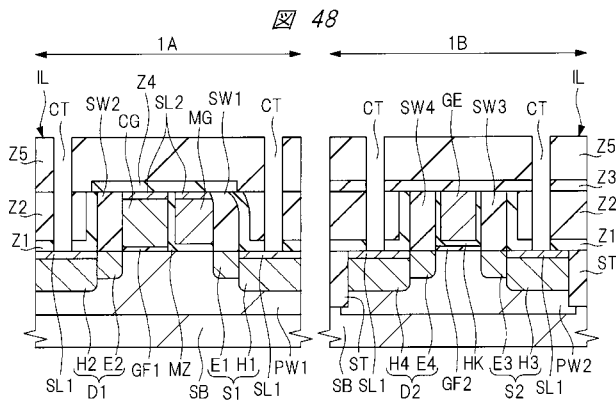
【 図 4 6 】



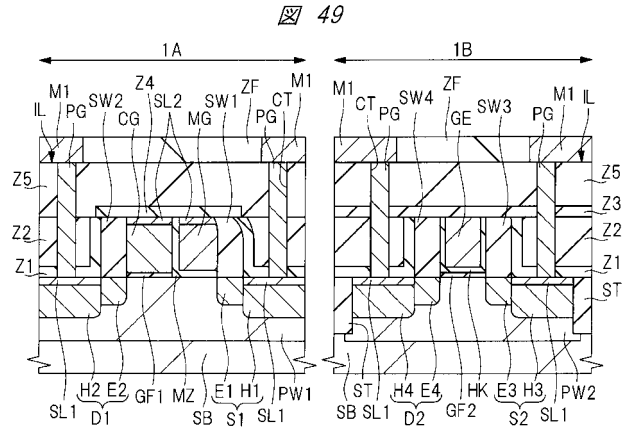
【 図 4 7 】



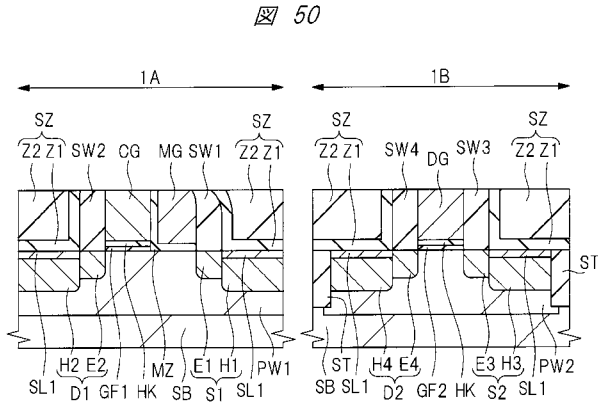
【 図 4 8 】



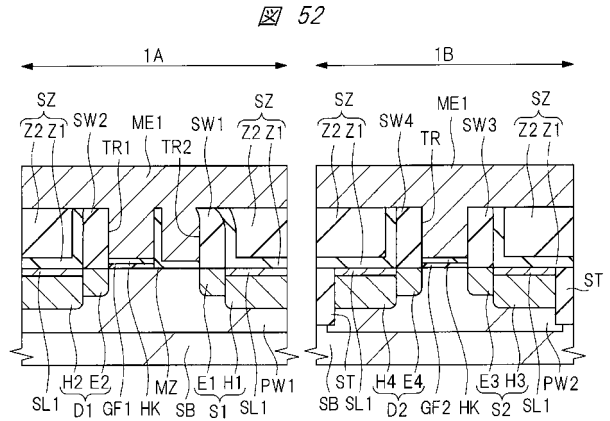
【 図 4 9 】



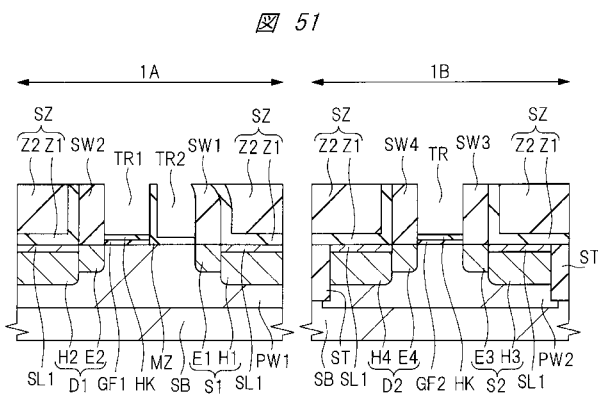
【 図 5 0 】



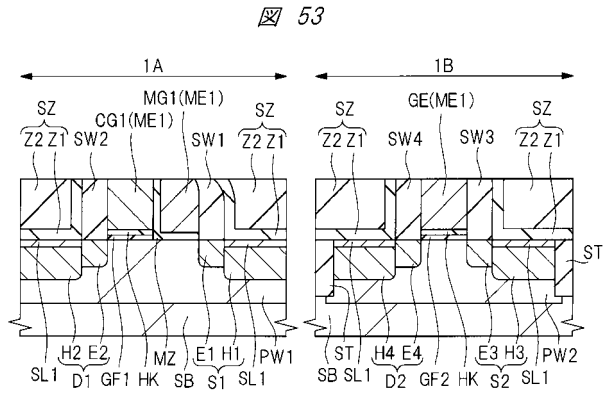
【 図 5 2 】



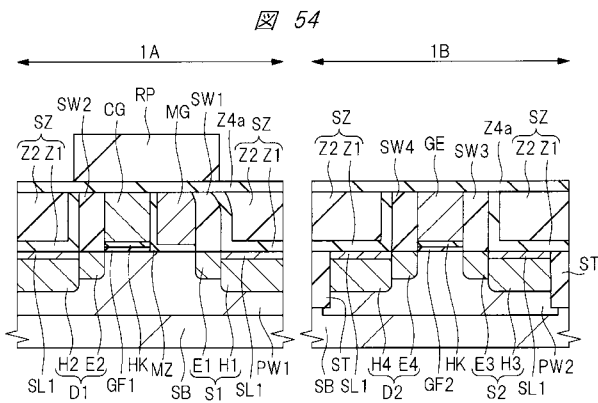
【 図 5 1 】



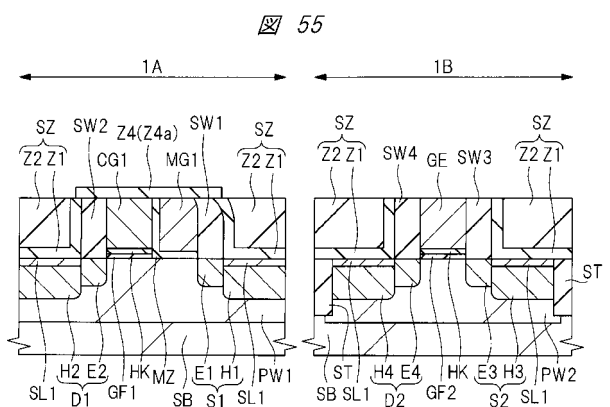
【 図 5 3 】



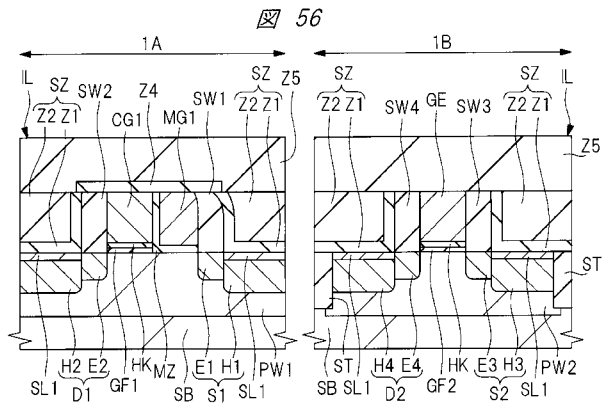
【 図 5 4 】



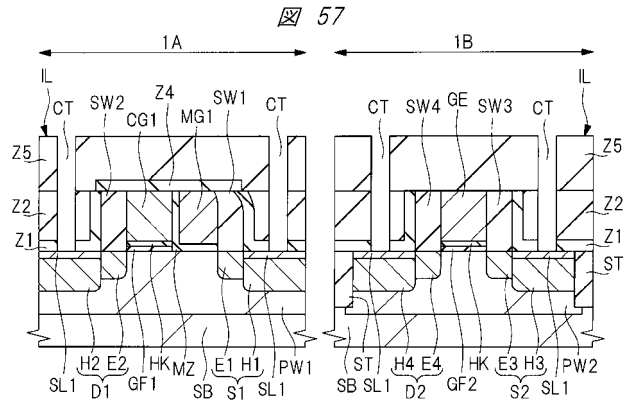
【 図 5 5 】



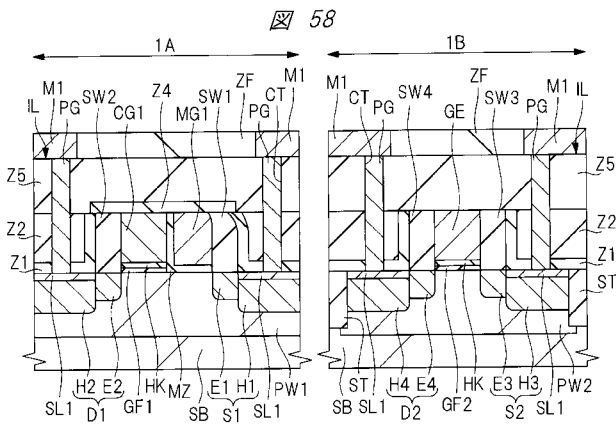
【 図 5 6 】



【 図 5 7 】



【 図 5 8 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)

Fターム(参考) 5F101 BA02 BA45 BB04 BC02 BC04 BD07 BD22 BD27 BE02 BE05
BE07 BH02 BH14