



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월19일
(11) 등록번호 10-0815185
(24) 등록일자 2008년03월13일

(51) Int. Cl.

G11C 8/00 (2006.01)

(21) 출원번호 10-2006-0049128

(22) 출원일자 2006년05월31일

심사청구일자 2006년05월31일

(65) 공개번호 10-2007-0036643

(43) 공개일자 2007년04월03일

(30) 우선권주장

1020050090906 2005년09월29일 대한민국(KR)

(56) 선행기술조사문헌

KR1020050013737 A

KR1020040100249 A

KR1020030092506 A

전체 청구항 수 : 총 8 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

구영준

경기 이천시 부발읍 아미리 산 136-1

윤석철

경기 이천시 부발읍 아미리 산 136-1

(74) 대리인

특허법인 신성

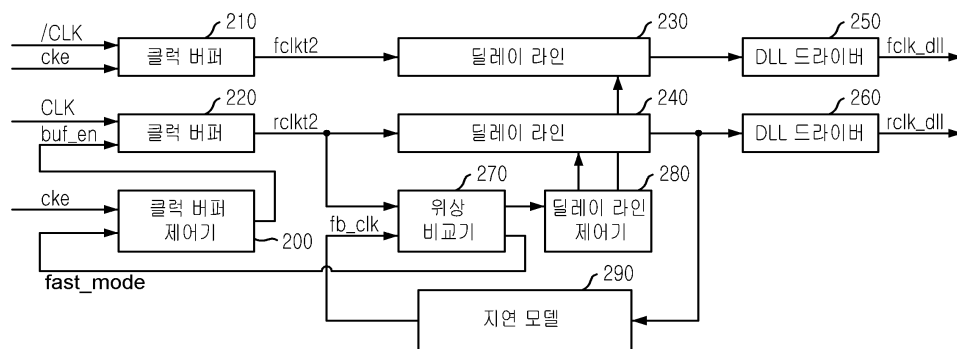
심사관 : 손윤식

(54) 동기식 반도체 메모리 소자의 지연고정루프 및 그 구동방법

(57) 요약

본 발명은 반도체 회로 기술에 관한 것으로, 특히 동기식 반도체 메모리 소자의 지연고정루프(delay locked loop, DLL)에 관한 것이다. 본 발명은 프리차지 파워다운 모드에서의 전류 소모를 최소화할 수 있는 동기식 반도체 메모리 소자의 지연고정루프를 제공하는데 그 목적이 있다. 본 발명에서는 기준클럭을 생성하는 클럭 버퍼가 프리차지 파워다운 모드에서 선택적으로 턴오프되도록 제어하는 클럭 버퍼 제어기를 추가하였다. 즉, 프리차지 파워다운 모드에서 기본적으로 기준클럭을 생성하는 클럭 버퍼도 턴오프시키되, 셀프 리프레시 탈출 이후 리셋된 경우를 대비하여 패스트 모드 신호를 이용하여 프리차지 파워다운 모드에서 예외적으로 기준클럭을 생성하는 클럭 버퍼가 인에이블 상태를 유지할 수 있도록 하였다. 이 경우, DLL의 기준클럭을 생성하는 클럭 버퍼의 인에이블 구간을 최소화하여 프리차지 파워다운 모드에서의 불필요한 전류 소모를 방지할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

프리차지 파워다운 모드를 나타내는 제1 신호와 DLL 리셋 여부를 나타내는 제2 신호에 응답하여 클럭 버퍼 인에이블 신호를 생성하기 위한 버퍼 제어 수단;

상기 클럭 버퍼 인에이블 신호에 제어 받아 외부클럭을 버퍼링하여 기준클럭을 생성하기 위한 클럭 버퍼링 수단; 및

지연고정이 이루어질 때까지 상기 기준클럭을 지연시켜 지연고정루프 클럭으로서 출력하기 위한 피드백 루프를 구비하는 동기식 반도체 메모리 소자의 지연고정루프.

청구항 2

제1항에 있어서,

상기 제1 신호는 클럭 인에이블 신호 또는 라스아이들 신호, 또는 그 두 신호인 것을 특징으로 하는 동기식 반도체 메모리 소자의 지연고정루프.

청구항 3

제2항에 있어서,

상기 제2 신호는 상기 피드백 루프에서 생성된 패스트 모드 신호인 것을 특징으로 하는 동기식 반도체 메모리 소자의 지연고정루프.

청구항 4

클럭 인에이블 신호 및 패스트 모드 신호 - 하기 피드백 루프에서 생성됨 - 에 응답하여 클럭 버퍼 인에이블 신호를 생성하기 위한 버퍼 제어 수단;

상기 클럭 버퍼 인에이블 신호에 제어 받아 제1 외부클럭을 버퍼링하여 기준클럭을 생성하기 위한 제1 클럭 버퍼링 수단;

상기 클럭 인에이블 신호에 제어 받아 제2 외부클럭을 버퍼링하여 내부클럭을 생성하기 위한 제2 클럭 버퍼링 수단; 및

지연고정이 이루어질 때까지 상기 기준클럭을 지연시켜 지연고정루프 클럭으로서 출력하기 위한 피드백 루프를 구비하는 동기식 반도체 메모리 소자의 지연고정루프.

청구항 5

제4항에 있어서,

상기 버퍼 제어 수단은 상기 클럭 인에이블 신호, 상기 패스트 모드 신호와 함께 라스아이들 신호를 더 입력받는 것을 특징으로 하는 동기식 반도체 메모리 소자의 지연고정루프.

청구항 6

제5항에 있어서,

상기 버퍼 제어 수단은,

상기 클럭 인에이블 신호를 입력으로 하는 제1 인버터;

상기 패스트 모드 신호를 입력으로 하는 제2 인버터; 및

상기 제1 및 제2 인버터의 출력신호와 상기 라스아이들 신호를 입력으로 하여 상기 버퍼 인에이블 신호를 출력하는 부정논리곱 게이트를 구비하는 것을 특징으로 하는 동기식 반도체 메모리 소자의 지연고정루프.

청구항 7

제4항에 있어서,

상기 제1 외부클럭은 정 외부클럭이며, 상기 제2 외부클럭은 부 외부클럭인 것을 특징으로 하는 동기식 반도체 메모리 소자의 지연고정루프.

청구항 8

클럭 인에이블 신호 및 패스트 모드 신호에 응답하여 클럭 버퍼 인에이블 신호를 생성하는 단계;

상기 클럭 버퍼 인에이블 신호에 제어 받아 제1 외부클럭을 버퍼링하여 기준클럭을 생성하는 단계;

상기 클럭 인에이블 신호에 제어 받아 제2 외부클럭을 버퍼링하여 내부클럭을 생성하는 단계; 및

지연고정이 이루어질 때까지 상기 기준클럭을 순차적으로 지연시켜 지연고정루프 클럭으로서 출력하는 단계 - 이 단계에서 상기 패스트 모드 신호가 생성됨 -

를 포함하는 동기식 반도체 메모리 소자의 지연고정루프 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 반도체 회로 기술에 관한 것으로, 특히 동기식 반도체 메모리 소자의 지연고정루프(delay locked loop, DLL)에 관한 것이다.
- <10> 최근의 반도체 메모리 분야의 주된 이슈는 집적도에서 동작 속도로 변모하고 있다. 이에 따라 DDR SDRAM(Double Data Rate Synchronous DRAM), RAMBUS DRAM 등의 고속 동기식 메모리가 반도체 메모리 분야의 새로운 화두로 떠오르고 있다.
- <11> 동기식 메모리는 외부의 시스템 클럭에 동기되어 동작하는 메모리를 말하며, DRAM 중에서는 현재 양산 메모리 시장의 주류를 이루고 있는 SDRAM이 이에 속한다. SDRAM은 입/출력 동작을 클럭의 라이징 에지(rising edge)에 동기시켜 매 클럭 주기마다 한 번의 데이터 액세스를 수행하게 된다. 한편, DDR SDRAM 등의 고속 동기식 메모리는 클럭의 라이징 에지 뿐만 아니라, 폴링 에지(falling edge)에도 입/출력 동작이 동기되어 매 클럭 주기마다 두 번의 데이터 액세스가 가능하다.
- <12> 통상적으로, 반도체 메모리를 비롯한 각종 시스템이나 회로에서 클럭은 동작 타이밍을 맞추기 위한 레퍼런스로 사용되고 있으며, 에러(error)없이 보다 빠른 동작을 보장하기 위해서 사용되기도 한다.
- <13> 외부로부터 입력되는 클럭이 내부 회로에서 사용될 때 내부 회로에 의한 시간 지연(클럭 스큐)이 불가피하게 발생하게 되는데, 이러한 클럭 스큐를 보상하기 위하여 PLL, DLL 등의 클럭 동기화 회로가 널리 사용되고 있다.
- <14> 한편, DLL은 기존에 사용되어 온 위상고정루프(Phase Locked Loop, PLL)에 비해 잡음의 영향을 덜 받는 장점이 있어 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 동기식 반도체 메모리에서 널리 사용되고 있다. 동기식 반도체 메모리 소자에서 DLL은 기본적으로 외부클럭을 받아서 클럭 경로의 지연 성분을 보상하여 미리 네거티브 지연을 반영함으로써 데이터의 출력이 외부클럭과 동기되도록 해주는 기능을 갖는다.
- <15> 도 1은 종래기술에 따른 DDR SDRAM의 DLL의 블록 다이어그램이다.
- <16> 도 1을 참조하면, 종래기술에 따른 DDR SDRAM의 DLL은, 클럭 인에이블 신호(cke)에 응답하여 부 외부클럭(/CLK)의 라이징 에지를 받아 내부클럭(fclk2)을 생성하기 위한 클럭 버퍼(110)와, 정 외부클럭(CLK)의 라이징 에지를 받아 내부클럭(rcclk2)을 생성하기 위한 클럭 버퍼(120)와, 내부클럭(fclk2)을 입력으로 하는 딜레이 라인(130)과, 내부클럭(rcclk2)을 입력으로 하는 딜레이 라인(140)과, 딜레이 라인(140)의 출력클럭에 대해 실제 클럭 경로 및 데이터 경로와 동일한 지연 조건을 반영하기 위한 지연 모델(190)과, 지연 모델(190)로부터 출력된 피드백 클럭(fb_clk)과 내부클럭(rcclk2)의 위상을 비교하기 위한 위상 비교기(270)와, 위상 비교기(270)의 출력신호에 응답하여 두 딜레이 라인(130, 140)의 지연량을 결정하기 위한 딜레이 라인 제어기(180)와, 딜레이 라인(130)의 출력클럭을 입력받아 DLL 클럭(fclk_dll)으로 구동하기 위한 DLL 드라이버(150)와, 딜레이 라인

(140)의 출력클럭을 입력받아 DLL 클럭(rclk_dll)으로 구동하기 위한 DLL 드라이버(160)를 구비한다.

- <17> 여기서, 지연 모델(22)은 더미 클럭 버퍼, 더미 출력 버퍼, 더미 로드 등을 포함하며, 흔히 복제회로(replica circuit)라고도 불리운다.
- <18> 이하, 상기와 같이 구성된 종래의 DLL의 동작을 살펴본다.
- <19> 우선, 클럭 버퍼(110)는 부 외부클럭(/CLK)의 라이징 에지를 받아 펄싱하는 내부클럭(fclk2)을 발생시키고, 클럭 버퍼(120)는 정 외부클럭(CLK)의 라이징 에지를 받아 펄싱하는 내부클럭(rclk2)을 발생시킨다.
- <20> 초기 동작시, 내부클럭(rclk2)은 초기 딜레이 값을 가지는 딜레이 라인(140)을 통과한 후, 다시 지연 모델(190)을 거쳐 예정된 지연값만큼 지연되어 피드백 클럭(fb_clk)으로서 출력된다.
- <21> 한편, 위상 비교기(170)는 기준클럭인 내부클럭(rclk2)의 클럭 에지와 피드백 클럭(fb_clk)의 클럭 에지를 비교하여 그 결과를 출력하고, 딜레이 라인 제어기(180)는 위상 비교기(170)의 출력신호에 응답하여 딜레이 라인(130, 140)의 지연량을 조절한다.
- <22> 이후, 지연량이 제어된 피드백 클럭(fb_clk)과 내부클럭(rclk2)의 위상을 주기적으로 비교해 나가며, 두 클럭이 최소의 지터(jitter)를 가지는 순간에 지연고정(locking)이 이루어지게 된다.
- <23> 한편, 종래의 DLL은 클럭 버퍼(110)는 클럭 인에이블 신호(cke)에 제어 받고 있다. 즉, 클럭 인에이블 신호(cke)가 논리레벨 로우로 비활성화되는 프리차지 파워다운 모드에서 클럭 버퍼(120)는 인에이블 상태를 유지하지만, 클럭 버퍼(110)는 디스에이블 되어 내부클럭(fclk2)의 불필요한 토글링에 의한 전류 소모를 줄이도록 하고 있다.
- <24> 프리차지 파워다운 모드에서 DLL에서의 전류 소모를 최소화하기 위해서는 클럭 버퍼(120) 역시 턴오프시키는 것이 바람직할 것이다. 그러나, 프리차지 파워다운 모드에서 클럭 버퍼(120)를 턴오프시키면, 셀프 리프레시 탈출 후 200 클럭 사이클(위상고정에 소요되는 시간) 이전에 다시 프리차지 파워다운 모드에 진입할 경우, 셀프 리프레시 탈출 이후 DLL 회로가 리셋된 경우라면 지연고정을 이루지 못한 상태에서 기준클럭을 생성하는 클럭 버퍼(120)가 턴오프 되기 때문에 200 클럭 사이클 이후에도 지연고정을 이루지 못하는 결과를 초래하게 된다. 따라서, 프리차지 파워다운 모드에서도 클럭 버퍼(120)는 인에이블 상태를 유지할 수밖에 없으며, 이에 따라 프리차지 파워다운 모드에서의 DLL 회로의 전류 소모량이 증가하게 된다.

발명이 이루고자 하는 기술적 과제

- <25> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 프리차지 파워다운 모드에서의 전류 소모를 최소화할 수 있는 동기식 반도체 메모리 소자의 지연고정루프 및 그 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <26> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 프리차지 파워다운 모드를 나타내는 제1 신호와 DLL 리셋 여부를 나타내는 제2 신호에 응답하여 클럭 버퍼 인에이블 신호를 생성하기 위한 버퍼 제어 수단; 상기 클럭 버퍼 인에이블 신호에 제어 받아 외부클럭을 버퍼링하여 기준클럭을 생성하기 위한 클럭 버퍼링 수단; 및 지연고정이 이루어질 때까지 상기 기준클럭을 지연시켜 지연고정루프 클럭으로서 출력하기 위한 피드백 루프를 구비하는 동기식 반도체 메모리 소자의 지연고정루프가 제공된다.
- <27> 여기서, 상기 제1 신호는 클럭 인에이블 신호 또는 라스아이들 신호, 또는 그 두 신호일 수 있다.
- <28> 여기서, 상기 제2 신호는 상기 피드백 루프에서 생성된 패스트 모드 신호일 수 있다.
- <29> 또한, 본 발명의 다른 측면에 따르면, 클럭 인에이블 신호 및 패스트 모드 신호 - 하기 피드백 루프에서 생성됨 - 에 응답하여 클럭 버퍼 인에이블 신호를 생성하기 위한 버퍼 제어 수단; 상기 클럭 버퍼 인에이블 신호에 제어 받아 제1 외부클럭을 버퍼링하여 기준클럭을 생성하기 위한 제1 클럭 버퍼링 수단; 상기 클럭 인에이블 신호에 제어 받아 제2 외부클럭을 버퍼링하여 내부클럭을 생성하기 위한 제2 클럭 버퍼링 수단; 및 지연고정이 이루어질 때까지 상기 기준클럭을 지연시켜 지연고정루프 클럭으로서 출력하기 위한 피드백 루프를 구비하는 동기식 반도체 메모리 소자의 지연고정루프가 제공된다.
- <30> 바람직하게, 상기 버퍼 제어 수단은 상기 클럭 인에이블 신호, 상기 패스트 모드 신호와 함께 라스아이들 신호

를 더 입력받는다.

- <31> 나아가, 상기 버퍼 제어 수단은, 상기 클럭 인에이블 신호를 입력으로 하는 제1 인버터; 상기 패스트 모드 신호를 입력으로 하는 제2 인버터; 및 상기 제1 및 제2 인버터의 출력신호와 상기 라스아이들 신호를 입력으로 하여 상기 버퍼 인에이블 신호를 출력하는 부정논리곱 게이트로 구현할 수 있다.
- <32> 바람직하게, 상기 제1 외부클럭은 정 외부클럭이며, 상기 제2 외부클럭은 부 외부클럭이다.
- <33> 또한, 본 발명의 또 다른 측면에 따르면, 클럭 인에이블 신호 및 패스트 모드 신호에 응답하여 클럭 버퍼 인에이블 신호를 생성하는 단계; 상기 클럭 버퍼 인에이블 신호에 제어 받아 제1 외부클럭을 버퍼링하여 기준클럭을 생성하는 단계; 상기 클럭 인에이블 신호에 제어 받아 제2 외부클럭을 버퍼링하여 내부클럭을 생성하는 단계; 및 지연고정이 이루어질 때까지 상기 기준클럭을 순차적으로 지연시켜 지연고정루프 클럭으로서 출력하는 단계 - 이 단계에서 상기 패스트 모드 신호가 생성됨 - 를 포함하는 동기식 반도체 메모리 소자의 지연고정루프 구동 방법이 제공된다.
- <34> 본 발명에서는 기준클럭을 생성하는 클럭 버퍼가 프리차지 파워다운 모드에서 선택적으로 턴오프되도록 제어하는 클럭 버퍼 제어기를 추가하였다. 즉, 프리차지 파워다운 모드에서 기본적으로 기준클럭을 생성하는 클럭 버퍼도 턴오프시키되, 셀프 리프레시 탈출 이후 리셋된 경우를 대비하여 패스트 모드 신호를 이용하여 프리차지 파워다운 모드에서 예외적으로 기준클럭을 생성하는 클럭 버퍼가 인에이블 상태를 유지할 수 있도록 하였다. 이 경우, DLL의 기준클럭을 생성하는 클럭 버퍼의 인에이블 구간을 최소화하여 프리차지 파워다운 모드에서의 불필요한 전류 소모를 방지할 수 있다.
- <35> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <36> 도 2는 본 발명의 일 실시예에 따른 DDR SDRAM의 DLL의 블록 다이어그램이다.
- <37> 도 2를 참조하면, 본 실시예에 따른 DDR SDRAM의 DLL은, 클럭 버퍼(210, 220), 딜레이 라인(230, 240), DLL 드라이버(550, 260), 지연 모델(290), 위상 비교기(270), 딜레이 라인 제어기(280)를 구비하고 있어 상기 도 1에 도시된 종래의 DLL의 기본적인 구성을 따르고 있다. 따라서, 이들 각각의 구성 및 동작에 대해서는 자세한 설명을 생략하기로 한다.
- <38> 다만, 본 실시예에 따른 DDR SDRAM의 DLL은 클럭 버퍼 인에이블 신호(buf_en)를 생성하기 위한 클럭 버퍼 제어기(200)를 더 구비하고 있다.
- <39> 클럭 버퍼 제어기(200)는 클럭 인에이블 신호(cke), 패스트 모드 신호(fast_mode)에 응답하여 클럭 버퍼 인에이블 신호(buf_en)를 생성하며, 동작 모드 및 DLL 회로의 동작 상태에 따라 클럭 버퍼(210, 220)를 인에이블/디스에이블 시키는 역할을 한다.
- <40> 클럭 버퍼 제어기(200)에 입력되는 패스트 모드 신호(fast_mode)는 DLL 가속화 동작을 제어하는 신호로서, 위상 비교기(270)에서 출력된다. 위상 비교기(270)에서 내부 클럭(rclkt2)과 피드백 클럭(fb_clk)의 위상을 비교한 결과, 두 클럭의 위상차가 많이 나는 것으로 판단되면 패스트 모드 신호(fast_mode)를 논리레벨 하이로 활성화시켜 딜레이 라인(130, 140)의 지연 정도를 한꺼번에 크게 증가시켜 두 클럭의 위상차를 보다 빠르게 맞춰나가고, 두 클럭의 위상차가 특정값 이하로 나타나면 패스트 모드 신호(fast_mode)를 논리레벨 로우로 비활성화시켜 지연고정이 될 때까지 딜레이 라인(130, 140)의 지연 정도를 노말하게 가져간다. 셀프 프레스 탈출 후 DLL 회로가 리셋된 경우에는 DLL 가속화 동작이 진행될 것이기 때문에 패스트 모드 신호(fast_mode)는 DLL 회로의 리셋 여부를 판단할 수 있는 지표가 된다.
- <41> 도 3은 도 2의 클럭 버퍼 제어기(200)의 로직 구현예를 나타낸 회로도이다.
- <42> 도 3을 참조하면, 클럭 버퍼 제어기(200)는, 클럭 인에이블 신호(cke)를 입력으로 하는 인버터(INV10)와, 패스트 모드 신호(fast_mode)를 입력으로 하는 인버터(INV11)와, 인버터(INV10)의 출력신호, 인버터(INV11)의 출력신호, 라스아이들 신호(rasidle)를 입력으로 하여 버퍼 인에이블 신호(buf_en)를 출력하는 부정논리곱 게이트(NAND10)를 구비한다.
- <43> 여기서, 라스아이들 신호(rasidle)는 로우(raw)가 아이들 상태인 경우에 논리레벨 하이로 활성화되는 신호로서, 경우에 따라 라스아이들 신호(rasidle)를 사용하지 않고 클럭 인에이블 신호(cke)와 패스트 모드 신호

(fast_mode) 만으로 버퍼 인에이블 신호(buf_en)를 생성할 수 있다.

- <44> 먼저, DLL 회로가 위상고정에 이른 이후에 칩이 프리차지 파워다운 모드에 진입한 경우를 살펴본다. 이때, 클럭 인에이블 신호(cke)는 논리레벨 로우를 나타내고, 라스아이들 신호(rasidle)는 논리레벨 하이로 나타내고, 패스트 모드 신호(fast_mode)는 논리레벨 로우를 나타낸다. 따라서, 버퍼 인에이블 신호(buf_en)는 논리레벨 로우로 비활성화되고, 결국 버퍼 인에이블 신호(buf_en)에 제어 받는 클럭 버퍼(220) - 기준클럭인 내부클럭(rclkt2)를 생성함 - 가 디스에이블되어 불필요한 전류 소모를 방지한다. 물론, 클럭 인에이블 신호(cke)는 논리레벨 로우이므로 클럭 버퍼(110) 또한 디스에이블된 상태이다.
- <45> 한편, 셀프 리프레시 탈출 이후 DLL 회로가 리셋된 후 200 클럭 사이클이 지나기 이전에 칩이 프리차지 파워다운 모드에 진입한 경우에는 DLL 회로가 가속화 동작을 수행하는 상태이다. 이때, 패스트 모드 신호(fast_mode)는 논리레벨 하이로 활성화된 상태이므로, 칩이 프리차지 파워다운 모드에 진입함으로써 인하여 클럭 인에이블 신호(cke)는 논리레벨 로우로 천이하고 라스아이들 신호(rasidle)는 논리레벨 하이로 나타내더라도 버퍼 인에이블 신호(buf_en)는 논리레벨 하이로 유지하게 된다. 버퍼 인에이블 신호(buf_en)는 패스트 모드 신호(fast_mode)가 논리레벨 로우로 천이될 때까지 DLL 회로가 정상적으로 동작하도록 함으로써 칩의 오동작을 방지할 수 있다.
- <46> 이상에서 살펴본 바와 같이 본 실시예에 따르면 칩이 프리차지 파워다운 모드에 진입한 경우에 칩의 오동작을 방지하면서 DLL 회로의 불필요한 전류 소모를 최소화할 수 있다.
- <47> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.
- <48> 예컨대, 전술한 실시예에서는 DDR SDRAM의 DLL을 일례로 들어 설명하였으나, 본 발명의 DLL은 다른 동기식 반도체 메모리에도 적용할 수 있다.
- <49> 또한, 전술한 실시예에서 구현된 클럭 버퍼 제어기(200)는 그 입력의 종류 및 액티브 극성이 변화됨에 따라 그 구현예가 달라질 수밖에 없다. 예컨대, 전술한 실시예에서는 프리차지 파워다운 모드를 나타내는 신호로서 클럭 인에이블 신호(cle)와 라스아이들 신호(rasidle)를 이용하였지만, 프리차지 파워다운 모드를 나타낼 수 있는 다른 신호를 이용할 수 있다. 또한, 전술한 실시예에서는 DLL 회로의 리셋 여부를 나타내는 지표 신호로서 패스트 모드 신호(fast_mode)를 이용하였지만, DLL 회로의 리셋 여부를 나타내는 지표 신호로서 다른 신호를 이용할 수 있다.

발명의 효과

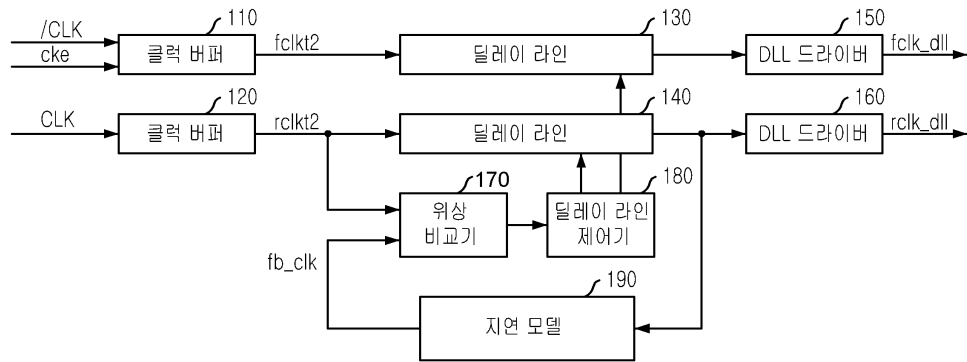
- <50> 최근의 반도체 소자 개발에 있어서, 전력 소모 문제는 가장 큰 이슈라 할 수 있다. 본 발명은 프리차지 파워다운 모드에서의 불필요한 전류 소모를 최소화하여 모바일 장치용 저전력 메모리의 개발에 기여하는 바가 클 것으로 기대된다.

도면의 간단한 설명

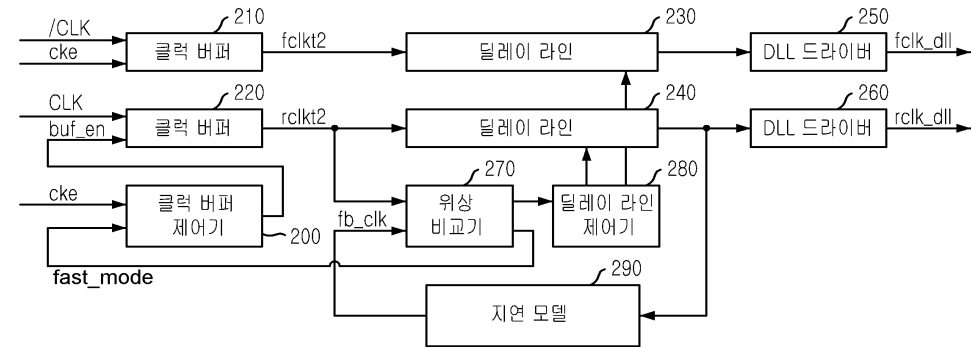
- <1> 도 1은 종래기술에 따른 DDR SDRAM의 DLL의 블록 다이어그램.
- <2> 도 2는 본 발명의 일 실시예에 따른 DDR SDRAM의 DLL의 블록 다이어그램.
- <3> 도 3은 도 2의 클럭 버퍼 제어기의 로직 구현예를 나타낸 회로도.
- <4> * 도면의 주요 부분에 대한 부호의 설명
- <5> 200: 클럭 버퍼 제어기
- <6> fast_mode: 패스트 모드 신호
- <7> cke: 클럭 인에이블 신호
- <8> rasidle: 라스아이들 신호

도면

도면1



도면2



도면3

