



(12) 发明专利申请

(10) 申请公布号 CN 102834868 A

(43) 申请公布日 2012. 12. 19

(21) 申请号 201180017987. 2

代理人 王勇

(22) 申请日 2011. 04. 04

(51) Int. Cl.

(30) 优先权数据

61/320, 973 2010. 04. 05 US

G11C 11/34(2006. 01)

G11C 13/00(2006. 01)

G11C 7/12(2006. 01)

(85) PCT申请进入国家阶段日

2012. 10. 08

H01L 21/8239(2006. 01)

(86) PCT申请的申请数据

PCT/CA2011/000365 2011. 04. 04

(87) PCT申请的公布数据

W02011/123936 EN 2011. 10. 13

(71) 申请人 莫塞德技术公司

地址 加拿大安大略省

(72) 发明人 金镇祺

(74) 专利代理机构 北京泛华伟业知识产权代理

有限公司 11280

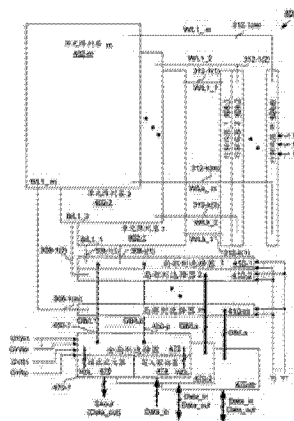
权利要求书 3 页 说明书 21 页 附图 27 页

(54) 发明名称

具有三维结构的半导体存储装置

(57) 摘要

三维存储装置包括半导体层的堆叠。在每个层上形成有相变存储器 (PCM) 单元阵列。每个 PCM 单元包括作为存储元件的可变电阻器, 该可变电阻器的电阻可以变化。在一个层上, 形成了包括行和列解码器、读出放大器和全局列选择器的外围电路, 以控制存储器的操作。局部位线和字线与存储单元相连接。全局列选择器选择出要与局部位线连接的全局位线。行解码器选择字线。所施加的电流流过与所选择的局部位线和字线连接的存储单元。在写入操作中, 施加设定电流或复位电流并且所选择的 PCM 单元的可变电阻器存储“数据”。在读取操作中, 施加读取电流并且将可变电阻器两端生成的电压与参考电压进行比较, 以提供读出数据。



1. 一种制造存储装置的方法,包括:
形成半导体层的堆叠;
在所述半导体层的堆叠中的一层上形成电路;
在所述半导体层的堆叠中的与包括所述电路的层不同的另一层上形成主存储阵列;和
在所述电路和所述主存储阵列之间形成多条电通路,所述电路通过所述电通路控制所述主存储阵列的操作。
2. 根据权利要求 1 所述的方法,其中形成主存储阵列包括下列之一:
形成相变存储器;和
形成包括多个存储单元的相变存储器,每个存储单元包括与可变电阻元件连接的二极管。
3. 根据权利要求 1 或 2 所述的方法,还包括:
在包括所述电路的层上形成次存储阵列。
4. 根据权利要求 1 所述的方法,其中,形成半导体层的堆叠包括:
在形成包括所述主存储阵列的层之前形成包括所述电路的层。
5. 根据权利要求 1 所述的方法,还包括下列之一:
在所述半导体层的堆叠中的每一层上形成存储阵列;和
在所述半导体层的堆叠中的与包括所述电路的层不同的每一层上形成存储阵列。
6. 一种存储装置,包括:
半导体层的堆叠;
在所述半导体层的堆叠中的一层上的电路;
在所述半导体层的堆叠中的与包括所述电路的层不同的另一层上的主存储阵列;和
在所述电路和所述主存储阵列之间的多条电通路,所述电路通过所述电通路控制所述主存储阵列的操作。
7. 根据权利要求 6 所述的存储装置,其中,所述主存储阵列包括下列之一:
相变存储器;和
多个存储单元。
8. 根据权利要求 6 所述的存储装置,其中,所述多个存储单元中的每一个包括下列之一:
与可变电阻元件连接的二极管;
与可变电阻元件连接的场效应晶体管;和
与可变电阻元件连接的双极晶体管。
9. 根据权利要求 6 所述的存储装置,其中,包括所述电路的层还包括存储阵列。
10. 根据权利要求 6 所述的存储装置,其中,包括所述电路的层是所述半导体层的堆叠中形成的第一层。
11. 根据权利要求 6 所述的存储装置,其中,所述半导体层的堆叠中的每一层包括存储阵列。
12. 根据权利要求 6 所述的存储装置,还包括在所述半导体层的堆叠中的与包括所述电路的层不同的每一层上的存储阵列。
13. 一种存储装置,包括:

包括多个存储器控制电路的基底半导体层 ;和

在所述基底半导体层上方形成的半导体层的堆叠,所述半导体层的堆叠中的每一层包括与所述多个存储器控制电路之一通信的存储阵列。

14. 根据权利要求 13 所述的存储装置,其中,每个存储阵列包括下列之一 :

包括多个存储单元的相变存储器,其中每个存储单元包括与可变电阻元件连接的二极管 ;和

包括多个存储单元的相变存储器,其中每个存储单元包括与可变电阻元件连接的场效应晶体管。

15. 根据权利要求 14 所述的存储装置,其中,每个存储阵列包括相变存储器,该相变存储器包括多个存储单元,每个存储单元具有与可变电阻元件连接的双极晶体管。

16. 一种存储装置,包括 :

m 层的堆叠,每个层包括形成于其上的存储单元阵列,该阵列具有 k 行 \times c 列的单元,m、k 和 c 中的每个是大于 1 的整数,每个存储单元包括相变存储单元 ;和

用于控制在这些层之一上形成的存储单元的操作的外围电路。

17. 根据权利要求 16 所述的存储装置,其中,所述外围电路和在这些层之一上的存储单元阵列形成在公共半导体衬底上。

18. 根据权利要求 17 所述的存储装置,其中,所述外围电路包括与所述 m 层相对应的 m 个行选择器,所述 m 个行选择器中的每个行选择器控制在相应层上形成的存储单元的行选择。

19. 根据权利要求 18 所述的存储装置,其中,所述外围电路还包括与所述 m 层相对应的 m 个列选择器,所述 m 个列选择器中的每个列选择器控制在相应层上形成的存储单元的列选择。

20. 根据权利要求 19 所述的存储装置,其中,所述外围电路还包括 p 个全局列选择器,每个全局列选择器控制所述 m 个列选择器的列选择。

21. 根据权利要求 16 到 20 中任何一项所述的存储装置,其中,在所述 m 层中的每一层上的存储单元的存储阵列被划分为多个子阵列。

22. 根据权利要求 16 到 20 中任何一项所述的存储装置,其中,每一层的 c 列被按照每 j 列分成一组的方式分成 p 组,c 等于 $j \times p$ 。

23. 根据权利要求 22 所述的存储装置,其中,所述 p 个全局列选择器响应于用于选择全局列的全局列选择信号。

24. 根据权利要求 23 所述的存储装置,其中,与所选择的全局列相关联的 p 个列选择器响应于用于选择阵列中的一列的局部列选择信号。

25. 根据权利要求 24 所述的存储装置,其中,所述 m 个行选择器中的每个响应于用于选择阵列中的一行的行选择信号。

26. 根据权利要求 25 所述的存储装置,其中,所述阵列的所选择的行和列中的存储单元按照数据写入和读取进行操作。

27. 根据权利要求 22 到 26 中任何一项所述的存储装置,其中,所述 m 个列选择器包括选择操作晶体管和放电操作晶体管,所述选择操作晶体管与 j 个列耦合,所述放电操作晶体管与所述选择操作晶体管耦合,在访问存储单元之前所述放电操作晶体管对这些列进行

放电。

28. 根据权利要求 22 到 27 中任何一项所述的存储装置,其中,所述外围电路还包括用于向单元阵列的所选择的行和列中的存储单元写入数据的数据写入电路。

29. 根据权利要求 22 到 27 中任何一项所述的存储装置,其中,所述外围电路还包括用于从单元阵列的所选择的行和列中的存储单元中读取数据的数据读取电路。

30. 根据权利要求 29 所述的存储装置,其中,所述数据读取电路包括用于在数据读取之前对用于读取数据的线路进行放电的数据读取放电晶体管。

31. 根据权利要求 30 所述的存储装置,其中,所述数据读取电路还包括:

用于对数据读出操作线路进行预充电的预充电操作晶体管;和

用于响应于数据电压而在所述数据读出操作线路上生成电压的钳位操作晶体管。

32. 根据权利要求 31 所述的存储装置,其中,所述数据读取电路还包括用于执行多个对所述数据读出操作线路进行预充电的步骤的电路。

33. 根据权利要求 31 或 32 所述的存储装置,其中,所述数据读取电路还包括用于将在所述数据读出操作线路上生成的电压与参考电压进行比较的比较器,其中,如果所生成的电压大于所述参考电压,则所述比较器提供读出数据输出。

具有三维结构的半导体存储装置

[0001] 相关申请的交叉引用

[0002] 本申请要求 2010 年 4 月 5 日提交的名称为“3-DIMENSIONAL PHASE CHANGE MEMORY”的第 61/320973 号美国临时专利申请,该申请整体以引用的方式并入文本。

技术领域

[0003] 本发明总体上涉及存储装置。更加具体地讲,本发明涉及具有三维结构的半导体存储装置。

背景技术

[0004] 非易失性存储装置的例子是相变存储器(PCM)。PCM 使用相变材料(例如硫族化物)来存储数据。典型的硫族化物化合物是 $\text{Ge}_2\text{-Sb}_2\text{-Te}_5$ (GST)。通过控制加热和冷却过程,相变材料能够在晶相和非晶相之间稳定转变。与晶相比,非晶相表现出相对较高的电阻,而晶相表现出相对较低的电阻。可以通过将 GST 化合物加热到 610°C 的熔融温度以上,然后迅速冷却该化合物,来建立非晶态,其也称为“复位”状态或逻辑“0”状态。通过将 GST 化合物长时间(足以将相变材料转换为晶态的时间)加热到结晶温度以上,可以建立晶态,其也称为“设定”状态或逻辑“1”状态。结晶温度低于 610°C 的熔融温度。加热周期后面跟着随后的冷却周期。

[0005] 图 1 示出了典型的相变存储单元。参照图 1,相变存储器(PCM)单元 110 包括存储元件 112 和开关元件 114。开关元件 114 用于选择性地访问 PCM 单元 110 的存储元件 112。存储元件 112 的典型实例是由相变材料(例如 GST)形成的可变电阻器。通过在晶相和非晶相之间转换结构(或特性),可以改变可变电阻器的电阻。

[0006] 图 2 示出了作为图 1 中所示的 PCM 单元 110 的存储元件 112 的示例存储元件的结构。参照图 2,加热器 122 位于第一电极 124 和硫族化物化合物 126 之间,该硫族化物化合物 126 由第二电极 128 接触,第二电极 128 通常具有低电阻。第一电极 124 用于实现到加热器 122 低阻抗接触。加热器 122 促使在被称为可编程容积 132 的物理空间内的一部分硫族化物化合物 126 从晶态转变为非晶态。

[0007] 图 3 示出了图 2 中所示的用于相变存储器的存储元件的复位和设定编程的时间和温度的关系。参照图 2 和 3,相变存储器(PCM)单元可以被编程为两种状态(或相):(i)非晶态或“复位”状态;和(ii)晶态或“设定”状态。可以通过由加热器 122 对相变层(存储元件的硫族化物化合物 126)进行加热来实现这种对状态的编程。为了编程复位状态,使电流 I_{Reset} 在持续时间 tP_{Reset} 内持续流经加热器 122 来将相变层加热到温度 T_{Reset} 。为了编程设定状态,使电流 I_{Set} 流经加热器 122 来将相变层加热到温度 T_{Set} ,并且在持续时间 tP_{Set} 内使相变层维持在温度 T_{Set} 上,然后再对相变层降温。电流 I_{Set} 的时间段 tP_{Set} 大于电流 I_{Reset} 的 tP_{Reset} 。所施加电流 I_{Reset} 和 I_{Set} 的脉冲分别以附图标记“232”和“234”指代。

[0008] 图 4A 和 4B 分别示出了处于编程后的设定状态“SET”和编程后的复位状态

“RESET”的相变存储器(PCM)。相变材料(或相变层)是以热的方式激活的。参照图 2、3、4A 和 4B,通过在持续时间 tP_Set 内持续施加电流 I_Set ,PCM 单元被编程为设定状态。施加到相变层上的热量与 $I^2 \times R$ 成正比,其中 “I” 是流经加热器 122 的 I_Set 的电流值,并且 “R” 是加热器 122 的电阻。在 PCM 单元被编程为图 4A 中所示的设定状态(“SET”)时,相变层被转变为结晶状态,其导致比图 4B 中所示的复位状态(“RESET”)更低的单元电阻。类似地,通过在持续时间 tP_Reset 内持续施加电流 I_Reset ,相变存储单元被编程为复位状态。在 PCM 单元被编程为复位状态时,一定量的相变层被转变为(图 4B 的)非晶态,导致比(图 4A 的)设定状态更高的单元电阻。相变层中的可编程容积通常取决于施加给相变层的热量。

[0009] 相变存储装置一般情况下使用非晶态代表逻辑 “0” 状态(或复位状态),并且使用结晶状态代表逻辑 “1” 状态(或设定状态)。表 1 总结了示例相变存储器的典型特性。

[0010] 表 1:相变存储器特性

[0011]

数据	“0”	“1”
编程状态	复位	设定
电阻	高(>100K Ω)	低(10K Ω)
读电流	低	高
材料状态	非结晶	结晶
写脉冲	大约 50ns(tP_Reset)	大约 200ns(tP_Set)

[0012] 近年来,已经使用了各种不同的相变存储器(PCM)单元。图 5 示出了基于二极管的 PCM 单元,其包括与存储元件 142 连接的二极管 144。二极管 144 的阴极与字线 148 连接。存储元件 142 与位线 146 连接。二极管 144 是二端子器件。也可以使用三端子器件作为开关元件。图 6 示出了基于 FET(或 MOS 晶体管)的 PCM 单元,其包括 FET(MOS 晶体管) 154 和存储元件 152。晶体管 54 的栅极、漏极和源极分别与字线 158、存储元件 152 和地连接。存储元件 152 与位线 156 连接。图 7 示出了基于双极晶体管的 PCM 单元,其包括(PNP 型的)双极晶体管 164 和存储元件 162。双极晶体管 164 的基极、发射极和集电极分别与字线 168、存储元件 162 和地连接。存储元件 162 与位线 166 连接。

[0013] 存储单元阵列可以由多个图 5 中所示的 PCM 单元形成,这些 PCM 单元与多个位线 146 和字线 148 连接。类似地,存储单元阵列可以由多个图 6 中所示的 PCM 单元形成,这些 PCM 单元与多个位线 156 和字线 158 连接。存储单元阵列可以由多个图 7 中所示的 PCM 单元形成,这些 PCM 单元与多个位线 166 和字线 168 连接。

[0014] 存储元件 142、152 和 162 中的每个是由起到图 1 中所示的存储元件 112 的作用的可变电阻器形成。二极管 144、MOS 晶体管 154 和双极晶体管 164 中的每个起到图 1 中所示的开关元件 114 的作用并且起到访问与其连接的存储元件的访问元件的功能。

[0015] 使用图 5 中所示的二极管 144 或者图 7 中所示的双极晶体管 164 作为存储单元中的开关元件 114 是减小单元尺寸以提高存储密度的尝试。需要进一步提高存储系统密度,

以继续降低存储系统成本和满足由电子系统中不断增多的数据通信量所部分推动的存储容量增大的需求。

发明内容

[0016] 按照本发明的一个方面,提供了一种制造存储装置的方法。通过该方法,形成半导体层的堆叠。而且,按照该方法,在所述半导体层的堆叠中的一层上形成电路。在所述半导体层的堆叠中的与包括所述电路的层不同的另一层上形成主存储阵列。在所述电路与所述主存储阵列之间形成多个电通路。所述电路用于通过所述电通路控制主存储阵列的操作。

[0017] 按照本发明的另一个方面,提供了一种存储装置,其包括半导体层的堆叠。该存储器包括形成在所述半导体层的堆叠中的一层上的电路。主存储阵列位于所述半导体层的堆叠中的与包括所述电路的层不同的另一层上。多个电通路处于所述电路与所述主存储阵列之间。所述电路通过所述电通路控制主存储阵列的操作。

[0018] 例如,主存储阵列包括相变存储器或多个存储单元。多个存储单元中的每一个可以包括与可变电阻元件连接的二极管、与可变电阻元件连接的场效应晶体管或者与可变电阻元件连接的双极晶体管。

[0019] 按照本发明的另一个方面,提供了一种存储装置,其包括基底半导体层,该基底半导体层包括多个存储器控制电路。在基底半导体层上方形成有半导体层的堆叠。所述半导体层的堆叠中的每一层包括与多个存储器控制电路之一进行通信的存储阵列。

[0020] 按照本发明的另一个方面,提供了一种存储装置,该存储装置包括 m 层的堆叠,每一层包括形成于其上的存储单元的阵列,该阵列具有 k 行 \times c 列单元, m 、 k 和 c 中的每一个是大于 1 的整数,每个存储单元包括相变存储单元。

[0021] 例如,相变存储阵列包括与起到存储元件作用的可变电阻元件连接的二极管、场效应晶体管或双极晶体管。

[0022] 该存储装置还可以包括用于控制在这些层之一上形成的存储单元的操作的外围电路。外围电路和在这些层之一上的存储单元阵列可以形成在公共半导体衬底上。

[0023] 例如,外围电路可以包括用于选择单元阵列中的字线和位线的行解码器和列选择器。对与选定的字线和位线连接的存储单元进行访问,以进行数据写入和数据读取。存储单元可以是包括作为存储元件的可变电阻器的相变存储器。在写入操作中,施加设定电流并且可变电阻器存储“数据”。在读取操作中,将可变电阻器生成的电压与参考电压进行比较,以提供读取操作中的读出数据。

[0024] 在本发明的一种实施方式中,提供了三维相变存储器(PCM)装置。该 PCM 装置包括多个(m 个)半导体(例如,硅(Si))层,在这些层上形成有多个堆叠的 PCM 单元阵列。例如,在多个半导体阵列中的每一个上,形成有多个(p 组) PCM 单元阵列。重复形成一组 PCM 单元阵列,并且在各层上并排形成多组 PCM 单元阵列。在第一层上形成 p 组 PCM 单元阵列,在第二层上形成 p 组 PCM 单元。类似地,在各个半导体层上形成 p 组其它的 PCM 单元阵列。

[0025] PCM 装置可以包括阵列控制电路,例如,行解码器和局部列解码器。局部列解码器执行局部列选择。在第一半导体层上并排地为 m 个层重复形成与第一阵列、第二阵列和第 p 阵列的 PCM 单元阵列相对应的局部列选择器。

[0026] PCM 装置还可以包括全局列解码器。全局列解码器形成在第一半导体层上。行解

码器也形成在第一半导体层上。

[0027] 在另一种实施方式中,所有的外围控制电路都形成在第一半导体层上。

[0028] 按照本发明的实施方式,提供了 PCM 装置和系统,以及具有处于多个半导体层上的堆叠的多个单元阵列的相关三维装置体系结构。多个单元阵列提高了存储系统中使用的存储密度以及存储容量。

[0029] 按照本发明的实施方式的存储装置可以包括其它类型的存储器,例如,随机存取存储器(RAM)和只读存储器(ROM)。RAM 可以包括磁性 RAM (MRAM)、电阻式 RAM (RRAM) 和铁电 RAM (FRAM)。

[0030] 在结合附图阅读了下面的本发明具体实施方式的介绍之后,对于本领域普通技术人员,本发明的其它方面和特征将会变得显而易见。

附图说明

[0031] 现在将参照附图仅以举例的方式介绍本发明的实施方式,其中:

[0032] 图 1 是图解说明相变存储器(PCM)单元的示意图;

[0033] 图 2 是示出了 PCM 单元的结构横截面图;

[0034] 图 3 是在 PCM 单元的设定和复位操作期间的温度变化的曲线图;

[0035] 图 4A 和 4B 分别是处于设定状态和复位状态的 PCM 的横截面图;

[0036] 图 5 是图解说明基于二极管的 PCM 单元的示意图;

[0037] 图 6 是图解说明基于 FET 晶体管的 PCM 单元的示意图;

[0038] 图 7 是图解说明基于双极晶体管的 PCM 单元的示意图;

[0039] 图 8 是图解说明本发明的实施方式所适用的存储装置的示意图;

[0040] 图 9A 是按照本发明实施方式的包括多个基于二极管的相变存储(PCM)单元的存储装置的横截面图;

[0041] 图 9B 是按照本发明的另一种实施方式的三维的基于二极管的 PCM 的横截面图;

[0042] 图 10 是图解说明按照本发明的实施方式的存储装置中包含的 PCM 单元阵列的示意图;

[0043] 图 11 是图解说明图 10 中所示的 PCM 单元阵列在执行写入操作时的示意图;

[0044] 图 12 是图解说明图 10 中所示的 PCM 单元阵列在执行读取操作时的示意图;

[0045] 图 13A 是图解说明按照本发明实施方式的具有多个 PCM 单元的三维存储器体系结构的框图;

[0046] 附图 13B 是图解说明用于图 13A 中所示的三维存储器体系结构的存储地址控制信号的示意图;

[0047] 图 14 是图解说明图 13A 中所示的三维存储器的局部列选择器的例子的示意图;

[0048] 图 15 是图解说明图 13A 中所示的三维存储器的全局列选择器的例子的示意图;

[0049] 图 16 是图解说明图 13A 中所示的三维存储器的写入驱动器的例子的示意图;

[0050] 图 17 是图解说明图 13A 中所示的三维存储器的读出放大器的例子的示意图;

[0051] 图 18 是图解说明图 13A 中所示的三维存储器的行解码器的例子的示意图;

[0052] 图 19A 是图解说明按照本发明的实施方式的三维存储器的执行写入操作的电路的示意图;

[0053] 图 19B 是图解说明按照本发明的实施方式的三维存储器的执行读取操作的电路的示意图；

[0054] 图 20A 是图解说明按照本发明的实施方式的三维存储器的写入操作的时序图；

[0055] 图 20B 是图解说明按照本发明的实施方式的三维存储器的读取操作的时序图；

[0056] 图 21 是图解说明按照本发明另一种实施方式的具有多个 PCM 单元的三维存储器体系结构的框图；

[0057] 图 22 是图解说明图 21 中所示的三维存储器的全局列选择器的例子示意图；

[0058] 图 23 是图解说明图 21 中所示的三维存储器的写入驱动器的例子示意图；

[0059] 图 24 是图解说明图 21 中所示的三维存储器的读出放大器的另一个例子的示意图；

[0060] 图 25A 是图解说明按照本发明另一种实施方式的具有分段阵列的三维存储器体系结构的框图；

[0061] 附图 25B 是图解说明用于图 25A 中所示的三维存储器体系结构的存储地址控制信号的示意图；和

[0062] 图 26A 和 26B 是图解说明适合于按照本发明的实施方式的存储装置的 PCM 单元阵列的示意图。

具体实施方式

[0063] 总地来说,本发明的实施方式涉及半导体存储装置。本发明的实施方式涉及相变存储(PCM)装置和系统以及相关的三维装置结构,该三维装置结构具有处于多个半导体(例如,硅)层上的堆叠的多个单元阵列。

[0064] 在一种实施方式中,PCM 单元使用二极管作为相变存储单元的开关元件。在其它一些实施方式中,开关元件是 MOS 晶体管和双极晶体管。在实施方式中,存储装置是易失性和非易失性的存储器。存储装置包括各种类型的存储器,比如例如,随机存取存储器(RAM)和只读存储器(ROM)。RAM 包括例如磁性 RAM(MRAM)、电阻式 RAM(RRAM)和铁电 RAM(FRAM)。

[0065] 图 8 示出了可运用本发明实施方式的存储装置。参照图 8,存储装置包括具有外围电路的存储单元阵列 170,该外围电路包括行解码器 172 和列解码器、读出放大器和写入驱动器 174。行解码器 172 接收包括预解码地址信息和控制信息的信号 176。列解码器、读出放大器和写入驱动器 174 接收包括控制信息的信号 178。而且,列解码器、读出放大器和写入驱动器 174 与用于数据写入和读取的输入和输出(I/O)电路进行通信。由存储装置控制电路(未示出)提供用于行(字线)和列(位线)的控制信息。

[0066] 图 9A 示出了按照本发明实施方式的包括多个基于二极管的相变存储(PCM)单元的存储装置。参照图 9A,该装置具有多组单元阵列,每组单元阵列包括单元 1, ..., 单元 (n-1), 单元 n。在该特定例子中,重复布置 n 个存储单元 180-1, ..., 180-(n-1)和 180-n, 以形成一层单元阵列,n 是大于 1 的整数。例如,n 是 64,但是并不局限于此。n 个存储单元 180-1, ..., 180-(n-1)和 180-n 中每一个都配备有 GST(硫族化物化合物) 182、自对准底部电极 184 和作为阳极 186 和阴极 188 的串联连接的垂直 P-N 二极管。加热器 190 处于 GST 182 和位线 192 之间,位线 192 具有顶部电极(未示出),该顶部电极被配置为具有低电阻。

[0067] 加热器 190 对应于图 2 和 4A、4B 中的加热器 122。GST 182 对应于图 2 和 4A、4B 中的硫族化合物化合物 126。顶部电极（其是加热器 190 和位线 192 之间的触点）和底部电极 184 分别对应于图 2 和 4A、4B 的第一电极 124 和第二电极 128。硫族化合物化合物会生成如图 2 和 4B 中所示的可编程容积 132。具有阳极 186 和阴极 188 的二极管对应于图 5 中所示的二极管 144 并且起到图 1 的开关元件 114 的作用。

[0068] 位线 192 由第一金属层(M1)形成。二极管的阴极 188 与 P 衬底 198 的 N+ 掺杂基底中形成的字线 194 相连接。在该特定例子中，衬底 198 是由具有 P 型掺杂剂的半导体层形成的。字线搭接片 196 使用第二金属层(M2)来降低字线电阻。字线搭接片可以被用于每 n 个相变存储(PCM)单元。多频繁地将字线 194 与低电阻搭接片 196 连接(例如，“搭接”)是这样选择的：搭接足以降低在字线驱动器(后面将会介绍)与距离搭接连接最远的存储单元之间的字线电阻。不过，不要使搭接会明显增加总体的存储阵列尺寸。字线 194 和搭接片 196 通过触点 199 连接。位线 192 和字线 194 分别对应于图 5 中所示的位线 146 和字线 148。在实施基于 FET 和双极的 PCM 单元的情况下，位线 192 对应于位线 156 和 166 中的每个，并且字线 194 对应于图 6 和 7 中所示的字线 158 和 168 中的每个。

[0069] 图 9B 示出了按照本发明的另一种实施方式的三维存储装置。在图 9B 中所示的特定例子中，三维存储装置包括两个堆叠的 PCM 结构 100-1 和 100-2。PCM 结构 100-1 包括 P 衬底的第一硅层 198-1。PCM 结构 100-2 包括单晶的第二硅层 198-2。层 198-1 和 198-2 可以使用包括 GaAs 和“III-V”化合物材料的半导体材料。堆叠的 PCM 结构 100-1 和 100-2 中的每个 PCM 结构具有多个 PCM 单元，这些 PCM 单元具有与图 9A 中所示的基于二极管的 PCM 单元相同的结构。PCM 结构 100-1 和 100-2 包括各自的字线 194-1、194-2 和字线搭接片 196-1、196-2。

[0070] 第一层 100-1 的 PCM 单元阵列是在 P 衬底 198-1（第一半导体层）上制造的。第二层 100-2 的 PCM 单元阵列是在第二半导体层 198-2 上制造的。可以在 PCM 结构 100-2 上方形成的层上制造 PCM 单元阵列的另外结构。本领域技术人员将会理解，堆叠结构的层数并没有限制。

[0071] 图 10 示出了按照本发明实施方式的存储装置中包含的相变存储器(PCM)单元阵列。该存储装置具有如图 9A 和 9B 中所示的三维结构。在图 10 中所示的特定例子中，存储单元是基于二极管的 PCM 单元。每个存储单元包括二极管 144 和可变电阻器 142，作为图 5 中所示的存储元件。

[0072] 参照图 9A、9B 和 10，在一个半导体层(例如，图 9B 中的层 198-1 和 198-2 中的每个)上制造多个(p 个)单元阵列(PCM 单元阵列 1，PCM 单元阵列 2，...，PCM 单元阵列 p)，p 是大于 1 的整数。例如，p 是 4 或 8。PCM 单元阵列的电路结构彼此相同。每组 p 个 PCM 单元阵列 302-1-302-p 包括多个(j 个)位线(B/L1-B/Lj)。多个(k 个)字线“W/L1”-“W/Lk”312-1-312-k 与 PCM 单元阵列 302-1-302-p 的 PCM 单元相连接。每个 PCM 单元阵列包括多个存储单元(k×j 个单元)，k 和 j 分别代表行数和列数，k 和 j 各自是大于 1 的整数。例如，k 是 512，j 是 256。每个存储单元包括与存储元件连接的二极管，比如例如，如图 5 中所示，基于二极管的 PCM 单元包括与存储元件 142 连接的二极管 144。本领域技术人员将会理解，p、k 和 j 是没有限制的。

[0073] 在图 10 中，每个存储元件由电阻器表示(如图 5 中所示，实际上是可变电阻器

142)。总的来说,与字线和位线连接的存储单元由“304-(K, J)”表示,K代表一层中行的可变数量,J代表p组中的一组中的列的可变数量, $1 \leq K \leq k, 1 \leq J \leq j$ 。在图10中,示出了存储单元304-(1, 1)和304-(k, j)。每个存储单元在位线和字线的交点处与位线和字线耦接。每个存储单元具有第一端子306和第二端子310。第一端子306对应于图2、4A、4B中所示的第一电极124和图9A中所示的位线192与加热器190的连接。不过,图10没有示出与存储单元的可变电阻器连接的加热器。第二端子310对应于图9A中所示的阴极188与字线194的连接点。图10中所示的存储单元304-(k, j)的第一和第二端子306和310分别与相应的位线“B/Lj”308-j和字线“W/Lk”312-k连接。位线也称为“列”,字线也称为“行”。一个单元阵列中的列数j是没有限制的,并且j可以等于n,n代表图9A和9B中所示的一个阵列内的一行中PCM单元的数量。j例如为256。一个单元阵列中的行数k和阵列的个数p是没有限制的。

[0074] 图11示出了图10中所示的PCM单元阵列之一(例如,PCM单元阵列1, 302-1),其目的是为了描述写入操作“WRITE”。字线和位线的选择是按照行和列地址来进行的。在图11中所示的特定例子中,选择了字线“W/L2”和位线“B/Lj”。

[0075] 参照图11,通过将字线“W/L2”312-2的偏压变为0V,字线“W/L2”312-2被选中,同时各个字线312-1和312-3-312-k具有VDD+2伏的偏压,仍然保持未选中状态。在图11中所示的特定例子中,VDD的电压是1.8伏,并且该技术使用0.18 μ m的最小形体尺寸。不过,本领域技术人员应该会理解,也可以使用其它电压、工艺技术和单元特征。来自写入驱动器(稍后将加以介绍)的值为“I_Reset”或“I_Set”的写入电流流过选中的位线“B/Lj”308-j并且经由选中的单元304-(2, j)流过选中的字线“W/L2”312-2。利用位线的寄生电容将位线电位抬高,使得未选中的位线(例如,位线308-1, 308-2和其它未示出的位线)被保持为高阻抗“悬浮”状态。与未选中的字线或悬浮位线连接的未选中的单元被反向偏置,因此没有电流流经未选中的单元。选中的单元304-(2, j)用于通过设定电流I_Set写入数据“1”或者通过复位电流I_Reset写入数据“0”。

[0076] 图12示出了图10的PCM单元阵列1, 302-1,该PCM单元阵列被偏置为用于进行读取操作“READ”。参照图12,通过将字线“W/L2”312-2的偏压变为0V,字线“W/L2”312-2被选中,同时未选中的字线312-1和312-3-312-k具有VDD+1伏的偏压,仍然保持未选中状态。读取电流“I_Read”通过选中的位线“B/Lj”308-j和选中的单元304-(2, j)从读出放大器(后面将加以介绍)流向选中的字线“W/L2”312-2。利用位线的寄生电容将位线电位抬高,使得未选中的位线(例如,位线308-1, 308-2和其它位线(未示出))被保持为高阻抗“悬浮”状态。与未选中的字线或悬浮位线连接的未选中的单元被反向偏置,因此没有电流流经未选中的单元。

[0077] 在表2(Kwang-Jin Lee等人,“A 90nm 1.8V 512Mb Diode-Switch PRAM With 266MB/s Read Throughput”,IEEE J Solid-State Circuits,第43卷,第1期,第150-162页,2008年1月)中总结了图10、11和12中所示的基于二极管的PCM装置的电压偏置状况和电流状况的例子。所有电压和电流值都是用于实施方式的示例。本领域技术人员应该会理解,与工艺技术和单元特性相符的其它值也是可以的。

[0078] 表2:基于二极管的PCM的电压和电流状况

[0079]

	复位写入	设定写入	读取
施加到未选中的 W/L 的电压	VDD+2V	VDD+2V	VDD+1V
施加到选中的 W/L 的电压	0V	0V	0V
未选中的 B/L 的状况	悬浮	悬浮	悬浮
流经选中的 B/L 的电流	I-Reset	I-Set	I-Read

[0080] 图 13A 描述了按照本发明的实施方式的三维存储装置体系结构。参照图 13A, 三维堆叠存储装置体系结构 400 包括在多个 (m 个) 层 402-1, 402-2, \dots , 402- m 上分别形成的多个 PCM 单元阵列 (单元阵列层 1, 单元阵列 2, \dots , 单元阵列层 m), m 是大于 1 的整数。PCM 单元阵列位于半导体层的堆叠上。在每个层上形成了多个 PCM 单元阵列。三维堆叠存储装置体系结构 400 包括多个 (m 个) 行解码器 404-1, 404-2, \dots , 404- m 和多个 (m 个) 局部列选择器 410-1, 410-2, \dots , 410- m 。例如, m 是 4, 但是并不局限于此。

[0081] 第 i 层的 PCM 单元阵列 402- i 通过多条通信路径与相应的行解码器 404- i 和相应的局部列选择器 410- i 进行通信, i 为 $1 \leq i \leq m$ 。 k 条字线 “W/L1”-“W/Lk” 312-1 (i)-312- k (i) 从第 i 个单元阵列层 402- i 连接到相应的行解码器 404- i 。例如, 字线 312-1 (1)-312- k (1) 从第一层单元阵列 402-1 连接到行解码器 404-1。类似地, 第 m 层 402- m 的 k 条字线 312-1 (m)-312- k (m) 连接到行解码器 404- m 。 m 个行解码器 404-1-404- m 共同接收由预行解码器 (pre-row decoder, 未示出) 提供的多个预行解码器输出 “Xq”、“Xr” 和 “Xs”。

[0082] m 个层 402-1-402- m 的第一字线 “W/L1” 312-1 (1)-312-1 (m) 中的每个与行解码器 404-2-404- m 中相应的一个连接。类似地, m 个层 402-1-402- m 的第 k 字线 “W/Lk” 312- k (1)-312- k (m) 中的每个与行解码器 404- k (1)-404- k (m) 中相应的一个连接。字线的总数是 ($k \times m$)。本领域技术人员应该会理解, 堆叠存储装置体系结构的半导体层的数量 “ m ” 并不受限制。

[0083] 在图 13A 中所示的特定例子中, 如图 10 中所示的 PCM 单元阵列 1 到 PCM 单元阵列 $-p$ (302-1-302- p) 是形成在每个层上的。参照图 10 和 13A, PCM 单元阵列 302-1-302- p 中的每个包括 j 条位线 (B/L1-B/L j); 因此, 每个层包括 c ($=j \times p$) 条位线, m 个层 402-1-402- m 的位线总数是 $m \times c$ ($=m \times j \times p$)。

[0084] p 组 “局部” 位线 308-1-308- j 从第 i 层的单元阵列层 402- i 连接到相应的局部列选择器 410- i 。例如, p 组 j 条位线 308-1-308- j 从第 m 层的单元阵列层 402- m 连接到局部列选择器 410- m 。 m 条位线 “B/L1” (308-1 (1)-308-1 (m)) 从第一到第 m 层的单元阵列层 402-1-402- m 连接到局部列选择器 410-1-404- m 。类似地, m 条位线 “B/L j ” 308- j (1)-308- j (m) 从第一到第 m 层的单元阵列层 402-1-402- m 连接到局部列选择器 410-1-410- m 。

[0085] 在三维堆叠结构 400 中,单元阵列层 402-2-402-m 位于在其上形成有单元阵列层 402-1 的半导体层上方形成的半导体层上。行解码器 404-2-404-m 和相应的局部列选择器 410-2-410m 形成在与行解码器 404-1 和局部列选择器 410-1 相同的层上。有利地,这简化了用于单元阵列层 402-2-402-m 的半导体层的形成,因为不需要在这些层上形成晶体管。

[0086] 在具有基于场效应晶体管或双极晶体管(而不是二极管)的 PCM 单元阵列的实施方式中,与具有行解码器 404-1-404-m 和局部列选择器 410-1-410-m 的层上所需要的晶体管相比,所形成的晶体管较为简单。行解码器 404-1-404-m 和局部列选择器 410-1-410-m 与 PCM 单元阵列中所使用的那些相比,可以具有不同的速度和泄漏要求。

[0087] 三维堆叠结构 400 具有多个(m 个)与局部列选择器 410-1,410-2,...,410-m 通信的全局列操作电路 470-1,470-2,...,470-m。m 个全局列操作电路 470-1,470-2,...,470-m 中的每一个都具有相同的电路结构并且包括全局列选择器 472、写入驱动器 474 和读出放大器 476。每个全局列操作电路 470-1-470-m 的全局列选择器 472 与多个(p 个)全局位线“GB/L”连接,这些全局位线进一步连接到局部列选择器 410-1-410-m 中相应的一个。例如,全局列操作电路 470-1 的全局列选择器 472 经由 p 个全局位线 450-1-450-p 与相应的局部列选择器 410-1 通信。类似地,全局列操作电路 470-m 的全局列选择器 472 经由 p 个全局位线 GB/L 与相应的局部列选择器 410-m 通信。

[0088] 在 m 个全局列操作电路 470-1,470-2,...,470-m 中的每一个中,全局列选择器 472 通过 p 个全局读出数据线“RDL”与写入驱动器 474 通信。全局列选择器 472 通过 p 个全局写入数据线“WDL”与读出放大器 476 通信。写入驱动器 474 接收要写入到 PCM 单元阵列的存储单元中的输入数据“Data_in”。读出放大器 476 提供读输出“SAout”或“Data_out”。

[0089] 图 13B 示出了用于图 13A 中所示的三维存储器体系结构 400 的存储地址控制信号。参照图 13A 和 13B,共同施加给 m 个行解码器 404-1-404-m 的多个预行解码器输出“Xq”、“Xr”和“Xs”表示行标识“K”, K 是 $1 \leq K \leq k$ 。在特定的例子中,预行解码器输出是由外围控制电路(未示出)中包含的预解码器提供的。局部列选择信号 Y_1, Y_2, \dots, Y_j 表示一组 p 列内的局部列标识“J”, $1 \leq J \leq j$ 。每个全局列操作电路 470-1-470-m 的全局列选择器 472 在写入操作期间接收多个(p 个)写入全局列选择信号 GYW_1-GYW_p 并且在读取操作期间接收多个(p 个)读取全局列选择信号 GYR_1-GYR_p 。写入全局列选择信号 GYW_1-GYW_p (和读取全局列选择信号 GYR_1-GYR_p)表示全局列的全局列标识“P”, $1 \leq P \leq p$ 。全局列标识“P”、列标识“J”和行标识“K”指定或选择要访问(写入或读出)的存储单元。层由变量 M 指定, $1 \leq M \leq m$ 。

[0090] 参照图 13A 和 13B,写入驱动器 474 在写入操作阶段接收要写入到由标识变量(“J”,“P”,“K”,“M”)指定或选择的存储单元中的输入数据“Data_in”。在读取操作阶段,读出放大器 476 从由所述标识选择的存储单元中读取数据并且提供读输出“SAout”作为读出数据。表示标识(“J”,“P”,“K”,“M”)的信号是由存储控制电路(未示出)提供的。响应于具有与这些标识相关的信息的信号,外围电路(图 13 中所示的行解码器、局部列选择器、其它电路)控制三维 PCM 体系结构的存储装置的操作。

[0091] m 个全局列操作电路 470-1,470-2,...,470-m 的写入驱动器 474、读出放大器 476 和全局列选择器 472 形成在与层 402-1-402-m 之一相同的层上。在另一种实施方式中,行解码器 404-1-404-m 和局部列选择器 410-1-410-m 形成在与全局列操作电路的全局列选择

器 472、写入驱动器 474 和读出放大器 476 不同的半导体层上。在其它一些实施方式中,行解码器 404-1-404-m、局部列选择器 410-1-410-m、全局列选择器 472、写入驱动器 474 和读出放大器 476 形成在多个层中的一个层上;例如,在最后处理的层上。

[0092] 在另一种实施方式中,行解码器 404-1-404-m、局部列选择器 410-1-410-m、全局列选择器 472、写入驱动器 474 和读出放大器 476 形成在一个不包括 PCM 单元阵列的半导体层上。这有利地减小了形成各种电路所需的面积,因为 PCM 阵列的大小可以被设计成占用类似的面积并且被堆叠在电路上方。此外,没有 PCM 单元阵列的层不必包括形成相变材料所需的处理步骤。

[0093] 图 14 示出了图 13A 中所示的局部列选择器 410-1-410-m 之一(例如局部列选择器 410-1)的例子。参照图 14,局部列选择器 410-1 具有 p 组局部列选择电路 600-1-600-p。局部列选择电路 600-1-600-p 具有相同的电路结构。p 组 j 个局部位线 308-1-308-j 与在单元阵列层 1 (402-1)上形成的 PCM 单元相连接。列选择电路 600-1-600-p 中的每个包括用于进行位线放电的 j 个 NMOS 晶体管 602-1-602-j。p 组局部列选择电路 600-1-600-p 的晶体管 602-1-602-j 的栅极共同连接到位线放电信号输入端 604。而且,列选择电路 600-1-600-p 中的每个包括用于进行局部列选择的 j 个 NMOS 晶体管 606-1-606-j,这些晶体管的源极与相应的局部位线 308-1-308-j 连接。p 组晶体管 606-1-606-j 的栅极连接到相应的局部列选择输入端 612-1-612-j。局部列选择信号 Y_1, Y_2, \dots, Y_j 被共同馈送给 p 组局部列选择输入端 612-1, 612-2, $\dots, 612-j$, 以进行局部列选择操作。

[0094] p 个全局位线 "GB/L1"- "GB/Lp" 450-1-450-p 与 p 个 NMOS 晶体管 620-1-620-p 的漏极连接,这些晶体管的源极接地。所有列选择电路 600-1-600-p 的 NMOS 晶体管 620-1-602-p 的栅极共同连接到全局位线放电信号输入端 622。p 个组中的每一组的 j 个晶体管 606-1-606-j 的漏极共同连接到与全局列操作电路 470-1 的全局列选择器 472 相连的各个全局位线 "GB/L1"- "GB/Lp" 450-1-450-p。

[0095] 响应于馈送给全局位线放电输入端 622 的公共全局位线放电信号 "DISCH_GBL", NMOS 晶体管 620-1-620-p 在 p 个局部列选择电路 600-1-600-p 中进行全局位线放电。响应于馈给到位线放电信号输入端 604 的位线放电信号 "DISCH_BL", 晶体管 620-1-620-j 在 p 组局部列选择电路 600-1-600-p 中进行位线放电。

[0096] 参照图 11、12、13A、13B 和 14,在写入操作阶段,当单元 304-(2, j) 正在被写入时,馈送给输入端 604 的位线放电信号 "DISCH_BL" 和馈送给输入端 622 的公共全局位线放电信号 "DISCH_GBL" 均为 "低",以停用各条放电路径(包括位线和全局位线)。响应于馈送给局部列选择输入端 612-1, 612-2, $\dots, 612-j$ 的局部列选择信号 Y_1, Y_2, \dots, Y_j , 进行位线的选择。

[0097] 在只有 Y_j 为 "高" 的情况下,在局部列选择电路 600-1-600-p 的每个中的晶体管 606-1, 606-2, \dots 的栅极为 "低",从而停用列选择晶体管 606-1, 606-2, \dots , 并且将位线 308-1, 308-2, \dots 悬浮。局部列选择电路 600-1-600-p 的晶体管 606-j 的栅极被保持为 "高" 并且启用列选择晶体管 606-j。结果,全局位线 450-1-450-p 中的每个通过启用的晶体管 606-j 连接到与要被写入的存储单元 304-(2, j) 相关联的局部位线 308-j。类似地,局部列选择信号 Y_1, Y_2, \dots, Y_j 的不同逻辑状态使得不同的位线被选中,以选中或指定要被写入的存储单元。

[0098] 图 15 示出了图 13A 中所示的全局列选择器之一的例子。参照图 15, 一个全局列选择器(例如, 全局列操作电路 470-1 的全局列选择器 472) 包括 p 个全局列选择电路 700-1-700- p 。 p 个全局列选择电路 700-1-700- p 中的每一个为与局部列选择器 410-1 连接的全局位线 450-1, 450-2, ..., 450- p (“GB/L1”-“GB/L p ”) 中的相应的一个进行操作。 p 个全局列选择电路 700-1-700- p 中的每一个都包括全 CMOS 传输门、反相器和 NMOS 晶体管。

[0099] 在全局列选择电路 700-1 中, 传输门 702-1 是由 NMOS 晶体管 703 和 PMOS 晶体管 705 形成的并且位于全局位线 “GB/LP”450-1 与全局写入数据线 “WDL1” 706-1 之间。 NMOS 晶体管 703 的栅极与经由反相器 701-1 连接到 PMOS 晶体管 705 的栅极的写入全局列选择输入端 708-1 连接。 NMOS 晶体管 710-1 的源极和栅极分别与全局位线 “GB/L1”450-1 和读取全局列选择输入端 714-1 连接。 类似地, 在全局列选择电路 700- p 中, 传输门 702- p 由 NMOS 晶体管和 PMOS 晶体管形成并且位于全局位线 “GB/L p ”450- p 与全局写入数据线 “WDL p ”706- p 之间。 写入全局列选择输入端 708- p 与传输门 702- p 的 NMOS 晶体管相连并且通过反相器 701- p 连接到传输门 702- p 的 PMOS 晶体管。 NMOS 晶体管 710- p 的源极和栅极分别与全局位线 “GB/L p ”450- p 和读取全局列选择输入端 714- p 连接。 其它全局列选择电路中的每个具有与全局列选择电路 700-1 的结构相同的结构。

[0100] 传输门 702-1-702- p 分别与全局写入数据线 “WDL1”-“WDL p ”706-1-706- p 连接, 这些全局写入数据线与全局列操作电路 470-1 的写入驱动器 474 连接。 晶体管 710-1-710- p 的漏极分别连接到 p 个全局读出数据线 “RDL1”-“RDL p ”172-1-172- p , 这些全局读出数据线连接到全局列操作电路 470-1 的读出放大器 476。

[0101] 在数据写入操作中, 将写入全局列选择信号 GYW1-GYW p 提供给全局列选择电路 700-1-700- p 的各个输入端 708-1, ..., 708- p , 以控制传输门 702-1-702- p 的操作, 进行数据写入。 在数据读取操作中, 将读取全局列选择信号 GYR1-GYR p 提供给全局列选择电路 700-1-700- p 的各个输入端 714-1, ..., 714- p , 以控制晶体管 710-1-710- p 的操作, 进行数据读入。

[0102] 全局列操作电路的全局列选择器 472 用于选择图 14 中所示的 p 组局部列解码器 600-1-600- p 中的一组。 全局列选择器 472 执行从全局写入数据线(例如 “WDL1”706-1) 选择用于写入数据的全局位线的操作, 或者为全局读出数据线(例如 “DL1”712-1) 选择用于读出数据的全局位线。 在写入全局列选择信号 GYW1 为 “高” 的时候, 通过 PMOS 和 NMOS 晶体管的互补对(全 CMOS 传输门 702-1) 将全局写入数据线 “WDL1”706-1 与全局位线 “GB/L1”450-1 连接, 从而使得全部电源电压都被传递到存储单元, 例如, 图 12 中的 304-(2, j)。 这确保了写入数据的存储单元中的复位与设定状态之间具有较宽的余量或间隔。 到达全局读出数据线(例如, “RDL1”) 的读取路径需要单端器件(例如, 没有 PMOS 晶体管的 NMOS 晶体管), 因为不需要通过读取两个编程状态(即, 设定状态 “1” 和复位状态 “0”) 造成的完整电源电压差, 就可以检测读出信号。 在读取全局列选择信号 GYR1 为 “高” 的时候, 导通 NMOS 晶体管 710-1 并且通过导通的晶体管 710-1 将全局位线 “GB/L1”450-1 与全局读出数据线 “RDL1”710-1 连接。

[0103] 如图 15 中所示, p 个全局列选择电路 700-1-700- p 与对应的全局写入数据线 WDL1-WDL p 和对应的全局读出数据线 RDL1-RDL p 相连接。 因此, p 对写入和读出数据线与一个全局列选择电路 472 连接。 写入驱动器 474 接收输入数据 “Data_in”, 该输入数据 “Data_

in”包括 p 个输入数据：要写入到存储单元中的“Data_in 1”-“Data_in p”。读出放大器 476 提供读输出“SAout”或“Data_out”，其包括 p 个数据输出：“SAout 1”-“SAout p”，作为从存储单元中读出的数据。

[0104] 图 16 示出了图 13A 中所示的写入驱动器之一(例如,全局列操作电路 470-1 的写入驱动器 474)的例子。参照图 16,写入驱动器 474 包括 p 个数据线驱动电路 740-1-740-p。在一个数据线驱动电路(例如,740-1)中,在 VPPWD 的电压线 743 与地之间串联连接着一个 PMOS 晶体管 746 和两个 NMOS 晶体管 751 和 757。VPPWD 例如是 VDD+1 伏特。类似地,在电压线 743 与地之间串联连接着一个 PMOS 晶体管 748 和两个 NMOS 晶体管 753 和 759。PMOS 晶体管 746 和 748 的栅极和漏极相耦合并且连接到另一个 PMOS 晶体管 744 的栅极,该 PMOS 晶体管 744 的源极和漏极分别连接到电压线 743 和全局写入数据线(例如,“WDL-1”706-1)。NMOS 晶体管 751 和 753 的栅极分别连接到复位参考信号输入端 750 和设定参考信号输入端 752。数据输入端 754 经由反相器 755 连接到 NMOS 晶体管 757 的栅极,并且经由另一个反相器 765 进一步连接到 NMOS 晶体管 759 的栅极。其它的数据线驱动电路 740-2-740-p 中的每一个都具有与数据线驱动电路 740-1 的电路结构相同的电路结构。数据线驱动电路 740-1-740-p 分别连接到全局写入数据线“WDL1”-“WDLp”706-1 - 706-p,这些全局写入数据线继而又如图 15 中所示连接到全局列选择器 472。

[0105] 参照图 13A、13B 和 14-16,当写入数据“0”时,复位参考电压“Vref_reset”被馈送给复位参考信号输入端 750。当写入数据“1”时,设定参考电压“Vref_set”被馈送给设定参考信号输入端 752。表示输入数据“Data_in”(“Data_in 1”-“Data_in p”)的数据输入信号被馈送给 p 个数据线驱动电路 740-1 - 740-p 中的相应一个的数据输入端 754。在一个数据线驱动电路中,响应于数据输入信号“Data_in”和复位参考电压“Vref_reset”,电流“ I_r ”741 流过 NMOS 晶体管 751 和 757。响应于数据输入信号“Data_in”和设定参考电压“Vref_set”,电流“ I_s ”742 流过 NMOS 晶体管 753 和 759。“Data_in”信号的“低”状态使 NMOS 晶体管 757 导通。“Data_in”信号的“高”状态使另一个 NMOS 晶体管 759 导通。

[0106] 由 PMOS 晶体管 746 (和 748)和 744 形成的电流反射镜在写入“复位”操作期间,将电流 I_r 741 镜像到全局写入数据线“WDL”706-1。由 PMOS 晶体管 748 (和 746)和 744 形成的电流反射镜在写入“设定”操作期间,将电流 I_s 742 镜像到全局写入数据线 WDL 706-1。电流 I_r 741 或 I_s 从全局写入数据线流经选定的全局位线。该电流会进一步流过选定的局部位线和选定的单元(见图 11)。

[0107] 写入驱动器 474 在数据“1”和“0”的写入操作期间向全局写入数据线提供适当的电流。例如,数据线驱动电路 740-1 通过设定参考电压 Vref_set 来执行设定操作。当设定参考电压 Vref_set 为“高”时,晶体管 753 被导通。在 Data_in 1 为“高”(逻辑‘1’)的时候,晶体管 759 被导通。在晶体管 753 和 759 导电时候,电流 I_s 742 从中流过。在使得晶体管 751 能够响应于复位参考电压 Vref_reset 的“高”状态而导通的时候,由 Data_in 1 中的“低”(逻辑‘0’)执行复位操作。在晶体管 751 和 757 导电时候,电流 I_s 742 从中流过。电流“ I_r ”741 和“ I_s ”742 的镜像电流从全局写入数据线 WDL 706-1 中流过。晶体管 751 和 753 具有不同的大小,从而使得实现逻辑‘0’的电流不同于实现逻辑‘1’的电流。在特定的例子中,结果得到的 I_{Set} 和 I_{Reset} 分别是,例如,大约 0.2mA 和 0.6mA。不过,应当清楚地理解,取决于单元的实现方式,可以使用不同的值。电流 I_{Set} 和 I_{Reset} 的脉冲持

续时间分别受电压 V_{ref_set} 和 V_{ref_reset} 的宽度所控制。在另一个例子中,可以通过控制 V_{ref_Set} 和 V_{ref_Reset} 的脉冲宽度来为低状态和高状态产生不同的脉冲持续时间。电压 V_{ref_set} 和 V_{ref_reset} 分别起到用于数据“1”和数据“0”的数据写入使能信号的作用。在另一个例子中,可以通过控制 V_{ref_Set} 和 V_{ref_Reset} 的脉冲宽度来为低状态和高状态产生不同的脉冲持续时间。

[0108] 图 17 示出了图 13A 中所示的读出放大器之一(例如,全局列操作电路 470-1 的读出放大器 476)的例子。参照图 17,读出放大器 476 具有多个(p 个)读出/比较电路 760-1-760- p 。在一个读出/比较电路中,例如在读出/比较电路 760-1 中,全局读出数据线“RDL1”712-1 连接到 NMOS 放电晶体管 780 的漏极和 NMOS 电压钳位(clamp)晶体管 772 的源极。晶体管 772 的漏极连接到另一个 NMOS 放电晶体管 776 的漏极, NMOS 放电晶体管 776 的源极接地。晶体管 772 的栅极连接到钳位信号输入端 773,钳位电压 V_{RCMP} 被馈送到该钳位信号输入端 773。放电晶体管 780 和 776 的栅极连接到放电信号输入端 778。晶体管 772 和 776 的漏极连接到读出数据线“SDL”768。

[0109] 读出/比较电路 760-1 包括两个 PMOS 位线预充电晶体管 761 和 762。晶体管 761 的源极和栅极分别与电压线 771 和预充电信号输入端 767 连接。晶体管 762 的源极和栅极分别与电压线 775 和另一个预充电信号输入端 763 连接。读出/比较电路 760-1 包括另一个 PMOS 晶体管 764,该 PMOS 晶体管 764 的源极和栅极分别与电压线 777 和偏置信号输入端 765 连接。电压线 771 和 775 分别与 VDD 和 V_{PPSA} 的电压源(未示出)连接。VDD 例如是 1.8 伏特。 V_{PPSA} 一般情况下大于 VDD,例如是 $V_{DD}+2$ 伏特。三个晶体管 761、762 和 764 的漏极连接到读出数据线“SDL”768。差异电压放大器(比较器)766 具有两个与读出数据线“SDL”768 和参考输入端 770 连接的输入端,其中,参考电压 V_{ref} 馈入到该参考输入端 770。

[0110] 参照图 13A、13B、14、15 和 17, p 个读出/比较电路 760-1-760- p 通过全局读出数据线“RDL1”-“RDL- p ”712-1-712- p 连接到全局列选择器 472(全局列选择电路 700-1-700- p)。读出放大器 476 从图 13A 中所示的单元阵列层(例如,阵列层 402-1)的 PCM 单元中的位线中读取数据。存储阵列中的位线由局部列选择器 410-1 选取,并且局部列选择器 410-1,410-2,...,410- m 由全局列选择器 472 选取。数据从 PCM 单元流向全局读出数据线“RDL”中的选定全局读出数据线上的读出放大器 476。

[0111] 放电电压“DISCH_R”被馈送到放电信号输入端 778。在“DISCH_R”电压为“高”时,放电晶体管 780 和 776 导通,并且全局读出数据线“RDL1”712-1 和读出数据线“SDL”768 放电,为读取操作做好准备。预充电电压“PRE1_b”和“PRE2_b”被分别馈送给预充电信号输入端 767 和 763。两个预充电晶体管 761 和 762 在位线上提供更加平缓的预充电率。有利地,双斜率的预充电方法会减小用于供应 V_{PPSA} 电压的电荷泵负担。 V_{PPSA} 是由电荷泵(未示出)从 VDD 升压而来的。在一种实施方式中, V_{PPSA} 为 $V_{DD}+2V$ 。电荷泵具有针对给定区域的有限电流汲取能力。两阶段预充电方案是通过两个晶体管 761 和 762 实现的。第一阶段预充电是响应于 PRE1_b 而执行的:通过直接从 VDD 汲取电流将读出数据线“SDL”768 从 0V 升高到 VDD。然后,响应于 PRE2_b 进行第二阶段的预充电,其使用由 V_{PPSA} 电荷泵供应的电流,将读出数据线“SDL”768 从电压线 771 的 VDD 充电到(电压线 775 的) V_{PPSA} 。通过将读出数据线“SDL”768 预充电到 V_{PPSA} ,为基于二极管的 PCM 单元确保了充足的读取电压余量。

[0112] 偏压“VBIAS_b”(例如, VDD)被馈送给偏置信号输入端 765。偏压晶体管 764 提供与(图 11 的)选定存储单元 304-(2, j) 吸收的电流(除去寄生电流)相等的负载电流, 并且将从选定存储单元汲取的电流转换为读出数据线“SDL”768 上的电压。然后放大器 766 将读出数据线“SDL”768 上生成的电压与馈送给参考输入端 770 的参考电压“Vref”进行比较。在读出数据线“SDL”768 上的电压电平超过参考电压 Vref 的情况下, 放大器 766 的读输出 782-1 处的读出放大器输出“SAout 1”被驱动为“高”。SAout 是表示读出数据的数据输出“data_out”。

[0113] 参照附图 4A、4B、11 和 17, 当存储单元 304-(2, j) 被编程为复位状态时, 在硫化物化合物 126 中生成非结晶材料(可编程容积)132。非晶态造成在第一电极 124 和第二电极 128 之间的更高的电阻。流经高电阻化合物 126 的电流产生跨越该高电阻化合物 126 的较大压降。结果, 在存储单元 304-(2, j) 两端会生成较大压降, 并且会在读出数据线“SDL”768 上检测到较大电压。硫化物化合物 126 (相变层)的高电阻对应于图 4A 中所示的复位状态“数据 0”。该电阻大于对应于设定状态“数据 1”(图 4A)的晶体。

[0114] 其它读出/比较电路 760-2-760-p 中的每个具有相同的电路结构并且执行与读出/比较电路 760-1 相同的操作。其它的读出/比较电路 760-2-760-p 分别通过全局读出数据线“RDL2”-“RDL-p”712-2-712-p 接收代表读出数据的信号。读出/比较电路 760-2-760-p 分别提供 SAout 2-SAout p 作为来自读输出 782-2-782-p 的数据输出“Data_out”。p 个数据输出“SAout1”-“SAout p”形成读输出“SAout”或“Data_out”。

[0115] 图 18 示出了图 13A 中所示的行解码器之一(例如, 行解码器 404-1)的例子。行解码器 404-1 具有多个(k 个)解码电路 810-1-810-k, 这些解码电路通过字线与图 13A 中所示的单元阵列层 402-1 的 PCM 单元存储器相连接。图 18 中所示的特定的解码电路包括用于响应于预行解码器的输出对地址输入信号进行解码的解码逻辑电路和用于响应于解码后的地址信号向字线提供“选中”或“未选中”电压的字线驱动器。解码逻辑电路包括逻辑门的组合。在图 18 中, 仅仅示出了一个 NAND 门和一个反相器来表示解码逻辑电路。字线驱动器包括基于 MOS 晶体管的驱动电路。

[0116] 参照图 13A、13B 和 18, 在解码电路 810-1 之一中, 具有三组预解码信号输入端 800、802 和 804, 分别用于接收预行解码器的输出“Xq”、“Xr”和“Xs”。三个预行解码器输出 Xq、Xr 和 Xs 中的每一个都包括地址信息(“1”-“8”), 并且因此, Xq、Xr 和 Xs 表示了(2²)2 个地址:“001”-“512”。解码电路 810-1 具有解码逻辑电路 840-1, 该解码逻辑电路 840-1 包括 NAND 门 816-1 和与 NAND 门 816-1 的输出端相连的反相器 826-1。解码逻辑电路 840-1 具有与预解码信号输入端 800, 802 和 804 相连接的输入端。解码电路 810-1 具有字线驱动器 842, 该字线驱动器 842 包括上拉 PMOS 晶体管 820 以及 PMOS 晶体管 822 和 NMOS 晶体管 824 的互补电路。反相器 826-1 的输出端通过钳位 NMOS 晶体管 812 连接到 PMOS 晶体管 820 的漏极和 PMOS 晶体管 822、NMOS 晶体管 824 的栅极。PMOS 晶体管 820 和 822 的源极连接到被提供了电压 VPPWL 的电压线 818。PMOS 晶体管 822 和 NMOS 晶体管 824 的漏极共同连接到字线“W/L1-1”312-1 (1) 和 PMOS 晶体管 820 的栅极。

[0117] 解码电路 810-2-810-k 中的每一个具有与解码电路 810-1 类似的电路结构。解码电路 810-2 具有解码逻辑电路 840-2, 该解码逻辑电路 840-2 包括 NAND 门 826-2 和反相器 826-2。类似地, 解码电路 810-k 具有解码逻辑电路 840-k 和反相器 826-k。解码电

路 810-2-810-k 中的每一个具有字线驱动器。解码电路 810-2-810-k 共同接收预行解码器的输出“Xq”、“Xr”和“Xs”。解码电路 810-2-810-k 分别与字线“W/L1”-“W/Lk”312-2(1)-312-k(1)连接。

[0118] 行解码器 404-1 由预行解码器的输出“Xq”、“Xr”和“Xs”使能。在要选择字线 W/L1 的情况下, NAND 门 816-1 的输出为“低”并且反相器 826-1 输出“高”。晶体管 824 导通并且字线 W/L1-1 (312-1 (1)) 被下拉到“低”或“0”。在不选择字线 W/L1 的情况下, NAND 门 816-1 的输出为“高”并且反相器 826-1 输出“低”。晶体管 822 导通并且字线“W/L1-1”312-1 (1) 被上拉到“高(VPPWL)”。因此, 响应于地址解码, 向字线提供了“0V”或“VPPWL”。

[0119] 行解码器 404-1 的解码输出被提供给相应的字线。当选择了与字线连接的存储单元时, 字线处的解码输出被设置为 0V。在与未选中的存储单元连接的字线处, 解码输出被设置为 VPPWL。在字线未选中的时候, 施加到选定字线上的电压是电压线 818 的 VPPWL。如图 11 中所示, 写操作期间所施加的电压是 VDD+2V, 不管是设定写入还是读写。如图 12 中所示, 在读取操作期间, 所施加的电压为 VDD+1V。这些电压在前面的表 2 中进行了介绍。

[0120] 响应于由存储控制器(未示出)提供的操作阶段信号 832, 由高压电荷泵 830 提供 VDD+2V 和 VDD+1V 的电压, 作为 VPPWL。操作阶段信号 832 指示写入操作阶段或读取操作阶段。由于高压电荷泵 830 的电路是公知的, 例如电荷泵, 因此此处省略了它的细节。

[0121] 如图 11 和 12 中所示, 在选定了字线“W/L2”312-2 的情况下, 与字线“W/L2-1”312-2(1)连接的行解码器 404-1 中的解码电路 810-2 输出经过解码的输出(0V)。与未选中的字线相连的解码电路输出电压 VPPWL。电压 VPPWL 是由高压电荷泵 830 按照操作阶段信号 832 提供的 VDD+2V 或 VDD+1V。

[0122] 钳位晶体管 812 由提供给线 814 的电压控制, 以防止电压线 818 处的电压 VPPWL 将过量电压汲取回到解码逻辑电路 840-1。当“W/L1-1”312-1 为“低”时, 上拉晶体管 820 启动。这确保了用于选择一行上要被读取的存储单元 304-(2, j) (例如, 图 12 中的 312-2) 或者一行上要被写入的存储单元 304-(2, j) (例如, 图 11 中的字线 312-2) 的“W/L1”312-1 处的“低”电平将会更加不受来自相邻字线(例如, 字线“W/L1-1”312-1(1)和“W/L2-1”312-3(1)) 的噪声耦合的影响。

[0123] 图 19A 示出了执行按照本发明的实施方式的三维存储器的写入操作的电路。假设要被写入的存储器 304-(K, J) 是单元阵列层 1 (402-1) 的第一组 PCM 单元阵列 1(302-1) 中的存储单元 304-(2, j)。识别该单元的变量是:

[0124] (i) 层的标识 M 为“1”;

[0125] (ii) 局部列的标识 J 为“j”;

[0126] (iii) 全局列的标识 P 为“1”;和

[0127] (iv) 行的标识 K 为“2”。

[0128] 因此, 局部列选择信号 Yj 为“高”。写入全局列选择信号 GYW1 为“高”。由预行解码器的输出“Xq”、“Xr”和“Xs”识别的行地址是“002”。如图 19A 所示, 形成了执行三维存储器的写入操作的电路。

[0129] 参照图 10、11、13A、13B、14、15、16、18 和 19A, 按照标识变量(M、J、P、K), 选中了全局位线“GB/L1”450-1、局部位线“B/Lj”308-j 和字线“W/L2-1”312-2 (1)。这些选择导致

全局列选择器 472 的传输门 702-1 和局部列选择器 410-1 的 NMOS 列选择晶体管 606-j 被导通和导电。行解码器 404-1 的字线驱动器 842 向选定的字线 "W/L2-1"312-2(1) 提供 0V。
[0130] 被供应 VPPWD 的写入驱动器 474 的 PMOS 晶体管 744 响应于数据 "1" 或 "0" 的输入数据 "Data_in 1", 向全局写入数据线 "WDL1"706-1 提供 I_s 或 I_r 的镜像电流。电流流通过导通的传输门 702-1、全局位线 "GB/L1"450-1、导通的列选择晶体管 606-j、局部位线 "B/L1"308-j、选定的存储单元 304-(2, j) 和选定的字线 "W/L2-1"312-2(1)。 I_s 和 I_r 的镜像电流分别产生电流 I_{Set} 和 I_{Reset} , 如图 11 中所示。这些电流使得在存储单元 304-(2, j) 的电阻器两端生成不同的电压, 以存储数据 "1" 或 "0"。

[0131] 图 19B 示出了执行按照本发明的实施方式的三维存储器的读取操作的电路。假设从中读取数据的存储器 304-(K, J) 是单元阵列层 1 (402-1) 的第一组 PCM 单元阵列 1 (302-1) 中的存储单元 304-(2, j)。这样, 局部列选择信号 Y_j 为 "高"。读取全局列选择信号 $GYR1$ 为 "高"。由预行解码器的输出 "Xq"、"Xr" 和 "Xs" 识别的行地址是 "002"。如图 19B 所示, 形成了执行三维存储器的读取操作的电路。

[0132] 参照图 10、12、13A、13B、14、15、16、18 和 19B, 选中了全局位线 "GB/L1"450-1、局部位线 "B/Lj" 308-j 和字线 "W/L2-1"312-2(1)。这些选择导致全局列选择器 472 的 NMOS 晶体管 710-1、局部列选择器 410-1 的 NMOS 列选择晶体管 606-j 被导通和导电。

[0133] NMOS 电压钳位晶体管 772 被钳位电压 VRCMP 导通, 并且分别由两个预充电 PMOS 晶体管 761 和 762 按照预充电信号 PRE1_b 761 和 PRE2_b 763 执行二阶段预充电操作。此后, 响应于偏置电压 "VBIAS_b" (0V), PMOS 晶体管 764 被导通, 并且通过导通的晶体管 764, 电压线 777 的电压 VDD 被提供给 SDR 768, 并且导致电流在其中流过。电流此外还流过导通的晶体管 772、全局读出数据线 "RDL1"712-1、全局列选择器 472 的导通的 NMOS 晶体管 710-1、全局位线 "BL/L1"450-1、局部列选择器 410-1 的导通的 NMOS 列选择晶体管 606-j。如图 12 中所示, 这导致电流 I_{Read} 流过局部位线 "B/Lj"308-j、选中的存储单元 304-(2, j) 和选定的字线 "W/L2-1"312-2(1)。存储单元 304-(2, j) 中的电阻器的电阻值在写入了数据 "1" 和 "0" 这两种情况之间是不同的。在与该电阻器串联连接的 SDR 768 中, 在数据 "1" 和 "0" 两种情况之间, 会生成不同的电压。通过将所生成的电压与参考电压 V_{ref} 进行比较, 放大器 766 提供表示数据 "1" 或 "0" 的读出 "SAout 1"。

[0134] 图 20A 示出了按照本发明的实施方式的三维存储器的写入操作。写入操作包括四个阶段, 即 "放电"910、"写入设置"920、"单元写入"930 和 "写入恢复"940。

[0135] 参见附图, 在放电阶段 910 期间, 局部位线 B/L1-B/Lj 和全局位线 GB/L1-GB/Lp 被放电至 0V。这是通过将馈送给位线放电信号输入 604 的位线放电信号 "DISCH_BL" 和馈送给全局位线放电信号输入 622 的公共全局位线放电信号 "DISCH_GBL" 提升到 $VDD+2V$ 来实现的。将 DISCH_BL 和 DISCH_GBL 提升到大于 VDD 的电压会提供更大的驱动电流, 来分别使位线和全局位线放电。在另一种实施方式中, 将 DISCH_BL 和 DISCH_GBL 仅仅提升到 VDD, 并且放电阶段 910 被延长了更长的放电时间。在放电阶段 910 期间, 通过施加 $VDD+2V$, 取消了对字线(例如, 字线 312-1 和 312-3)的选定。

[0136] 虽然字线只需要被提升到位线(例如, 位线 308-j) 电位以上大约一个二极管阈值即可防止存储单元导通, 但是将字线提升到 $VDD+2V$ 确保了存储单元在位线放电的时候也不会导电。

[0137] 在写入设置阶段 920 期间,通过解除位线放电信号“DISCH_BL”和公共全局位线放电信号“DISCH_GBL”,使得局部位线和全局位线能够“悬浮”。悬浮位线意味着位线电位不是由低阻抗源(例如,驱动器)驱动的,但是可以利用位线的寄生电容较大程度地维持之前的电位。通过启用局部列选择信号 Yj 和写入全局列选择信号 GYW1,图 16 中所示的全局写入数据线 WDL 706-1 被提供给与要进行写入的存储单元 304-(2, j) 连接的位线 308-j。此外,将选定的字线 312-2 偏置为 0V,以使得存储单元 304-(2, j) 能够被写入。在单元写入阶段 930 期间,分别通过快速平息(quench)将单元写入为复位状态,或者通过缓慢平息将单元写入为设定状态。写入驱动器按照图 16 中所示的输入数据提供写入电流。例如,响应于“Data_in 1”为“0”,为了写入复位状态,向图 20A 中的全局写入数据线 WDL 706-1 提供较窄脉冲(例如,图 20 和图 3 中所示的脉冲 132)。类似地,响应于“Data_in 2”为“1”,为了写入设定状态,向图 20A 中的全局写入数据线 WDL 706-2 提供较宽脉冲(例如,图 3 中所示的脉冲 134)。

[0138] 在写入恢复阶段 940 期间,为图 4A 和 4B 中的硫化物化合物 248 给出额外的时间来结晶和冷却。在写入恢复阶段 940 之后,选定的字线 312-2 和全局位线放电信号“DISCH_GBL”返回到 VDD+2V。局部列选择信号 Yj 和全局列选择信号 GYW1 被切断。

[0139] 图 20B 示出了按照本发明的实施方式的三维存储器的读取操作。该读取操作包括四个阶段:“放电”950、“B/L 预充电”960、“单元数据生成”970 和“数据读出”980。

[0140] 参见附图,在放电阶段 950 期间,类似于写入操作,由位线放电信号“DISCH_BL”和公共全局位线放电信号“DISCH_GBL”对局部位线和全局位线进行放电。此外,通过向放电电压 DISCH_R 施加 VDD+2V,使得全局读出数据线“RDL”712 和读出数据线“SDL”768 放电。

[0141] 在位线预充电阶段 960 期间,通过选定的列选择信号 Yj 612-j 和全局列选择线 GYW1 708-1,分别使局部和全局列选择器的晶体管都导通。施加到钳位信号输入端 773 上的钳位电压 VRCMP 被设置为电压电平“Vrcmp”,这一电压电平会使得钳位晶体管 772 限制可以从全局读出数据线 RDL 712 传递到读出数据线“SDL”768 的电压,从而防止放大器 766 饱和以及约束恢复时间。在一种实施方式中,Vrcmp 被设置为 VDD+3 伏特,从而小于钳位晶体管 772 的阈值的电压 VDD+3V 从全局读出数据线“RDL”712 传递到了读出数据线“SDL”768。

[0142] 利用两阶段预充电操作,将读出数据线“SDL”768 预充电到 VDD+2V,其中,通过将预充电信号 PRE1_b 和 PRE2_b 分别馈送到晶体管 761 和 763,首先充电到 VDD(例如,1.8V),然后充电到 VDD+2V。在单元生成阶段 970 期间,将选定的字线偏置为 0V。用于读出数据线“SDL”768 的偏压晶体管 764 被启用。在这个阶段期间,选定的单元(例如,304-(2, j))将会汲取电流并且按照该单元中的编程状态促使读出数据线“SDL”768 改变电位。

[0143] 在数据读出阶段 980 期间,读出放大器读出读出数据线“SDL”768 上的电压,并且如果读出数据线“SDL”768 上的电压超出了参考电压 Vref,则使得 SAout 782 升高。在一种实施方式中,放大器 766 锁存由额外的控制引脚控制的 SAout 782 的状态。在另一种实施方式中,放大器 766 包括滞后现象,从而在单元数据生成阶段 970 期间,当读出数据线“SDL”768 等于 Vref 770 时,SAout 782 不会发生翻转。

[0144] 图 21 示出了按照本发明的另一种实施方式的三维存储器体系结构。除了全局列操作电路之外,图 21 中所示的三维存储器体系结构 500 与图 13A 的三维存储器体系结构相同。参照图 21,三维存储器体系结构 500 包括 m 个全局列操作电路 670-1,670-2,...,

670-m, 每个全局列操作电路都具有全局列选择器、写入驱动器和读出放大器。在 m 个全局列操作电路 670-1, 670-2, ..., 670-m 中的每一个中, 全局列选择器通过公共全局写入数据线 "CWDL" 与写入驱动器进行通信。全局列选择器通过公共全局读出数据线 "CRDL" 与读出放大器进行通信。写入驱动器接收要写入到 PCM 单元阵列的存储单元中的输入数据 "Data_in"。读出放大器提供从 PCM 单元阵列的存储单元中读取的输出数据作为 "Data_out"。例如, 全局列操作电路 670-1 具有全局列选择器 672-1、写入驱动器 674-1 和读出放大器 676-1。写入驱动器 674-1 接收要写入到 PCM 单元阵列的存储单元中的输入数据 "Data_in"。读出放大器 676-1 提供读输出 "SAout" 或 "Data_out"。图 13A 中所示的三维存储器体系结构 400 的其它电路的细节适合于图 21 的三维存储器体系结构 500。

[0145] 图 22 示出了全局列选择器的例子。图 22 中所示的全局列选择器被用在图 21 中所示的三维存储器体系结构 500 中。

[0146] 参照图 21 和 22, 全局列操作电路 670-1-670-m 的 m 个全局列选择器 672-1-672-m 具有相同的电路结构并且共享全局写入数据线和全局读出数据线。m 个全局列选择器 672-1-672-m 分别通过各组 p 个全局位线 "GB/L1"- "GB/L-p" 450-1-450-p 与局部列选择器 410-1-410-m 相连接。全局列选择器 672-1-672-m 中的每一个包括 p 组用于数据写入的全 CMOS 传输门电路和用于数据读取的 NMOS 晶体管。例如, 全局列选择器 672-1 具有 p 个 CMOS 传输门电路 722-1-722-p 和 p 个 NMOS 晶体管 730-1-730-p。类似地, 全局列选择器 672-m 具有 p 个 CMOS 传输门电路 722-1-722-p 和 p 个 NMOS 晶体管 730-1-730-p。每个全局列选择器的 CMOS 传输门电路 722-1-722-p 中的每一个都包括 NMOS 和 PMOS 晶体管以及具有控制输入端的反相器, 如图 15 中所示。

[0147] 在每个全局列选择器 672-1-672-m 中, NMOS 晶体管 730-1-730-p 的源极和 CMOS 晶体管门电路 722-1-722-p 的端子之一分别连接到全局位线 450-1-450-p。每个全局列选择器的全局位线 "GB/L1" 450-1- "GB/Lp" 450-p 连接到各自的局部列选择器。m 个全局列选择器 672-1-672-m 的 CMOS 传输门电路 722-1 的其它端子连接到公共全局写入数据线 "CWDL1" 726-1。类似地, m 个全局列选择器 672-1-672-m 的 CMOS 传输门电路 722-p 的其它端子连接到公共全局写入数据线 "CWDLp" 726-p。m 个全局列选择器 672-1-672-m 的 NMOS 晶体管 730-1 的漏极连接到公共全局读出数据线 "CRDL1" 732-1。类似地, m 个全局列选择器 672-1-672-m 的 NMOS 晶体管 730-p 的漏极连接到公共全局读出数据线 "CRDLp" 732-p。公共全局写入数据线 "CWDL1"- "CWDLp" 726-1-726-p 共同连接到 m 个写入驱动器 674-1-674-m。公共全局读出数据线 "CRDL1"- "CRDLp" 732-1-732-p 共同连接到 m 个读出放大器 676-1-676-m。

[0148] 全局列选择器 672-1、写入驱动器 674-1 和读出放大器 676-1 包含在全局列操作电路 670-1 中。类似地, 全局列选择器 672-m、写入驱动器 674-m 和读出放大器 676-m 包含在全局列操作电路 670-m 中, 如图 21 所示。在图 21 中所示的三维存储器体系结构 500 中, 公共全局写入数据线 "CWDL1"- "CWDLp" 726-1-726-p 和公共全局读出数据线 "CRDL1"- "CRDLp" 732-1-732-p 由写入驱动器和读出放大器对所共享。写入驱动器 674-1 和读出放大器 676-1 能够与除了全局列选择器 672-1 之外的全局列选择器进行通信, 例如, 与局部列选择器 410-m 相关联的全局列选择器 672-m。因此, 写入驱动器 674-1 能够将数据写入到图 21 中所示的形成在单元阵列层 m (402-m) 上的 PCM 单元阵列的存储单元中。而且,

读出放大器 676-1 能够从单元阵列层 m (402- m) 的 PCM 单元阵列的存储单元中读取数据。类似地, 写入驱动器 674- m 和读出放大器 676- m 能够与局部列选择器 410-1 所关联的全局列选择器 672-1 进行通信。因此, 写入驱动器 674- m 和读出放大器 676- m 能够访问形成在单元阵列层 1 (402-1) 上的 PCM 单元阵列的存储单元。

[0149] m 个全局列选择器 672-1 - 672- m 的 CMOS 传输门电路 722-1 - 722- p 的控制输入端在写入操作期间接收写入全局列选择信号 "GYW1"- "GYW p "。 m 个全局列选择器 672-1 - 672- m 的 NMOS 晶体管 730-1 - 730- p 的栅极在读取操作期间接收读取全局列选择信号 "GYR1"- "GYR p "。图 22 中所示的全局列选择器 672 是很有益处的, 因为公共全局写入数据线 "CWDL"726-1 - 726- p 和公共读出数据线 "CRDL"732-1 - 732- p 是由 m 个全局列选择器 672-1 - 672- m 共享的。全局列选择器 672-1 - 672- m 通过公共全局读出数据线 "CRDL" 与写入驱动器 674-1 - 674- m 中的任何一个进行通信, 并且通过在全局列操作电路 670-1 - 670- m 中或之间的公共全局读出数据线 "CRDL" 与读出放大器 676-1 - 676- m 中的任何一个进行通信。

[0150] 图 23 示出了用在图 21 中所示的全局列操作电路中的写入驱动器的例子。参照图 23, 写入驱动器 674-1 具有 p 个数据线驱动电路 740-1-740- p , 这些数据线驱动电路与各自的公共全局写入数据线 "CWDL1" - "CWDL p "726-1 - 726- p 相连接。这 p 个数据线驱动电路 740-1-740- p 接收输入数据 "Data_in 1" - "Data_in p ", 并且向各自的公共全局写入数据线 "CWDL1" - "CWDL p " 提供电流。写入驱动器 674-1 的操作类似于图 16 中所示的写入驱动器 474 的操作。

[0151] 图 24 示出了用在图 21 中所示的全局列操作电路中的读出放大器的例子。参照图 24, 读出放大器 674-1 具有 p 个读出 / 比较电路 760-1-760- p , 这些读出 / 比较电路与各自的公共全局读出数据线 "CRDL1"- "CRDL p "732-732- p 相连接。读出 / 比较电路 760-1-760- p 通过公共全局读出数据线 "CRDL1" - "RDL- p "732-1 - 732- p 接收表示读出数据的信号并且从读输出 782-1 - 782- p 分别提供 SAout 1 - SAout p 作为数据输出 "Data_out"。读出放大器 676-1 的操作类似于图 17 中所示的读出放大器 476 的操作。

[0152] 图 25A 示出了按照本发明另一种实施方式的三维相变存储器 (PCM) 体系结构。参照图 25A, 三维存储器体系结构 900 包括 m 层分段的单元阵列 (子阵列 1, 2, ..., q)。每个子阵列包括多个单元阵列。子阵列 510-1 包括形成在 m 层中的各层上的单元阵列 520-1, 520-2, ..., 520- m 。类似地, 子阵列 510-2 包括形成在 m 层中的各层上的单元阵列 540-1, 540-2, ..., 540- m 。子阵列 510- q 包括形成在 m 层中的各层上的单元阵列 560-1, 560-2, ..., 560- m 。在三维存储器体系结构 900 中, 行解码器 522-1, 522-2, ..., 522- q 分别与子阵列 510-1, 510-2, ..., 510- q 相关联。类似地, 局部列选择器 524-1, 524-2, ..., 524- q 分别与子阵列 510-1, 510-2, ..., 510- q 相关联。此外, 三维存储器体系结构 900 包括多个 (m 个) 全局列操作电路 570-1, 570-2, ..., 570- m , 这些全局列操作电路与局部列选择器 524-1 - 524- q 进行通信。 m 个全局列操作电路 570-1, 570-2, ..., 570- m 中的每一个都具有全局列选择器 572、写入驱动器 574 和读出放大器 576。每个全局列操作电路 572-1, 570-2, 570- m 的全局列选择器 572 通过全局位线 (B/L) 550-1-550- p 与相应的局部列选择器 524-1, 524-2, ..., 524- q 相连接。为了控制三维存储器体系结构 900 的操作, 提供与图 13A 中所示的三维堆叠存储装置体系结构 400 相同的地址信号。

[0153] 图 25B 示出了用于图 25A 中所示的三维存储器体系结构的存储地址控制信号。在三维存储器体系结构 900 中,每层的单元阵列被划分为 q 部分,分为 q 个子阵列 510-1-510- q 。因此,除了表示标识("J", "P", "K", "M")的信号之外,还使用了表示选定的子阵列的标识"Q" ($1 \leq Q \leq q$) 的信号。

[0154] 在与局部列选择器 524-1, 524-2, ..., 524- q 相同的半导体层上,除了全局列选择器 572、写入驱动器 574 和读出放大器 576 之外,还形成了行解码器 522-1, 522-2, ..., 522- q 。全局位线(B/L) 550-1-550- p 在 q 个子阵列 510a-510- q 上方行进。例如,全局位线(B/L) 550-1-550- p 是在与字线和位线的导电层不同的导电(金属)层中实现的。全局位线连接局部列选择器和如图 25A 中所示的与每个子阵列一起使用的全局列选择器。类似于图 13A 中所示的三维堆叠存储装置体系结构 400,行解码器 522-1, 522-2, ..., 522- q 、局部列选择器 524-1, 524-2, ..., 524- q 、全局列选择器 572、写入驱动器 574 和读出放大器 576 全部都形成在同一个半导体层上。它们中的一部分可以形成在不同的层上。

[0155] 在一种实施方式中,所有的行解码器 522-1-522- q 都相邻地形成在同一个层上。有利地,行解码器的这种排布方式使得布局密度最佳,因为每个行解码器都具有类似的高度。在一种实施方式中,所有的局部列选择器 524-1, 524-2, ..., 524- q 都并列地形成在同一层上。有利地,局部列选择器的这种排布方式使得布局密度最佳,因为各个局部列选择器都具有类似的高度。

[0156] 响应于这些信号,外围电路控制三维 PCM 体系结构的存储装置的操作。存储控制电路(未示出)提供用于指定或选择按照本发明实施方式的三维 PCM 体系结构中的特定 PCM 单元的识别信号。

[0157] 在上面提到的这些实施方式和示例的存储单元中,实现的是如图 5 中所示的基于二极管的 PCM 单元。二极管是双端子开关元件。也可以实现图 6 中所示的基于 FET 的 PCM 单元和图 7 中所示的基于双极晶体管的 PCM 单元这样的 PCM 单元。诸如基于 FET 和双极的 PCM 单元这样的实施形式需要将垂直的 P-N 二极管替换为图 9A 中所示的阳极 186 和阴极 188,以形成双极晶体管的射极、基极以及 P 沟道 FET 的漏极、栅极,双极晶体管的集电极和 FET 的源极是接地的。因为双极晶体管和 FET 是三端子开关元件,所以控制基于双极和 FET 的 PCM 单元的电路结构可以不同于控制基于二极管的 PCM 单元的电路结构。

[0158] 图 26A 和 26B 示出了按照本发明实施方式的适合于存储装置的 PCM 单元阵列的其它例子。图 26A 中所示的存储单元阵列包括多个 PCM 单元,其中该 PCM 单元包括作为开关元件的 FET。图 26B 中所示的存储单元阵列包括多个 PCM 单元,其中该 PCM 单元包括作为开关元件的双极晶体管。

[0159] 按照本发明的实施方式,给出了一种三维相变存储装置;用于具有共享控制电路的三维多层堆叠存储单元阵列的相变存储装置体系结构,用于具有三维多层堆叠存储单元阵列的相变存储装置的设计技术。在这些实施方式中,使用了特定的电路、装置和元件作为例子。可以进行各种不同的改变。例如,可以改变装置的极性和电压,并且可以使用具有相反极性的双极晶体管和 FET。

[0160] 在前面介绍的实施方式中,为了简便起见,装置元件和电路是如图中所示那样连接起来的。在本发明的实际应用中,元件、电路等可以是彼此直接连接的。元件、电路等也可以通过装置和设备的操作所需的其它元件、电路等彼此间接连接。因此,在实际的构造中,

电路元件和电路是直接或间接地彼此耦合或者彼此连接。

[0161] 前面介绍的本发明的实施方式仅仅用来举例。在不脱离由所附权利要求单独定义的本发明的范围的前提下,本领域技术人员可以对特定的实施方式进行变更、改变和变动。

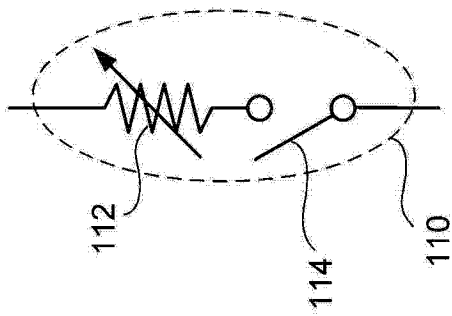


图 1

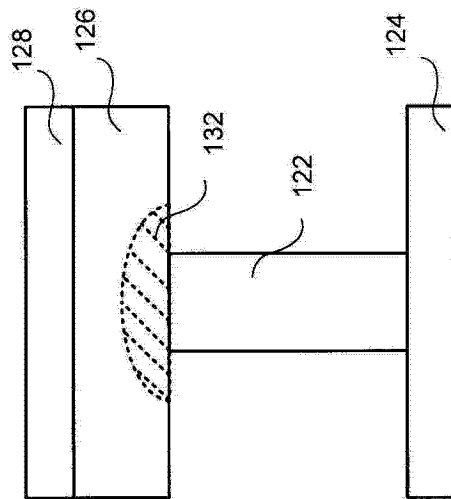


图 2

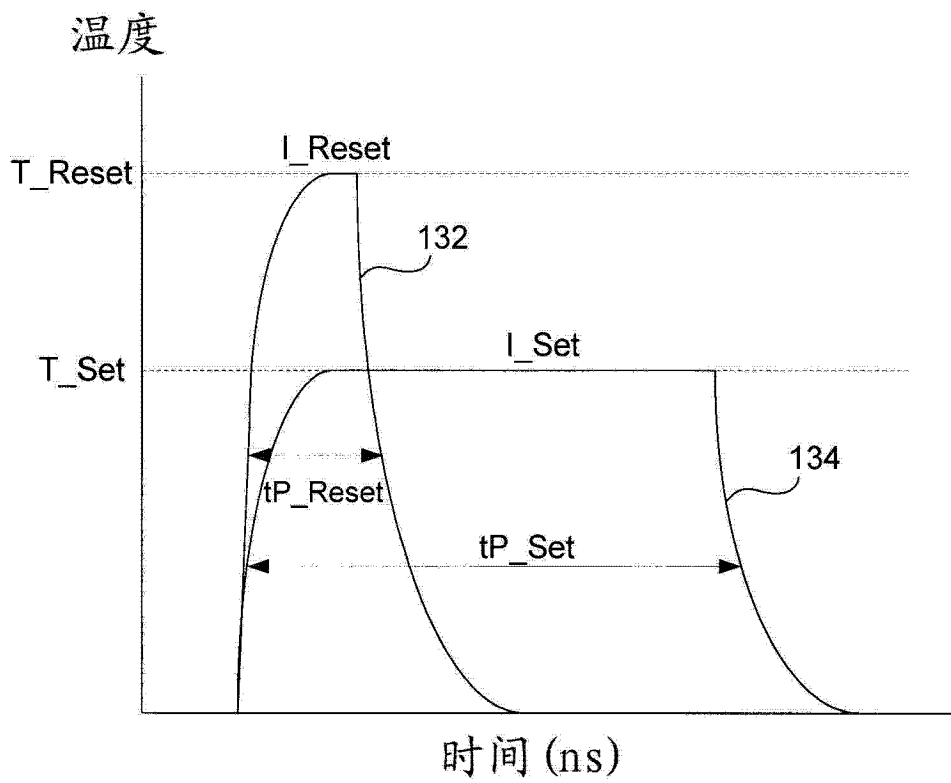


图 3

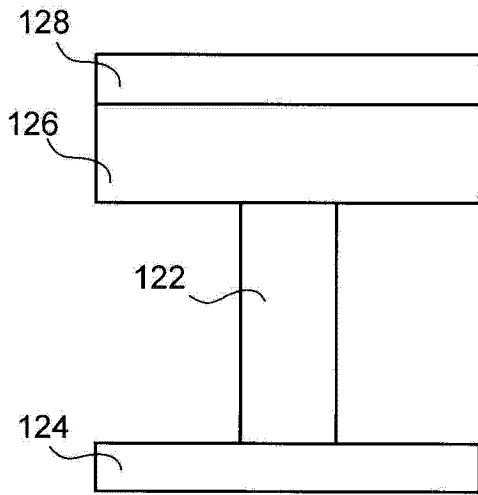


图 4A

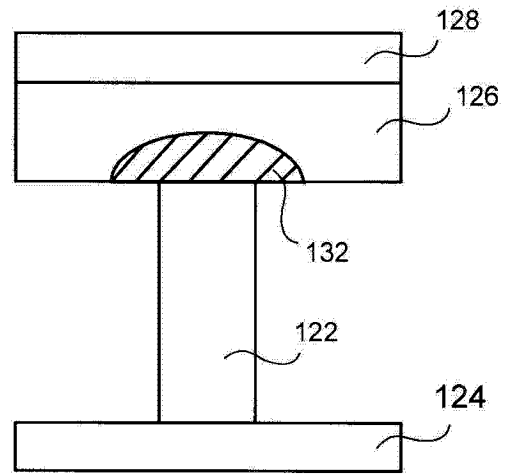


图 4B

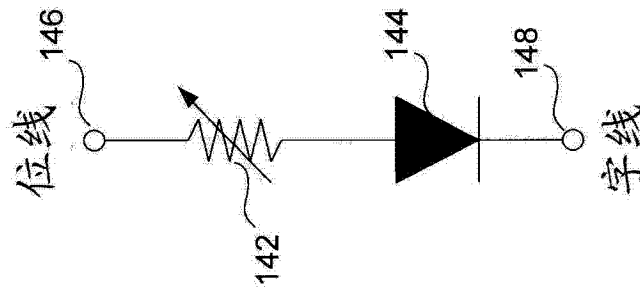


图 5

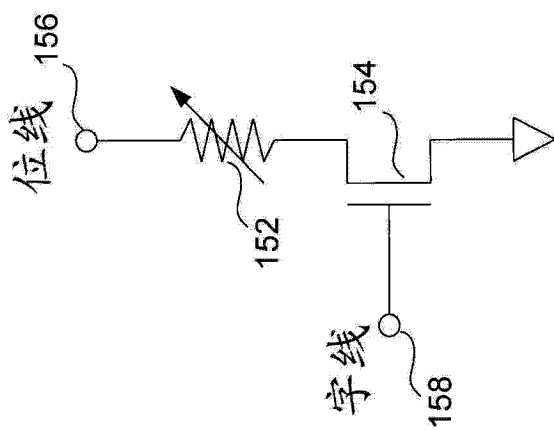


图 6

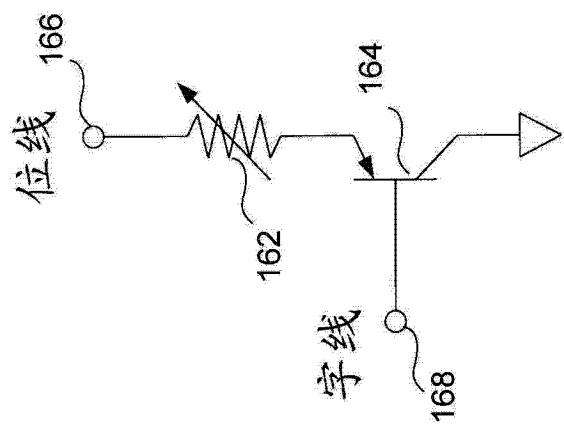


图 7

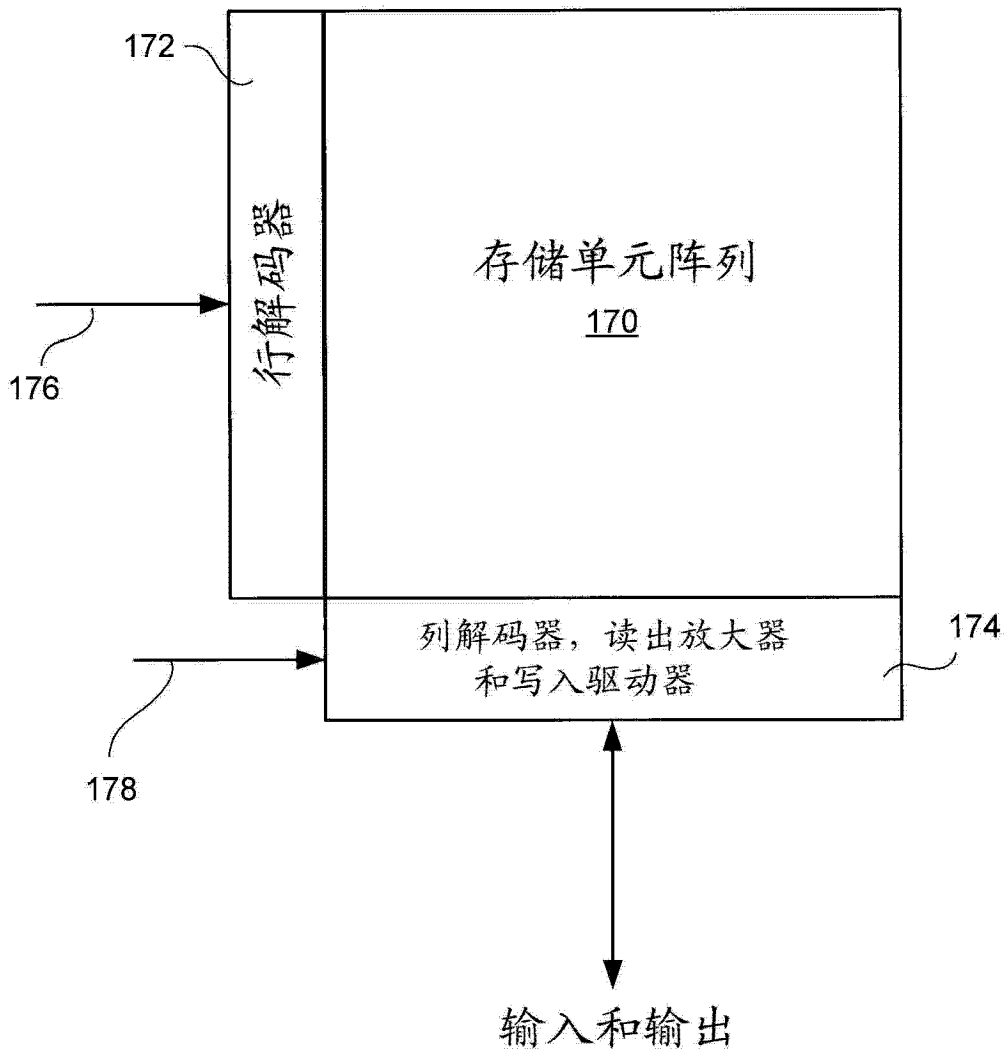


图 8

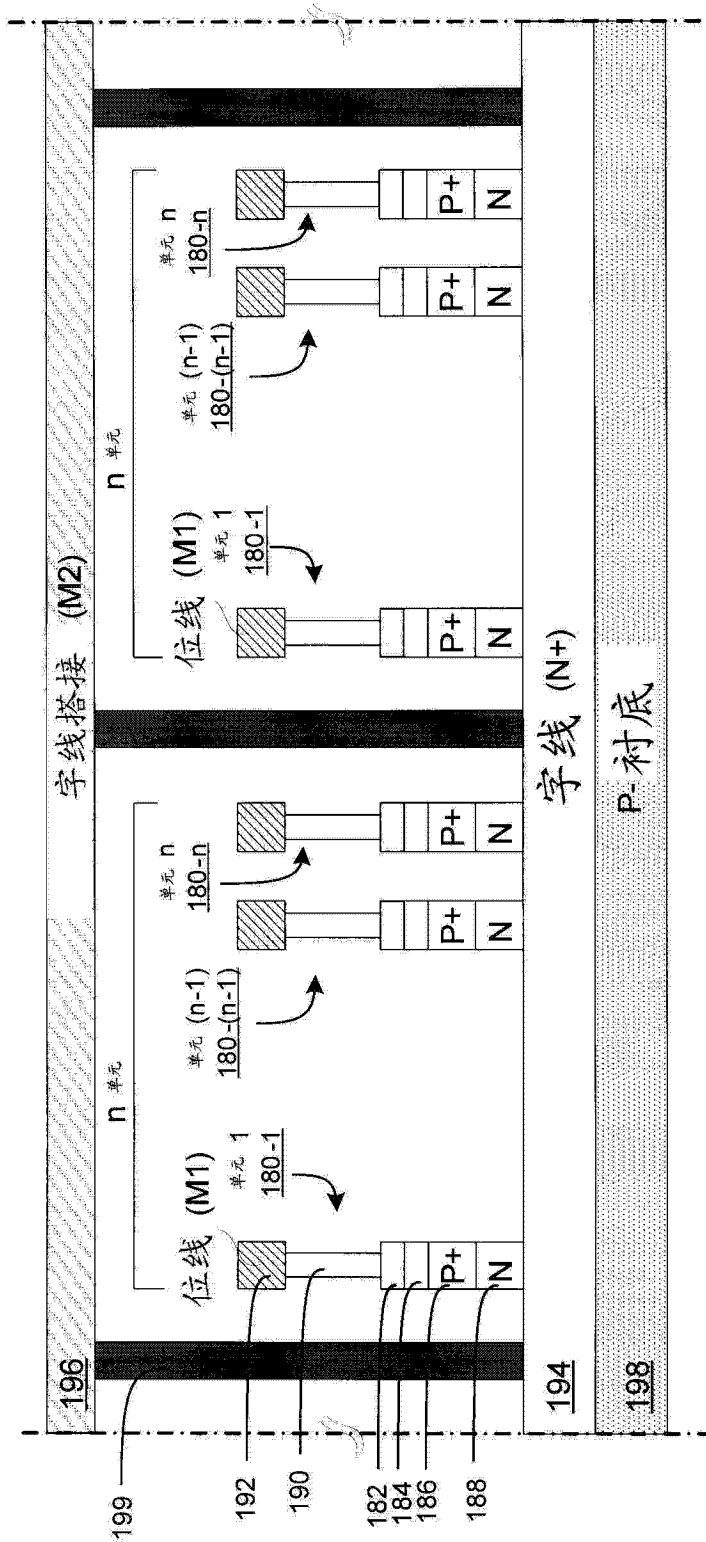


图 9A

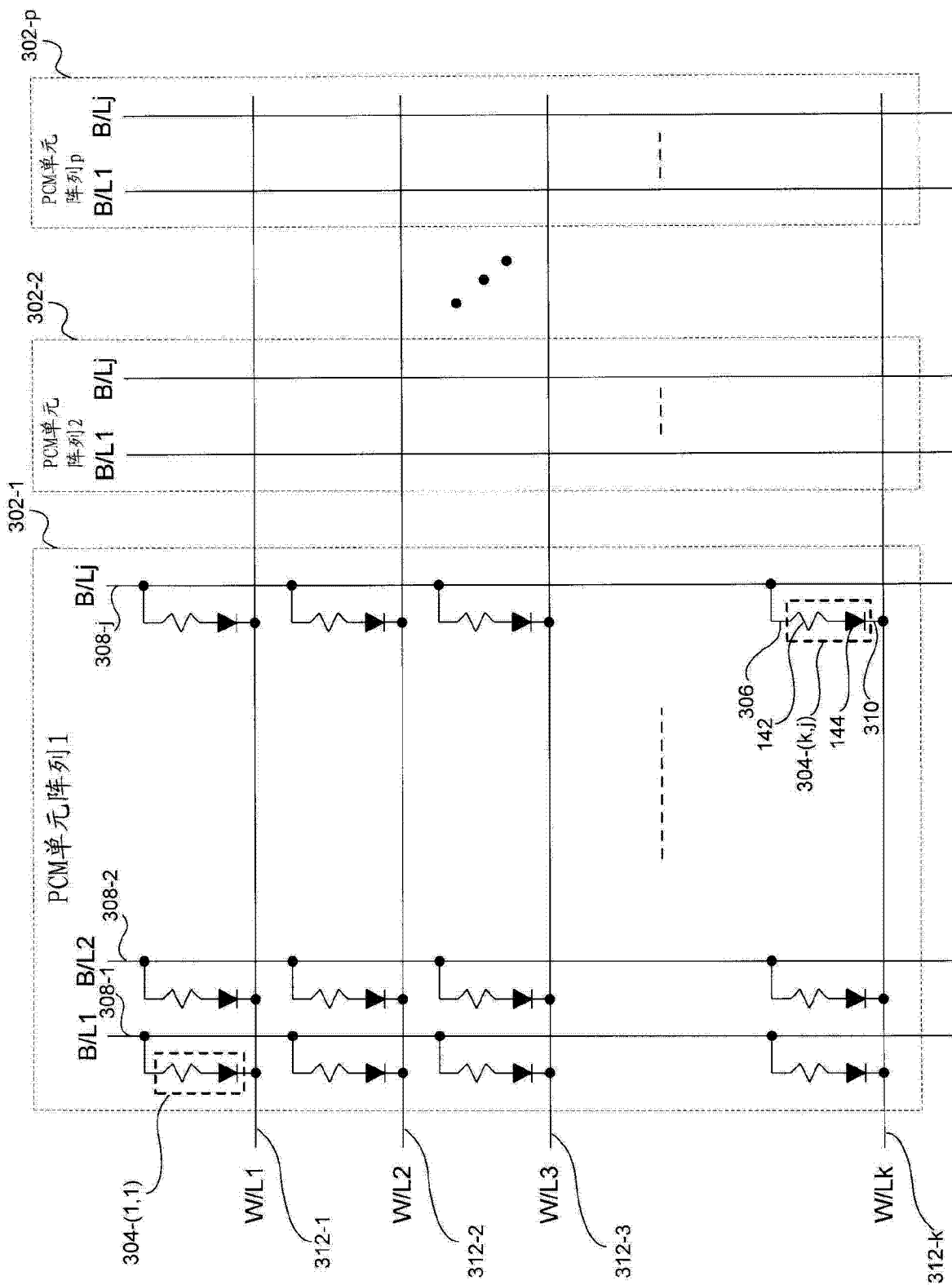


图 10

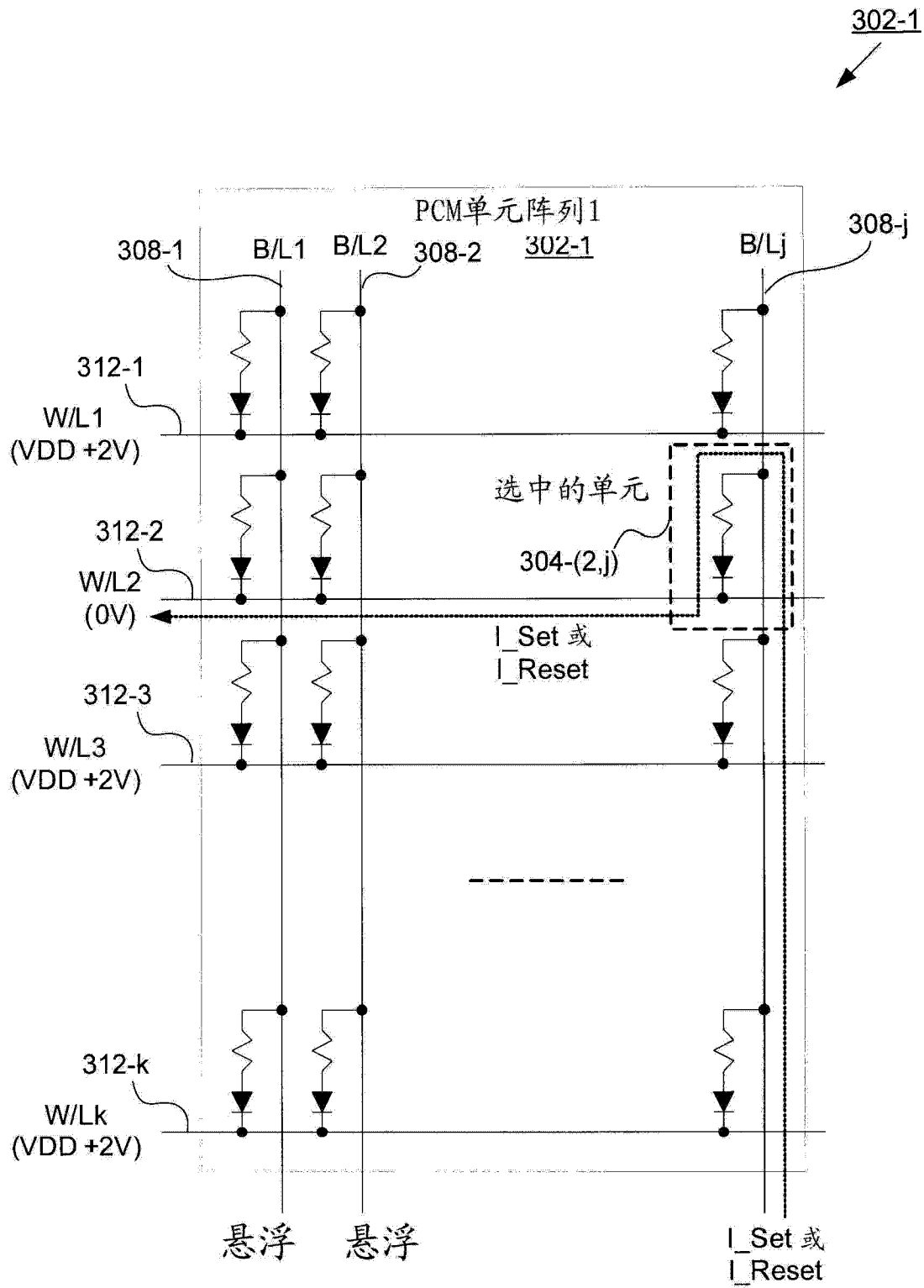


图 11

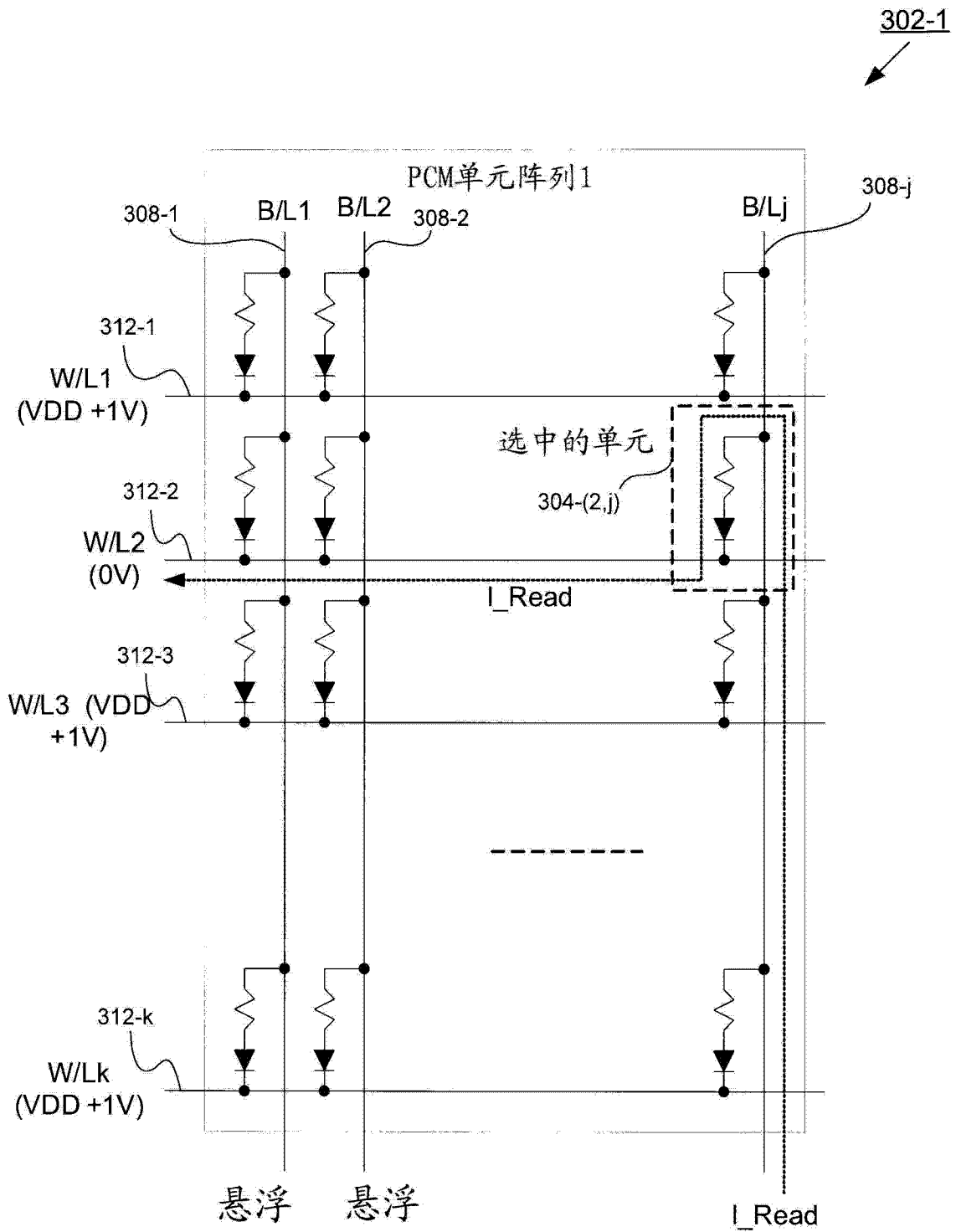


图 12

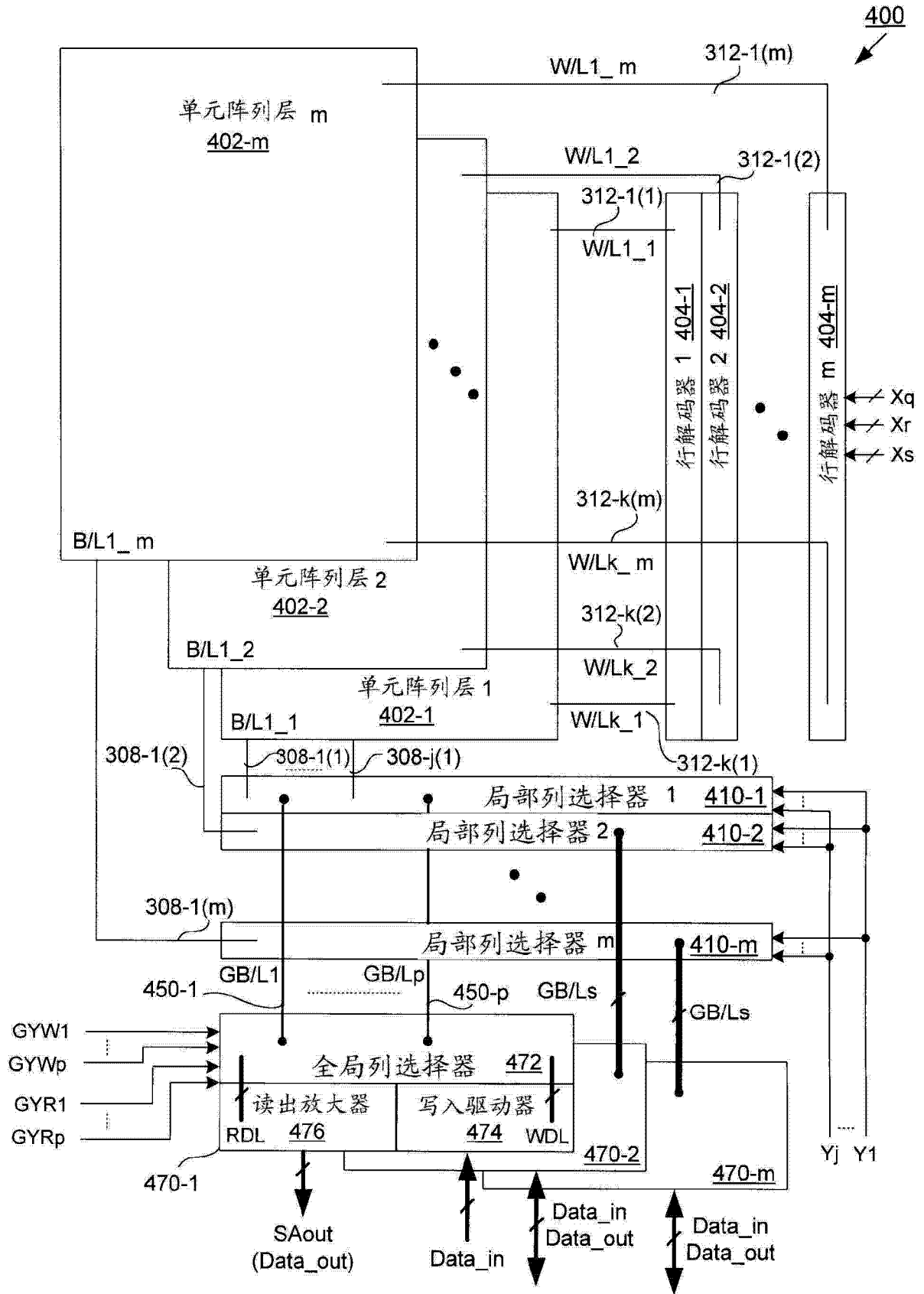


图 13A

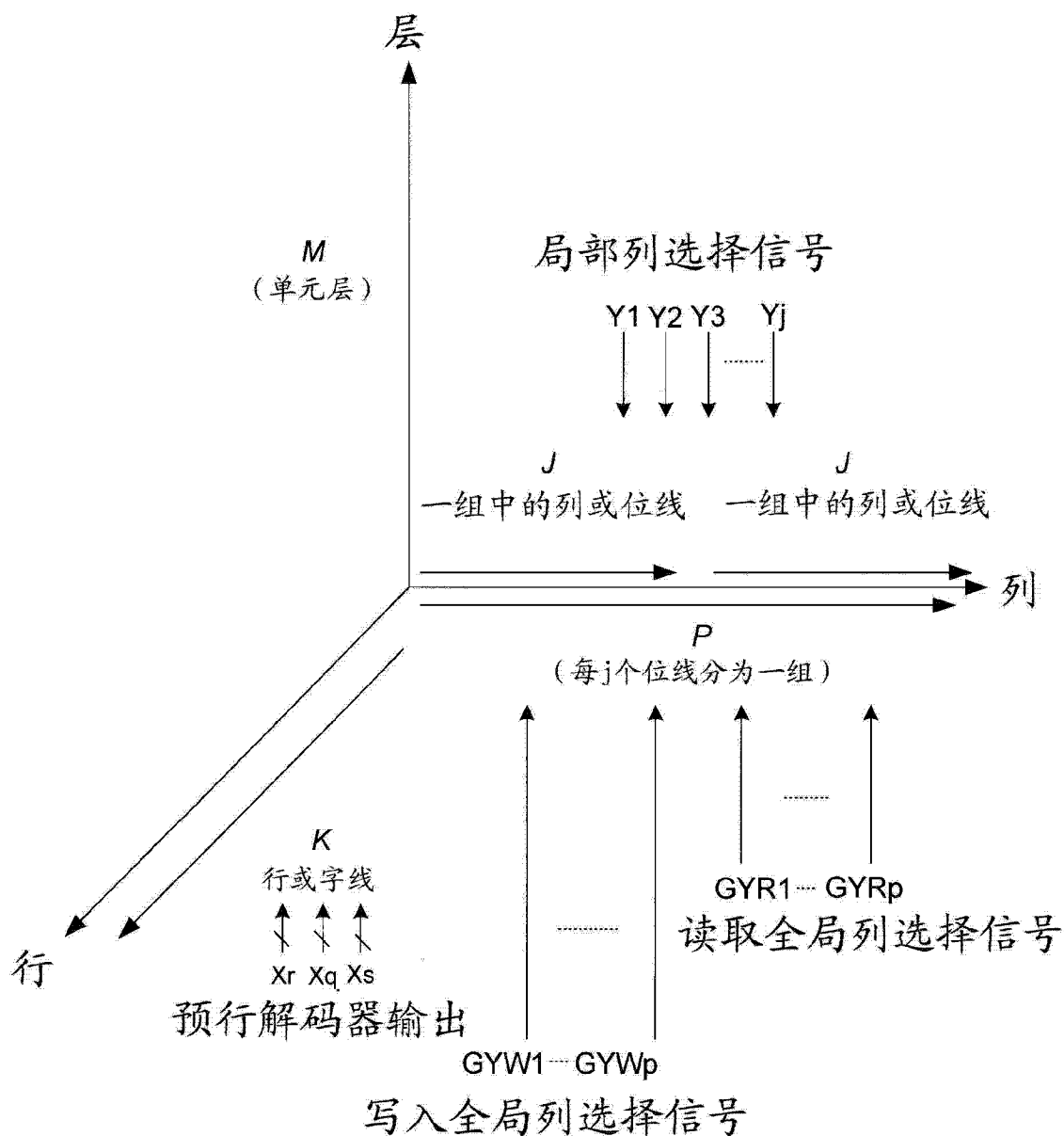


图 13B

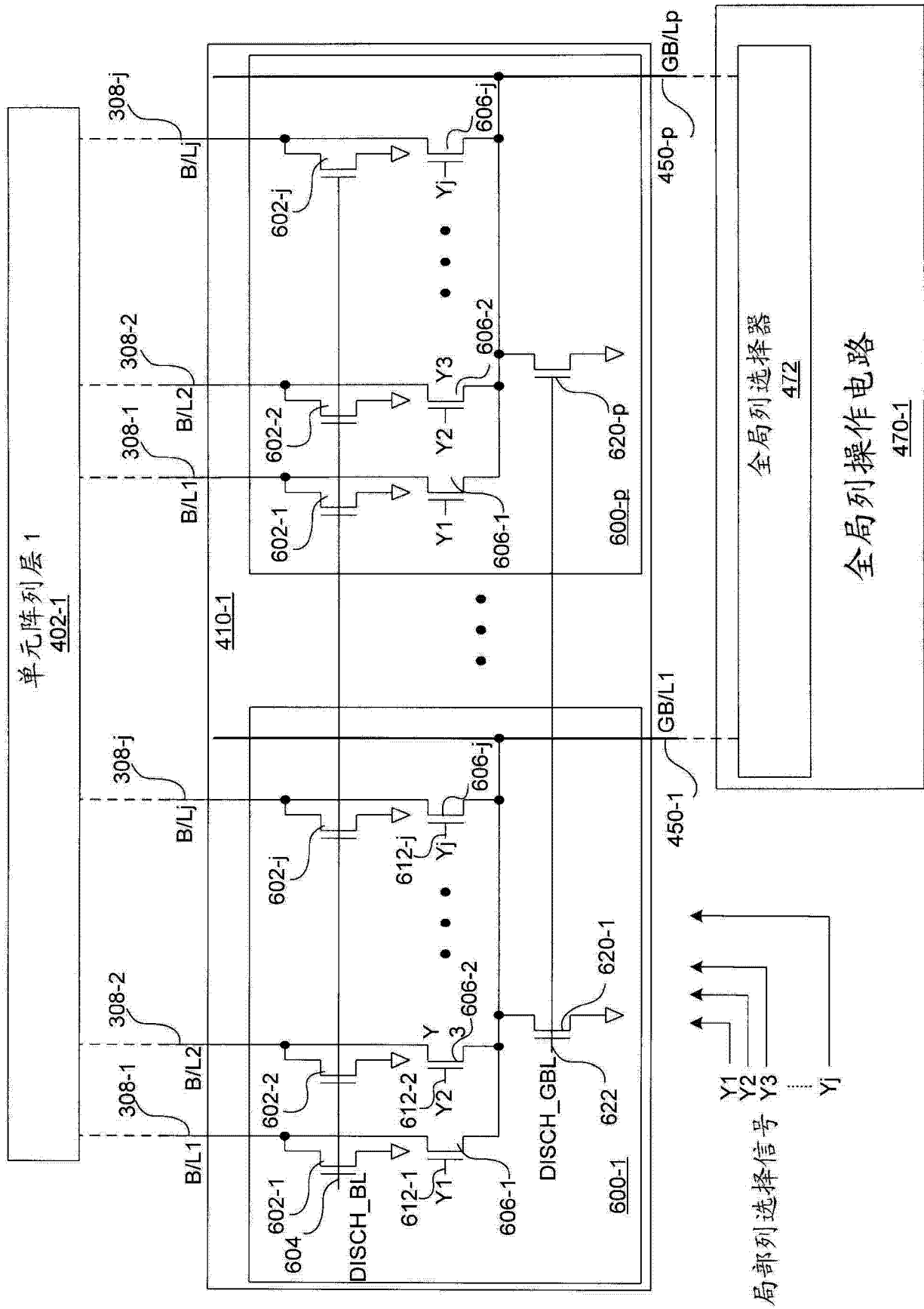


图 14

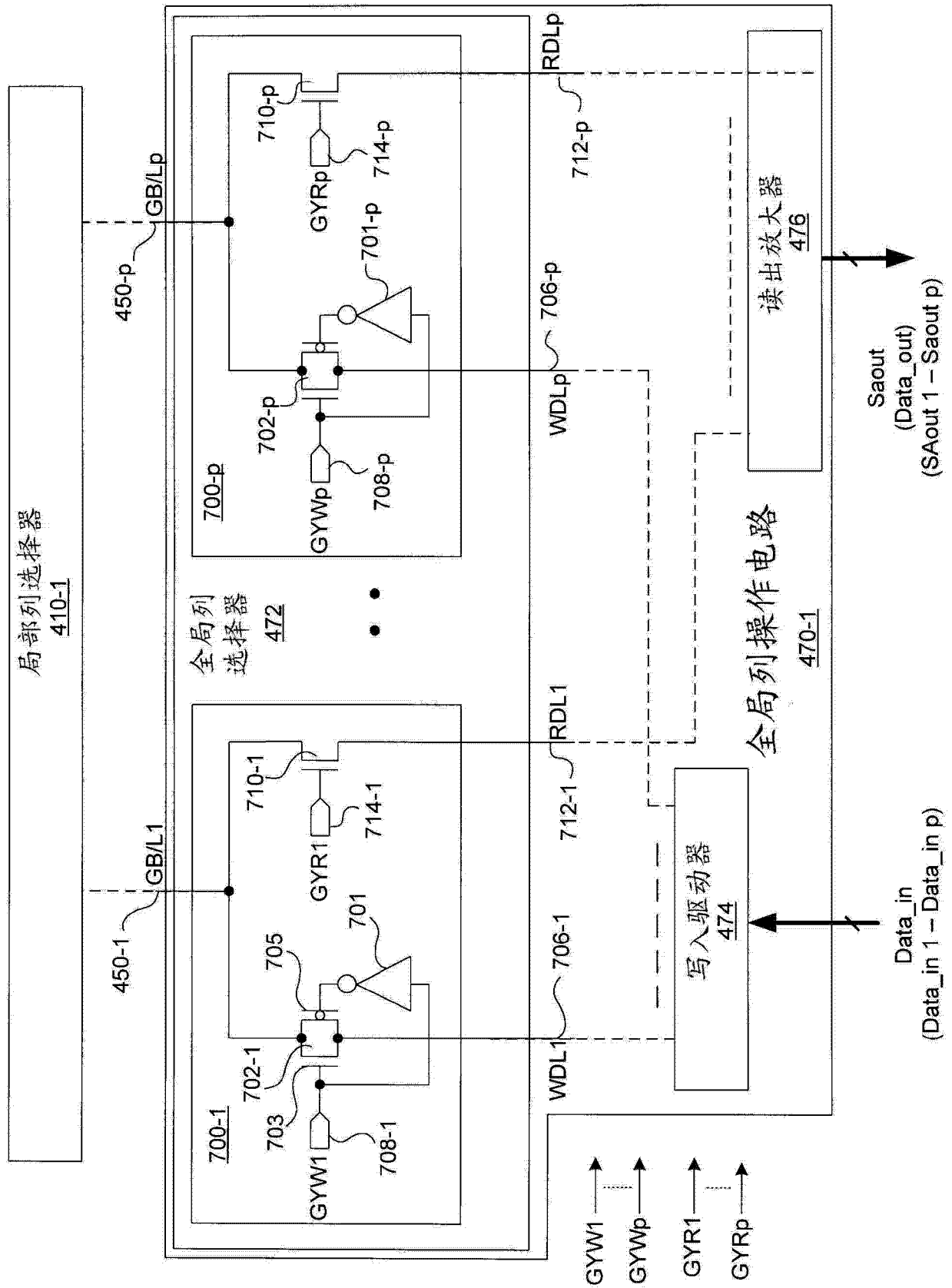


图 15

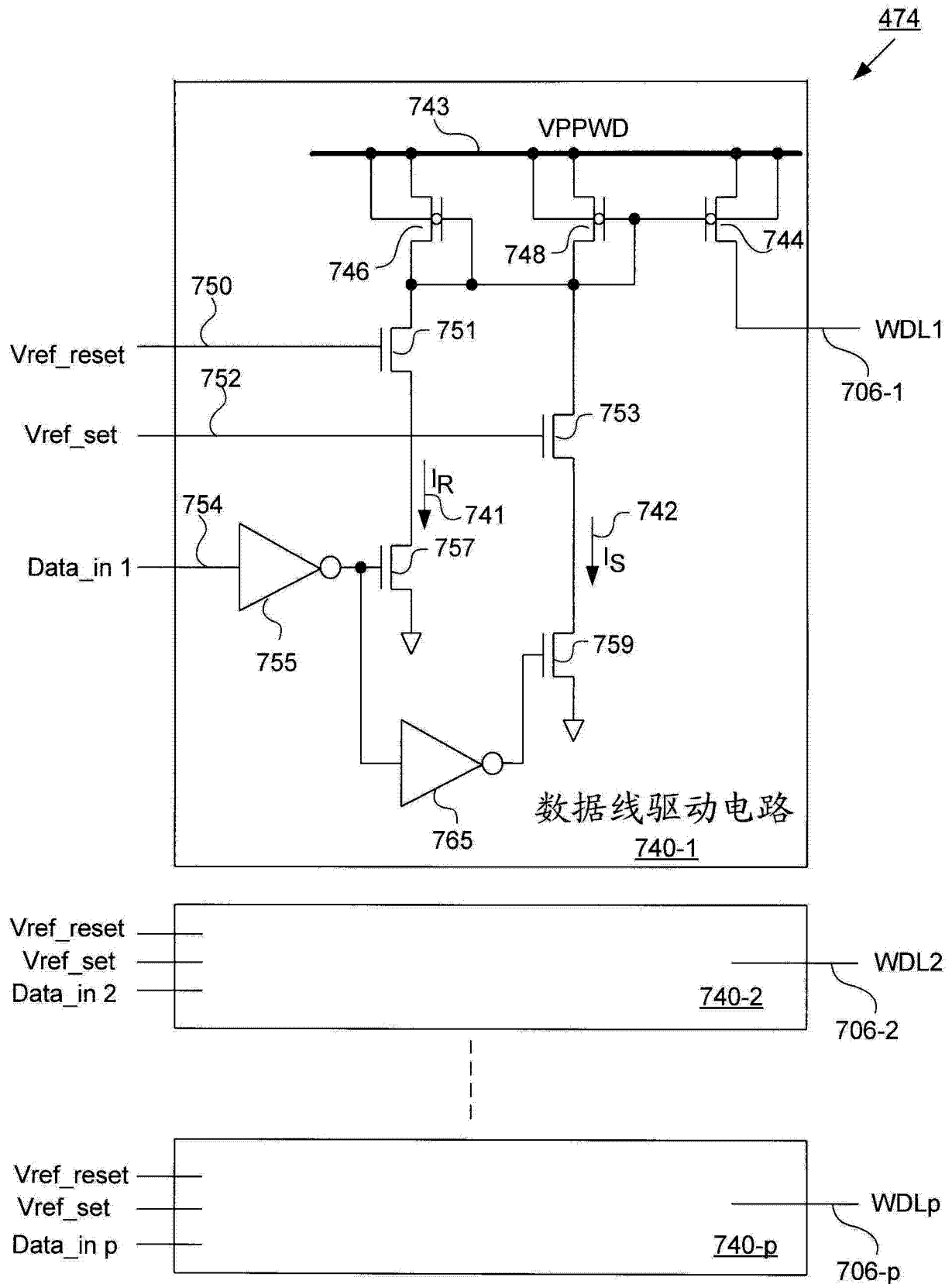


图 16

476 ↙

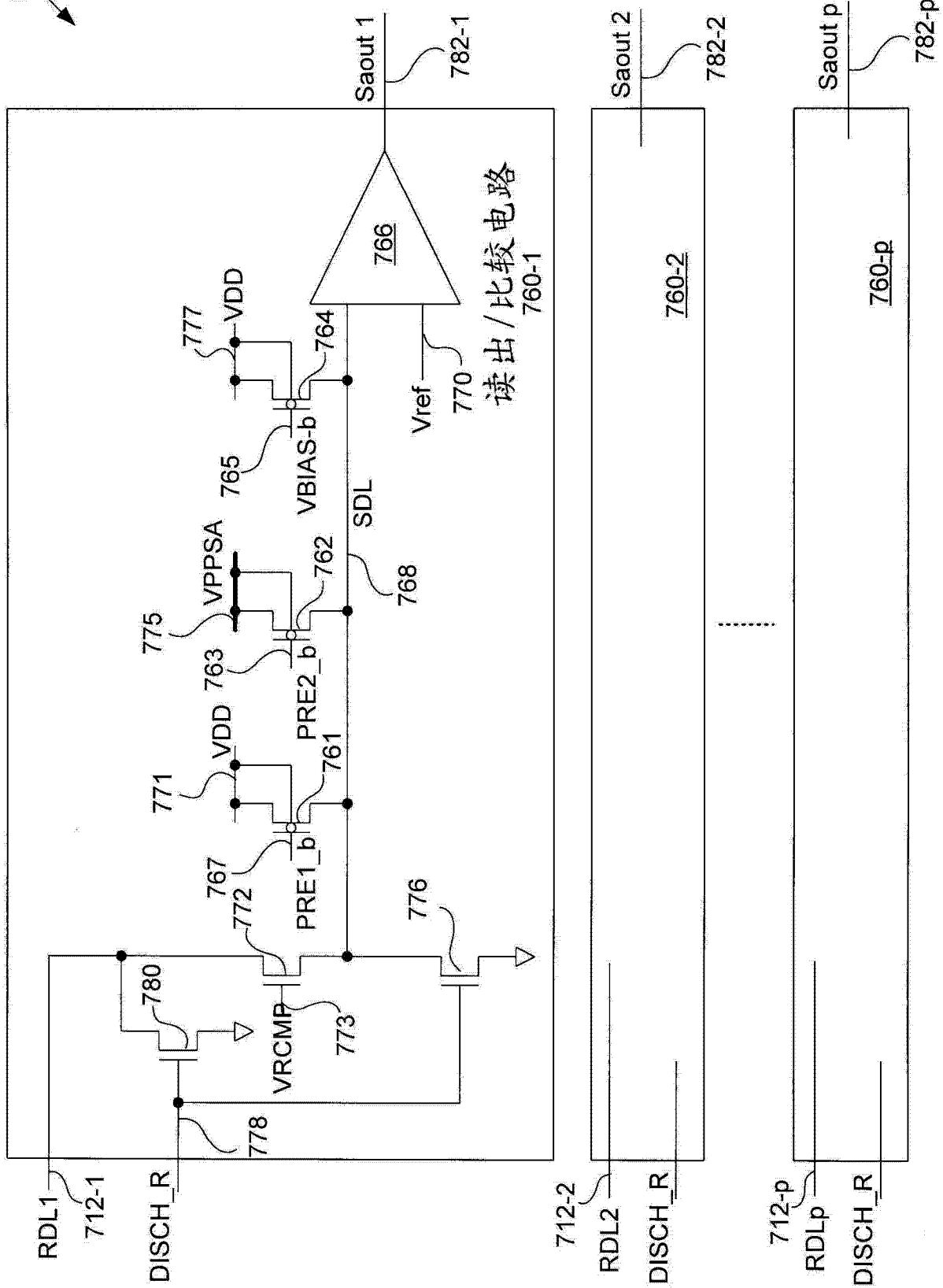


图 17

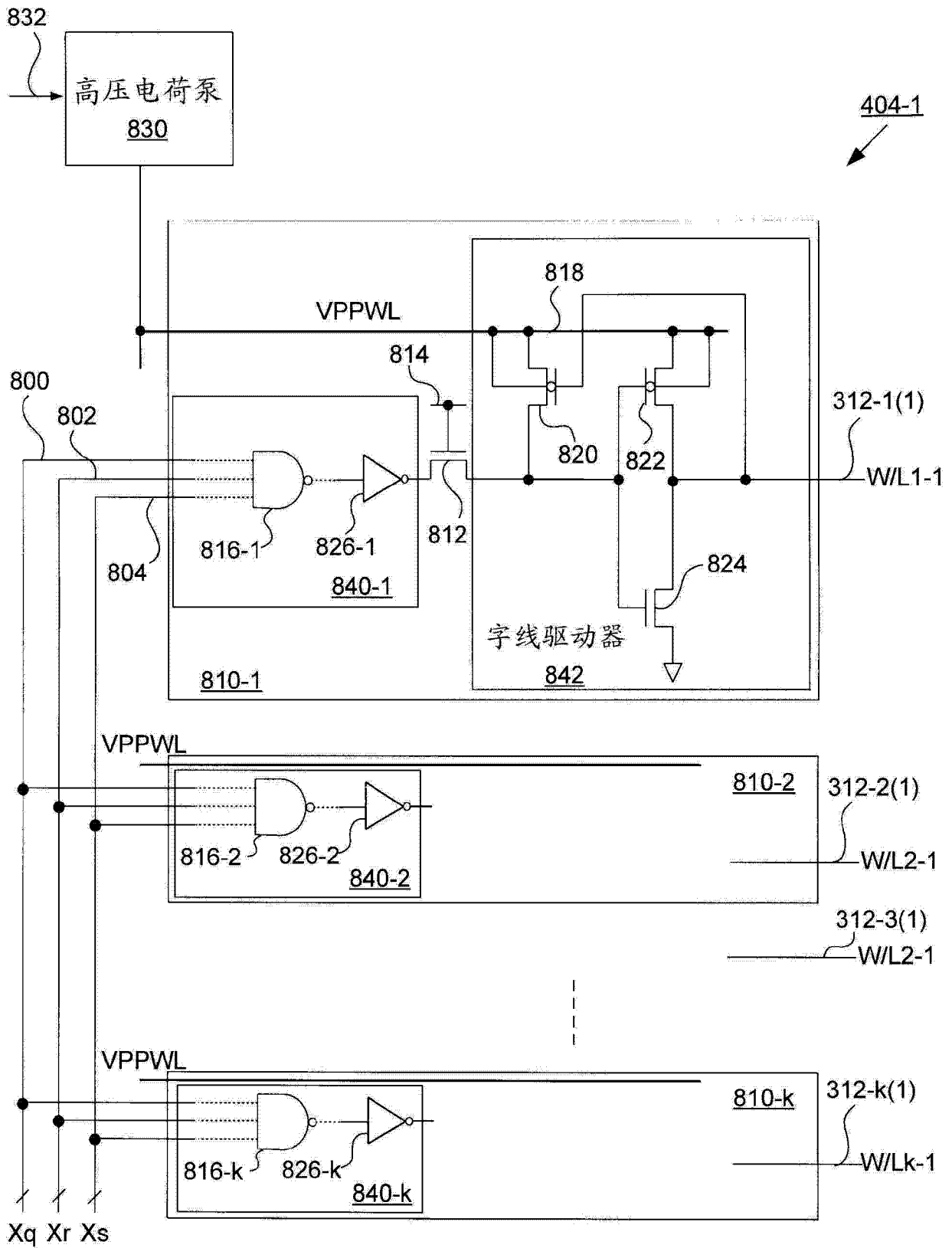


图 18

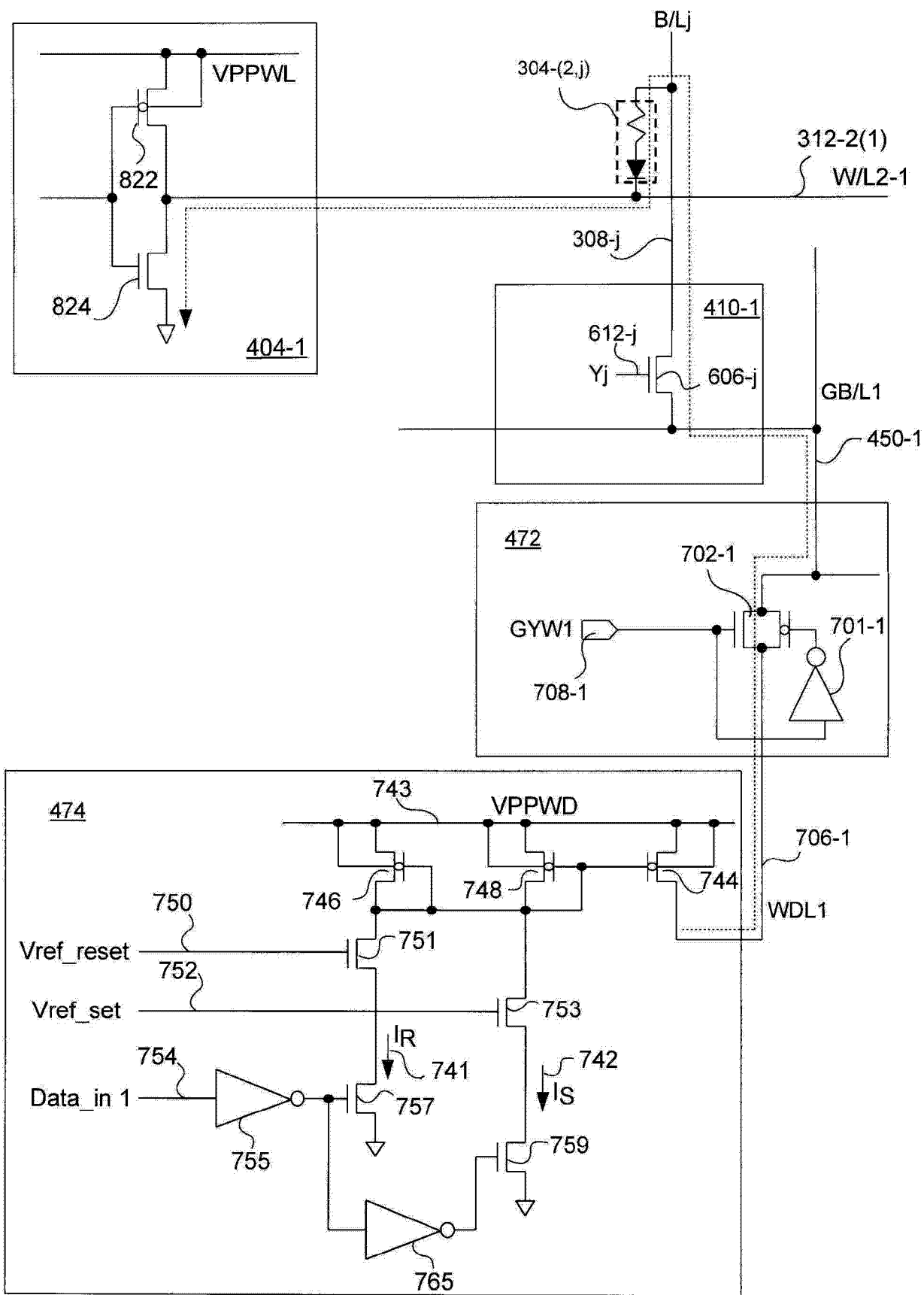


图 19A

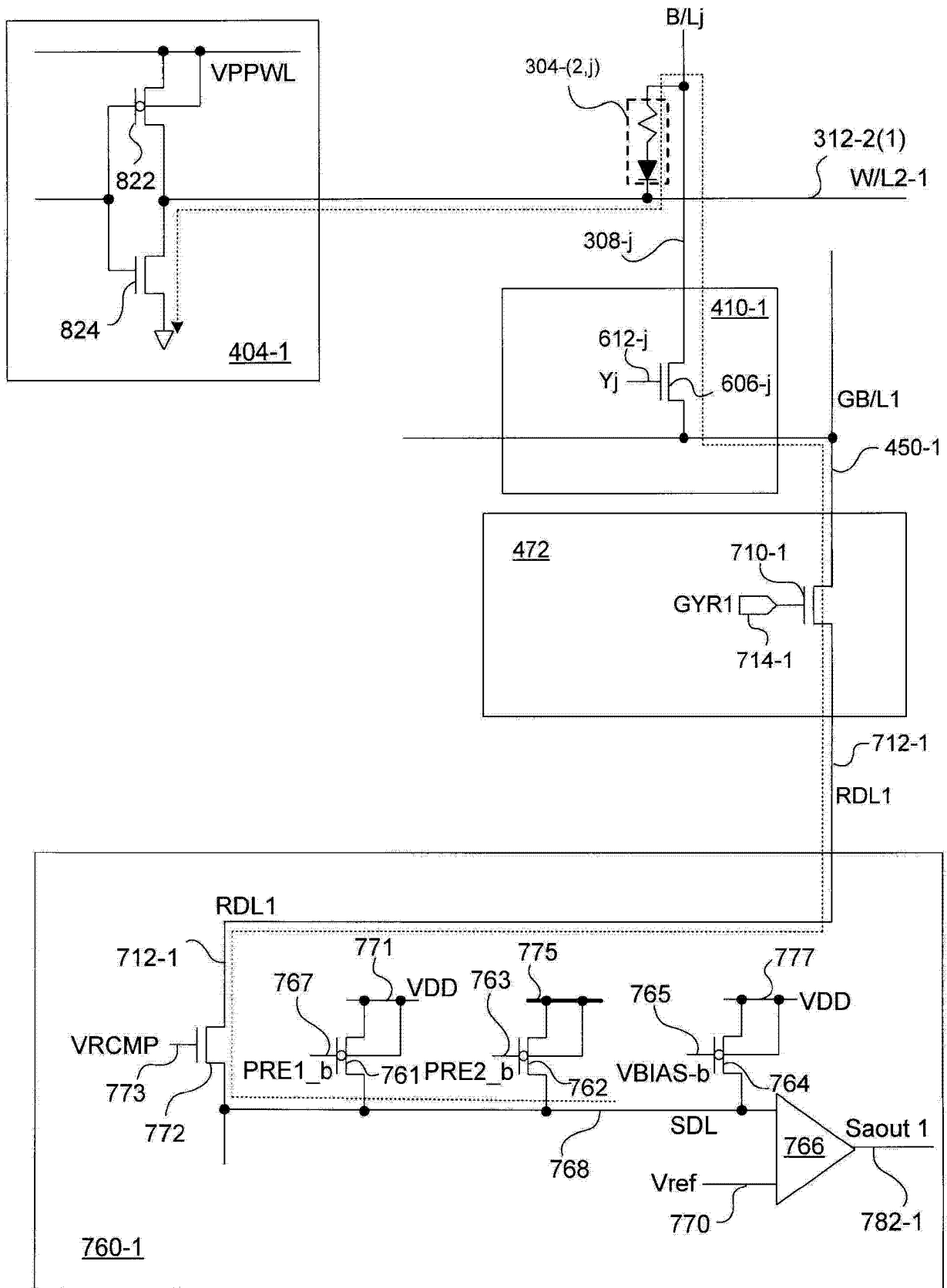


图 19B

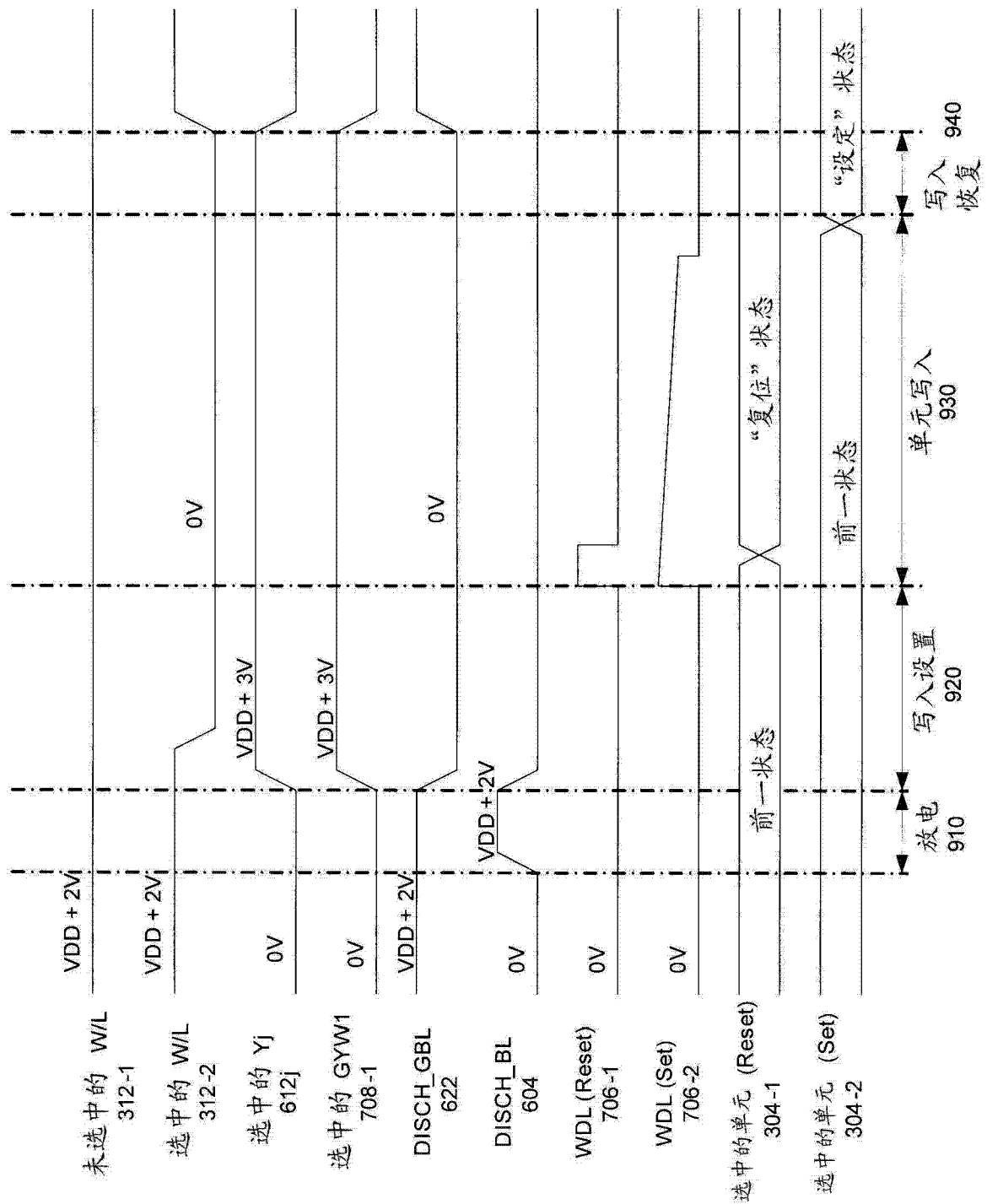


图 20A

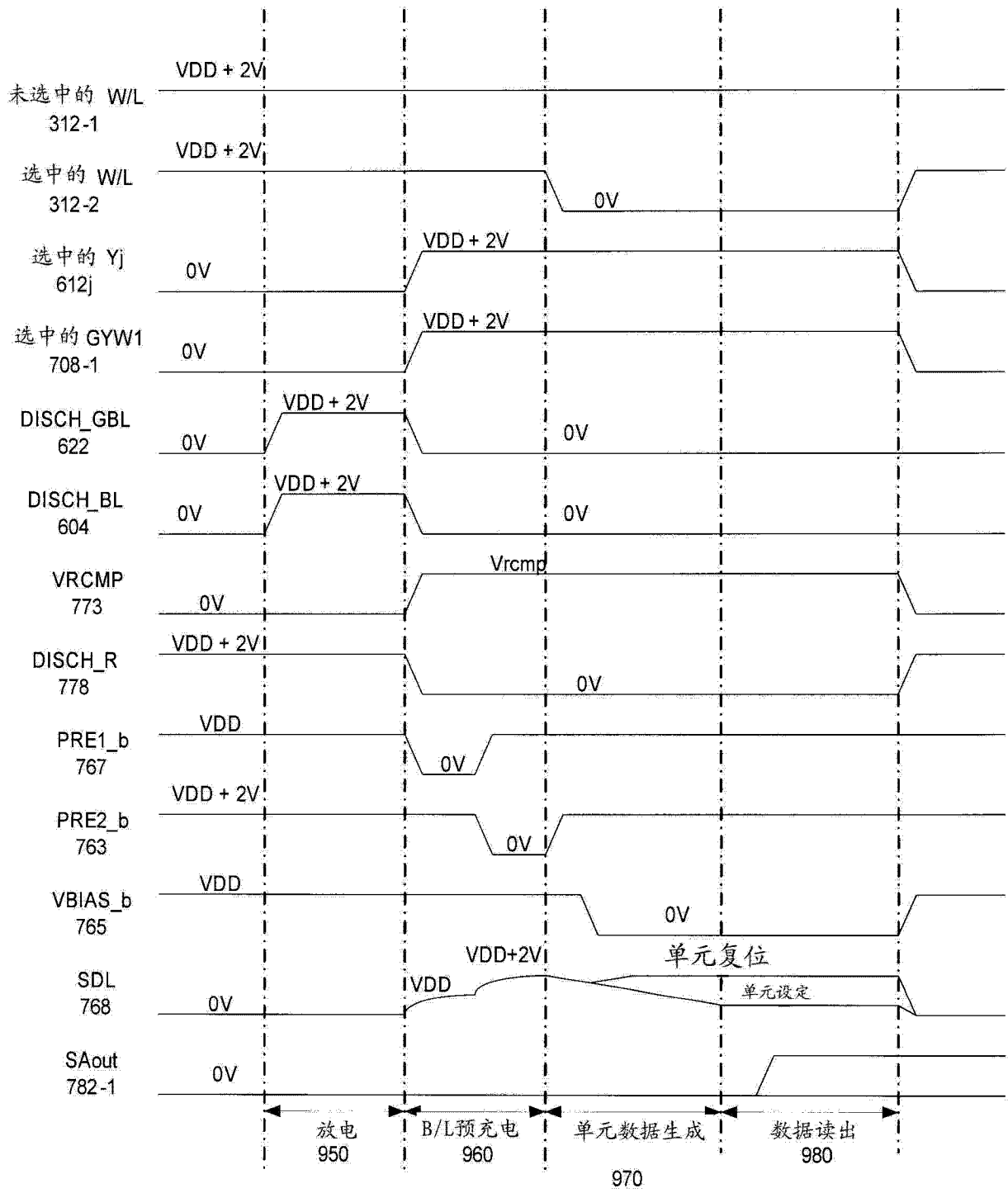


图 20B

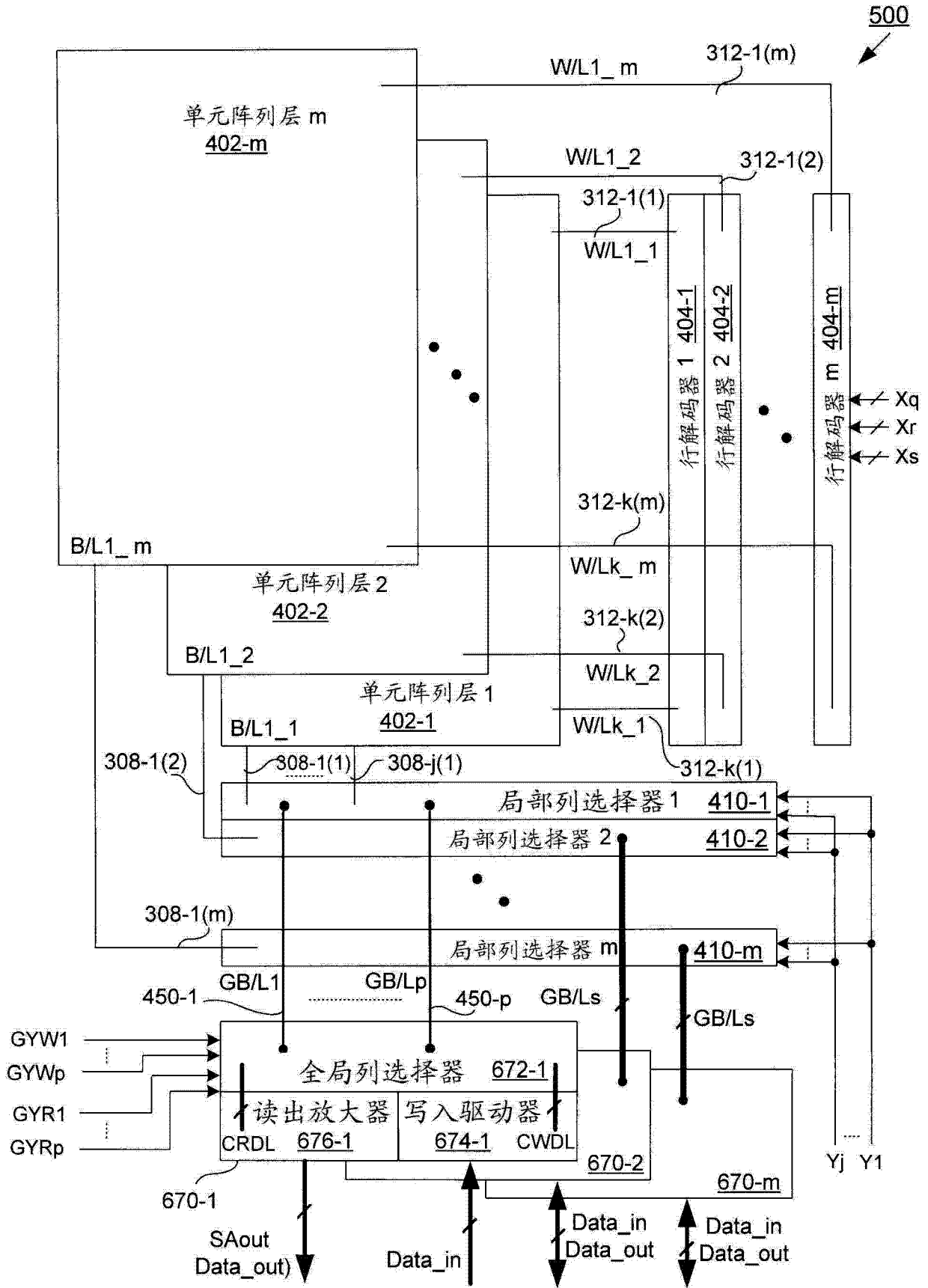


图 21

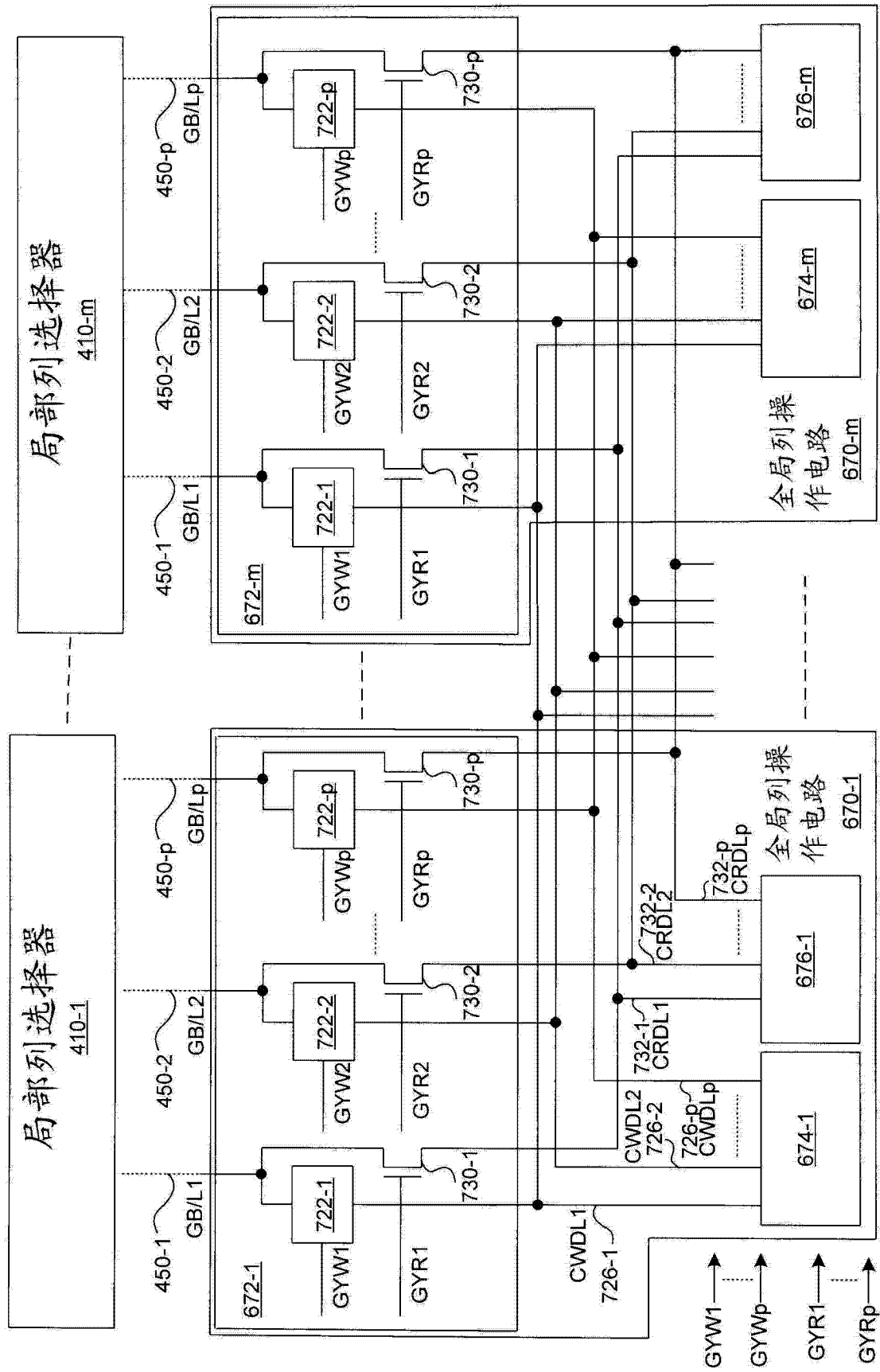


图 22

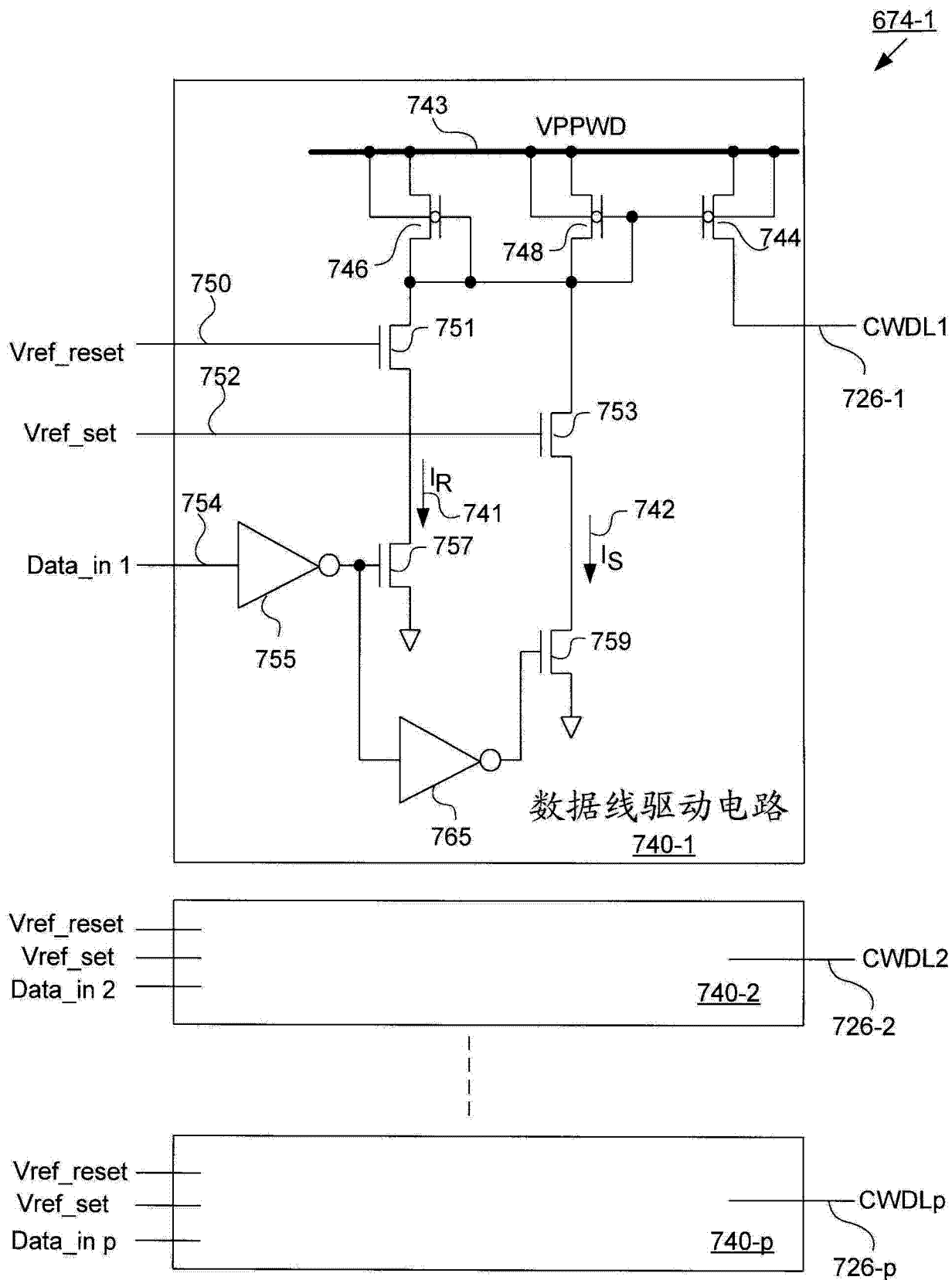


图 23

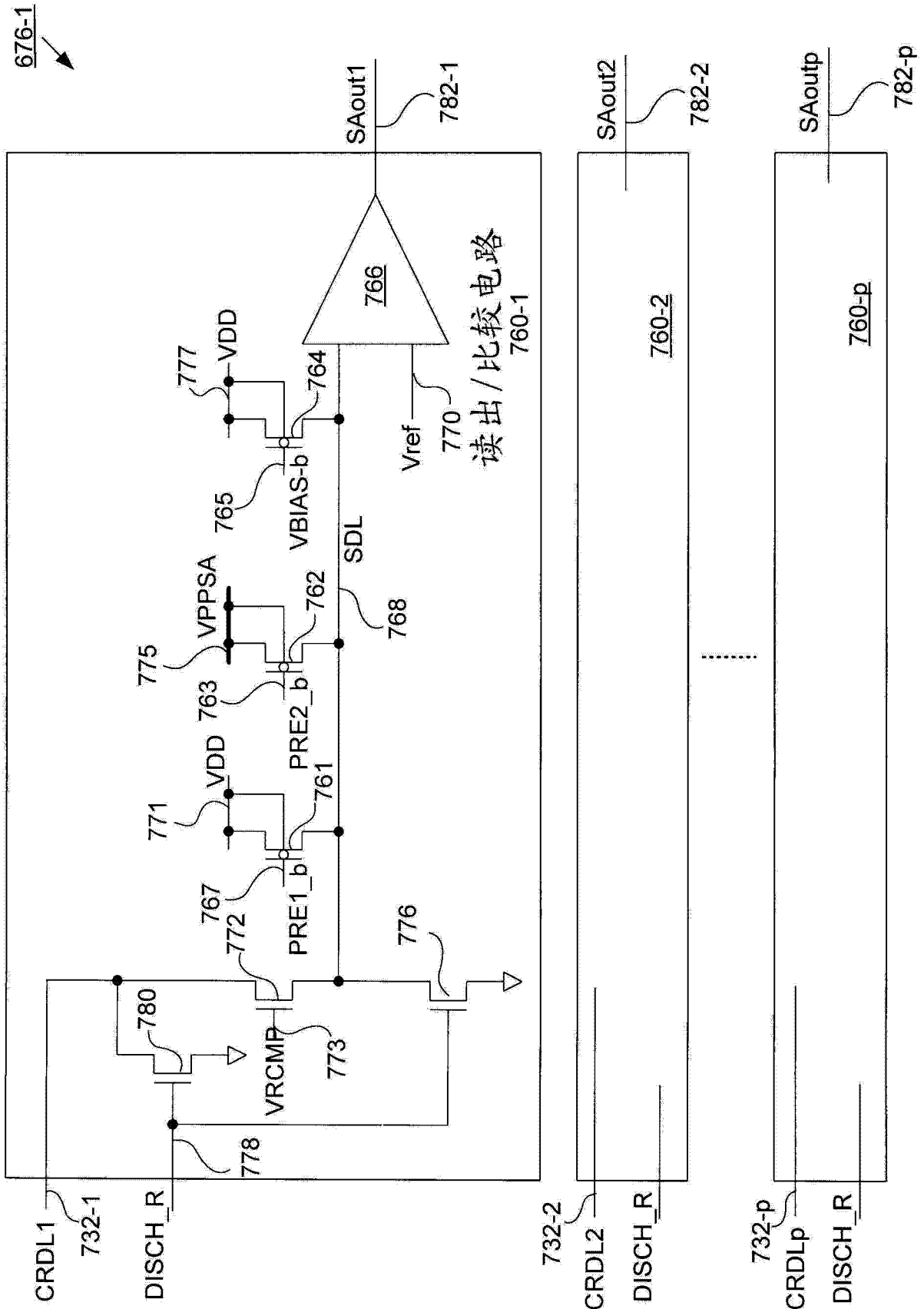


图 24

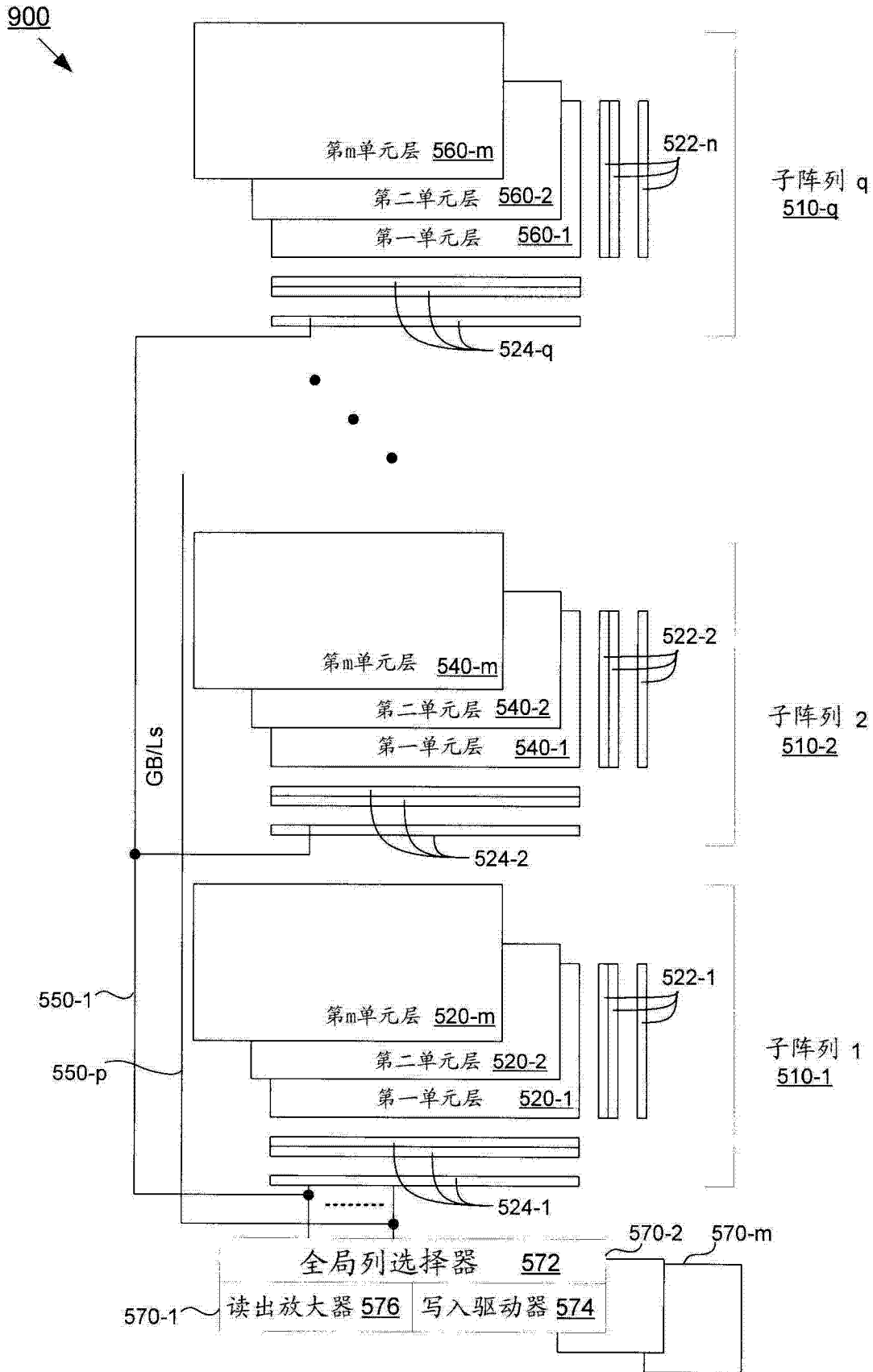


图 25A

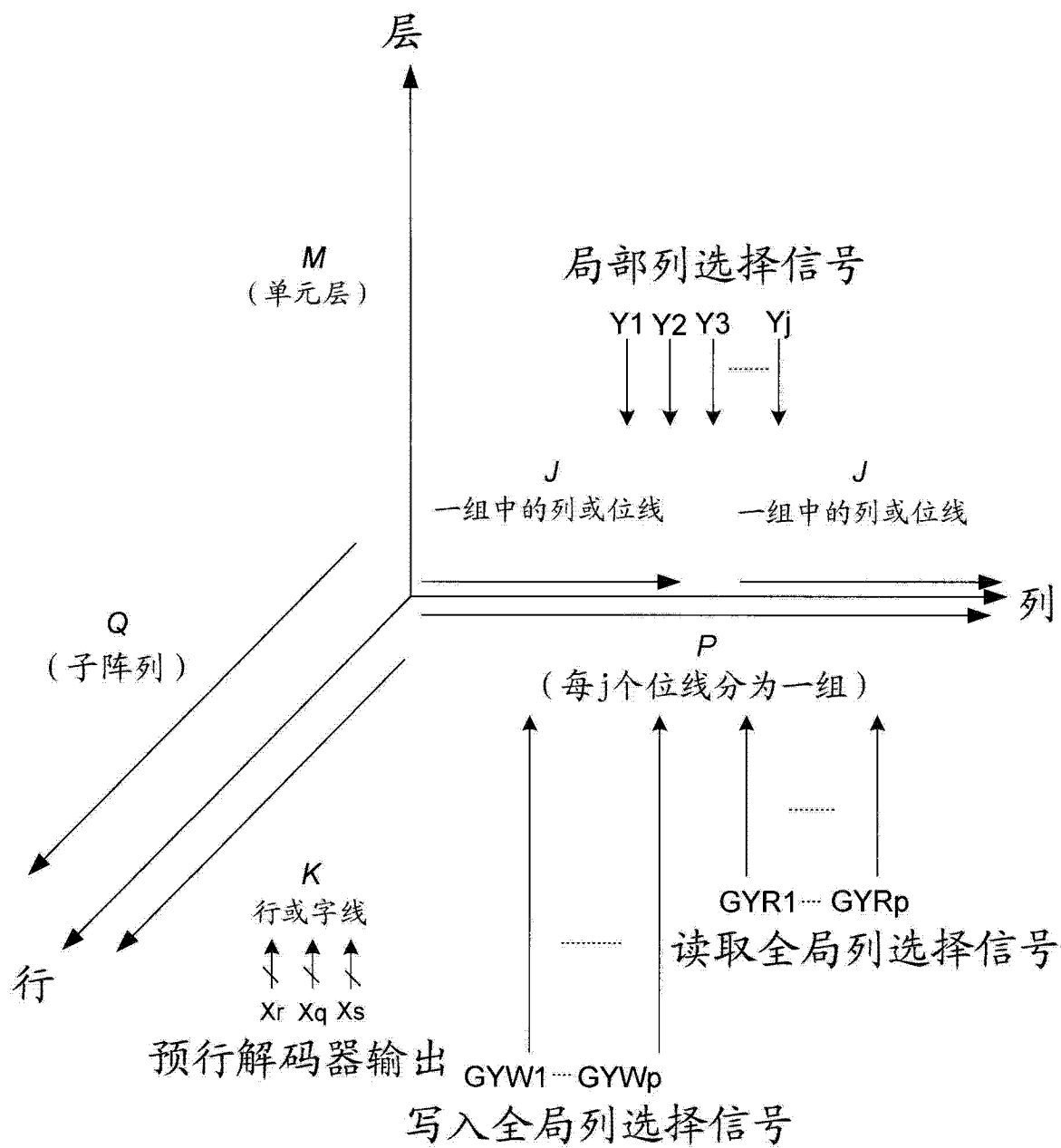


图 25B

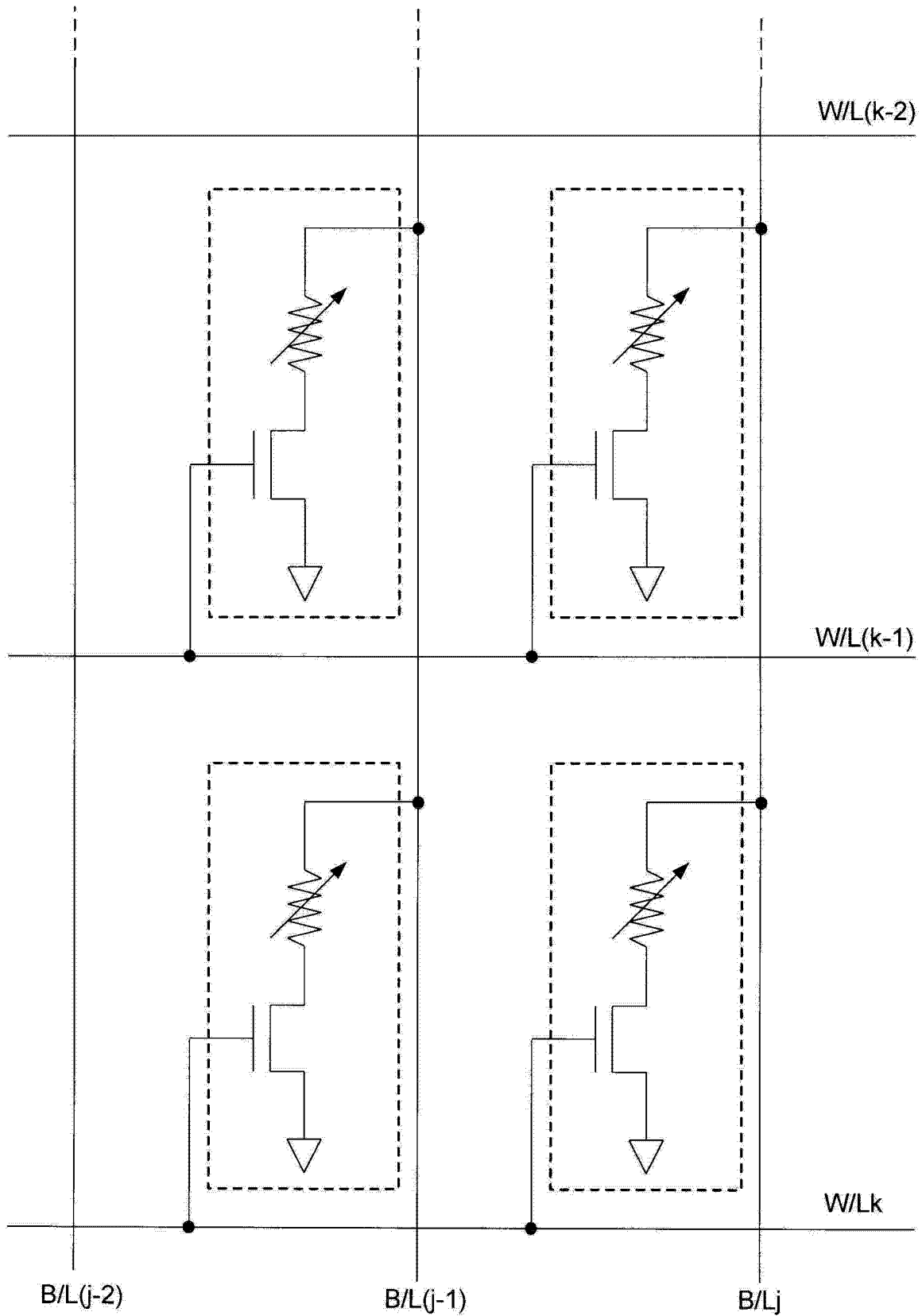


图 26A

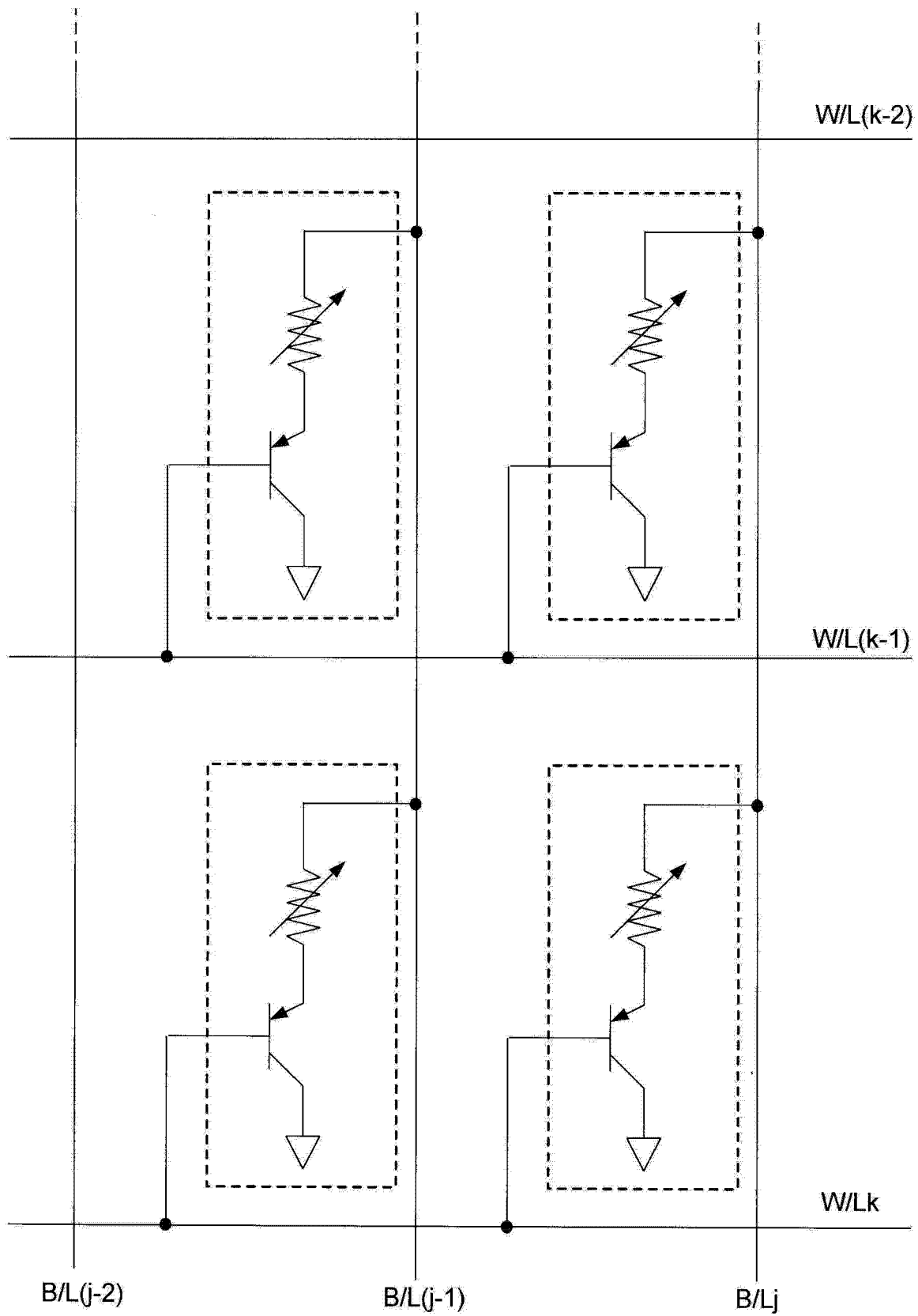


图 26B