

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4022470号
(P4022470)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月5日(2007.10.5)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 A
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 J
HO 1 L 29/423 (2006.01)	HO 1 L 29/58 G
HO 1 L 29/49 (2006.01)	HO 1 L 21/288 E
HO 1 L 21/288 (2006.01)	C 2 5 D 7/12

請求項の数 13 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2002-566560 (P2002-566560)	(73) 特許権者 592073101 日本アイ・ビー・エム株式会社 東京都港区六本木3丁目2番12号
(86) (22) 出願日 平成13年12月18日(2001.12.18)	
(86) 国際出願番号 PCT/JP2001/011110	(74) 代理人 100086243 弁理士 坂口 博
(87) 国際公開番号 W02002/067335	(74) 代理人 100091568 弁理士 市位 嘉宏
(87) 国際公開日 平成14年8月29日(2002.8.29)	(74) 代理人 100108501 弁理士 上野 剛史
審査請求日 平成15年7月9日(2003.7.9)	(72) 発明者 鈴木 浩 神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業 所内
(31) 優先権主張番号 特願2001-42081 (P2001-42081)	
(32) 優先日 平成13年2月19日(2001.2.19)	
(33) 優先権主張国 日本国(JP)	

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ構造の製造方法、およびディスプレイ・デバイス

(57) 【特許請求の範囲】

【請求項1】

下記工程を含む、ボトムゲート型薄膜トランジスタの製造方法

- (1) 絶縁性の基板を用意する工程、
- (2) 前記基板表面上にPdを析出させて、触媒層を形成する工程、
- (3) 前記触媒層上に、ゲート電極及びゲート配線を形成するためのトレンチを備える絶縁性ポリマー膜を形成する工程であって、下記工程(A-1)及び(A-2)、または工程(B-1)を含む工程、
 - (A-1) 感光性樹脂を前記触媒層上にコーティングする工程、
 - (A-2) フォトマスクを用いて前記感光性樹脂を露光し、次いで、現像して、前記トレンチをパターンニングする工程、
 - (B-1) 感光性樹脂もしくは熱硬化性樹脂を前記触媒層上にスクリーン印刷して、前記トレンチを形成する工程、
- (4) 前記トレンチ底部の前記触媒層上に、無電解メッキ法によりシード層を形成する工程、
- (5) 前記シード層上に、電解メッキ法により金属を堆積させて、前記トレンチを該金属で埋めて、ゲート電極及びゲート配線を形成する工程、
- (6) 前記絶縁性ポリマー膜、前記ゲート電極及びゲート配線上にゲート絶縁膜を形成する工程、
- (7) 前記ゲート絶縁膜上に、活性層、ソース電極、及びドレイン電極を形成する工程、

10

20

(8) 前記活性層、ソース電極、及びドレイン電極上に絶縁物質からなるパッシベーション層を形成する工程、及び

(9) 前記パッシベーション層を通過して、前記ソース電極及び前記ドレイン電極に至るコンタクト・ホールを形成する工程。

【請求項2】

前記工程(1)と工程(2)の間に、前記基板表面をシランカップリング剤で処理する工程を含む請求項1記載の方法。

【請求項3】

前記工程(5)において、前記金属を、前記トレンチから突出する高さまで堆積させ、前記トレンチから突出している金属を研磨もしくはエッチングする工程を含む請求項1または2記載の方法。

10

【請求項4】

前記工程(5)と工程(6)の間に、

(i) 前記絶縁性ポリマー膜の表面を粗面化処理する工程

(ii) 前記粗面化処理された表面上に反射膜を形成する工程

(iii) 前記反射膜上に平坦化させるための絶縁膜を形成する工程

を含む請求項1または2記載の方法。

【請求項5】

前記工程(5)と工程(6)の間に、

(i) 前記絶縁性ポリマー膜にプリズムを形成させるべくスロープを形成する工程、及び

(ii) 前記スロープを形成した前記絶縁性ポリマー膜表面上に、前記絶縁性ポリマー膜とは異なる屈折率を有し、平坦化したポリマー層を形成する工程、

を含む請求項1または2記載の方法。

20

【請求項6】

前記工程(5)と工程(6)の間に、

(i) 前記絶縁性ポリマー膜表面にフレネル・レンズを形成する工程、及び

(ii) 前記フレネル・レンズが形成された前記絶縁性ポリマー膜表面上に、前記絶縁性ポリマー膜とは異なる屈折率を有し、平坦化したポリマー層を形成する工程、

を含む請求項1または2記載の方法。

【請求項7】

30

下記工程を含む、トップゲート型薄膜トランジスタの製造方法

(1) 絶縁性の基板を用意する工程、

(2) 前記基板の上に絶縁層を形成する工程、

(3) 前記絶縁層上に、活性層、ソース電極、及びドレイン電極を形成する工程、

(4) 前記活性層、ソース電極、及びドレイン電極上に絶縁膜を形成する工程、

(5) 前記絶縁膜上にPdを析出させて、触媒層を形成する工程、

(6) 前記触媒層上に、ゲート電極及びゲート配線を形成するためのトレンチを備える絶縁性ポリマー膜を形成する工程であって、下記(A-1)及び(A-2)、又は工程(B-1)を含む工程、

(A-1) 感光性樹脂を前記触媒層上にコーティングする工程、

40

(A-2) フォトマスクを用いて前記感光性樹脂を露光し、次いで、現像して、前記トレンチをパターンニングする工程、

(B-1) 感光性樹脂もしくは熱硬化性樹脂を前記触媒層上にスクリーン印刷して、前記トレンチを形成する工程、

(7) 前記トレンチ底部の前記触媒層上に、無電解メッキ法によりシード層を形成する工程、

(8) 前記シード層上に、電解メッキ法により金属を堆積させて、前記トレンチを該金属で埋めて、ゲート電極及びゲート配線を形成する工程、

(9) 前記絶縁性ポリマー膜、前記ゲート電極及びゲート配線上に絶縁物質からなるパッシベーション層を形成する工程、

50

(10) 前記パッシベーション層、前記絶縁性ポリマー膜、及び前記絶縁膜を通して、前記ソース電極及び前記ドレイン電極に至るコンタクト・ホールを形成する工程。

【請求項8】

前記ゲート電極及びゲート配線を構成する前記金属が、AlまたはCuである請求項1～7のいずれか1項記載の方法。

【請求項9】

前記感光性樹脂が、ポジ型のフォトレジスト、ネガ型のフォトレジスト、又は化学増幅系フォトレジストである請求項1～8のいずれか1項記載の方法。

【請求項10】

前記無電解メッキ法が、次亜リン酸と硫酸ニッケルを含む水溶液中に前記基板を浸漬することによって行なわれる、請求項1～9のいずれか1項記載の方法。 10

【請求項11】

前記電解メッキ法により前記金属を堆積する工程が、硫酸銅水溶液に前記基板を浸漬して電流を通じ、電流量と時間を制御することによってCuの析出量を制御する工程を含む、請求項1～10のいずれか1項記載の方法。

【請求項12】

請求項1～11のいずれか1項記載の方法で製造された薄膜トランジスタを含むディスプレイ・デバイス。

【請求項13】

前記ゲート配線は、2 μ m～15 μ mの厚さとされ、かつ前記ゲート電極の縦横比は、0.3～3である、請求項12に記載のディスプレイ・デバイス。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ構造、薄膜トランジスタ構造の製造方法、および該薄膜トランジスタ構造を含むディスプレイ・デバイスに関し、より詳細には、薄膜トランジスタに接続されるゲート配線を、浮遊容量を低減させつつ大断面積化して、信号遅延を生じさせずに高精細な表示を可能とし、かつ大型の表示画面を提供することを可能とする薄膜トランジスタ構造、薄膜トランジスタ構造の製造方法、および該薄膜トランジスタ構造を含むディスプレイ・デバイスに関するものである。 30

【0002】

【従来の技術】

これまで、薄膜トランジスタ(TFT)を使用した液晶ディスプレイは、コンピュータ、セルラ電話、腕時計、テレビジョン装置といった種々の表示を行うための装置におけるディスプレイ・デバイスとして多用されている。特に、近年ではコンピュータなどの能力、記憶容量の増大に伴いTFTを使用したディスプレイ・デバイスに対して大画面化、高精細化の要望が高まってきている状況にある。TFTを使用したディスプレイ・デバイスの大画面化、高精細化を達成するためには、特にゲート配線を低抵抗化して、信号の伝搬遅延を防止する必要がある。このため、従来からゲート線の材料の低抵抗化が検討されており、Mo、MoW、MoTaといった比較的抵抗率の高い材料からAl、Cuといった抵抗率の低い材料へと低抵抗率の材料が採用されつつある。 40

【0003】

しかしながら、上述したCuといった抵抗率のきわめて低い材料を使用し、さらに薄膜トランジスタのスイッチング速度を無視した条件で対角線で測定した30インチのディスプレイ・デバイスについて考察すれば、200PPI以上の高精細化を達成することは、現在のゲート配線の抵抗では困難である。この理由としては、抵抗率の低い材料を使用したとしても、材料の抵抗率と、断面積とに依存して定まることによる。

【0004】

すなわち、TFTを使用したディスプレイ・デバイスにおいて大画面化、および高精細化を達成するためには、低抵抗率材料の使用に加え、ゲート配線の断面積を大きくする必 50

要がある。しかしながら、ゲート配線の断面積を増加させるべく、ゲート電極の平面的な広がりを増大させると、必然的に画素電極の開口率が減少することに加え、ゲート配線と、それ以外の配線または電極との間にキャパシタが形成され、浮遊容量が発生することとなり、かえって伝達遅延を生じさせることにもなる。さらには、ゲート配線の厚さを単に増加させることも可能ではあるものの、ゲート配線の厚さを単に増大させたのみでは、ゲート配線と交差する別の信号配線といった他の配線の断線を生じさせてしまうといった別の不都合を生じさせることになる。

【0005】

さらに、ゲート配線の製造方法についてみれば、ゲート配線は、従来ではスパッタリングなどの気相成長法により形成されている。しかしながら、従来のようなスパッタリング法などの気相成長法は、成膜速度が遅く、ゲート配線の厚さを大幅に増大させることも可能であるものの、製品歩留まり、コスト高といった製造上の不都合を生じさせることもあり、ゲート配線をより効率の良い方法により製造することが必要とされる。

10

【0006】

これまで、基板上に形成される配線を微細化するため、種々の試みがなされており、例えば特開平10-268522号公報では、基板上にポジ型フォトレジストを使用してパターンニングを行い、該基板に対して無電解メッキを施すことにより露出した基板上に導電パターンを形成する導電パターンの形成方法が開示されている。

【0007】

また、特開平11-339672号公報においては、基板上にフォトレジストを塗布し、パターンニングを行い、電解メッキ法、無電解メッキ法、または無電解メッキ法と電解メッキ法とにより電極を形成した後、フォトレジストを剥離する画像表示装置の製造方法が開示されている。

20

【0008】

さらに、特開平11-231335号には、基板上に堆積された二酸化珪素被膜をパターンニングし、露出した基板に無電解メッキ法により電極を形成させる埋設電極付き基板の製造方法が開示されている。

【0009】

【発明が解決しようとする課題】

しかしながら、上述したいずれの方法も、TFT構造を含むディスプレイ・デバイスの伝搬遅延を最小とさせつつ、大画面化、高精細化、および製造歩留まりの向上、製造コストの削減を達成する点から十分なものとはいえなかった。

30

【0010】

本発明は上述の問題点に鑑みてなされたものであり、本発明は、TFTを使用したディスプレイにおいて、ゲート配線の伝搬遅延の問題を解決しつつ、大画面化、高精細化を、製造歩留まりを向上させつつ、低コストに達成することを目的とする。

【0011】

【課題を解決するための手段】

すなわち、本発明によれば、ソース電極と、ドレイン電極と、ゲート電極と、活性層と、該ゲート電極に接続されるゲート配線と、少なくともトレンチが形成された絶縁性ポリマー膜とを基板上に形成してなる薄膜トランジスタ構造であって、前記絶縁性ポリマー膜に形成された前記トレンチが、導電層により構成される前記ゲート配線を自己整合的に収容する、薄膜トランジスタ構造が提供される。本発明においては、前記ゲート配線は、 $2\mu\text{m} \sim 15\mu\text{m}$ の厚さとされ、かつ前記ゲート配線の縦横比は、 $0.3 \sim 3$ であることが好ましい。さらに、本発明においては、前記絶縁性ポリマー膜は、光学的特性を調節するための処理が施されていてもよい。

40

【0012】

さらに本発明においては、前記絶縁性ポリマー膜は、複数の異なるポリマーから構成することができる。また、本発明においては、前記絶縁性ポリマー膜は、シリコン含有重合体を含んでいてもよい。本発明においては、前記ゲート配線は、無電解メッキにより堆

50

積されたシード層を形成する導電層と、電界メッキにより堆積された導電層とから構成することができる。本発明においては、前記薄膜トランジスタは、ボトムゲート型薄膜トランジスタまたはトップゲート型薄膜トランジスタとすることができる。本発明においては、前記絶縁性ポリマー膜は、感光性樹脂または感光性樹脂組成物を含んでいてもよい。

【0013】

本発明によれば、ソース電極と、ドレイン電極と、ゲート電極と、活性層と、前記ゲート電極に接続されるゲート配線と、少なくともトレンチが形成された絶縁性ポリマー膜とを基板上に形成してなる薄膜トランジスタを形成する方法において、該方法は、ソース電極と、ドレイン電極と、ゲート電極と、活性層とを形成する段階と、前記基板上に絶縁性ポリマー膜を形成する段階と、前記絶縁性ポリマー膜をパターニングしてトレンチを形成する段階と、前記トレンチに導電層を堆積させ、前記絶縁性ポリマー膜と自己整合的に前記ゲート配線を形成する段階とを含む、薄膜トランジスタ構造の製造方法が提供される。

10

【0014】

本発明によれば、前記ゲート配線を、無電解メッキによりシード層を形成する導電層を堆積させる段階と、電解メッキにより前記シード層とは異なる導電層を堆積させる段階とにより形成することができる。

【0015】

本発明においては、前記ゲート配線を形成する段階は、前記電解メッキの電流量および時間を制御して行う段階を含んでいてもよい。本発明においては、前記ゲート配線を形成する段階は、前記シード層を形成する導電層とは異なる導電層を電解メッキにより形成する段階と、前記電解メッキにより形成された導電層を前記絶縁性ポリマーのレベルとする段階とを含んでいてもよい。本発明においては、前記絶縁性ポリマー膜に対して、光学的特性を調節するための処理を施す段階を含んでいてもよい。本発明においては、前記絶縁性ポリマー膜は、シリコン含有重合体を含んでいてもよい。本発明においては、前記絶縁性ポリマー膜を、感光性樹脂または感光性樹脂組成物から形成することもできる。

20

【0016】

本発明によれば、ソース電極と、ドレイン電極と、ゲート電極と、活性層と、前記ゲート電極に接続されるゲート配線と、少なくともトレンチが形成された絶縁性ポリマー膜とを基板上に形成し、前記絶縁性ポリマー膜に形成された前記トレンチが導電層により構成される前記ゲート配線を自己整合的に収容する、薄膜トランジスタ構造を含むディスプレイ・デバイスが提供される。本発明においては、前記ゲート配線は、 $2\mu\text{m} \sim 15\mu\text{m}$ の厚さとされ、かつ前記ゲート電極の縦横比は、 $0.3 \sim 3$ とすることができる。本発明によれば、前記絶縁性ポリマー膜は、光学的特性を調節するための処理を施すことができる。本発明によれば、前記絶縁性ポリマー膜は、感光性樹脂または感光性樹脂組成物を含んでいてもよい。本発明によれば、前記絶縁性ポリマー膜は、シリコン含有重合体を含んでいてもよい。

30

【0017】

【発明の実施の形態】

図1は、本発明の薄膜トランジスタ構成を示した図である。図1(a)には、ボトムゲート型の薄膜トランジスタ構成を示し、図1(b)には、トップゲート型の薄膜トランジスタ構成を示す。図1(a)に示した薄膜トランジスタ構成は、絶縁性のガラス、セラミックスといった基板10上に、絶縁性ポリマー膜11が設けられており、この絶縁性ポリマー膜11に形成されたトレンチ12に、複数の導電層13a、13bから形成されたゲート配線が埋設されている。本発明において使用することができる絶縁性ポリマー膜11は、絶縁性のポリマー材料またはポリマー組成物から構成することができる。

40

【0018】

本発明において使用することができるポリマー組成物としては、具体的には例えば、ポリアクリレート、ポリスチレン、ポリ(アクリレート-スチレン)、ポリエステル、エポキシ樹脂、ポリカーボネート樹脂、ポリアミド樹脂などの熱可塑性または熱硬化性樹脂を挙げることができる。また、本発明において絶縁性ポリマー膜11として使用することが

50

できるポリマー材料としては、さらにアクリル系、アクリル - スチレン系、エポキシ系のポリマーに対して感光性成分を混合、または化学的に結合させた感光性樹脂組成物または感光性樹脂、いわゆるフォトレジストとして使用することができるポリマー、またはポリマー組成物から形成することができる。

【0019】

上述したような感光性樹脂組成物としては、例えばアクリル系樹脂、フェノール・ノボラック樹脂に対してキノンジアゾ誘導体を混合したポジ型のフォトレジスト、アクリル系樹脂、アクリル - スチレン共重合体またはアクリル - ヒドロキシスチレン共重合体、アクリル - アルコキシスチレン共重合体に対して光酸発生剤を混合した、いわゆる化学増幅系のポジ型またはネガ型のフォトレジスト、アクリル樹脂とエチレン性の不飽和結合を有するアクリレート（メタクリレート）単量体とを混合し、ジアゾ化合物により光重合を可能としたネガ型のフォトレジスト、エポキシ樹脂に対して、カチオン重合開始剤を混合したエポキシ系のフォトレジスト等を挙げることができる。

10

【0020】

しかしながら、本発明においては上述したポリマーまたはフォトレジストに限定されるものではなく、ポリマー材料に対して適切なパターンング・プロセスを使用してトレンチ12を形成することができるポリマーまたはポリマー組成物であれば、いかなるものでも用いることができる。

【0021】

図1(a)に示した絶縁性ポリマー膜11の厚さは、絶縁性と言った電氣的な特性から、 $1\mu\text{m} \sim 15\mu\text{m}$ の範囲とすることができる。さらに、本発明においてゲート配線をトレンチ12内に形成することを考慮すれば、トレンチ12の形成性といった点から $2\mu\text{m} \sim 10\mu\text{m}$ の範囲とされることが好ましく、さらには、本発明において特に高精細、大画面化を行うためには、 $2\mu\text{m} \sim 5\mu\text{m}$ の範囲とされることが好ましい。

20

【0022】

図1(a)に示されるように、このゲート配線は、導電層13aと、13bとが積層して形成されていて、導電層13aは、無電解メッキにより形成されるNiといった金属から形成されるシード層とされている。また、導電層13bは、電解メッキ法により形成され、ゲート配線を低抵抗とするための材料を含んで形成されている。

【0023】

本発明において、伝搬遅延を生じさせることなく、高精細、大画面化を達成するためには、導電層13bを、Al、Cu、Agといった低抵抗率の金属から形成することが好ましい。さらに、本発明において導電層13bの安定性といった観点からは、導電層13bを、AlまたはCuから形成することが好ましい。

30

【0024】

図1(a)に示すゲート配線の厚さは、本発明においてはゲート配線が絶縁性ポリマー膜11に埋設されて形成されるので、絶縁性ポリマー膜11のレベルと同一レベルとされることが望ましく、必要に応じて $1\mu\text{m} \sim 15\mu\text{m}$ の範囲とすることができる。さらに、本発明においては、ゲート配線の厚さは、高精細化および大画面化といった点、およびフォトリソグラフィの再現性・安定性といった絶縁性ポリマー膜11の製造といった観点から、 $1\mu\text{m} \sim 10\mu\text{m}$ の範囲とされることが好ましく、さらには、 $2\mu\text{m} \sim 5\mu\text{m}$ とされることが、高精細化、大画面化と絶縁性ポリマー膜11を含めた製造プロセスの容易性をバランスさせる上で好ましい。

40

【0025】

また、本発明においては、絶縁性ポリマー膜11と、ゲート配線の上端は、ゲート配線に隣接する薄膜トランジスタに対して電氣的な悪影響を与えないように、自己整合的に形成されていることが好ましい。

【0026】

絶縁性ポリマー膜11およびゲート配線の上側には、絶縁膜14が堆積され、この絶縁膜14上に、ソース電極15、ドレイン電極16、P+a-Si、N+a-Siといった

50

材料で構成される活性層 17 といった層が堆積され、パターンングされ、さらに Mo、MoW、MoTa といった金属または合金によりそれぞれの電極が形成され、薄膜トランジスタ要素とされている。図 1 においては、これらの電極の詳細な構成については省略して示しているが、これまで知られたいかなる電極構成でも、本発明においては使用することができる。

【0027】

図 1 (a) においては、ゲート配線と、薄膜トランジスタ要素であるゲート電極とは、隣接して形成されている。しかしながら、本発明においては、ゲート配線と、薄膜トランジスタ要素であるゲート電極とを位置的にずらして形成することも可能であり、この場合には、ゲート電極と、ゲート配線とは、絶縁膜 14 上において位置的に水平方向に位置的にずらして形成することができる。さらに、本発明においては、ゲート電極のサイズは、薄膜トランジスタ構造に必要とされるいかなるサイズともすることができる。

10

【0028】

図 1 (a) において、ソース電極 15、ドレイン電極 16、半導体層 17 といった薄膜トランジスタ要素の上には、SiO_x、SiN_y、SiO_xN_y といった絶縁性材料から構成されるパッシベーション層 18 が形成されていて、薄膜トランジスタ要素の動作を保證する構成とされている。

【0029】

パッシベーション層 18 には、コンタクトホール 20a、20b が形成されていて、これらのコンタクトホール 20a、20b を通してコンタクト用電極 21a、および信号配線 21b がそれぞれソース電極 15 およびドレイン電極 16 に接続されている。

20

【0030】

図 1 (b) は、本発明の薄膜トランジスタ構成をトップゲート型の薄膜トランジスタに適用した実施の形態を示す。図 1 (b) に示した薄膜トランジスタは、絶縁性の基板 10 上に、絶縁層 22 が形成され、絶縁層 22 上にソース電極 23、ドレイン電極 24、活性層 25 が形成されて、薄膜トランジスタ要素を構成している。ソース電極 23、ドレイン電極 24、活性層 25 といった薄膜トランジスタ要素の上側には、SiO_x、SiN_y、SiO_xN_y といった絶縁性材料から構成される絶縁膜 26 が、CVD といった適切な方法により堆積されている。また、本発明においては、絶縁層 22 は、特性、コストなどの点から用いても、用いなくともよい。

30

【0031】

絶縁膜 26 上には、ポリマー材料を含んで構成される絶縁性ポリマー膜 27 が形成されていて、絶縁性ポリマー膜 27 に形成されたトレンチ 28 にゲート配線 29 が埋設されて形成されている。図 1 (a) で説明したように、図 1 (b) に示した実施の形態では、ゲート電極は、ゲート配線 29 に隣接して形成されているものとして説明するが、本発明においては、特にゲート電極とゲート配線 29 とを隣接して形成する必要はなく、必要に応じて水平方向に離間させて形成することもできる。

【0032】

図 1 (b) に示したゲート配線についても、無電解メッキ法により形成されるシード層と、電解メッキ法により形成される導電層といった複数の層から構成されている、なお、本発明においては、ゲート配線を 2 層構成とする必要はなく、必要に応じて 2 層以上の構成として形成することもできる。

40

【0033】

絶縁性ポリマー膜 27 上には、パッシベーション膜 31 が堆積されており、このパッシベーション膜 31 と、絶縁性ポリマー膜 27 と、絶縁膜 26 とを通してコンタクト用電極 32a および信号配線 32b がそれぞれソース電極 23 とドレイン電極 24 とに接続されている。図 1 (b) において説明した各膜については、図 1 (a) で説明した各層と同様の材料、構成を用いることができる。

【0034】

図 2 は、本発明の薄膜トランジスタ構成における作用を詳細に説明した図である。図 2

50

(a) は、従来の薄膜トランジスタ構成のゲート配線を示した図であり、図 2 (b) が、本発明の薄膜トランジスタ構成のゲート配線を示した図である。図 2 (a) に示されるように、従来のゲート配線 3 5 の構成では、ゲート配線 3 5 の断面積を増加させようとする、スパッタリングといった成膜方法の成膜速度等の点から、ゲート配線 3 5 の平面的な広がりを増大せざるを得ない。また、ゲート配線 3 5 を厚く形成することによってゲート電極 3 5 の断面積を増加させたとしても、ゲート電極 3 5 が厚くなったことにより形成される段差のため、さらに上部に形成される配線などの断線を生じさせることになる。

【 0 0 3 5 】

図 2 (b) に示した、本発明におけるゲート配線の構成では、ゲート配線 3 5 を、絶縁性ポリマー膜 3 6 に形成されたトレンチ内に、絶縁膜と自己整合的に高い縦横比で構成するものである。本発明における縦横比 (アスペクト比) は、以下の式で示されるように、ゲート配線 3 5 の断面における高さ (h) を幅 (w) で除したものと定義される。

$$\text{縦横比 (アスペクト比)} = A s = h / w \quad (1)$$

【 0 0 3 6 】

すなわち、図 2 においてゲート配線 3 5 の断面積が一定である場合 ($S 1 = S 2$) を考えてみると、ゲート線 3 5 と、ゲート配線 3 5 上に構成される各層 3 7 との間に形成される浮遊容量は、ゲート配線 3 5 の水平方向の面積に応じて増大する。このため、単に断面積を増加させただけでも、抵抗を低下させることが可能となるものの、浮遊容量が増加するため十分に信号遅延に対応できないこととなる。しかしながら、本発明においては、縦横比を、所定の範囲としつつ、ゲート電極 3 5 の厚膜化を行うため、同一の断面積であれば、図 2 に示すように浮遊容量は、 $L b / L a$ の比で低減させることができる。したがって、縦横比 (アスペクト比 $A s$) を大きくすることにより信号遅延をよりいっそう減少させることができる。

【 0 0 3 7 】

図 2 (b) に示すように本発明のゲート電極 3 5 の構成は、ゲート電極 3 5 の大断面積化を、ゲート電極 3 5 の厚さを、十分な特性を保ちつつ増加させることにより、信号遅延といった問題を生じさせずに大画面化、高精細化といった所望する特性を得ることを可能とする。本発明におけるゲート電極 3 5 の縦横比 ($A s$) は、従来よりも大きなゲート電極断面積を与えつつ、高精細、大画面化といった本発明の目的を十分に達成するためには、ゲート配線 3 5 の厚さが $2 \mu m \sim 15 \mu m$ の範囲で $0.3 \sim 3$ の範囲とすることができ、さらに、高精細化、大画面化といった目的のためゲート電極 3 5 の低抵抗化を達成するためには、ゲート配線 3 5 の厚さが $2 \mu m \sim 15 \mu m$ の範囲において特に $0.4 \sim 3$ の範囲とすることが好ましい。

【 0 0 3 8 】

図 3 は、本発明の薄膜トランジスタ構造を形成するための製造方法を示した工程図である。本発明の薄膜トランジスタ構造の製造方法においては、図 3 (a) に示すように、必要に応じて表面処理などを行ったガラス、セラミックスといった絶縁性の基板 1 0 を用意する。ついで、図 3 (b) に示すように、この基板 1 0 をまず、シランカップリング剤、具体的にはアミノシランカップリング剤により処理して Pd を含む無電解メッキを行うための触媒層 4 1 を形成する。触媒層 4 1 の形成は、例えば市販の Pd イオンまたは Pd コロイドを含む触媒水溶液に基板 1 0 を浸漬し、その後必要に応じて Pd イオンを還元するなどして金属を析出させることにより行うことができる。

【 0 0 3 9 】

ついで、図 3 (c) に示すように、基板 1 0 に対してポリマーを含んで構成される絶縁性ポリマー膜 4 2 を適切な塗布方法、例えば、スピンコーティングなどを用いて形成する。この際に使用できるポリマーとしては、図 1 において説明した熱可塑性樹脂または熱硬化性樹脂、またはフォトレジストを使用することができる。特に、上述したポリマー材料として感光性樹脂または感光性樹脂組成物を使用することにより、露光・現像工程を増加させることなく、埋設されたゲート配線を形成することが可能となる。

【 0 0 4 0 】

10

20

30

40

50

ついで、図3(d)に示されるように、適切なフォトマスクを使用して、フォトレジストから構成される絶縁性ポリマー膜42に対して露光・現像を行い、ゲート配線を形成するためのトレンチ43を形成する。このトレンチ43の下部面には、Pd触媒が露出しておりシード層を無電解メッキ法により選択的に形成させることができる。

【0041】

また、本発明において、絶縁性ポリマー膜42を、感光性樹脂または感光性樹脂組成物ではなく、熱可塑性樹脂または熱硬化性樹脂から構成する場合には、露光・現像工程ではなく、スクリーン印刷といった方法を使用してトレンチ43を形成することもできる。スクリーン印刷を使用することにより、使用する絶縁性ポリマー膜42が感光性樹脂または感光性樹脂組成物であるか、熱可塑性または熱硬化性樹脂であるかを問わず、プロセス工程を低減させることも可能である。

10

【0042】

図3(e)には、本発明においてトレンチ43に無電解メッキでシード層44aを形成する工程を示す。導電層として機能するシード層44aを形成する導電材料は、これまでに知られたいかなる金属でも使用することができるが、本発明においては特に、無電解メッキ法によりニッケル(Ni)を使用してシード層44aを形成することが好ましい。本発明においてシード層44aをNiにより形成する場合には、比較的厚く形成される後述するCuといった金属の基板10に対する付着性を向上させることができ、絶縁性ポリマー膜42の厚膜化とともに発生する膜内応力の増加による、ゲート配線の基板10の表面からの剥離、ガラス基板の反りにより発生する不都合を改善することが可能となる。

20

【0043】

本発明において上述したシード層44aは、例えば、次亜リン酸を使用する硫酸ニッケル水溶液による無電解メッキ法により形成することができる。このシード層44aを形成させる水溶液には、硫酸ニッケル以外にも、これまで知られたいかなる添加剤が添加されていても良い。図3(e)に示すシード層44aの厚さは、本発明においては特に制限されるものではなく、シード層44aを形成することによりゲート配線の剥離や、基板の反りといった不都合を生じさせない限りいかなる厚さとすることもできる。また、シード層44aを形成させるための無電解メッキ手法としては、これまで知られたいかなる手法でも用いることができる。

【0044】

ついで、本発明の薄膜トランジスタ構造の製造方法においては、図3(f)に示すようにAl、Cu、Agといった低抵抗率の金属から形成される導電層44bを、電解メッキ法により堆積させ、ゲート配線を形成させる。電解メッキ法を適用して、導電層44bを、銅(Cu)といった金属から形成する場合には、硫酸銅(CuSO₄)水溶液に図3(e)に示した構造が形成された基板10を浸漬して電流を通じ、電流量と、時間との積から、ファラデーの法則にしたがって析出したCuの析出量を制御し、ゲート配線を絶縁性ポリマー膜42と自己整合的に形成することが可能となる。

30

【0045】

上述したようにしてゲート配線45を自己整合的に形成することができる理由としては、図3(e)に示した工程においてシード層44aを形成する際に、Pd触媒が付着した部分ばかりではなく、本発明においては絶縁性ポリマー膜42にトレンチ43を形成するため、このトレンチ43の壁面にもある程度Pd触媒が付着し、Cuの堆積が厚さ方向ばかりではなく、横方向に対しても良好に行うことができるためと推定している。

40

【0046】

また、本発明においては、特に電流量および時間といった電解メッキ条件を厳密にコントロールして自己整合的にゲート配線を形成させるばかりではなく、ゲート配線をトレンチ43から突出するような高さにまで堆積させ、研磨、エッチング、といった表面処理を行うことにより、ゲート配線の自己整合性を改善することが可能である。

【0047】

その後、本発明においてはN+a-SiまたはP+a-Si、多結晶Siといった材料

50

をこれまで知られた方法を使用してゲート電極を堆積させ、ゲート配線に隣接したゲート電極が形成される。上述したようにゲート電極と、ゲート配線とは、薄膜トランジスタ構造の必要に応じて、互いに隣接して形成することもできるし、離間して形成することもできる。

【 0 0 4 8 】

本発明においては、シード層 4 4 a として特に Ni を用い、導電層 4 4 b として Cu を使用することにより、厚膜配線を含む薄膜トランジスタにおける低抵抗化を、大画面化、高精細化の要求を満たしつつ、膜内応力により生じる不都合を発生させることなく達成することを可能とする。

【 0 0 4 9 】

また、本発明においては、絶縁性ポリマー膜 4 2 を使用し、さらにシード層 4 4 a によりゲート配線と基板 1 0 との一体性を向上させているため、絶縁膜として SiO₂ を使用した場合に比較して膜内応力 / 膨張率の差を吸収でき、より信頼性の高い薄膜トランジスタ構造を提供することが可能となる。さらには、ゲート配線と、基板 1 0 との一体性が向上する結果、導電処理したフレキシブルな基板上に薄膜トランジスタ構造を形成することも可能であり、フレキシビリティが向上したディスプレイ・デバイスを提供することも可能となる。

【 0 0 5 0 】

図 4 は、本発明の薄膜トランジスタ構成の製造方法において、薄膜トランジスタ要素を形成するための、図 3 に示した工程に続く工程を示した図である。図 3 の各工程の後、図 4 (a) に示すように、ゲート配線およびゲート電極が形成された絶縁性ポリマー膜 4 2 上に、SiO_x、SiN_y、SiO_xN_y といった絶縁層から構成される絶縁膜 4 7 が、CVD といった適切な方法により堆積される。ついで、図 4 (b) に示すようにゲート絶縁膜 4 7 上に、ソース電極 4 8、ドレイン電極 4 9、活性層 5 0 が、堆積・パターニング・イオン注入などのこれまで知られたいかなる方法により堆積され、さらにこれらの電極は、堆積・パターニングされた Mo、MoTa、MoW、Al、といった適切な金属または合金を含んで構成されている。

【 0 0 5 1 】

その後、図 4 (c) に示すように、SiO_x、SiN_x、SiO_xN_y といった絶縁層からなるパッシベーション層 5 1 を堆積し、適切なパターニング・プロセスを使用してコンタクト・ホールを形成させ、コンタクト用電極 5 2 a および信号配線 5 2 b を形成させて、図 4 (d) に示した本発明の薄膜トランジスタ構成が形成される。図 4 に示すように、本発明においてゲート配線を埋設構造として形成する。このため、本発明によれば、薄膜トランジスタ構成を形成する際に不要な段差を生じさせることができなく、薄膜トランジスタの信頼性を向上させることができる。

【 0 0 5 2 】

図 5 は、本発明の薄膜トランジスタ構造をトップゲート型薄膜トランジスタに適用する場合の、薄膜トランジスタ構造の製造方法の実施の形態を示した工程図である。図 5 に示すトップゲート型薄膜トランジスタ構造を本発明にしたがって形成する場合には、図 5 (a) に示すように、まず、適切な表面処理を行った基板 1 0 を用い、図 5 (b) に示すように、SiO_x、SiN_y、SiO_xN_y といった材料から形成される絶縁層 6 1 を、CVD といった適切な方法により堆積させる。

【 0 0 5 3 】

ついで、図 5 (c) では、図 4 (b) において説明したと同様のプロセスを使用して、ソース電極 6 2、ドレイン電極 6 3、活性層 6 4 を堆積およびパターニングする。

【 0 0 5 4 】

ついで、図 5 (d) に示されるように絶縁膜 6 5 を CVD といった方法により堆積させる。絶縁膜 6 5 が堆積された後、Pd 触媒 6 6 を図 3 において説明したと同様にして絶縁膜 6 5 表面に付着させ、その後絶縁膜 6 5 上に本発明において使用する絶縁性ポリマー膜 6 7 を形成する。上述した各工程は、図 3 において説明したと同様の方法を使用して行う

10

20

30

40

50

ことができる。

【0055】

図6には、図5(d)において堆積された絶縁性ポリマー膜67にトレンチ68を形成して、無電解メッキ法によるシード層69aの形成(図6(b))、導電層69bの電解メッキ法による堆積の後(図6(c))、パッシベーション層70の堆積、コンタクト用電極71aおよび信号配線71bの形成を上述したようにして行い(図6(d))、トップゲート型薄膜トランジスタを形成する。

【0056】

図7は、本発明の薄膜トランジスタ構造の製造方法のさらに別の実施の形態を示した図である。図7に示した製造方法においては、図7(a)に示すように必要に応じて表面処理された基板10を用い、この基板10上に絶縁性ポリマー膜80を形成する(図7(b))。図7(c)に示した工程では、図3において詳細に説明したと同様な方法を用いて、トレンチ81を形成する。トレンチ81が形成された後、シリコン粒子を分散させた分散液により絶縁性ポリマー膜80および基板10とを処理して撥水層82を転写または形成する。

10

【0057】

その後、図7(d)に示すように、Pd触媒水溶液に基板10と、絶縁性ポリマー膜80とが形成された基板10を浸漬して、Pd触媒による処理が行われる。撥水層82が付着または含浸しない部分には、PdまたはPdコロイドが付着し、撥水層82が付着または含浸される部分には、PdイオンまたはPdコロイド83が付着しない。このため、図7(e)に示すように、無電解メッキ法によりシード層84aを良好に形成することが可能となる。この後、電解メッキ法を使用し、Cuといった低抵抗率の導電層を堆積させて、ゲート配線を形成する。

20

【0058】

本発明の薄膜トランジスタ構造の製造方法のさらに別の実施の形態では、撥水層82の転写を、図7(c)のトレンチ81の形成工程の前に行うこともできる。さらに、本発明においては、絶縁性ポリマー膜80を形成する際にシリコン・セグメントを含むシリコン含有重合体を混合、またはポリマー自体がシリコン・セグメントを含んで形成されるシリコン含有重合体を、ポリマーとして使用することもできる。この場合にも、シリコン・セグメントは、絶縁性ポリマー膜80の表面に露出する。

30

【0059】

上述したシリコン含有重合体を使用しても撥水層82を別工程を使用して転写させた場合のような撥水効果を得ることができ、かつPd触媒を選択的に付着させることが可能となる。上述したシリコン・セグメントを含むポリマー、またはポリマー組成物は、さらには感光性樹脂または感光性樹脂組成物として構成することもできる。

【0060】

さらに本発明の薄膜トランジスタ構造の実施の形態では、図3および図5で詳細に説明した絶縁性ポリマー膜を形成した後、さらに絶縁性ポリマー膜の光学的特性を調節するために、各種の処理を施すことができる。

【0061】

図8および図9は、ボトムゲート型薄膜トランジスタ構成に対して、上述した絶縁性ポリマー膜に対する処理を施した薄膜トランジスタの実施の形態を示した図である。図8(a)に示した薄膜トランジスタ構成の実施の形態においては、絶縁性ポリマー膜90の表面は、例えば適切なフォトリソグラフィ・プロセスを使用して粗面化処理が行われており、この粗面化処理された面に反射膜90aが形成されていて、視野角を広げる構成とされている。反射膜90aとしては、種々の材料を使用した例えばCVDプロセスにより形成される、これまで知られたいかなる材料・構成の反射膜でも使用可能であり、例えば1層構成、または誘電体からなる多層膜構成として形成することができる。

40

【0062】

さらに、図8(a)に示した実施の形態においては、粗面化処理面の側面に平坦化させ

50

るための絶縁膜 91 が形成されており、薄膜トランジスタ要素に対して悪影響を与えない構成とされている。平坦化させるための絶縁膜 91 としては、絶縁性ポリマー膜 90 を構成する材料と同一の材料を使用することもできるし、互いに屈折率の異なる材料を積層して散乱効果を生じさせるように構成することもできる。

【0063】

図 8 (b) には、本発明の薄膜トランジスタ構造のさらに別の実施の形態を示す。図 8 (b) に示した薄膜トランジスタの実施の形態においては、絶縁性ポリマー膜 90 には、プリズムを形成させるべくスロープ 90b が形成されている。絶縁性ポリマー膜 90 の上側には、さらに異なった屈折率のポリマー層 92 が積層されていて、プリズムが構成されている。図 8 (b) に示した構成の薄膜トランジスタ構造を使用しても視野角の向上および高輝度化を達成することが可能となる。

10

【0064】

図 9 に示す薄膜トランジスタ構成においては、絶縁性ポリマー膜 90 の表面にフレネル・レンズ 90c が形成されており、さらに屈折率の異なる別の絶縁性材料 93 により平坦化されていて、光線の指向性が制御されている。絶縁性材料 93 としては、絶縁性材料 91、92 と同様に、ポリマー材料を使用することもできるが、必要に応じてポリマー以外の誘電体から形成することができる。図 8 および図 9 に示した薄膜トランジスタ構成では、いずれの場合にも絶縁性ポリマー膜 90 とゲート配線 94 とは、隣接部において自己整合的に形成されていて、上側に形成される薄膜トランジスタ要素に対して悪影響を与えることがないようにされている。

20

【0065】

図 10 は、図 2 に示した本発明の薄膜トランジスタの実施の形態において、画面サイズ (インチ) と、解像度 (PPI) とをプロットした図である。図 10 (a)、(b)、(c) で示される各ラインが、従来の方法により形成されたゲート配線の場合に得られるプロットであり、図 10 (d) に示されるプロットが本発明による、埋設されたゲート配線に対して得られるプロットである。図 10 に示されるように、解像度を高めようとして、ゲート配線を細くして行けば行くほど、いずれの場合にも抵抗の増加にともなう信号遅延のため、画面サイズが低下することが示される。

【0066】

従来のゲート配線の構成を採用する場合には、図 10 に示すように、400 PPI の解像力を達成しようとする最も抵抗率の低い Cu を用いたゲート配線でも、画面サイズは、約 20 インチにまで低下することになる。このため、高精細化と、大画面化とはトレード・オフの関係となることが示されている。

30

【0067】

しかしながら、本発明による埋設ゲート配線の構成を採用することにより形成された薄膜トランジスタ構成では、図 10 (d) に示すようにゲート配線の断面積を向上できることに加え、浮遊容量の問題も生じさせることがないので、400 PPI といった高精細な解像度のまま、約 25 インチの画面サイズを提供することが可能となる。この傾向は、より低い解像度の場合を比較するとより明瞭であり、本発明のゲート配線を使用した薄膜トランジスタ構成を使用するディスプレイ・デバイスは、従来に比較して、より大画面のディスプレイ・デバイスを提供することが可能となることが示される。

40

【0068】

図 11 は、本発明の薄膜トランジスタ構成を使用して TFT アレイとしたディスプレイ・デバイスを示した斜視図である。図 11 に示した TFT アレイは、ボトムゲート型 TFT として構成されており、絶縁性の基板 100 上に形成された絶縁性ポリマー膜 101 と、絶縁性ポリマー膜 101 の上に堆積された絶縁膜 102 を含んでいるのが示されている。

【0069】

さらには、図 11 に示した薄膜トランジスタ構成では、絶縁膜 102 の上には、ソース電極 103 と、ドレイン電極 104 と、活性層 105 とがパターンニングされていて、これ

50

らの薄膜トランジスタ要素を、パッシベーション膜106が被覆して、薄膜トランジスタ要素を保護している。さらに図11に示される薄膜トランジスタ構成では、パッシベーション膜106を通して形成されたコンタクト・ホールを介して、それぞれコンタクト用電極107と、信号配線108とがソース電極103とドレイン電極104とにそれぞれ接続されていて、これらがアレイとして配置されている。

【0070】

さらに図11に示すように、ゲート配線110は、本発明に従い絶縁性ポリマー膜101に形成されたトレンチ109の内部に複数の導電層が堆積された構成で埋設されている。図11に示されるように本発明の薄膜トランジスタ構成では、従来にましてゲート配線110の断面積を大きくすることが可能である。さらに、本発明においては、大断面積のゲート配線110は、絶縁性ポリマー膜101内に埋設されて、無電解メッキおよび電解メッキにより堅固に一体化されているので、膜内の残留応力による剥離、曲がり、ひび割れといった不都合を生じさせることなく、薄膜トランジスタの信頼性を保証しつつ、大画面化、高精細化を達成することが可能となる。

10

【0071】

図12は、本発明の薄膜トランジスタ構成を、トップゲート型薄膜トランジスタに適用した場合のTFTアレイを示した図である。図11において説明したと同様に、ゲート配線110は、絶縁性ポリマー膜101に形成されたトレンチに埋設されて形成されており、上部に形成される配線の断線といった不都合を生じさせずに、ゲート電極の断面積を増大することが可能とされている。

20

【0072】

本発明の薄膜トランジスタ構成は、上述したように薄膜トランジスタをアレイとして配置する、いわゆるアクティブ・マトリクス駆動方式を使用するいかなるディスプレイ・デバイスにでも使用することができ、このようなディスプレイ・デバイスとしては、具体的には例えば液晶ディスプレイ・デバイス、有機または無機の活性材料を使用するエレクトロ・ルミネッセンス・デバイスなどを挙げることができる。

【0073】

これまで、本発明を図面に示した実施の形態をもって説明してきたが、本発明は、図面に示した実施の形態に限定されるものではなく、細部の構成、材料、寸法といった種々の構成要件においてこれまで知られたいかなる材料、構成、寸法であっても、本発明の作用・効果を奏する限り使用することができる。

30

【0074】

【図面の簡単な説明】

図1は、本発明の薄膜トランジスタ構成を示した図である。

図2は、本発明の作用を説明した図である。

図3は、本発明の薄膜トランジスタ構成の製造方法を示した図である。

図4は、本発明の薄膜トランジスタ構成の製造方法の図3に続く工程を示した図である。

。

図5は、本発明の別の実施の形態の薄膜トランジスタ構成の製造方法を示した図である。

。

図6は、本発明の別の実施の形態の薄膜トランジスタ構成の製造方法の図5に続く工程を示した図である。

40

図7は、本発明の薄膜トランジスタ構成の製造方法の別の実施の形態を示した図である。

。

図8は、本発明の薄膜トランジスタ構成のさらに別の実施の形態を示した図である。

図9は、本発明の薄膜トランジスタ構成のさらに別の実施の形態を示した図である。

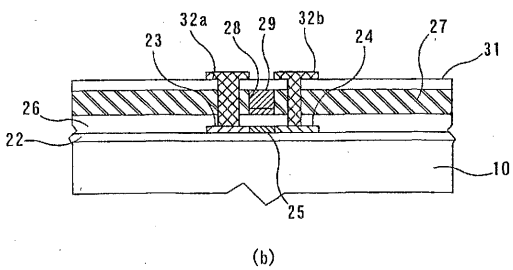
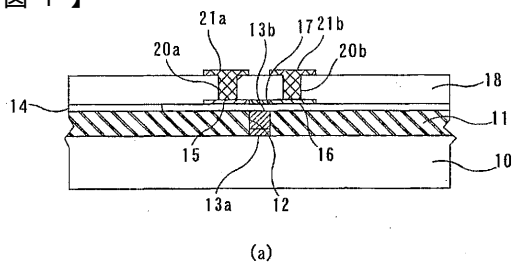
図10は、本発明の薄膜トランジスタ構成により画面サイズと、解像度とを示した図である。

図11は、本発明の薄膜トランジスタ構成を使用したディスプレイ・デバイスに使用されるTFTアレイの斜視図である。

50

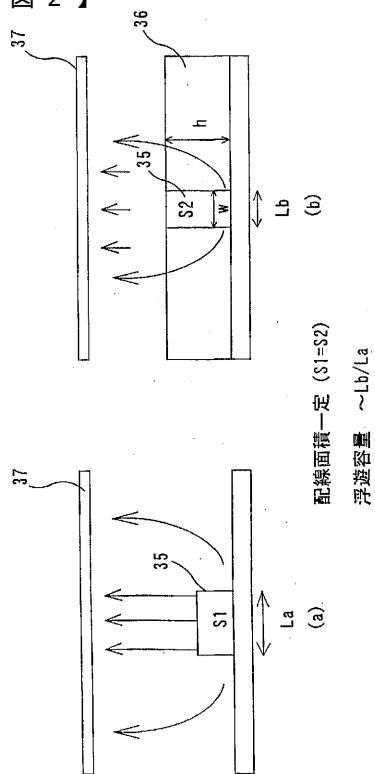
図12は、本発明の別の実施の形態の薄膜トランジスタ構造を使用したディスプレイ・デバイスに使用されるTFTアレイの斜視図である。

【図1】



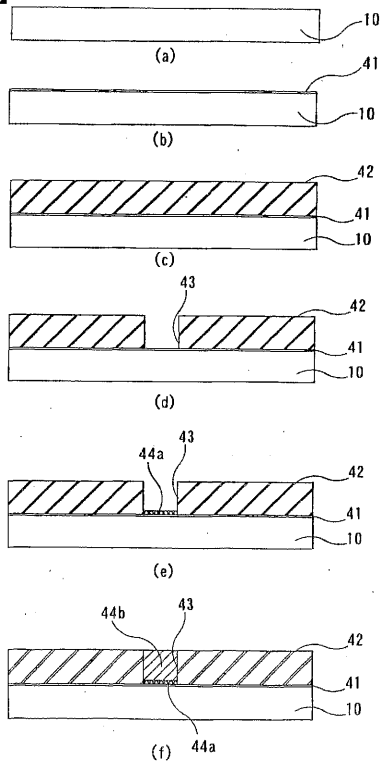
第1図

【図2】



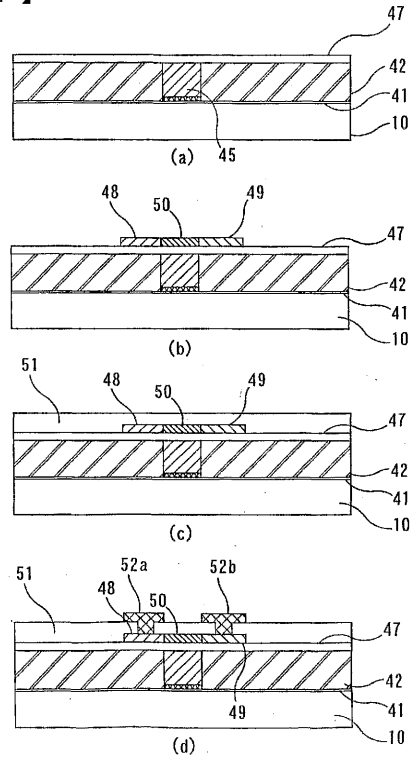
第2図

【 図 3 】



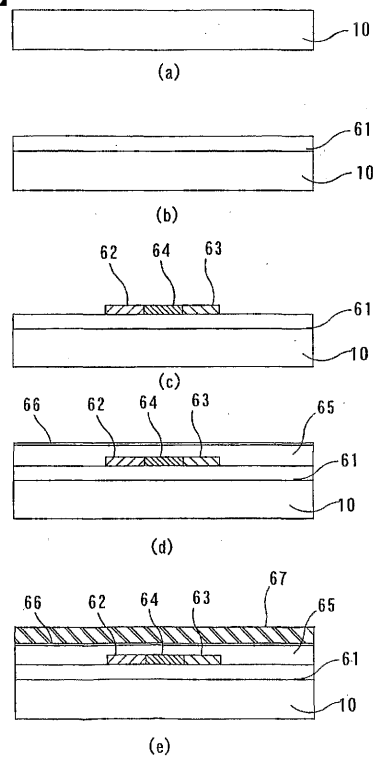
第 3 図

【 図 4 】



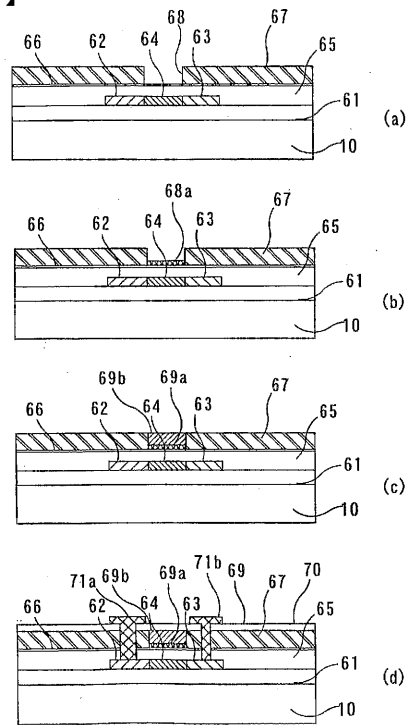
第 4 図

【 図 5 】



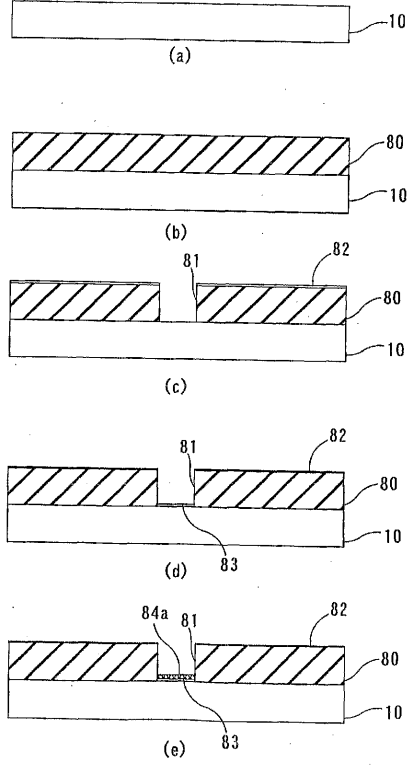
第 5 図

【 図 6 】



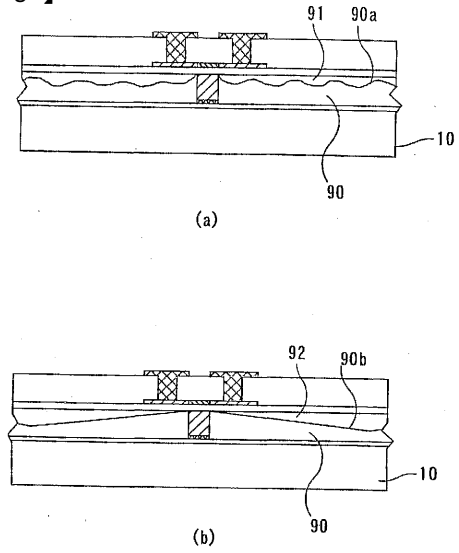
第 6 図

【 図 7 】



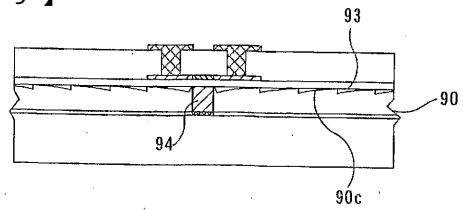
第 7 図

【 図 8 】



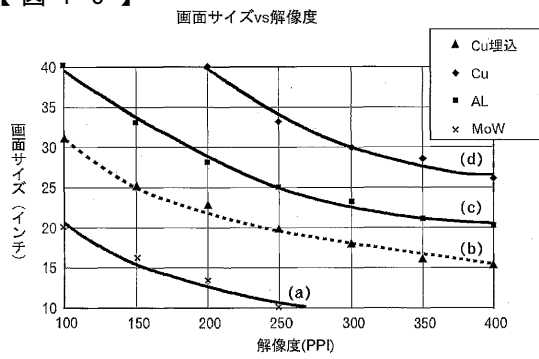
第 8 図

【 図 9 】



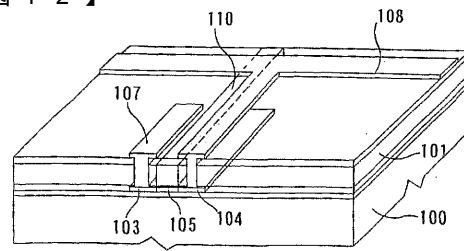
第 9 図

【 図 10 】



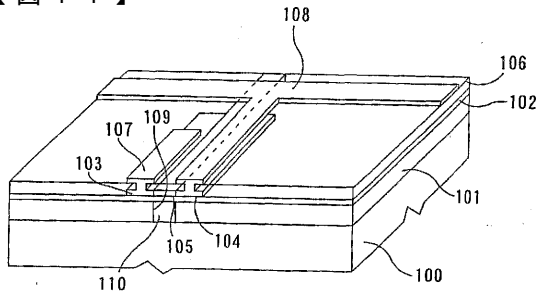
第 10 図

【 図 12 】



第 12 図

【 図 11 】



第 11 図

フロントページの続き

(51) Int.Cl. F I
C 2 5 D 7/12 (2006.01) G 0 2 F 1/1343
G 0 2 F 1/1343 (2006.01) G 0 2 F 1/1368
G 0 2 F 1/1368 (2006.01)

(72) 発明者 末岡 邦昭
神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 東京基礎研究所内

審査官 河本 充雄

(56) 参考文献 特開平 0 6 - 1 7 7 1 2 6 (J P , A)
実開昭 6 4 - 0 1 8 7 5 8 (J P , U)
特開平 0 8 - 0 2 3 1 0 2 (J P , A)
特開平 1 1 - 3 3 9 6 7 2 (J P , A)
特開平 0 6 - 0 5 1 3 5 0 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

H01L 29/786

H01L 21/336

H01L 21/288

H01L 21/3205

G02F 1/1368

G09F 9/30