



[12] 发明专利说明书

专利号 ZL 01806844.8

[45] 授权公告日 2006 年 3 月 22 日

[11] 授权公告号 CN 1246752C

[22] 申请日 2001.3.6 [21] 申请号 01806844.8

[30] 优先权

[32] 2000. 3. 24 [33] US [31] 09/534,187

[86] 国际申请 PCT/US2001/007216 2001.3.6

[87] 国际公布 WO2001/073534 英 2001.10.4

[85] 进入国家阶段日期 2002.9.19

[71] 专利权人 英特尔公司

地址 美国加利福尼亚

[72] 发明人 升寿·赵 萨特齐特阿南德·加南

审查员 易红春

[74] 专利代理机构 北京东方亿思知识产权代理有
限责任公司

代理人 杜 鹃

权利要求书 2 页 说明书 10 页 附图 8 页

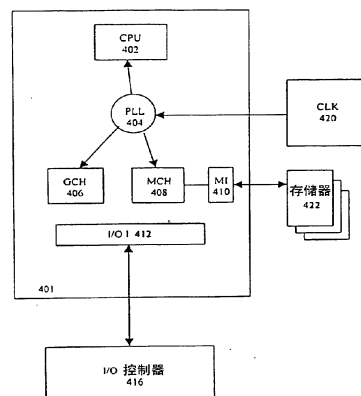
[54] 发明名称

用于单锁相环处理器系统的控制处理器功率
的方法和装置

[57] 摘要

本发明公开了一种用于单锁相环处理器系统的控制处理器功率的方法和装置。一种包含中央处理单元(“CPU”)、图形控制中心(“GCH”)、存储器控制中心(“MCH”)和锁相环(“PLL”)的集成电路。GCH, MCH 和 PLL 与 CPU 相耦合。MCH 控制存储器事务处理。PLL 被配置用来在第一频率下暂停 CPU 和 GCH 的运行,并在第二频率下恢复 CPU 和 GCH 的运行。于是,公开了一种利用多功耗状态来节约系统功耗的方法和装置。

400



1. 一种集成电路, 包括:

中央处理单元;

5 图形控制中心;

被配置用来控制存储器事务处理的存储器控制中心; 和

耦合到所述中央处理单元、所述图形控制中心和所述存储器控制中心的锁相环, 被配置用来暂停在第一频率下所述中央处理单元和所述图形控制中心的运行, 并恢复在第二频率下所述中央处理单元和所述图形控制中心的运行。

2. 如权利要求 1 所述集成电路, 其中所述中央处理单元被配置为可在多于一个时钟频率下运行以节约功耗。

3. 如权利要求 1 所述集成电路, 其中所述锁相环提供多于一个时钟频率。

4. 如权利要求 1 所述集成电路, 进一步包括:

耦合到所述存储器控制中心并被配置用来与各种外部存储器设备通信的存储器接口; 和

耦合到所述存储器控制中心并被配置用来控制输入输出通信量的输入输出接口。

5. 如权利要求 1 所述集成电路, 其中所述集成电路被进一步耦合到输入输出控制器和时钟设备。

6. 如权利要求 1 所述集成电路, 其中所述中央处理单元响应来自所述锁相环的时钟信号能在多于一个电压电平下运行。

7. 如权利要求 1 所述集成电路, 其中所述存储器控制中心响应来自所述锁相环的时钟信号能在多于一个频率模式下运行。

8. 如权利要求 1 所述集成电路, 其中所述存储器控制中心响应来自所述锁相环的时钟信号能在多于一个电压电平下运行。

9. 如权利要求 1 所述集成电路, 其中所述图形控制中心响应来自所述锁相环的时钟信号能在多于一个频率模式下运行。

10. 如权利要求 1 所述集成电路，其中所述图形控制中心响应来自所述锁相环的时钟信号能在多于一个电压电平下运行。

11. 如权利要求 1 所述集成电路，其中所述存储器控制中心控制 Rambus™ 动态随机存取存储器。

5 12. 一种方法，包括：

暂停让嵌入一集成电路的锁相环提供第一时钟频率；

响应所述锁相环的暂停，暂停嵌入所述集成电路的中央处理单元的运行；

10 响应所述锁相环的暂停，暂停嵌入所述集成电路的图形控制中心的运行；

恢复所述锁相环以提供第二时钟频率；和

响应所述第二时钟频率，恢复所述中央处理单元。

13. 如权利要求 12 所述方法，进一步包括：

15 响应所述锁相环的暂停，暂停嵌入所述集成电路的存储器控制中心的运行。

14. 如权利要求 12 所述方法，其中所述暂停锁相环进一步包括响应温度和电流校准结果而进入暂停状态。

15. 如权利要求 12 所述方法，进一步包括：

恢复所述锁相环以提供第二电压电平；和

20 响应所述第二电压电平，恢复所述中央处理单元。

用于单锁相环处理器系统的控制处理器功率的方法和装置

5 技术领域

本发明一般地涉及计算机系统领域。更具体地说，本发明涉及节约计算机系统内的功耗。

背景技术

10 当更多的系统变成便携式时，必然越来越依赖便携式电源，特别是电池。当工业界致力于最大化电池寿命时，降低处理器功耗变得越来越重要。即使在固定系统中，过高的功耗也会导致较高的运行成本。此外，越来越严格的政府要求和环境标准对降低在可能的计算机系统中消耗的功率施加了影响。

15 一个典型的高性能系统消耗大量功率，因为该系统一般使用高速微处理器和协处理器。系统可靠性和电池寿命对一个消耗过高功率的系统是个问题。例如，当一个典型的高频微处理器消耗满功率并且在最佳性能下运行时，该微处理器的温度可能上升很快。

20 然而，很多应用，如文字处理，不要求微处理器满功率运行，因为一个典型的高性能微处理器能够支持多于一个典型的字处理器。因此，没有必要保持一个高性能系统总是满功率运行，因为满功率运行不仅减短电池寿命，还影响整个系统的可靠性。

因此，总保持系统满功率运行是不经济的。

25 发明内容

根据本发明的第一方面，提供了一种集成电路，包括：中央处理单元；图形控制中心；被配置用来控制存储器事务处理的存储器控制中心；和耦合到中央处理单元、图形控制中心和存储器控制中心的锁相环，被配置用来在第一频率下暂停所述中央处理单元和所述图形控制中心的运行，

并在第二频率下恢复所述中央处理单元和所述图形控制中心的运行。

根据本发明的第二方面，提供了一种方法，包括：暂停让嵌入一集成电路的锁相环提供第一时钟频率；响应所述锁相环的暂停，暂停嵌入所述集成电路的中央处理单元的运行；响应所述锁相环的暂停，暂停嵌入所述
5 集成电路的图形控制中心的运行；恢复所述锁相环以提供第二时钟频率；和响应所述第二时钟频率，恢复所述中央处理单元。

附图说明

依据下面给出的详细描述和本发明各种实施例的相应附图，可以更全面地理解本发明，但是，这不应被认为是把本发明限于特定实施例，而应
10 仅是为了说明和理解。

图 1 说明了基于单 PLL 的 CPU 系统的一个实施例。

图 2 是说明功耗状态的一个实施例的状态图。

图 3 是说明具有四个状态的功耗状态的一个实施例的状态图。

15 图 4 是说明一个可以进入不同功耗状态的系统的框图。

图 5 是说明系统时钟的一个实施例的框图。

图 6 是说明在功耗状态之间切换过程的时序图。

图 7 是说明切换功耗状态过程的流程图。

图 8 是说明从高功耗状态进入低功耗状态的过程的流程图。

20

具体实施方式

下面描述了一种用于节约系统功耗的方法和装置。

在下面的描述中，为说明的目的，给出许多特定细节，以便给出本发明一个详尽的理解。但是，对于本领域技术人员显而易见，无需这些特定
25 细节就能够实施本发明。在其他例子中，公知的结构和设备以框图的形式示出以避免模糊本发明。

下面的详细描述某些部分用算法和计算机存储器内对数据位操作的符号表示的形式给出。这些算法描述和表示是数据处理领域技术人员用来

向本领域其他技术人员最有效地传达他们工作内容的方法。这里的算法，一般被认为是一个导致期望结果的自洽步骤序列。这些步骤是那些要求物理量的物理处理的步骤。一般，虽然并非必要，这些量是能被存储、传输、合并、比较和以其他方式处理的电或磁信号。主要是为通常使用的原因，已经证明，有时把这些信号称为位、值、单元、符号、字符、项、数字或类似(术语)是方便的。

然而应该铭记，所有这些和类似术语是与恰当的物理量结合的，并且仅仅是用于这些量的方便标记。除非特别阐明，否则在下面的讨论中，贯穿本发明，采用诸如“处理”或“计算”或“运算”或“判定”或“显示”或其他类似术语的讨论，被理解是指把计算机系统内寄存器和存储器中用物理(电子)量表示的数据处理和变换成计算机系统内存储器或寄存器或其他这样的信息存储、传输或显示设备中用物理量类似表示的其他数据的计算机系统或类似电子计算设备的动作和处理。

本发明还涉及用于执行此处这些操作的装置。该装置可以根据所需目的专门构建，或者它可以包含一个由存储在计算机内的计算机程序选择性启动或重新配置的通用计算机。这样一个计算机程序可以被存储在计算机可读存储介质中，例如，但不限于，任何一种类型的盘片，包括软盘、光盘、CD-ROM 和磁光盘、只读存储器(ROM)、随机存取存储器(RAM)、EPROM、EEPROM、磁或光卡，或任何类型的适于存储电子指令的介质，并且每一个都被耦合到计算机系统总线。

这里给出的算法和显示并不固定地涉及任何特定计算机或其他装置。各种通用系统可以依照此处教导和程序一起使用，或者构建一个更专用的装置以完成所需方法步骤可能是更方便的。用于这些系统的所需结构将在下面的描述中出现。此外，本发明并非是依照任何特定的编程语言来描述的。应该理解，为了实现如这里描述的本发明的教导，可以使用各种编程语言。

综述

公开了一种利用多功耗状态来节约系统功耗的机制。在一个实施例

中，系统根据应用所需的计算功率，在高功耗状态和低功耗状态之间动态地转换，这也被称为 Geysserville 转换。例如，当中央处理单元(“CPU”)只需要支持一个简单应用，例如字处理器时，该 CPU 从高功耗状态转换到低功耗状态。

5 在另一个实施例中，使用一个单锁相环(“PLL”)产生各种供 CPU、图形控制中心(“GCH”)和存储器控制中心(“MCH”)使用的时钟信号。在该实施例中，PLL、CPU、GCH 和 MCH 被集成到一个集成电路(“IC”)上。在另一个实施例中，CPU 被配置为在多于一个时钟频率下运行。在另一个实施例中，CPU 能在多于一种电压电平下运行。

10 图 1 说明了基于单 PLL 的 CPU 系统 100 的一个实施例。计算机系统 100 包括处理器 112、时钟 130、存储器 104、存储器控制器 150、图形控制器 152 和输入和输出(“I/O”)控制器 140。图形控制器 152 被耦合到显示器 121。I/O 控制器 140 被耦合到键盘 122、硬拷贝设备 124 和光标控制设备 123。

15 处理器 112 包括但不限于一个微处理器，例如一个由本发明的共同受让人、加州 Santa Clara 英特尔公司制造的英特尔体系结构微处理器。处理器 112 还可能是其他处理器，例如 PowerPC™、Alpah™ 等。

 在一个实施例中，存储器控制器 150 控制存储器 104 并且存储器 104 可以是随机存取存储器(RAM)或其他用于存储信息和指令的动态存储设备。
20 在处理器 112 执行指令期间，存储器 104 也能被用于存储临时变量或其他中间信息。计算机系统 100 也可以包含只读存储器(ROM)和/或其他用于存储处理器 112 的静态信息和指令的静态存储设备。

 图形控制器 152 控制耦合到总线上的用于向计算机用户显示信息的显示器 121，如阴极射线管(CRT)或液晶显示器。在一个实施例中，I/O 控制器
25 140 通过存储器控制器 150 耦合到处理器 112。I/O 控制器 140 控制输入和输出设备，如键盘 122，光标控制设备 123 和硬拷贝设备 124。光标控制设备 123 可以是鼠标、轨迹球、轨迹板、指示笔或光标方向键，用于向处理器 112 传递方向信息和命令选择，并用于控制显示器 121 上光标的移动。

硬拷贝设备 124 能被用于在介质, 如纸张、胶片或类似类型的介质上打印指令、数据或其他信息。此外, 声音记录和播放设备, 如扬声器和/或麦克风能被选择性地耦合到 I/O 控制器 140, 用于与计算机系统 100 进行音频接口。时钟 130 用于给不同元件, 如处理器 112、存储器控制器 5 150 等提供各种时钟信号。

在一个实施例中, 处理器 112、图形控制器 152 和存储器控制器 150 能被集成到单个芯片上。在另一个实施例中, 处理器 112、图形控制器 152、I/O 控制器 140 和存储器控制器 150 能被集成到单个芯片上。注意系统 100 的任一或全部元件和相关硬件能在本发明中使用。但是能够理解, 10 计算机系统的其他配置可以包括这些设备中的一些或全部。

图 2 是说明功耗状态的一个实施例的状态图 200。状态图 200 包含高功率状态 202 和低功率状态 204。高功率状态 202 表示高时钟频率和高运行电压, 而低功率状态 204 表示低时钟频率和低运行电压。例如, 高功率状态 202 能在 700 兆赫(MHz)、工作电压为 1.8 伏(v)下运行而低功耗状态 15 204 在 400MHz、工作电压为 1.3 伏下运行。为节约功耗, 在一个实施例中, 系统或 CPU 能根据应用所需的计算功率在高功率状态 202 和低功率状态 204 之间动态转换。

在另一个实施例中, 系统无需用户干预在高功率状态 202 和低功率状态 204 之间动态切换。例如, 在按键之间, 能发生多次在高功率状态 202 20 和低功率状态 204 之间的转换。在高功率状态 202 期间, 在一个实施例中, CPU 消耗满功率并能够执行全部功能。但是, 在低功率状态 204 期间, 在一个实施例中, CPU 消耗较低功率并且只能执行一些功能。注意高功率状态 202 可能比低功率状态 204 多消耗两倍到三倍量的功率。

功耗能够根据电压和频率计算出来。功耗的数学方程式列出如下。

25
$$P \propto CV^2f$$

其中, P 表示功率而 C 表示一个常数。此外, V 表示电压而 f 表示频率。例如, 如果高功率状态 202 在 700MHz、电压 1.8v 下运行, 则高功率状态的功耗 P_H 将为

$$P_H \propto CV^2f = C \times (1.8)^2 \times 700 = 2268C$$

如果低功率状态 204 在 400MHz、电压 1.3v 下运行，则低功率状态的功耗 P_L 将为

$$P_L \propto CV^2f = C \times (1.3)^2 \times 400 = 676C$$

这样， P_H 比 P_L 多消耗三倍的功率。

- 5 图 3 是说明具有四个状态的功耗状态的一个实施例的状态图 300。状态图 300 包含状态 C0 302、C1 304、C2 306 和 C3 308 状态。可以增加额外的状态，但是它们对理解本发明不重要。

在一个实施例中，C0 302 状态是一个激活的功耗状态，在该状态下 CPU 执行全部功能并消耗满功率。在 C0 302 状态期间，没有使用用于节约功耗的功率管理。在一个实施例中，C1 304 状态是一个自动停止功耗状态，在该状态下可以执行用于节约功耗的高级电源管理 (“APM”)。在 C1 304 状态下运行的 CPU 通常比在 C0 302 状态下运行的 CPU 消耗的功率要少。例如，在 C1 304 状态期间，指令一般不被执行并且指令高速缓存器一般是空的。

- 15 在一个实施例中，C2 306 状态是一个停止给予 (stop-grant) 功耗状态，在该状态下，在 C2 306 状态下消耗的功率比在 C0 302 状态或 C1 304 状态下消耗的功率都要少。例如，在 C2 306 状态期间，给 CPU 的时钟信号可能被停止。在另一个实施例中，CPU 被部分关闭。例如，CPU 的主要部分被关闭而 CPU 的监控 (snoop) 部分仍然是激活的，用于监控前端总线。为进入 C2 306 状态，CPU 可以处于 C1 304 状态或 C0 302 状态之一。而且，C2 306 状态可以不经先进入 C1 304 状态而直接进入 C0 302 状态。

- 25 在一个实施例中，C3 308 状态被称为深度睡眠状态，在该状态下，系统的一些元件，包括 CPU，被关闭。在该实施例中，CPU 被完全关闭以便在 C3 308 状态下时钟频率可以被改变。在一个实施例中，为进入 C3 308 状态，CPU 被配置成在进入 C3 308 状态前先进入 C2 306 状态。在另一个实施例中，CPU 能直接从 C0 302 状态切换到 C3 308 状态。

图 4 是说明可以进入不同功耗状态的系统的框图 400。框图 400 包括时钟设备 420、处理单元 (“PU”) 401、存储器设备 422 和输入和输出控制中

心(“ICH”)416。PU 401 进一步包括 CPU 402、PLL 404、图形控制中心(“GCH”)406、存储器控制中心(“MCH”)408、存储器接口(“MI”)410 和输入/输出(“I/O”)接口 412。其他块或设备可被添加到框图 400,但是它们与理解本发明无关。

5 在一个实施例中,时钟设备 420 给包括 PU 401 在内的各种设备提供时钟信号。在另一个实施例中,时钟设备 420 提供了多个时钟频率以方便多个功耗状态。例如,时钟设备 420 在高功耗状态期间给 PU 401 提供 700MHz 时钟信号而时钟设备 420 在低功耗状态期间给 PU 401 提供 400MHz 时钟信号。而在另一个实施例中,时钟设备 420 给存储器 422 提供时钟信号。

10 在一个实施例中,存储器 422 包含多个高性能存储体。在一个实施例中,高性能 DRAM(直接随机存取存储器),例如, Rambus™ DRAM(“RDRAM”)可以被用作存储器 422。在另一个实施例中,高速 SRAM(静态随机存取存储器)可以被用作存储器 422。

15 在一个实施例中,ICH 416 控制 PU 401 和诸如主存储器、系统总线和各种输入设备的外部设备之间的数据事务处理。在该实施例中,ICH 416 不在功耗状态之间转换。I/O 接口 412 用于在 PU 401 和 ICH 416 之间通信。在一个实施例中,I/O 接口 412 包含它自己的 PLL 设备,以便在 PLL 404 停止提供时钟信号时 I/O 接口 412 仍然是激活的,用于监控 PU 401 和

20 ICH 416 之间的通信量。

PLL 404 从时钟设备 420 接收时钟信号并把时钟信号再分配给包括 CPU 402、GCH 406 和 MCH 408 的各种元件。在 C3 状态期间,在一个实施例中,为节约功率,从 PLL 404 到 CPU 402 的时钟信号可能被停止。当时钟信号停止时,CPU 402 停止运行,这通常会节约功耗。一旦 CPU 402 停止运行,在一个实施例中,运行可以由新时钟信号来恢复。在一个实施例中,为节约功耗,来自 PLL 404 的新时钟信号可以具有不同的时钟频率,如较低的时钟频率。在另一个实施例中,在 C3 状态下,CPU 402 可能被 PLL 404 关闭电源并随之用不同的电压电平恢复供电。

25

在一个实施例中,GCH 406 接收来自 PLL 404 的时钟信号并控制图形

实现。在一个实施例中，MCH 408 也接收来自 PLL 404 的时钟信号并控制通过 MI 410 的存储器访问。在一个实施例中，MI 410 被定制成存储器 422 中使用的专用存储器。例如，如果存储器 422 中使用了 RDRAM，MI 410 可能是用于在 PU 401 和 RDRAM 之间通信的 Rambus™ ASIC 单元 (“RAC”)。在一个实施例中，为节约功耗，PU 401 被集成到单个集成电路 (“IC”) 上。

在一个操作中，PLL 404 在一个实施例中在 C3 状态期间被关闭电源。一旦 PLL 404 被关闭电源，PLL 404 暂停 PU 401 内的时钟分配。来自 PLL 404 的时钟信号被暂停后，各种元件，例如 CPU 402、GCH 406 和 MCH 408 被关闭。一旦 CPU 402 被暂停，CPU 402 随后能够用可能需要较低功率运行的较低时钟频率来恢复。

图 5 是说明系统时钟配置的一个实施例的框图 500。在一个实施例中，框图 500 包含时钟发生器 504，直接 Rambus™ 时钟发生器 (“DRCG”) 508、RDRAM 530 和时钟分配器 520。DRCG 508 进一步包括 PLL 502 和相位调整器 510。时钟分配器 520 也包含 PLL 522 和相位调整器 512。其他块可能被添加到框图 500 中，但是它们对理解本发明不重要。

在一个实施例中，时钟发生器 504 通过时钟总线 544、546 分别向 PLL 502 和 PLL 522 发送时钟信号。在一个实施例中，PLL 502 用于给 DRCG 508 分配时钟信号，在那里 DRCG 508 进一步把时钟信号分配给 RDRAM 530。为了调整 DRCG 508 和时钟分配器 520 之间的时钟信号，相位调整器 510 和 512 用于同步时钟信号。

在一个操作中，在 C3 状态期间，在一个实施例中，由时钟总线 544 从时钟发生器 504 传送到 DRCG 508 的参考时钟是激活的。然而，相位调整器 512 被暂停以便时钟分配器 520 停止分配时钟信号。在一个实施例中，当时钟发生器暂停给 RDRAM530 分配时钟时，RDRAM 530 仍接收来自 DRCG508 的用于刷新存储器的时钟信号。在频率和电压转换后，相位调整器 510 和 512 被恢复并且可以进入一个新功耗状态。

图 6 是说明在功耗状态之间切换，如 Geyserville 转换过程的时序图 600。时序图 600 说明了从高功耗状态或 C0 状态到低功耗状态或 C3 状态

的 Geyserville 转换。

在一个实施例中，CPU 向 Geyserville 控制寄存器写入一个 Geyserville 转换请求，这启动一次 Geyserville 转换。当 CPU 在时钟周期 670 时在 CPU 前端总线(“FSB”)601 上发出一个 Geyserville 写入 (“GWt”)640 时，FSB 监控被锁定并且 GWt 640 被传送到中枢接口 604。当 MCH 在中枢接口上收到 GWt 624 后，GWt 624 被传送到 ICH，在其内引入了一个 Geyserville 转换序列。接着，在时钟周期 671 时在 CPU FSB 601 上发出停止 CPU 时钟并且在中枢接口 604 上发出到达 Geyserville(goto-Geyserville) (“Go_Gy”) 信号 626。

10 在 Go_Gy 626 激活后，发生从 C0 状态 660 到 C2 状态 662 的转换。在时钟周期 672 时，执行维护过程 607。在一个实施例中，维护过程 607 执行温度和电流校准、存储器刷新和电流校准。执行完维护过程 607 后，在中枢接口 604 上启动确认的 Geyserville (“Ack_Gy”) 命令 628。

15 在 Ack_Gy 628 被在中枢接口 604 上发出后，MCH 发送一条允许执行 Geyserville 转换的消息。在时钟周期 673 时，鉴相器或相位调整器的输出被停止。在一个实施例中，DRCG 的反馈路径保持激活。接着，在时钟周期 673 结束之前发生频率和电压转换。在持续时间可能长于频率转换的电压转换之后，总线倍率将变化。在总线倍率变化之后，FSB 监控被使能。在时钟周期 674 时，设备从电源关闭状态转换到休眠状态。

20 图 7 是说明切换功耗水平的过程的流程图 700。过程在起始块开始并前进到块 702。在块 702 中，过程让 PLL 暂停提供第一时钟频率。在块 702 后，过程前进到块 704。在块 704 中，过程暂停 CPU。在块 704 后，过程前进到块 706，在那里过程暂停 GCH。在块 706 后，过程前进到块 708。在块 708 中，过程以第二时钟频率恢复 PLL。在块 708 后，过程前进到块 710，在那里过程响应第二时钟频率恢复 CPU。在块 710 后，过程在结束块结束。

25 图 8 是说明从高功耗水平进入低功耗水平的过程的流程图 800。过程在起始块开始并前进到块 802。在块 802 中，过程开始一次转换并锁定 FSB 监控。在块 802 后，过程移动到块 804，在那里过程启动转换序列。在块 804 后，过程前进到块 806。在块 806 中，过程执行温度和电流校

准、存储器刷新和校准广播。在块 806 后，过程前进到块 808，在那里过程退出休眠状态或 C2 状态。在块 808 后，过程前进到块 812。在块 812 中，过程暂停相位调整器的输出。在块 812 后，过程前进到块 814，在那里过程开始频率和电压转换。在块 814 后，过程前进到块 816。在块 816 5 中，过程等待转换完成。在块 816 后，过程前进到块 818，在那里过程使能 FSB 监控。在块 818 后，过程前进到块 820，在那里过程进入休眠状态或 C2 状态。在块 820 后，过程结束。

在前述详细描述中，已经参考特定的示范性实施例描述了本发明的方法和装置。但是，显而易见，可以作出各种修改和变化而不偏离本发明的精神和范围。因此本说明书和附图应被理解为说明而非限制。10

这样，就已描述了节约功耗的一种方法和一个系统。

100

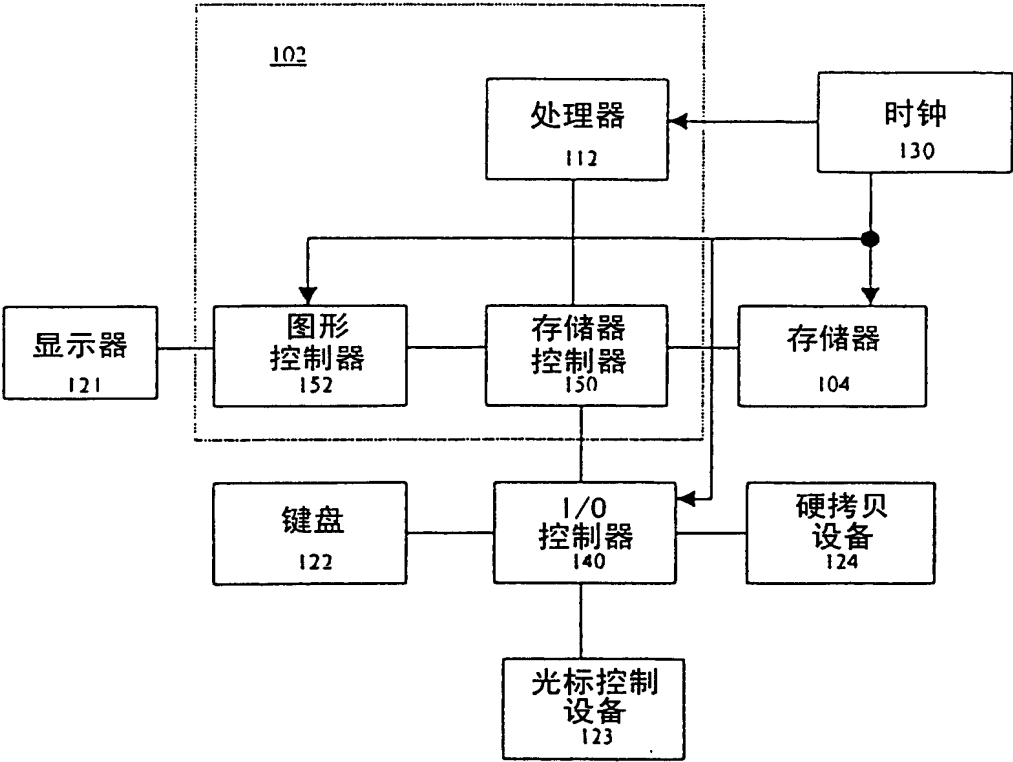


图1

200

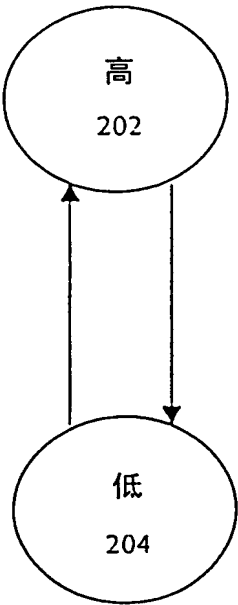


图2

300

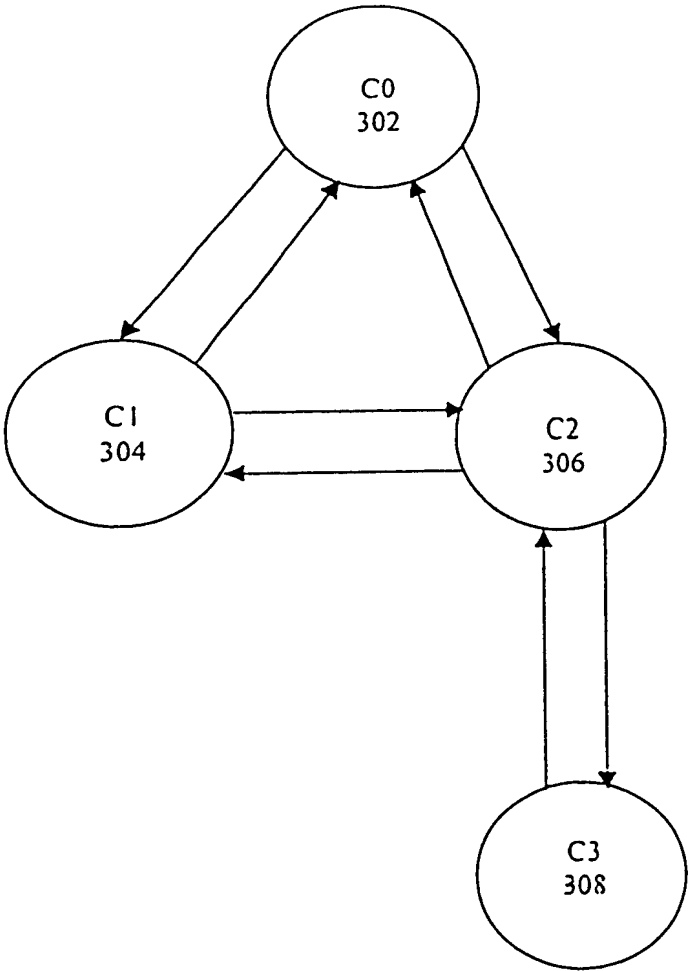


图3

400

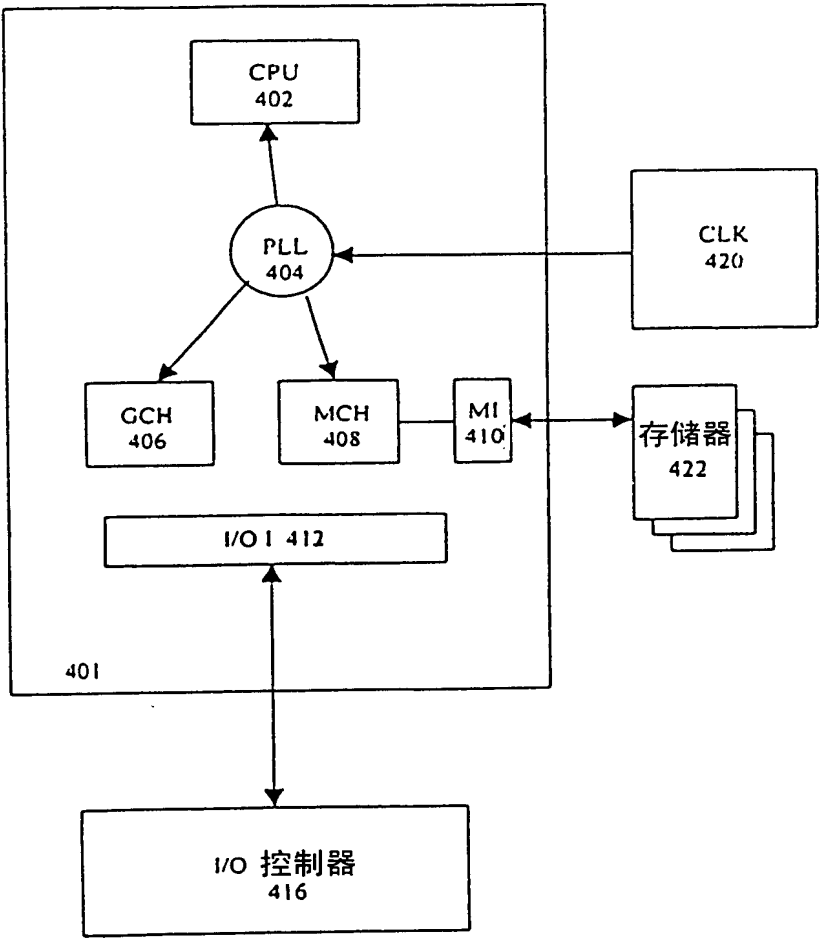


图4

500

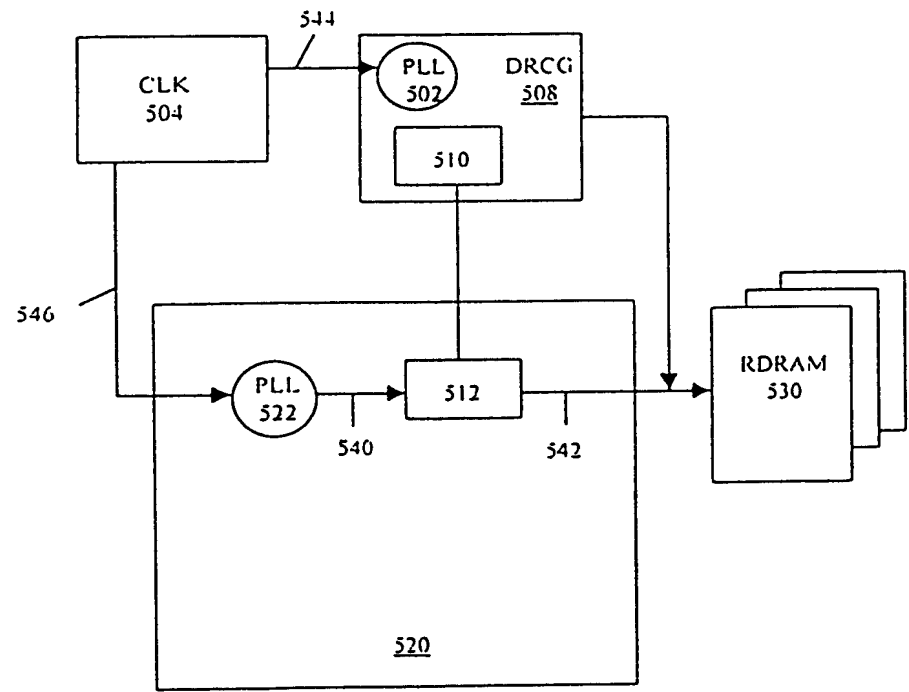


图5

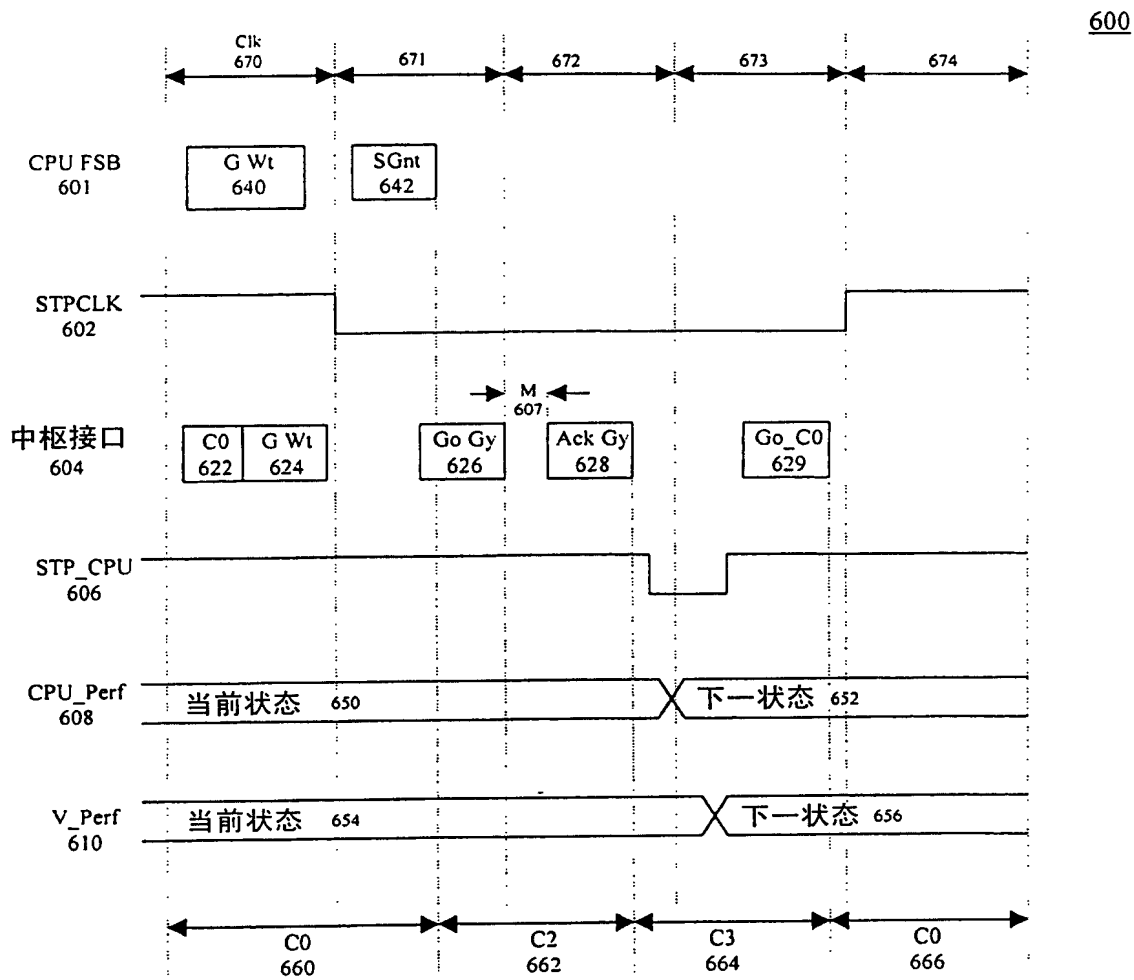


图6

700

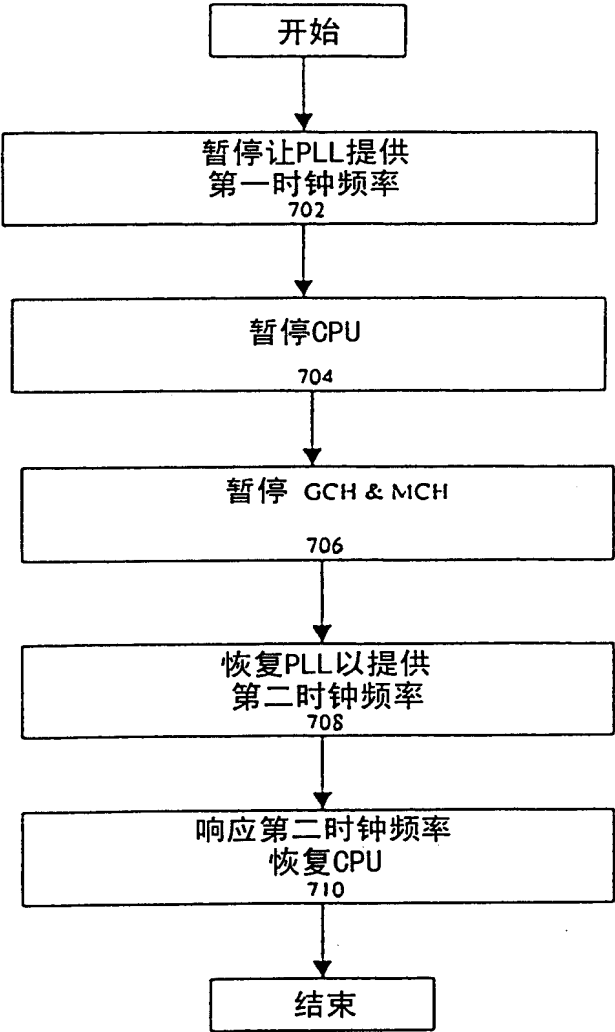


图7

800

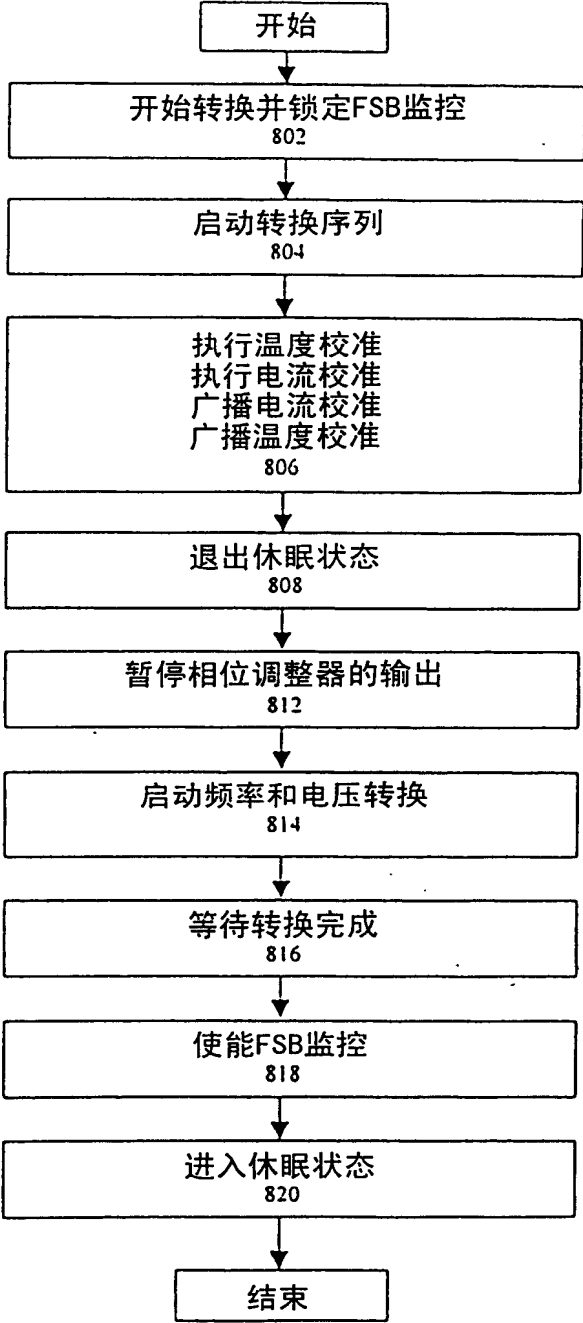


图8