

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/146

H04N 5/225



[12] 发明专利说明书

[21] ZL 专利号 99105839.9

[45] 授权公告日 2005 年 5 月 18 日

[11] 授权公告号 CN 1202575C

[22] 申请日 1999.3.12 [21] 申请号 99105839.9

[30] 优先权

[32] 1998.3.12 [33] JP [31] 061229/1998

[71] 专利权人 佳能株式会社

地址 日本东京都

[72] 发明人 筱原真人

审查员 王 燕

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

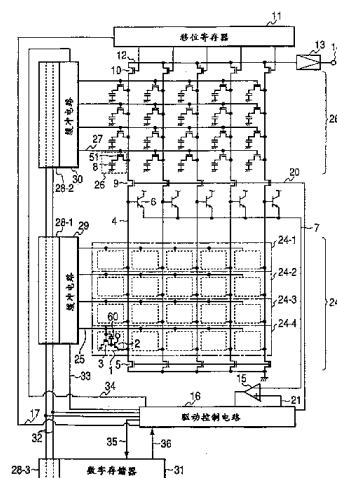
代理人 王永刚

权利要求书 1 页 说明书 7 页 附图 4 页

[54] 发明名称 图像传感器

[57] 摘要

为了减小图像传感器的尺寸，本发明提供的图像传感器包括：多个光电转换元件；和用于存储控制信息的存储器，控制信息用于控制从多个光电转换元件发出的信号，并且其中多个光电转换元件和存储器被形成在同一半导体芯片中。



1. 一种形成在单个半导体衬底上的图象传感器，包括：
多个光电转换元件；
扫描电路，用于顺序地从所述多个光电转换元件读出信号；
驱动控制电路，用于驱动所述扫描电路；和
存储器，存储用于从所述多个光电转换元件读出信号的驱动信息，
其中所述驱动控制电路基于存储在所述存储器中的驱动信息驱动所述扫描电路。
2. 根据权利要求1所述的图象传感器，还包括特征信息控制电路，用于执行控制，从而向所述存储器中存储基于从所述多个光电转换元件输出的信号的特征信息。
3. 根据权利要求1所述的图象传感器，还包括信号处理电路，用于处理来自所述多个光电转换元件的信号，其中基于存储在所述存储器中的特征信息控制所述信号处理电路。
4. 根据权利要求3所述的图象传感器，其中所述信号处理电路包括放大器，用于放大来自所述多个光电转换元件的信号，并且其中所述特征信息包括确定所述放大器的放大因子的信息。
5. 根据权利要求2所述的图象传感器，其中所述特征信息包括信号在所述多个光电转换元件中积累的积累时间的信息。
6. 根据权利要求1所述的图象传感器，其中所述存储器包括RAM。
7. 根据权利要求1所述的图象传感器，其中所述存储器包括ROM。

图象传感器

本发明涉及一种图象传感器，这种图象传感器具有存储器，此存储器与光电转换元件一起位于同一半导体芯片内。

总体上讲，作为光电转换系统，已经有多种系统，其中图象分别由 CCD（电荷耦合器件）型的、MOS（金属氧化物半导体）型的、双极型的和类似的图象传感器阅读。对于摄像机和类似装置而言，常常使用图象质量非常好的 CCD 传感器。另一方面，近些年，甚至在后两种类型的传感器中，SN（信噪）比也提高了，实现了低功耗，并且传感器本身可以与其周边电路一起制备在一个芯片内，由此减小了尺寸。由于这些原因，这些优点已使这两种类型的传感器引起了公众的注意。

另外，近些年已提出了这样一个例子，即，光电转换元件被装配至光电转换模块（block）中，这些模块的驱动和输出条件可以独立地确定。下面将参照图 1 描述图象传感器中布置的多个光电转换模块中的一个模块的例子。图 1 示出了一个一维的图象传感器。在此图中，数字 1 表示一个光电转换象素，它由一个双极型的晶体管 2 和一个 MOS 晶体管 3 组成。后者用于使晶体管 2 的基极复位。在象素 1 中，在晶体管 2 的基极-集电极结区中形成的 PN 结被照射，通过由于入射光引起的电荷积累和基极电位的相应增大而产生的信号电压从晶体管 2 的发射极输出。如图 1 中所示，多个象素 1 布置在一行上。

数字 50 表示用于使象素 1 的基极复位的电压源，数字 4 表示象素输出线，它连接至晶体管 2 的发射极，数字 5 表示用于使线 4 复位的 MOS 晶体管，数字 6 表示双极型晶体管，它的基极连接至线 4。每行中的每个晶体管 6 的发射极连接至共用的输出线 7。晶体管 6 用作检测光电转换输出的最大值的装置，由此与此象素阵列的最大输出电压相对应的电压从输出线 7 产生。

如上所述，通过将双极型晶体管的发射极连接至共用的输出线，形成了最大电压检测电路。

数字 8 表示存储电容器，它用于存储象素的输出电压，数字 9 表示开关 MOS 晶体管，它用于执行象素输出线 4 和电容器 8 之间的连接和断开，数字 10 表示 MOS 晶体管开关，它用于选择电容器 8，数字 11 表示移位寄存器，它用于将控制

信号输出至开关 10 的栅极, 以便顺序地选择多个开关 10, 数字 12 表示输出线, 它用于阅读来自于所选择的电容器 8 的电荷, 数字 13 表示放大器, 线 12 输入至此放大器, 数字 14 表示放大器 13 的输出端子, 数字 15 表示比较器, 它用于判断来自于线 7 的输出值的幅度, 数字 16 表示驱动控制电路, 它用于驱动光电转换模块并且还用于控制来自于比较器 15 的信号, 数字 17 表示驱动线, 它用于时钟信号、反相时钟信号和驱动移位寄存器 11 的起始信号。数字 18、19 和 20 表示驱动线, 它们分别用于向 MOS 晶体管 3、5 和 9 的栅极施加栅极驱动脉冲, 数字 21 表示一根接线, 它用于向比较器 15 提供比较电位, 数字 22 表示门锁电路, 它用于门锁比较器 15 的输出。

在图 1 所示的例子中, 象素 1、电容器 8 和门锁电路 22 被同时复位。此后, 开关 9 被设定为导通, 以维持线 20 的电平为高。随着信号电荷在象素 1 中积累, 线 4 和电容器 8 的电位升高。尔后, 如果与象素输出的最大值相对应的输出超过由接线 21 确定的参考电位, 比较器 15 的输出会倒相, 从而转换门锁电路 22。于是, 由于线 20 的电平变为低, 并且开关 9 也关断, 因此积累至此时的信号将由电容器 8 保持。

在如图 1 所示的具有多个光电转换模块的图象传感器中, 甚至在每一模块中的光强度相互不同的情况下, 通过将每一模块的象素信号积累时间控制为不同, 模块的输出值也可以处于大致相同的水平。虽然通过图 1 中的例子示出的是双极型的象素, 但总体上讲, 可以采用任何类型的光电转换象素。另外, 象素输出的监视不局限于最大值检测。即, 可以设计最小值检测器或最大和最小值之间的差值检测器。

在常规技术中, 在光电转换模块的数量少以及每一模块形成在与其它模块分离的位置上的情况下, 任何问题都不会发生。但是, 在模块数量多并且因此需要将光电转换模块紧密地排列的情况下, 存在这样的问题: 不能配置驱动控制电路 16 和移位寄存器 11 的布置空间。

本发明的目的是要减小图象传感器的尺寸。

为实现上述目的, 根据本发明的一个方面, 提供了这样一种形成在单个半导体衬底上的图象传感器, 包括: 多个光电转换元件; 扫描电路, 用于顺序地从所述多个光电转换元件读出信号; 驱动控制电路, 用于驱动所述扫描电路; 和存储器, 存储用于从所述多个光电转换元件读出信号的驱动信息, 其中所述驱动控制电路基于存储在所述存储器中的驱动信息驱动所述扫描电路。

从以下的详细说明和附图中，本发明的其它目的和特征将变得清楚。

图1是用于说明常规的图象传感器的示意图；

图2是用于描绘根据第一实施例的图象传感器的示意图；

图3是用于描绘根据第二实施例的图象传感器的示意图；

图4是用于描绘根据第三实施例的图象传感器的示意图。

下面将参照图2详细描述本发明的第一实施例。在此图中，数字1表示光电转换象素，与图1中相同，它由复位MOS晶体管和双极型晶体管构成。双极型晶体管具有光电转换元件的PN结部分作为其基极。也可以采用其它类型的象素，诸如MOS晶体管放大型象素。并且，在第一实施例中，象素能够无损地读出信号是必需的。

数字24表示光电转换部分，其中形成有四个模块24-1、24-2、24-3和24-4。数字25表示光电转换元件的驱动线，数字26表示模拟存储单元，它与每一光电转换象素相对应。在此图中，模拟存储单元26由起到存储器作用的电容器8和开关51构成。并且由驱动线27驱动，驱动线27用于通过导通/关断开关51的栅极执行存储器的读和写。数量与光电转换象素1相同的多个模拟存储单元26一起形成模拟存储部分26'。

数字28-1、28-2和28-3表示解码器，通过这些解码器，模块被地址线32选择。数字29表示缓冲电路，用于根据解码器28-1的输出选择驱动线25，数字30表示缓冲电路，用于根据解码器28-2的输出选择驱动线27，数字31表示数字存储器，其中已经写入了用于控制来自于光电转换元件的信号的控制信息。存储器31与光电转换部分一起被设置在一个半导体芯片内，并且根据解码器28-3的输出被存取。数字33表示从驱动控制电路16引出的接线，用于驱动光电转换象素模块，数字34表示驱动线，它也是从电路16引出的，用于驱动模拟存储模块，数字35表示接线，用于将信息写入数字存储器31，数字36表示接线，用于阅读存储在存储器31中的信息。在图2中，应当指出的是，省略了对标有与图1中相同的数字的部分的重复性说明。

下面将描述本实施例的操作过程。在本实施例中，首先，包括象素1的光电转换部分、包括电容器8的模拟存储部分以及数字存储部分全部被复位，然后，驱动开始。为了使光电转换部分复位，驱动线25的电位被设定为负的，并且复位MOS晶体管3被触发。此后，线25的电位被设定为正的，并且晶体管1被触发。

同时MOS晶体管5被导通。此时，基极电流流动，使晶体管1的基极复位，线25于是返回地电平(GND)，由此晶体管1的基极-发射极结变成反偏置。另外，为了使模拟存储部分复位，开关51和9被导通，由此在这个部分8上的电位通过MOS晶体管5降低至地电位。此外，为了使数字存储部分复位，“1”或“0”被写入所有存储位。

接着，从驱动控制电路16引出的地址线被改变，以按适当的顺序(in due order)重复执行光电转换模块24-1、24-2、24-3和24-4的阅读。在这种工作过程中，当每一模块被选择时，数字存储器31的信息也被存取。

经过一定的时间之后，如果比较器51由于例如模块24-2的输出而倒相，即，如果模块24-2内的任何一个光电转换像素输出超过从接线21获得的阈值，那么用于写入与模块24-2相对应的模块的脉冲被施加至接线34。随后，用于导通相应行中的晶体管51的脉冲从缓冲电路30输出，由此模块24-2的信号被存储在模拟存储部分26'中。同时，表示这个模块的信号传送、信号积累时间和类似参数的信息被写入存储器31中与模块24-2相对应的地址。这里，应当指出的是，信号积累时间代表从积累开始到此模块中的最大光电转换信号超过阈值为止的时间周期。当模块24-2在串行操作(serial operation)中再次被驱动并且使比较器15倒相时，驱动控制电路16不产生对模拟存储部分的写脉冲，并且不重写数字存储器31，因为表示模块24-2的信号传送结束的信息已经写在数字存储器31中。由于这个原因，在光电转换模块的监视输出首先达到预定的电平时获得的信息被保持在模拟存储部分和数字存储器31中。这种操作被重复，直到所有模块的信号传送结束。

当光电转换部分的驱动最终结束时，驱动控制电路16控制驱动线20和17，使开关9关断。另外，电路16还通过扫描解码器28-2和触发(causing)移位寄存器11，阅读来自于模拟存储部分的输出。记录在数字存储器31中的信号积累时间信息被用于诸如自动聚焦或类似功能的信号处理。

正如从以上的描述中可以理解的，在数字存储器31中，用于每一模块的驱动信息、积累时间信息、以及表示信号传送是否执行的信息被记录或存储，它们是作为从光电转换元件发出的信号的控制信息被记录或存储的。作为本实施例中的数字存储器，采用了随机存取存储器(RAM)。

另外，通过提供能够读写用于光电转换部分和模拟存储部分中的每一模块的

控制信息的数字存储器 31, 采用共用的驱动控制电路、共用的监视电路(即本实施例中的最大值检测电路)、共用的移位寄存器和类似电路, 独立地驱动和控制多个紧密布置的光电转换模块 24-1、24-2、24-3 和 24-4 变成可能。

下面将参照图 3 详细地描述本发明的第二实施例。

在图 3 中, 与图 2 中所示的第一实施例的区别如下所述。即, 图 2 示出的是: 仅设置了用于输出模块中的最大光电转换电荷的最大值检测电路, 而图 3 示出的是: 除了最大值检测电路之外, 还设置有用于输出模块中的最小光电转换电荷的最小值检测电路, 此电路由部分 6' 和 7' 组成。另外, 在图 3 中, 最大值检测电路和最小值检测电路的输出被输入到差分放大器 45, 并且放大器 13 的增益由驱动控制电路 16 控制。第二实施例的其它方面与图 2 中所示的第一实施例相同, 因此省略其说明。

下面将描述本实施例的操作过程。

在本实施例中, 直到“1”或“0”被写入数字存储器中的所有位为止所进行的操作与第一实施例中相同。

接下去, 从驱动控制电路 16 引出的地址线被改变, 以便按合适的顺序执行光电转换模块 24-1、24-2、24-3 和 24-4 的阅读。在本实施例中, 信号积累时间已经被如此地预先确定: 相应的模块在相同的积累时间中被阅读。

即, 在经过预定的积累时间之后, 驱动控制电路 16 向驱动线 20 发送脉冲, 使晶体管 9 导通。另外, 电路 16 控制缓冲电路 29 和 30 以及解码器 28-1、28-2 和 28-3, 由此光电转换部分中的光电转换电荷被按顺序以模块为单位以信号方式传送到模拟存储部分。这里, 在向模拟存储部分的信号传送以模块为单位进行的情况下, 模块中的最大光电转换电荷从最大值检测电路输出到一根输出线 7, 而模块中的最小光电转换电荷从最小值检测电路输出到一根输出线 7'。因此, 每一模块中的最大和最小光电转换电荷之间的差值从差分放大器 45 输出。

随后, 在驱动控制电路中, 在模拟存储部分最终输出此信号时, 所得到的差值被转换成与放大器的增益相关的信息, 并且所得到的信息被记录或存储在数字存储部分中。当差值较小时, 放大器的增益被设定为较大, 而当差值较大时, 放大器的增益被设定为较小。例如, 在设定四种不同的放大器增益时, 每种增益可以由两位的数字信息表示。正如可以从以上的说明中能够理解的, 每一模块的驱动信息和与放大器的增益相关的信息被记录在数字存储单元中。作为本实施例中

的数字存储器，采用了随机存取存储器（RAM）。

另外，通过提供能够输入和输出光电转换部分和模拟存储部分中的每一模块的控制信息的数字存储器 31，采用共用的驱动控制电路、共用的监视电路（即本实施例中的最大值检测电路和最小值检测电路）、共用的移位寄存器、共用的放大器和类似电路，独立地驱动和控制多个紧密布置的光电转换模块 24-1、24-2、24-3 和 24-4 是可能的。

图 4 示出本发明的第三实施例。图 4 示出了模块布置，其中光电转换元件阵列中的第一和第三行中的每一行被分成两个光电转换模块，即第一行中的模块 24-1-1 和 24-1-2 以及第三行中的 24-3-1 和 24-3-2。另外，图 4 示出了一根地址线 39，用于鉴别此行中的分开的模块，而用于表示此行的地址线 32 与图 2 和 3 中所示的相同。

在图 4 中，数字 40 表示开关 MOS 晶体管，用于将最大值检测电路 6 和输出线 7 互连。晶体管 40 由驱动电路 16 的输出线 41 导通/关断。为模拟存储部分中的第一和第三行中的每一行设置有两根驱动线 42 和 43，于是模拟存储部分具有与光电转换部分的模块布置相对应的模块布置。在光电转换部分中，以相同的方式为每一行设置有驱动线 25。通过使用线 25，像素 1 通过缓冲电路 29 由解码器 28-1 驱动。另一方面，具有存储电容器 8 的模拟存储部分是这样构成的：通过根据相应的按行分开的光电转换模块选择性地使用驱动线 42 或 43，存储电容器可以通过缓冲电路 30 由解码器 28-2 控制。

此外，在数字存储器 31 中，数字 37 表示只读存储器（ROM），它记录由地址线 32 选择的行包括一个模块还是两个模块。当选择的行包括一个模块时，ROM 37 的输出 38 被确定为低。而当选择的行包括两个模块时，则被确定为高。因此，在驱动控制电路 16 通过地址线 32 指示行的情况下，从输出 38 可容易地获知此行中的模块是否被分开。

进一步，当输出 38 为高时，在所选择的行中有两个模块被地址线 39 选择。另外，当输出 38 为低时，两根控制线 41 同时接通，而接通脉冲交替地从两根控制线 41 输出，以便在输出 38 为高时，独立地选择两个模块中的每一个。因此，对于行中的每两个模块，驱动控制电路 16 可以容易地从最大值检测电路 6 检测光电转换电荷的最大值。随后，检测出的电平由电路 16 输出至输出线 7，并且由比较器 15 与阈值相比较，由此将信号积累时间存储在数字存储器 31 中是可能的。另

外，将图象信号从模拟存储部分读出至输出线 12 并且随后通过放大器 13 输出也是可能的。

另外，地址线 39 还输入到用于模拟存储部分的缓冲电路 30。因此，如果在一行中有两个模块，独立地控制每一模块就变成可能的。

在图 4 中，分别标有与图 2 中相同的数字的部分具有与图 2 中相对应的部分相同的功能，因此省略对这些部分的重复说明。在任何情况下，甚至在多个模块设置在一行中的排列结构情况下，如果能够分辨每行中的模块布置图形的 ROM 被加到数字存储器 31，通过采用共用的监视电路、共用的驱动控制电路和类似电路，独立地驱动和控制多个光电转换模块中的每一个是可能的。

正如从以上的描述中可以理解的，作为用于从光电转换元件发出的信号的控制信息，每一模块的驱动信息、积累时间信息、以及表示信号是否已被传送的信息被记录于存储部分的数字存储器 31 中。另外，用于分辨每行中的模块布置图形的信息被存储在 ROM 37 中。作为本实施例中的数字存储器，采用了随机存取存储器 (RAM)。

另外，上述的第二实施例可以应用于此第三实施例。

正如上面所描述的，根据第一至第三实施例，即使对于要求紧密布置的光电转换部分的模块，独立地驱动和控制每一模块也变成可能的。

另外，由于模块的数量大，即使必需在每一模块中紧密地布置光电转换元件，不能配置驱动控制电路和移位寄存器的布置空间的问题也不会产生。因此，可以容易地处理大量的光电转换模块。

这里，在第一至第三实施例中，监视电路不局限于上述的监视电路。也就是说，能够获得相应模块的特征信息的电路就可以被采用。例如，用于获得相应光电转换模块的附加信号的附加电路可以被用作监视电路。

在不脱离本发明的精神和范围的情况下，可以构成本发明的许多大不相同的实施例。应当理解的是，除在所附权利要求中被限定的以外，本发明不局限于本说明书中描述的特定实施例。

图 1

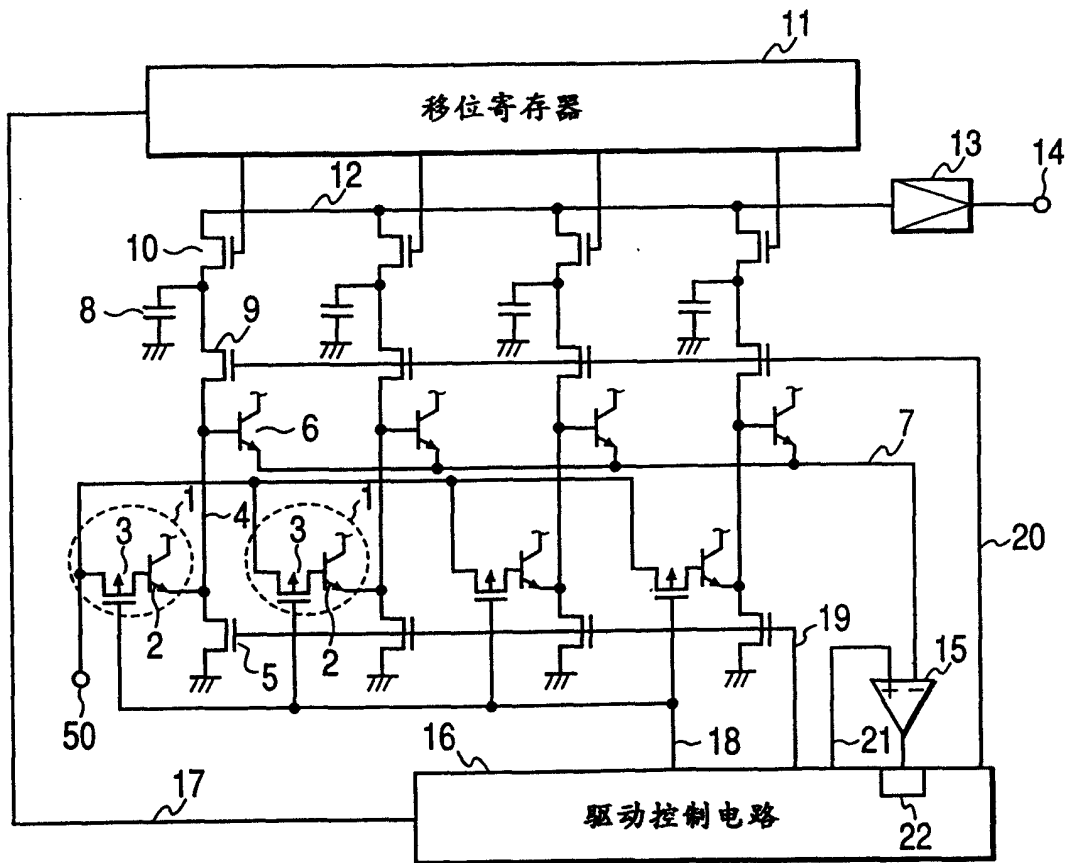


图 2

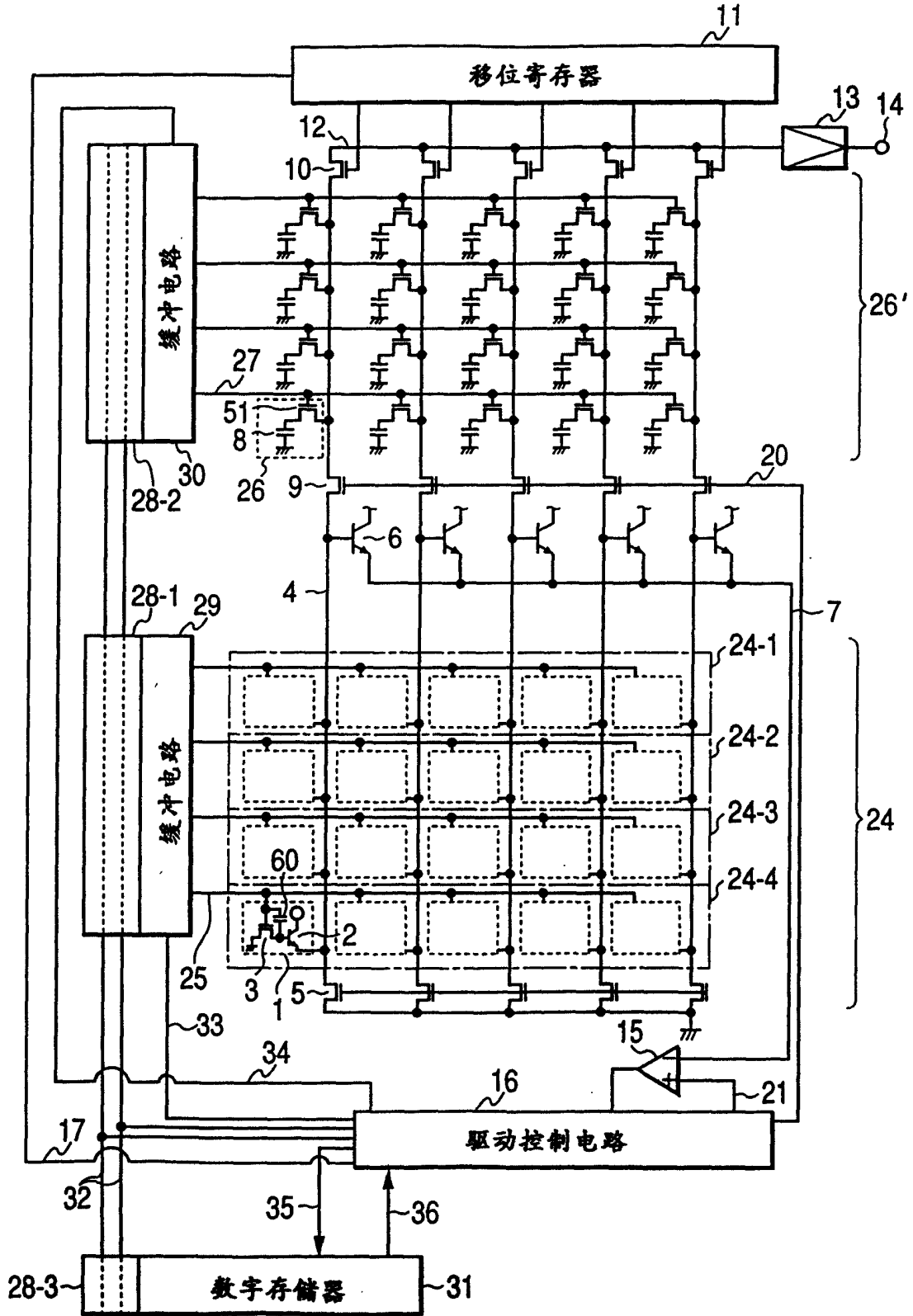


图 4

