

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6087558号
(P6087558)

(45) 発行日 平成29年3月1日(2017.3.1)

(24) 登録日 平成29年2月10日(2017.2.10)

(51) Int.Cl.

F 1

H03K	19/0944	(2006.01)
H03K	17/06	(2006.01)
H03K	19/094	(2006.01)
G09G	3/36	(2006.01)
G09G	3/30	(2006.01)

HO 3 K	19/094	A
HO 3 K	17/06	0 6 3
HO 3 K	19/094	C
G0 9 G	3/36	
G0 9 G	3/30	J

請求項の数 1 (全 39 頁) 最終頁に続く

(21) 出願番号

特願2012-215365 (P2012-215365)

(22) 出願日

平成24年9月28日(2012.9.28)

(65) 公開番号

特開2013-85237 (P2013-85237A)

(43) 公開日

平成25年5月9日(2013.5.9)

審査請求日

平成27年9月23日(2015.9.23)

(31) 優先権主張番号

特願2011-217150 (P2011-217150)

(32) 優先日

平成23年9月30日(2011.9.30)

(33) 優先権主張国

日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 梅崎 敦司

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 小林 正明

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1乃至第5のトランジスタと、容量素子と、を有し、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、第3の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記容量素子の第1の端子と電気的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第3の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記容量素子の第1の端子と

10

20

電気的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第3の配線と電気的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

前記容量素子の第2の端子は、第4の配線と電気的に接続され、

10

前記第4の配線には、第1の信号が入力され、

前記第2の配線からは、第2の信号が出力されることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置及び表示装置に関する。

【背景技術】

【0002】

液晶表示装置やEL表示装置等の表示装置の大型化に伴い、より付加価値の高い表示装置の開発が進められている。特に、表示装置の駆動回路を一導電型のトランジスタのみを用いて構成する技術開発が活発に進められている（特許文献1、非特許文献1参照）。

20

【0003】

図17(A)は、特許文献1において開示された駆動回路を示す。特許文献1の駆動回路は、トランジスタM1、トランジスタM2、トランジスタM3及びトランジスタM4によって構成されている。信号INがハイレベルである場合には、トランジスタM1がオフになり、トランジスタM2、トランジスタM3及びトランジスタM4がオンになる。そして、信号OUTはハイレベルになる。一方、信号INがロウレベルである場合には、トランジスタM1がオンになり、トランジスタM2及びトランジスタM4がオフになり、トランジスタM3が一旦オンになった後にオフになる。そして、信号OUTはロウレベルになる。

30

【0004】

図17(B)は、非特許文献1において開示された駆動回路を示す。非特許文献1の駆動回路は、トランジスタM11乃至トランジスタM19、及び容量素子C11等によって構成される。信号INがハイレベルである場合には、トランジスタM12、トランジスタM14、トランジスタM16及びトランジスタM17がオンになり、トランジスタM11、トランジスタM13及びトランジスタM15がオフになり、トランジスタM18及びトランジスタM19が一旦オンになった後にオフになる。そして、信号OUTがロウレベルになる。一方、信号INがロウレベルである場合には、トランジスタM12、トランジスタM14、トランジスタM16、トランジスタM17及びトランジスタM18がオフになり、トランジスタM11、トランジスタM15及びM19がオンになり、トランジスタM13が一旦オンになった後にオフになる。そして、信号OUTがハイレベルになる。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-328643号公報

【非特許文献】

【0006】

【非特許文献1】Eri Fukumoto, Toshiaki Arai, Naruhiko Morosawa, Kazuhiko Tokunaga, Yasuhiro Terai, Takashige Fujimori and Tatsuya

50

Sasaoka, 'High Mobility Oxide Semiconductor TFT for Circuit Integration of AM-OL ED', IDW'10, pp. 631 - 634

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献1の駆動回路では、信号INがハイレベルになると、トランジスタM3とトランジスタM4との双方がオンになっていた。したがって、信号INがハイレベルとなる期間においては、電位VDDが供給される配線からトランジスタM3及びトランジスタM4を順に介して電位VSSが供給される配線に電流が流れ続けるため、消費電力が大きくなっていた。

10

【0008】

また、特許文献1の駆動回路では、信号INがハイレベルとなる期間において、トランジスタM1のゲートの電位をトランジスタM1がオフになる程度まで下げる必要があった。そのために、トランジスタM4のW (W:チャネル幅) / L (L:チャネル長) をトランジスタM3のW / Lよりも十分に大きくする必要があったが、これは必ずしも容易ではない。なぜなら、トランジスタM3のW / Lを大きくすると、トランジスタM4のW / Lも大きくする必要があるため、レイアウト面積が増大するからである。したがって、信号INがハイレベルとなる期間において、トランジスタM3がオンになり、電位VDDをトランジスタM1のゲートに供給する場合、トランジスタM1のゲートの電位が所定の電位に達するまでの時間が長くなっていた。これにより、トランジスタM1がオンになるタイミングが遅くなり、またトランジスタM1のVgsが小さくなるため、信号OUTの立ち上がり時間が長くなっていた。よって、信号OUTに遅延又はなまり等が生じていた。

20

【0009】

また、非特許文献1の駆動回路では、特許文献1の駆動回路と比較しても明らかなように、多数のトランジスタ及び容量素子等の素子を必要としていた。

【0010】

そこで、本発明の一態様では、回路の配線間にトランジスタを介して流れる電流を抑え、回路の消費電力を小さくすることを課題の一とする。また、回路からの出力信号の立ち上がり時間を短くし、出力信号の遅延又はなまりを抑えることを課題の一とする。また、回路のトランジスタ及び容量素子等の素子数を減らすことを課題の一とする。また、新規の回路構成を提供することを課題の一とする。なお、課題は効果と表裏一体の関係にあり、本明細書等で効果を述べる場合には、その効果に対応する課題が存在することは自明な事項である。逆に、本明細書等で課題を述べる場合には、その課題に対応する効果を奏することは自明な事項である。

30

【課題を解決するための手段】

【0011】

本発明の一態様は、ソース及びドレインの一方が第1の配線と電気的に接続され、ソース及びドレインの他方が第2の配線と電気的に接続された第1のトランジスタと、ソース及びドレインの一方が第1の配線と電気的に接続され、ゲートが第1のトランジスタのゲートと電気的に接続された第2のトランジスタと、一方の電極が第3の配線と電気的に接続され、他方の電極が第2のトランジスタのソース及びドレインの他方と電気的に接続された容量素子と、を有することを特徴とする半導体装置である。

40

【0012】

なお、上記本発明の一態様において、第1のトランジスタのW / L (Wはチャネル幅、Lはチャネル長) は、第2のトランジスタのW / Lよりも大きくてもよい。

【0013】

なお、上記本発明の一態様において、第1のトランジスタと第2のトランジスタとは、同じ導電型であってもよい。

【発明の効果】

50

【0014】

本発明の一態様は、回路の配線間にトランジスタを介して流れる電流を抑え、回路の消費電力を小さくすることができる。また、回路からの出力信号の立ち上がり時間を短くすることができ、出力信号の遅延又はなまりを抑えることができる。また、回路のトランジスタ及び容量素子等の素子数を減らすことができる。

【図面の簡単な説明】

【0015】

【図1】本発明の一態様に係るインバータ回路を説明するための図。

【図2】本発明の一態様に係るインバータ回路を説明するための図。

【図3】本発明の一態様に係るインバータ回路を説明するための図。

10

【図4】本発明の一態様に係るインバータ回路で使用される回路を説明するための図。

【図5】本発明の一態様に係るインバータ回路を説明するための図。

【図6】本発明の一態様に係るインバータ回路を説明するための図。

【図7】本発明の一態様に係るシフトレジスタ回路を説明するための図。

【図8】本発明の一態様に係るシフトレジスタ回路を説明するための図。

【図9】本発明の一態様に係るシフトレジスタ回路を説明するための図。

【図10】本発明の一態様に係るシフトレジスタ回路を説明するための図。

【図11】本発明の一態様に係るシフトレジスタ回路を説明するための図。

【図12】本発明の一態様に係る表示装置を説明するための図。

【図13】本発明の一態様に係るトランジスタを説明するための図。

20

【図14】本発明の一態様に係る表示装置を説明するための図。

【図15】本発明の一態様に係る電子機器を説明するための図。

【図16】本発明の一態様に係る半導体装置を説明するための図。

【図17】従来の駆動回路を説明するための図。

【発明を実施するための形態】

【0016】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。

30

【0017】

(実施の形態1)

本実施の形態では、本発明の一態様に係るインバータ回路（半導体装置又は駆動回路ともいう）について説明する。

【0018】

本実施の形態のインバータ回路の構成について、図1(A)を参照して説明する。

【0019】

図1(A)のインバータ回路は、回路100と、回路200と、を有する。回路100は、配線11、配線12、配線13、配線14、及び回路200と接続される。また、回路200は、配線11、配線13、配線14、及び回路100と接続される。

40

【0020】

回路100は、トランジスタ101と、トランジスタ102と、を有する。トランジスタ101の第1の端子（ソース及びドレインの一方ともいう）は配線11と接続され、トランジスタ101の第2の端子（ソース及びドレインの他方ともいう）は配線12と接続される。トランジスタ102の第1の端子は配線13と接続され、トランジスタ102の第2の端子は配線12と接続され、トランジスタ102のゲートは配線14と接続される。

【0021】

回路200は、トランジスタ201と、トランジスタ202と、トランジスタ203と、容量素子204と、を有する。トランジスタ201の第1の端子は配線11と接続され、トランジスタ201のゲートはトランジスタ101のゲートと接続される。トランジスタ

50

202の第1の端子は配線13と接続され、トランジスタ202の第2の端子はトランジスタ201の第2の端子と接続され、トランジスタ202のゲートは配線14と接続される。トランジスタ203の第1の端子は配線13と接続され、トランジスタ203の第2の端子はトランジスタ201のゲートと接続され、トランジスタ203のゲートは配線14と接続される。容量素子204の第1の電極（一方の電極ともいう）は配線14と接続され、容量素子204の第2の電極（他方の電極ともいう）はトランジスタ201の第2の端子と接続される。

【0022】

なお、トランジスタ101のゲートとトランジスタ201のゲートとトランジスタ203の第2の端子との接続箇所をノードN1と示す。また、トランジスタ201の第2の端子とトランジスタ202の第2の端子と容量素子204の第2の電極との接続箇所をノードN2と示す。

10

【0023】

なお、本実施の形態のインバータ回路が有するトランジスタは、同じ導電型であることが好ましい。例えば、図1(A)のインバータ回路では、トランジスタ101、トランジスタ102、トランジスタ201、トランジスタ202及びトランジスタ203は、同じ導電型であることが好ましい。本実施の形態では、トランジスタ101、トランジスタ102、トランジスタ201、トランジスタ202及びトランジスタ203がNチャネル型である場合について説明する。

【0024】

20

なお、本明細書等において接続とは電気的な接続を意味しており、電流、電圧、電位、信号又は電荷等を供給又は伝送可能な状態に相当する。よって、「接続されている」とは、直接接続されている状態に加えて、例えば配線、導電膜、抵抗、ダイオード、トランジスタ、スイッチング素子などの素子を介して間接的に接続している状態も、その範疇に含む。

【0025】

配線11（電源線ともいう）には電位VDDが供給され、配線11は電位VDDを伝達する機能を有する。電位VDDは一定の電位である。

【0026】

30

配線13（電源線ともいう）には電位VSSが供給され、配線13は電位VSSを伝達する機能を有する。電位VSSは一定の電位であり、電位VDD未満の電位である。

【0027】

配線14（信号線ともいう）には信号INが入力され、配線14は信号INを伝達する機能を有する。信号INは図1(A)のインバータ回路の入力信号である。また、信号INはトランジスタ102、トランジスタ202、及びトランジスタ203の導通又は非導通を制御するための信号である。

【0028】

配線12（信号線ともいう）からは信号OUTが出力され、配線12は信号OUTを伝達する機能を有する。信号OUTは図1(A)のインバータ回路の出力信号である。

【0029】

40

なお、配線11、配線13及び配線14には、上述した信号又は電位に限定されず、他にも様々な信号又は電位等を入力することができる。

【0030】

回路100（バッファ回路ともいう）は、回路200の出力信号に応じて、配線11の電位VDDを配線12に供給する機能を有する。また、回路100は、信号INに応じて配線13の電位VSSを配線12に供給する機能を有する。また、回路100は、回路200の出力信号及び信号INに応じて、配線11の電位VDD及び配線13の電位VSSの一方を配線12に供給する機能を有する。

【0031】

回路200（制御回路ともいう）は、信号INに応じて、回路100が配線11の電位V

50

D D を配線 1 2 に供給するタイミングを制御する信号（ノード N 1 の電位）を生成する機能を有する。

【 0 0 3 2 】

トランジスタ 1 0 1 は配線 1 1 と配線 1 2 との導通又は非導通を制御する機能を有する。また、トランジスタ 1 0 1 は配線 1 1 の電位 V D D を配線 1 2 に供給する機能を有する。また、トランジスタ 1 0 1 は配線 1 2 とノード N 1 との電位差を保持する機能を有する。

【 0 0 3 3 】

トランジスタ 1 0 2 は配線 1 3 と配線 1 2 との導通又は非導通を制御する機能を有する。また、トランジスタ 1 0 2 は配線 1 3 の電位 V S S を配線 1 2 に供給する機能を有する。

【 0 0 3 4 】

トランジスタ 2 0 1 は配線 1 1 とノード N 2 との導通又は非導通を制御する機能を有する。また、トランジスタ 2 0 1 は配線 1 1 の電位 V D D をノード N 2 に供給する機能を有する。また、トランジスタ 2 0 1 はノード N 1 とノード N 2 との電位差を保持する機能を有する。

【 0 0 3 5 】

トランジスタ 2 0 2 は配線 1 3 とノード N 2 との導通又は非導通を制御する機能を有する。また、トランジスタ 2 0 2 は配線 1 3 の電位 V S S をノード N 2 に供給する機能を有する。

【 0 0 3 6 】

トランジスタ 2 0 3 は配線 1 3 とノード N 1 との導通又は非導通を制御する機能を有する。また、トランジスタ 2 0 3 は配線 1 3 の電位 V S S をノード N 1 に供給する機能を有する。

【 0 0 3 7 】

容量素子 2 0 4 は配線 1 4 とノード N 2 との電位差を保持する機能を有する。

【 0 0 3 8 】

次に、図 1 (A) のインバータ回路の駆動方法の一例について、図 1 (B) を参照して説明する。図 1 (B) は、図 1 (A) のインバータ回路の駆動方法を説明するためのタイミングチャートの一例を示す。

【 0 0 3 9 】

なお、信号 I N がハイレベルの電位が電位 V D D と等しく、ロウレベルの電位が電位 V S S と等しいデジタル信号であるものとして説明する。また、信号 I N がハイレベルである場合と、信号 I N がロウレベルである場合とに分けて説明する。

【 0 0 4 0 】

まず、信号 I N がハイレベルになる場合には、トランジスタ 1 0 2 、トランジスタ 2 0 2 及びトランジスタ 2 0 3 がオンになる。

【 0 0 4 1 】

トランジスタ 2 0 3 がオンになると、配線 1 3 の電位 V S S がノード N 1 に供給される。よって、ノード N 1 の電位が電位 V S S まで下がる。ノード N 1 の電位が電位 V S S まで下がると、トランジスタ 1 0 1 及びトランジスタ 2 0 1 がオフになる。

【 0 0 4 2 】

また、トランジスタ 2 0 2 がオンになると、配線 1 3 の電位 V S S がノード N 2 に供給される。よって、ノード N 2 の電位が電位 V S S まで下がる。

【 0 0 4 3 】

また、トランジスタ 1 0 2 がオンになると、配線 1 3 の電位 V S S が配線 1 2 に供給される。よって、配線 1 2 の電位が電位 V S S まで下がる。つまり、信号 O U T がロウレベルになる。

【 0 0 4 4 】

次に、信号 I N がロウレベルになる場合には、トランジスタ 1 0 2 、トランジスタ 2 0 2 及びトランジスタ 2 0 3 がオフになる。

【 0 0 4 5 】

10

20

30

40

50

トランジスタ 203 がオフになると、ノード N1 が浮遊状態になる。よって、ノード N1 の電位が電位 VSS のままになるため、トランジスタ 101 及びトランジスタ 201 がオフのままになる。

【0046】

また、トランジスタ 202 がオフになると、ノード N2 が浮遊状態になる。このとき、容量素子 204 には、信号 IN がハイレベルである期間における、配線 14 とノード N2 との電位差が保持されている。よって、信号 IN がロウレベルになることに伴って、ノード N2 の電位も下がる。ノード N2 の電位がノード N1 の電位（例えば電位 VSS）からトランジスタ 201 の閾値電圧を引いた電位未満まで下がれば、トランジスタ 201 がオンになる。

10

【0047】

トランジスタ 201 がオンになると、配線 11 の電位 VDD がノード N2 に供給される。よって、ノード N2 の電位が上昇する。このとき、トランジスタ 201 のゲートと第 2 の端子との間にはトランジスタ 202 がオフになったときのノード N1 とノード N2 との電位差が保持されている。よって、ノード N2 の電位の上昇に伴って、ノード N1 の電位も上昇する。ノード N2 の電位は電位 VDD まで上昇し、ノード N1 の電位は電位 VDD よりも高い電位となる。いわゆる、ブーストアップ動作である。そして、ノード N1 の電位が上昇することにより、トランジスタ 101 がオンになる。

【0048】

トランジスタ 101 がオンになると、配線 11 の電位 VDD が配線 12 に供給される。また、前述したように、ノード N1 の電位は電位 VDD よりも高くなる。よって、配線 12 の電位は電位 VDD まで上昇する。すなわち、信号 OUT がハイレベルとなる。

20

【0049】

以上のとおり、図 1 (A) のインバータ回路は、トランジスタ 101 及びトランジスタ 102 の双方が同時にオンになる期間がない。また、トランジスタ 201 及びトランジスタ 202 の双方が同時にオンになる期間がない。よって、配線 11 と配線 13 との間に電流が流れ続ける経路をなくすことができる。また、従来の駆動回路よりも少ないトランジスタ数で、信号 OUT のハイレベルの電位を配線 11 の電位 VDD まで上昇させることができる。

【0050】

30

また、信号 IN がロウレベルとなる場合において、トランジスタ 201 の第 2 の端子の電位が上昇することに伴うとともに、トランジスタ 101 の第 2 の端子の電位が上昇することにも伴って、ノード N1 の電位が上昇する。よって、ノード N1 の電位が所定の電位に達するまでの時間を短くすることができるため、トランジスタ 101 がオンになるタイミングを早くすることができる。また、ノード N1 の電位をより高くすることができるため、トランジスタ 101 の Vgs をより大きくすることができる。図 1 (A) のインバータ回路では、トランジスタ 101 がオンになるタイミングを早くすることができることと、トランジスタ 101 の Vgs を大きくすることができることが相乗的に作用し、信号 OUT の立ち上がり時間を大幅に短くすることができる。

【0051】

40

次に、図 1 (A) とは異なるインバータ回路について、図 2 乃至図 6 を参照して説明する。

【0052】

まず、図 2 (A) のインバータ回路は、図 1 (A) のインバータ回路に回路 300A を設けた構成である。

【0053】

回路 300A の第 1 の端子（入力端子ともいう）は配線 14 と接続され、回路 300A の第 2 の端子（出力端子ともいう）はトランジスタ 203 のゲートと接続される。

【0054】

回路 300A は第 1 の端子に入力された信号（例えば信号 IN）に応じた信号を第 2 の端

50

子から出力する機能を有する。また、回路 300A は第 1 の端子に入力された信号よりも遅延した及び / 又はなまつた信号を第 2 の端子から出力する機能を有する。

【0055】

なお、例えば、第 1 の信号よりも第 2 の信号のほうが遅延しているとは、第 1 の信号が立ち上がるタイミング又は立ち下がるタイミングよりも、第 2 の信号が立ち上がるタイミング又は立ち下がるタイミングのようが遅いことをいう。また、例えば、第 1 の信号よりも第 2 の信号のほうがなまつているとは、第 1 の信号の立ち上がり時間又は立ち下がり時間よりも、第 2 の信号の立ち上がり時間又は立ち下がり時間のほうが長いことをいう。

【0056】

図 2 (A) のインバータ回路では、信号 IN がハイレベルからロウレベルになっても、所定の期間、回路 300A の第 2 の端子から出力される信号はハイレベルのままとなる。言い換えると、信号 IN がハイレベルからロウレベルになっても、所定の期間、トランジスタ 203 はオンのままとなり、ノード N1 に電位 VSS が供給されるままとなる。

10

【0057】

したがって、図 2 (A) のインバータ回路では、ノード N2 の電位が容量素子 204 の容量結合によって下がるとき、ノード N1 に配線 13 の電位 VSS を供給することができる。よって、ノード N2 の電位が下がることに伴い、ノード N1 の電位も下がることを抑制することができる。すなわち、ノード N1 とノード N2 との電位差を大きくすることができる。ノード N1 とノード N2 との電位差を大きくすることができれば、ノード N2 の電位が電位 VDD になったときのノード N1 の電位をより高くすることができ、トランジスタ 101 の Vgs をより大きくすることができる。よって、信号 OUT の立ち上がり時間を短くすることができる。

20

【0058】

なお、図 2 (A) のインバータ回路において、容量素子 204 の第 1 の電極を回路 300A の第 2 の端子と接続してもよい。

【0059】

次に、図 2 (B) のインバータ回路は、図 2 (A) のインバータ回路に回路 300B を設けた構成である。

【0060】

回路 300B の第 1 の端子は配線 14 と接続され、回路 300B の第 2 の端子は容量素子 204 の第 1 の電極と接続される。

30

【0061】

回路 300B は回路 300A と同様の機能を有する。ただし、回路 300B の第 2 の端子から出力される信号は、回路 300A の第 2 の端子から出力される信号よりも遅延していない、及び / 又はなまつていないことが好みしい。

【0062】

図 2 (B) のインバータ回路では、信号 IN がハイレベルからロウレベルになっても、所定の期間、回路 300A の第 2 の端子及び回路 300B の第 2 の端子から出力される信号はハイレベルのままとなる。言い換えると、信号 IN がハイレベルからロウレベルになっても、所定の期間、トランジスタ 203 はオンのままとなり、ノード N1 に電位 VSS が供給されるままとなる。また、所定の期間、容量素子 204 の第 1 の電極に入力される信号はハイレベルのままとなる。

40

【0063】

その後、回路 300B の第 2 の端子から出力される信号がハイレベルからロウレベルになつても、所定の期間、回路 300A から出力される信号はハイレベルのままとなる。言い換えると、回路 300B の第 2 の端子から出力される信号がハイレベルからロウレベルになつても、所定の期間、トランジスタ 203 はオンのままになり、ノード N1 に電位 VSS が供給されたままになる。

【0064】

したがって、図 2 (B) のインバータ回路では、トランジスタ 202 がオフになった後に

50

、容量素子 204 の第 1 の電極の電位を下げることができる。すなわち、ノード N2 を確実に浮遊状態とした後に、ノード N2 の電位を容量素子 204 の容量結合により下げることができる。よって、ノード N2 の電位をより低くすることができます。また、図 2 (A) のインバータ回路と同様に、ノード N2 の電位が容量素子 204 の容量結合によって下がるとき、ノード N1 に配線 13 の電位 VSS を供給することができます。よって、ノード N2 の電位が下がることに伴い、ノード N1 の電位も下がることを抑制することができる。

【0065】

また、図 2 (B) のインバータ回路では、ノード N2 の電位をより低くすることができますと、ノード N1 の電位が下がることを抑制することができますとが相乘的に作用し、ノード N1 とノード N2 との電位差をより大きくすることができます。ノード N1 とノード N2 との電位差をより大きくすることができれば、ノード N2 の電位が電位 VDD となつたときのノード N1 の電位をより高くすることができ、トランジスタ 101 の Vgs をより大きくすることができます。よって、信号 OUT の立ち上がり時間をより短くすることができます。

【0066】

次に、図 3 (A) のインバータ回路は、図 2 (A) のインバータ回路に回路 300C を設けた構成である。

【0067】

回路 300C の第 1 の端子は配線 14 と接続され、回路 300C の第 2 の端子は回路 300A の第 1 の端子及び容量素子 204 の第 1 の電極と接続される。

【0068】

回路 300C は回路 300A と同様の機能を有する。

【0069】

図 3 (A) のインバータ回路では、信号 IN がハイレベルからロウレベルになつても、所定の期間、回路 300A の第 2 の端子及び回路 300C の第 2 の端子から出力される信号はハイレベルのままとなる。言い換えると、信号 IN がハイレベルからロウレベルになつても、所定の期間、トランジスタ 203 はオンのままとなり、ノード N1 に電位 VSS が供給されるままとなる。また、所定の期間、容量素子 204 の第 1 の電極に入力される信号はハイレベルのままとなる。

【0070】

その後、回路 300C の第 2 の端子から出力される信号がハイレベルからロウレベルになつても、所定の期間、回路 300A から出力される信号はハイレベルのままとなる。言い換えると、回路 300C の第 2 の端子から出力される信号がハイレベルからロウレベルになつても、所定の期間、トランジスタ 203 はオンのままになり、ノード N1 に電位 VSS が供給されたままになる。

【0071】

したがって、図 3 (A) のインバータ回路では、図 2 (B) のインバータ回路と同様の動作を行うことができる。よって、図 2 (B) のインバータ回路が奏する効果と同様の効果を奏することができる。

【0072】

さらに、図 3 (A) のインバータ回路では、回路 300A 及び回路 300C が直列に接続されていることにより、回路 300A の第 2 の端子から出力される信号は、回路 300C の第 2 の端子から出力される信号に対して遅延した及び / 又はなまつた信号となる。よって、回路 300A の回路規模の低減又は素子のサイズの低減を図ることができる。

【0073】

次に、図 3 (B) のインバータ回路は、図 2 (A) のインバータ回路のトランジスタ 102 のゲートがトランジスタ 203 のゲートと接続された構成である。

【0074】

図 3 (B) のインバータ回路では、トランジスタ 102 のゲートが回路 300A を経ずに配線 14 と接続される場合と比較して、トランジスタ 102 がオンになるタイミングを遅

10

20

30

40

50

くすることができる。よって、トランジスタ 101 とトランジスタ 102 の双方が同時にオンになる時間を短くすることができる。つまり、配線 11 と配線 13 との間に流れる貫通電流を抑制することができる。よって、消費電力の削減を図ることができる。

【0075】

なお、図 3 (B) のインバータ回路と同様に、図 2 (B) 又は図 3 (A) 等の上述したインバータ回路においても、トランジスタ 102 のゲートをトランジスタ 203 のゲートと接続してもよい。

【0076】

ここで、回路 300A、回路 300B 及び回路 300C の具体的な構成例について、図 4 (A) ~ 図 4 (F) を参照して説明する。図 4 (A) ~ 図 4 (F) は、回路 300A、回路 300B 及び回路 300C に用いることが可能な回路 300 を示す。

10

【0077】

図 4 (A) の回路 300 は、抵抗素子 301 を有する。

【0078】

抵抗素子 301 の一方の端子は回路 300 の第 1 の端子と接続され、抵抗素子 301 の他方の端子は回路 300 の第 2 の端子と接続される。

【0079】

図 4 (B) の回路 300 は、図 4 (A) の回路 300 に容量素子 302 を設けた構成である。

20

【0080】

容量素子 302 の第 1 の電極は配線 13 と接続され、容量素子 302 の第 2 の電極は回路 300 の第 2 の端子と接続される。

【0081】

なお、容量素子 302 の第 1 の電極を配線 11 又は配線 14 等と接続してもよい。

【0082】

なお、容量素子 302 の第 2 の電極を回路 300 の第 1 の端子と接続してもよい。

【0083】

図 4 (C) の回路 300 は、トランジスタ 303 を有する。

【0084】

トランジスタ 303 の第 1 の端子は回路 300 の第 1 の端子と接続され、トランジスタ 303 の第 2 の端子は回路 300 の第 2 の端子と接続され、トランジスタ 303 のゲートは配線 11 と接続される。

30

【0085】

図 4 (D) の回路 300 は、図 4 (C) の回路 300 にトランジスタ 304 を設けた構成である。

【0086】

トランジスタ 304 の第 1 の端子は回路 300 の第 1 の端子と接続され、トランジスタ 304 の第 2 の端子は回路 300 の第 2 の端子と接続され、トランジスタ 304 のゲートは回路 300 の第 1 の端子と接続される。

【0087】

40

図 4 (D) の回路 300 では、第 1 の端子に入力される信号がロウレベルである場合には、トランジスタ 303 がオンになり、トランジスタ 304 がオフになる。一方、第 1 の端子に入力される信号がハイレベルである場合には、トランジスタ 303 及びトランジスタ 304 の双方がオンになる。

【0088】

したがって、図 4 (D) の回路 300 では、第 1 の端子に入力される信号がロウレベルである場合には、信号を遅延させて第 2 の端子から出力することができる。一方で、第 1 の端子に入力される信号がハイレベルである場合には、信号をなるべく遅延せずに第 2 の端子から出力することができる。

【0089】

50

なお、図4(A)及び図4(B)等の上述した回路300においても、トランジスタ304を設けてもよい。

【0090】

図4(E)の回路300は、図4(C)の回路300にトランジスタ305を設けた構成である。

【0091】

トランジスタ305の第1の端子は配線11と接続され、トランジスタ305の第2の端子は回路300の第2の端子と接続され、トランジスタ305のゲートは回路300の第1の端子と接続される。

【0092】

図4(E)の回路300では、第1の端子に入力される信号がロウレベルである場合には、トランジスタ303がオンになり、トランジスタ305がオフになる。一方、第1の端子に入力される信号がハイレベルである場合には、トランジスタ303及びトランジスタ305の双方がオンになる。

【0093】

したがって、図4(D)の回路300と同様の効果を奏することができる。

【0094】

なお、図4(A)及び図4(B)等の上述した回路300においても、トランジスタ305を設けてもよい。

【0095】

図4(F)の回路300は、図4(C)の回路300にトランジスタ306及びトランジスタ307を設けた構成である。

【0096】

トランジスタ306の第1の端子は配線11と接続され、トランジスタ306の第2の端子は回路300の第2の端子と接続される。トランジスタ307の第1の端子は回路300の第1の端子と接続され、トランジスタ307の第2の端子はトランジスタ306のゲートと接続され、トランジスタ307のゲートは配線11と接続される。

【0097】

図4(F)の回路300では、第1の端子に入力される信号がロウレベルである場合には、トランジスタ303がオンになり、トランジスタ306がオフになる。一方、第1の端子に入力される信号がハイレベルである場合には、トランジスタ303及びトランジスタ306の双方がオンになる。特に、第1の端子に入力される信号がハイレベルである場合には、ブートストラップ動作により、トランジスタ306のゲートの電位が電位VDDよりも高い電位となる。

【0098】

したがって、図4(D)の回路300と同様の効果に加えて、第2の端子から出力される信号のハイレベルの電位を電位VDDとすることができる。さらに、図4(D)の回路300よりも、第1の端子に入力される信号がハイレベルである場合の信号の遅延を小さくすることができる。

【0099】

なお、図4(F)の回路300を図2(A)のインバータ回路に用いる場合、容量素子204の第1の電極をトランジスタ306のゲートと接続してもよい。トランジスタ306のゲートの電位の最小値と最大値との差は信号INの振幅電圧よりも大きいため、ノードN2の電位をより下げることができる。

【0100】

なお、図4(A)及び図4(B)等の上述した回路300においても、トランジスタ306及びトランジスタ307を設けてもよい。

【0101】

なお、回路300が有するトランジスタ(例えばトランジスタ304、トランジスタ305、トランジスタ306及びトランジスタ307)は、トランジスタ101と同じ導電型

10

20

30

40

50

であることが好ましい。

【0102】

なお、回路300A、回路300B及び回路300Cとしては、同じ構成である必要はなく、図4(A)～図4(F)のいずれかを適宜適用すればよい。

【0103】

なお、図5(A)のインバータ回路は、図2(A)のインバータ回路において、回路300Aに図4(D)の回路300を適用した場合の構成例である。

【0104】

なお、図5(B)のインバータ回路は、図2(A)のインバータ回路において、回路300Aに図4(F)の回路300を適用した場合の構成例である。

10

【0105】

次に、図6(A)のインバータ回路は、図1(A)のインバータ回路にトランジスタ205を設けた構成である。

【0106】

トランジスタ205の第1の端子はトランジスタ203の第2の端子と接続され、トランジスタ205の第2の端子はトランジスタ101のゲート及びトランジスタ201のゲートと接続され、トランジスタ205のゲートは配線11と接続される。

【0107】

トランジスタ205は、トランジスタ101のゲート及びトランジスタ201のゲートとトランジスタ203の第2の端子との間の導通又は非導通を制御する機能を有する。

20

【0108】

図6(A)のインバータ回路では、信号INがロウレベルになる期間において、トランジスタ203の第2の端子の電位がトランジスタ205のゲートの電位(電位VDD)からトランジスタ205の閾値電圧を引いた電位まで上昇したところで、トランジスタ205がオフになる。よって、トランジスタ203の第2の端子の電位を低くすることができるため、トランジスタ203の劣化及び/又は破壊を抑制することができる。

【0109】

なお、図6(A)のインバータ回路と同様に、図2(A)、図2(B)、図3(A)、図3(B)、図5(A)及び図5(B)等の上述したインバータ回路においても、トランジスタ205を設けてよい。

30

【0110】

次に、図6(B)のインバータ回路は、図1(A)のインバータ回路において、配線11及び配線13を複数の配線に分割した構成である。

【0111】

配線11は配線11A及び配線11Bに分割され、トランジスタ101の第1の端子が配線11Aと接続され、トランジスタ201の第1の端子が配線11Bと接続される。また、配線13が配線13A、配線13B及び配線13Cに分割され、トランジスタ102の第1の端子が配線13Aと接続され、トランジスタ202の第1の端子が配線13Bと接続され、トランジスタ203の第1の端子が配線13Cと接続される。

40

【0112】

図6(B)のインバータ回路において、配線11A及び配線11Bに電位VDDを供給し、配線13A、配線13B及び配線13Cに電位VSSを供給すれば、図1(A)と同様の動作を行うことができる。ただし、配線11A及び配線11Bに異なる電位を供給してもよい。また、配線13A、配線13B及び配線13Cに異なる電位を供給してもよい。

【0113】

なお、配線11と配線13の一方のみを複数の配線に分割してもよい。

【0114】

なお、配線13を複数の配線に分割する場合において、配線13Cを省略し、トランジスタ203の第1の端子を配線13A又は配線13Bと接続してもよい。または、配線13Aを省略し、トランジスタ102の第1の端子を配線13B又は配線13Cと接続しても

50

よい。

【0115】

なお、図6(B)のインバータ回路と同様に、図2(A)、図2(B)、図3(A)、図3(B)、図5(A)、図5(B)及び図6(A)等の上述したインバータ回路においても、配線11及び/又は配線13を複数の配線に分割してもよい。

【0116】

なお、図示はしないが、図1(A)、図2(A)、図2(B)、図3(A)、図3(B)、図5(A)、図5(B)、図6(A)及び図6(B)等の上述したインバータ回路において、第1の電極がトランジスタ101の第2の端子と接続され、第2の電極がトランジスタ101のゲートと接続された容量素子を設けてもよい。

10

【0117】

なお、図示はしないが、図1(A)、図2(A)、図2(B)、図3(A)、図3(B)、図5(A)、図5(B)、図6(A)及び図6(B)等の上述したインバータ回路において、第1の電極がトランジスタ201の第2の端子と接続され、第2の電極がトランジスタ201のゲートと接続された容量素子を設けてもよい。

【0118】

なお、トランジスタ101が駆動する負荷（例えば配線12に接続される負荷）は、トランジスタ201、トランジスタ202及びトランジスタ203が駆動する負荷（例えばノードN1又はノードN2と接続される負荷）よりも大きい。また、トランジスタ101のW/Lが大きいほど、信号OUTの立ち上がり時間を短くすることができる。よって、トランジスタ101のW/Lは、トランジスタ201のW/L、トランジスタ202のW/L及びトランジスタ203のW/Lよりも大きいことが好ましい。

20

【0119】

同様に、トランジスタ102が駆動する負荷（例えば配線12に接続される負荷）は、トランジスタ201、トランジスタ202及びトランジスタ203が駆動する負荷よりも大きい。また、トランジスタ102のW/Lが大きいほど、信号OUTの立ち下がり時間を短くすることができる。よって、トランジスタ102のW/Lは、トランジスタ201のW/L、トランジスタ202のW/L及びトランジスタ203のW/Lよりも大きいことが好ましい。

【0120】

30

また、トランジスタ101がオンになるときのVgsはトランジスタ102がオンになるときのVgsよりも小さい場合が多い。よって、トランジスタ101のW/Lは、トランジスタ102のW/Lよりも大きいことが好ましい。つまり、トランジスタ101は、本実施の形態のインバータ回路が有するトランジスタの中で一番W/Lが大きいことが好ましい。

【0121】

なお、信号INのロウレベルの電位は、トランジスタ102、トランジスタ202及びトランジスタ203がオフになる程度の電位であれば、本実施の形態のインバータ回路は正常に動作する。よって、信号INのロウレベルの電位を電位VSSよりも低い電位としてもよい。こうすれば、トランジスタ201、トランジスタ202及びトランジスタ203がオフになるときのVgsを負の電圧とすることができます。よって、トランジスタ201、トランジスタ202及びトランジスタ203がノーマリーオンである場合、又はトランジスタ201、トランジスタ202及びトランジスタ203のゲートとソースとの間の電位差が0[V]であるときのドレイン電流が大きい場合においても、正常に動作することができる。

40

【0122】

なお、信号INのハイレベルの電位がトランジスタ102、トランジスタ202及びトランジスタ203がオンになる程度の電位であれば、本実施の形態のインバータ回路は正常に動作する。よって、信号INのハイレベルの電位を電位VDDよりも低い電位としてもよい。こうすれば、配線14に信号を出力する回路の駆動電圧を小さくすることができる

50

。また、本実施の形態のインバータ回路では、信号INのハイレベルの電位が電位VDDより低い電位であっても、信号OUTのハイレベルの電位を電位VDDとすることができる。

【0123】

なお、信号INは、トランジスタ102、トランジスタ202及びトランジスタ203がオフになる電位と、トランジスタ102、トランジスタ202及びトランジスタ203がオンになる電位と、を有していれば、デジタル信号に限定されない。例えば、信号INは、3つ以上の電位を有してもよいし、アナログ信号でもよい。

【0124】

なお、配線11にクロック信号等の信号を入力すれば、信号INがロウレベルである場合に配線11の信号を配線12に出力することができる。特に、図6(B)のインバータ回路のように、配線11を配線11A及び配線11Bに分割する場合には、配線11Aにクロック信号等の信号を入力し、配線11Bに電位VDDを供給することが好ましい。こうすれば、ノードN1の電位を高い電位にできるため、トランジスタ101がオンになりやすくなる。よって、安定して配線11Aの信号を配線12に出力することができる。

10

【0125】

なお、配線13に、トランジスタ102、トランジスタ202及びトランジスタ203がオンになる期間(例えば信号INがハイレベルになる期間)においてロウレベルとなる信号を入力すれば、本実施の形態のインバータ回路は正常に動作する。また、配線13に、トランジスタ102、トランジスタ202及びトランジスタ203がオフになる期間(例えば信号INがロウレベルになる期間)の全て又は一部においてハイレベルとなる信号を入力すれば、トランジスタ102、トランジスタ202及びトランジスタ203に逆バイアスを印加することができる。よって、トランジスタ102、トランジスタ202及びトランジスタ203の劣化を緩和することができる。

20

【0126】

ここで、本発明の一態様は、以下の構成を含む。

【0127】

本発明の一態様は、トランジスタ101と、トランジスタ201と、容量素子204と、を有する半導体装置である。トランジスタ101の第1の端子は配線11と接続され、トランジスタ101の第2の端子は配線12と接続される。トランジスタ201の第1の端子は配線11と接続され、トランジスタ201のゲートはトランジスタ101のゲートと接続される。容量素子204の第1の電極は配線14と接続され、容量素子204の第2の電極はトランジスタ201の第2の端子と接続される(図16(A)参照)。

30

【0128】

なお、上記本発明の一態様において、配線14の電位の下降に伴って、トランジスタ201の第2の端子の電位が下がる。また、トランジスタ201の第2の端子の電位が下がることによって、トランジスタ201がオンになるとともに、配線11の電位がトランジスタ201の第2の端子に供給され、トランジスタ201の第2の端子の電位が上昇する(図16(B)参照)。また、トランジスタ201の第2の端子の電位の上昇に伴って、トランジスタ201のゲートの電位が上昇する。また、トランジスタ201のゲートの電位が上昇することによって、トランジスタ101がオンになるとともに、配線11の電位が配線12に供給され、配線12の電位が上昇する(図16(C)参照)。

40

【0129】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0130】

(実施の形態2)

本実施の形態では、本発明の一態様に係るシフトレジスタ回路(半導体装置又は駆動回路ともいう)について説明する。

【0131】

本実施の形態のシフトレジスタ回路は複数のフリップフロップ回路(半導体装置又は駆動

50

回路ともいう)を有する。そこで、まずフリップフロップ回路について説明し、その後フリップフロップ回路を有するシフトレジスタ回路について説明する。

【0132】

本実施の形態のシフトレジスタ回路が有するフリップフロップ回路について、図7(A)を参照して説明する。

【0133】

図7(A)のフリップフロップ回路は、トランジスタ401、トランジスタ402、トランジスタ403、トランジスタ404、トランジスタ405、及び回路500を有する。トランジスタ401の第1の端子は配線21と接続され、トランジスタ401の第2の端子は配線22と接続される。トランジスタ402の第1の端子は配線13と接続され、トランジスタ402の第2の端子は配線22と接続される。トランジスタ403の第1の端子は配線13と接続され、トランジスタ403の第2の端子はトランジスタ401のゲートと接続される。トランジスタ404の第1の端子は配線23と接続され、トランジスタ404のゲートは配線23と接続される。トランジスタ405の第1の端子は配線13と接続され、トランジスタ405の第2の端子はトランジスタ401のゲートと接続され、トランジスタ405のゲートは配線24と接続される。回路500の第1の端子(入力端子ともいう)はトランジスタ401のゲートと接続され、回路500の第2の端子(出力端子ともいう)はトランジスタ402のゲート及びトランジスタ403のゲートと接続される。

【0134】

なお、回路500としては、実施の形態1のインバータ回路を用いることができる。回路500の第1の端子が実施の形態1のインバータ回路の配線14に対応し、回路500の第2の端子が実施の形態1のインバータ回路の配線12に対応する。

【0135】

なお、トランジスタ401のゲートとトランジスタ403の第2の端子とトランジスタ404の第2の端子とトランジスタ405の第2の端子と回路500の第1の端子との接続箇所をノードN3と示す。また、トランジスタ402のゲートとトランジスタ403のゲートと回路500の第2の端子との接続箇所をノードN4と示す。

【0136】

なお、本実施の形態のフリップフロップ回路が有するトランジスタは、同じ導電型であることが好ましい。例えば、図7(A)のフリップフロップ回路では、トランジスタ401、トランジスタ402、トランジスタ403、トランジスタ404及びトランジスタ405、及び回路500が有するトランジスタは、同じ導電型であることが好ましい。

【0137】

配線21(信号線ともいう)には信号CKが入力され、配線21は信号CKを伝達する機能を有する。信号CKはハイレベルとロウレベルとを繰り返すクロック信号である。

【0138】

配線22(信号線ともいう)からは信号SOUTが出力され、配線22は信号SOUTを伝達する機能を有する。信号SOUTは、図7(A)のフリップフロップ回路の出力信号である。

【0139】

配線23(信号線ともいう)には信号SPが入力され、配線23は信号SPを伝達する機能を有する。信号SPは図7(A)のフリップフロップ回路の入力信号である。

【0140】

配線24(信号線ともいう)には信号REが入力され、配線24は信号REを伝達する機能を有する。信号REは図7(A)のフリップフロップ回路の入力信号である。

【0141】

なお、配線21、配線23及び配線24には、上述した信号又は電位に限定されず、他にも様々な信号又は電位等を入力することができる。

【0142】

10

20

30

40

50

トランジスタ401は配線21と配線22との導通又は非導通を制御する機能を有する。また、トランジスタ401は配線21の信号CKを配線22に供給する機能を有する。また、トランジスタ401は配線22とノードN3との電位差を保持する機能を有する。

【0143】

トランジスタ402は配線13と配線22との導通又は非導通を制御する機能を有する。また、トランジスタ402は配線13の電位VSSを配線22に供給する機能を有する。

【0144】

トランジスタ403は配線13とノードN3との導通又は非導通を制御する機能を有する。また、トランジスタ403は配線13の電位VSSをノードN3に供給する機能を有する。

10

【0145】

トランジスタ404は配線23とノードN3との導通又は非導通を制御する機能を有する。また、トランジスタ404は配線23の信号SPをノードN3に供給する機能を有する。

【0146】

トランジスタ405は配線13とノードN3との導通又は非導通を制御する機能を有する。また、トランジスタ405は電位VSSをノードN3に供給する機能を有する。

【0147】

次に、図7(A)のフリップフロップ回路の駆動方法の一例について、図7(B)を参照して説明する。図7(B)は、図7(A)のフリップフロップ回路の駆動方法を説明するためのタイミングチャートの一例を示す。

20

【0148】

なお、信号CK、信号SP及び信号REがハイレベルの電位が電位VDDと等しく、ロウレベルの電位が電位VSSと等しいデジタル信号であるものとして説明する。また、期間Ta、期間Tb、期間Tc及び期間Tdに分けて説明する。

【0149】

期間Taにおいて、信号SPがハイレベルになり、信号REがロウレベルになり、信号CKがロウレベルになる。よって、トランジスタ404がオンになり、トランジスタ405がオフになる。

30

【0150】

トランジスタ404がオンになると、配線23の信号SPがノードN3に供給される。信号SPはハイレベルであるため、ノードN3の電位は上昇する。ノードN3の電位が上昇すると、回路500の出力信号がロウレベルになる。よって、トランジスタ402及びトランジスタ403がオフになる。また、ノードN3の電位が上昇すると、トランジスタ401がオンになる。

【0151】

トランジスタ401がオンになると、配線21の信号CKが配線22に供給される。信号CKはロウレベルであるため、配線22の電位は電位VSSとなる。すなわち、信号SOUTはロウレベルになる。

40

【0152】

なお、ノードN3の電位がトランジスタ404のゲートの電位(電位VDD)からトランジスタ404の閾値電圧を引いた電位まで上昇すると、トランジスタ404がオフになる。よって、ノードN3は浮遊状態となる。

【0153】

次に、期間Tbにおいて、信号SPがロウレベルになり、信号REがロウレベルのままになり、信号CKがハイレベルになる。よって、トランジスタ404及びトランジスタ405がオフのままになる。また、回路500の出力信号はロウレベルのままとなる。よって、トランジスタ402及びトランジスタ403はオフのままになる。

【0154】

トランジスタ403、トランジスタ404及びトランジスタ405がオフのままであるた

50

め、ノードN3は浮遊状態とままとなる。よって、ノードN3の電位は高い電位のままとなるため、トランジスタ401がオンのままとなる。

【0155】

トランジスタ401がオンのままであるため、配線21の信号CKが配線22に供給されたままとなる。信号CKはハイレベルであるため、配線22の電位は上昇し始める。このとき、トランジスタ401のゲートと第2の端子との間には期間TaにおけるノードN3と配線22との電位差が保持されている。よって、配線22の電位の上昇に伴って、ノードN3の電位も上昇する。その結果、配線22の電位は、信号CKと等しい電位である電位VDDまで上昇する。すなわち、信号SOUTはハイレベルとなる。

【0156】

次に、期間Tcにおいて、信号SPがロウレベルのままとなり、信号REがハイレベルとなり、信号CKがロウレベルとなる。よって、トランジスタ404がオフのままになり、トランジスタ405がオンになる。

【0157】

トランジスタ405がオンになると、配線13の電位VSSがノードN3に供給される。よって、ノードN3の電位は電位VSSまで下がる。よって、トランジスタ401がオフになる。また、回路500の出力信号がハイレベルになり、トランジスタ402及びトランジスタ403がオンになる。

【0158】

トランジスタ402がオンになると、配線13の電位VSSが配線22に供給される。よって、配線22の電位が電位VSSまで下がる。つまり、信号SOUTがロウレベルになる。

【0159】

次に、期間Tdにおいて、信号SPがロウレベルのままとなり、信号REがロウレベルとなり、信号CKがロウレベルとハイレベルとを繰り返す。よって、トランジスタ404がオフのままになり、トランジスタ405がオフになる。また、回路500の出力信号はハイレベルのままになる。よって、トランジスタ402及びトランジスタ403はオンのままになる。

【0160】

トランジスタ403がオンのままになると、配線13の電位VSSがノードN3に供給されたままになる。よって、ノードN3の電位が電位VSSに維持されるため、トランジスタ401がオフのままになる。

【0161】

また、トランジスタ402がオンのままになると、配線13の電位VSSが配線22に供給されたままになる。よって、配線22の電位は電位VSSのままになる。つまり、信号SOUTがロウレベルのままになる。

【0162】

以上のとおり、図7(A)のフリップフロップ回路は、実施の形態1のインバータ回路を有することにより、実施の形態1のインバータ回路と同様の効果を奏することができる。

【0163】

次に、図7(A)とは異なるフリップフロップ回路について、図8及び図9を参照して説明する。なお、図7(A)と異なる部分について説明する。

【0164】

まず、図8(A)のフリップフロップ回路は、図7(A)のフリップフロップ回路にトランジスタ406を設けた構成である。

【0165】

トランジスタ406の第1の端子は配線13と接続され、トランジスタ406の第2の端子は配線22と接続され、トランジスタ406のゲートは配線25と接続される。

【0166】

配線25(信号線ともいう)には信号CKBが入力され、配線25は信号CKBを伝達す

10

20

30

40

50

る機能を有する。信号 C K B は信号 C K の反転信号又は信号 C K から位相がずれた信号である。

【 0 1 6 7 】

トランジスタ 406 は、配線 13 と配線 22 との導通又は非導通を制御する機能を有する。また、トランジスタ 406 は、配線 13 の電位 VSS を配線 22 に供給する機能を有する。

【 0 1 6 8 】

図 8 (A) のフリップフロップ回路では、期間 Td において、信号 CKB がハイレベルになる毎に、トランジスタ 406 がオンになる。よって、期間 Td において、信号 CKB がハイレベルになる毎に、配線 13 の電位 VSS が配線 22 に供給される。

10

【 0 1 6 9 】

特に、信号 CKB が信号 CK の反転信号である場合には、期間 Ta 及び期間 Tc において、信号 CKB がハイレベルになり、トランジスタ 406 がオンになる。よって、期間 Tc において、配線 13 の電位 VSS がトランジスタ 402 とトランジスタ 406 の双方を介して配線 22 に供給されるため、信号 SOUT の立ち下がり時間を短くすることができる。

【 0 1 7 0 】

なお、フリップフロップ回路がトランジスタ 406 を有していれば、期間 Td において、配線 22 の電位を電位 VSS に維持することができる。よって、トランジスタ 402 を省略してもよい。トランジスタ 402 を省略すれば、トランジスタ数の削減、及びレイアウト面積の縮小等を図ることができる。

20

【 0 1 7 1 】

次に、図 8 (B) のフリップフロップ回路は、図 7 (A) のフリップフロップ回路にトランジスタ 407 を設けた構成である。

【 0 1 7 2 】

トランジスタ 407 の第 1 の端子は配線 13 と接続され、トランジスタ 407 の第 2 の端子は配線 22 と接続され、トランジスタ 407 のゲートは配線 24 と接続される。

【 0 1 7 3 】

トランジスタ 407 は、配線 13 と配線 22 と導通又は非導通を制御する機能を有する。また、トランジスタ 407 は、配線 13 の電位 VSS を配線 22 に供給する機能を有する。

30

【 0 1 7 4 】

図 8 (B) のフリップフロップ回路では、期間 Ta 、期間 Tb 及び期間 Td において、トランジスタ 407 がオフになる。また、期間 Tc において、トランジスタ 407 がオンになる。期間 Tc において、トランジスタ 407 がオンになると、配線 13 の電位 VSS が配線 22 に供給される。

【 0 1 7 5 】

したがって、期間 Tc において、配線 13 の電位 VSS がトランジスタ 402 及びトランジスタ 407 の双方を介して配線 22 に供給されるため、信号 SOUT の立ち下がり時間を短くすることができる。

40

【 0 1 7 6 】

なお、図 8 (B) のフリップフロップ回路と同様に、図 8 (A) 等の上述したフリップフロップ回路においても、トランジスタ 407 を設けてもよい。

【 0 1 7 7 】

次に、図 9 (A) のフリップフロップ回路は、図 7 (A) のフリップフロップ回路にトランジスタ 408 を設けた構成である。

【 0 1 7 8 】

トランジスタ 408 の第 1 の端子は配線 11 と接続され、トランジスタ 408 の第 2 の端子はノード N4 と接続され、トランジスタ 408 のゲートは配線 24 と接続される。

【 0 1 7 9 】

50

トランジスタ408は、配線11とノードN4との導通又は非導通を制御する機能を有する。また、トランジスタ408は、配線11の電位VDDをノードN4に供給する機能を有する。

【0180】

図9(A)のフリップフロップ回路では、期間Ta、期間Tb及び期間Tdにおいて、トランジスタ408がオフになる。また、期間Tcにおいて、トランジスタ408がオンになる。期間Tcにおいて、トランジスタ408がオンになると、配線11の電位VDDがノードN4に供給される。

【0181】

したがって、ノードN4の電位が所定の値に達するまでの時間を短くすることができるため、トランジスタ402及びトランジスタ403がオンになるタイミングを早くすることができる。その結果、配線13の電位VSSが配線22に供給されるタイミングも早くなるため、信号SOUTの立ち下がり時間を短くすることができる。 10

【0182】

なお、図9(A)のフリップフロップ回路と同様に、図8(A)及び図8(B)等の上述したフリップフロップ回路においても、トランジスタ408を設けてもよい。

【0183】

なお、フリップフロップ回路がトランジスタ408を有していれば、期間Tcにおいて、トランジスタ402及びトランジスタ403がオンになる。よって、トランジスタ405を省略してもよい。トランジスタ405を省略すれば、トランジスタ数の削減、及びレイアウト面積の縮小等を図ることができる。 20

【0184】

なお、トランジスタ408を図8(A)のフリップフロップ回路で用い、かつトランジスタ408の第1の端子を配線25と接続してもよい。トランジスタ408の第1の端子が配線25と接続されても、期間Tcにおいては、配線25の信号CKBはハイレベルとなるためトランジスタ408がオンになり、上述したように動作することができる。

【0185】

次に、図9(B)のフリップフロップ回路は、図7(A)のフリップフロップ回路にトランジスタ409を設けた構成である。 30

【0186】

トランジスタ409の第1の端子は配線21と接続され、トランジスタ409の第2の端子が配線26と接続され、トランジスタ409のゲートはノードN3と接続される。

【0187】

なお、図9(B)のフリップフロップ回路では、配線22から出力される信号を信号SOUTaと示し、配線26から出力される信号を信号SOUTbと示す。信号SOUTbはフリップフロップ回路の出力信号である。また、配線26(信号線ともいう)は信号SOUTbを伝達する機能を有する。

【0188】

トランジスタ409はトランジスタ401と同様の機能を有し、例えばトランジスタ409は配線21と配線26との導通又は非導通を制御する機能を有する。 40

【0189】

図9(B)のフリップフロップ回路では、信号SOUTaと同様の信号である信号SOUTbを生成することができる。よって、例えば、信号SOUTaを配線22と接続される負荷を駆動するための信号として用いて、信号SOUTbを配線26と接続される別の段のフリップフロップ回路を駆動するための信号として用いることができる。

【0190】

なお、図9(B)のフリップフロップ回路と同様に、図8(A)、図8(B)及び図9(A)等の上述したフリップフロップ回路においても、トランジスタ409を設けてもよい。

【0191】

50

なお、図示はしないが、図7(A)、図8(A)、図8(B)、図9(A)及び図9(B)等の上述したフリップフロップ回路において、トランジスタ404の第1の端子を配線11又は配線25と接続してもよい。この場合、期間Taにおいて、ノードN3には配線11又は配線25の電位又は信号等が供給されるため、配線23に信号SPを供給する回路の負荷を小さくすることができる。

【0192】

なお、図示はしないが、図7(A)、図8(A)、図8(B)、図9(A)及び図9(B)等の上述したフリップフロップ回路において、一方の電極が配線22と接続され、他方の電極がノードN3と接続された容量素子を設けてもよい。該容量素子をフリップフロップ回路に設ければ、トランジスタ401のゲートと第2の端子との間の容量値を大きくすることができるため、ブートストラップ動作を行いやすくなる。

10

【0193】

なお、図示はしないが、図7(A)、図8(A)、図8(B)、図9(A)及び図9(B)等の上述したフリップフロップ回路において、第1の端子が配線22と接続され、第2の端子がノードN3と接続され、ゲートが配線21と接続されたトランジスタを設けてもよい。こうすれば、期間Tdのうち信号CKがハイレベルになる期間において、ノードN3の電位VSSを配線22に供給、または配線22の電位をノードN3に供給することができる。よって、トランジスタ402及びトランジスタ403の一方を省略してもよい。トランジスタ402及びトランジスタ403の一方を省略する場合には、回路500の負荷が小さくなるため、回路500が有するトランジスタのW/Lを小さくすることができる。

20

【0194】

なお、図示はしないが、図7(A)、図8(A)、図8(B)、図9(A)及び図9(B)等の上述したフリップフロップ回路において、第1の端子が配線23と接続され、第2の端子がノードN3と接続され、ゲートが配線25と接続されたトランジスタを設けてもよい。この場合、期間Taにおいて、ノードN3の電位を早く上昇させることができる。

【0195】

なお、図示はしないが、図7(A)、図8(A)、図8(B)、図9(A)及び図9(B)等の上述したフリップフロップ回路において、トランジスタ404の第2の端子とトランジスタ401のゲートとを接続せずに、第1の端子がトランジスタ404の第2の端子と接続され、第2の端子がトランジスタ401のゲートと接続され、ゲートが配線11又は配線25と接続されたトランジスタを新たに設けてもよい。こうすれば、トランジスタ404、及びトランジスタ404の第2の端子と接続されるトランジスタに印加される電圧を小さくすることができるため、トランジスタの劣化又は破壊等を防止することができる。なお、回路500の第1の端子は、トランジスタ404の第2の端子又はトランジスタ401のゲートと接続されればよい。また、トランジスタ405の第2の端子は、トランジスタ404の第2の端子又はトランジスタ401のゲートと接続されればよい。

30

【0196】

なお、図示はしないが、図9(B)等の上述したフリップフロップ回路において、第1の端子が配線13と接続され、第2の端子が配線26と接続され、ゲートがノードN4、配線24又は配線25と接続されたトランジスタを設けてもよい。こうすれば、配線13の電位VSSを配線26に供給することができるため、配線26の電位を電位VSSに維持しやすくなる。

40

【0197】

次に、回路500として実施の形態1のインバータ回路を用いた具体例について説明する。

【0198】

図10(A)のフリップフロップ回路は、図7(A)のフリップフロップ回路において、回路500として図1(A)のインバータ回路を用いた構成である。

【0199】

50

図10(B)のフリップフロップ回路は、図10(A)のフリップフロップ回路において、トランジスタ101の第1の端子及びトランジスタ201の第1の端子を配線21と接続した構成である。

【0200】

図10(B)のフリップフロップ回路では、期間Ta及び期間Tbにおいて、配線13の電位VSSがノードN4に供給され、期間Tc及び期間Tdにおいて、配線21の信号CKがノードN4に供給される。期間Tdにおいて、配線21の信号CKがノードN4に供給されれば、ノードN4の電位が電位VDDと電位VSSとを繰り返すことになり、トランジスタ402及びトランジスタ403がオンとオフとを繰り返す。つまり、期間Tdにおいて、配線13の電位VSSが配線22に定期的に供給され、且つトランジスタ402及びトランジスタ403がオンになる時間が短くなる。よって、配線22の電位を電位VSSに維持でき、且つトランジスタ402及びトランジスタ403の劣化を抑制することができる。

10

【0201】

なお、図10(B)のフリップフロップ回路と同様に、図8(A)、図8(B)、図9(A)及び図9(B)等の上述したフリップフロップ回路において、回路500として実施の形態1のいずれかのインバータ回路を用いた場合でも、トランジスタ101の第1の端子及びトランジスタ201の第1の端子を配線21と接続してもよい。

【0202】

次に、本実施の形態のシフトレジスタ回路について、図11を参照して説明する。

20

【0203】

図11のシフトレジスタ回路は、N(Nは自然数)個のフリップフロップ回路600を有する。ただし、図11には、1段目乃至3段目のフリップフロップ回路600(フリップフロップ回路600_1、フリップフロップ回路600_2、フリップフロップ回路600_3)のみを示す。

【0204】

図11のシフトレジスタ回路では、フリップフロップ回路600として、図7(A)のフリップフロップ回路が用いられている。ただし、フリップフロップ回路600としては、図7(A)のフリップフロップ回路に限定されない。

【0205】

30

図11のシフトレジスタ回路は、N本の配線31、配線32、配線33及び配線34と接続される。i(iは2乃至N-1のいずれか一)段目のフリップフロップ回路600は、i段目の配線31、i-1段目の配線31、i+1段目の配線31、配線33と配線34との一方と接続される。また、配線22がi段目の配線31と接続され、配線23がi-1段目の配線31と接続され、配線24がi+1段目の配線31と接続され、配線21が配線33又は配線34と接続される。

【0206】

なお、i段目のフリップフロップ回路600において配線21が配線33と接続される場合、i-1段目及びi+1段目のフリップフロップ回路600では配線21が配線34と接続される。

40

【0207】

なお、1段目のフリップフロップ回路600もi段目のフリップフロップ回路600と同様の接続関係ではあるが、1段目のフリップフロップ回路600に対応するi-1段目の配線31が存在しない。そこで、1段目のフリップフロップ回路では、配線23が配線32と接続される。

【0208】

なお、N段目のフリップフロップ回路600もi段目のフリップフロップ回路600と同様の接続関係ではあるが、N段目のフリップフロップ回路600にはi+1段目の配線31が存在しない。そこで、N段目のフリップフロップ回路600では、配線24が配線32と接続される。ただし、N段目のフリップフロップ回路600において、配線24を配

50

線 3 3 又は配線 3 4 と接続してもよい。または、信号 R E に対応する信号が入力された配線と接続してもよい。

【 0 2 0 9 】

N 本の配線 3 1 (信号線ともいう) のそれぞれから信号 S O U T _ 1 乃至信号 S O U T _ N が出力され、N 本の配線 3 1 は信号 S O U T _ 1 乃至信号 S O U T _ N を伝達する機能を有する。例えば、i 段目の配線 3 1 からは信号 S O U T _ i が出力され、i 段目の配線 3 1 は信号 S O U T _ i を伝達する機能を有する。

【 0 2 1 0 】

配線 3 2 (信号線ともいう) には信号 S S P が入力され、配線 3 2 は信号 S S P を伝達する機能を有する。信号 S S P は、図 1 1 のシフトレジスタ回路のスタートパルスである。

10

【 0 2 1 1 】

配線 3 3 (信号線ともいう) には信号 C K が入力され、配線 3 3 は信号 C K を伝達する機能を有する。

【 0 2 1 2 】

配線 3 4 (信号線ともいう) には信号 C K B が入力され、配線 3 4 は信号 C K B を伝達する機能を有する。

【 0 2 1 3 】

なお、配線 3 2 、配線 3 3 及び配線 3 4 には、上述した信号又は電位等に限定されず、他にも様々な信号又は電位等を入力してもよい。

【 0 2 1 4 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

20

【 0 2 1 5 】

(実施の形態 3)

E L 表示装置を例に挙げて、本発明の一態様に係る表示装置の、画素と駆動回路の断面構造について、図 1 2 を用いて説明する。図 1 2 に、画素 8 4 0 と駆動回路 8 4 1 の断面図を一例として示す。

【 0 2 1 6 】

画素 8 4 0 は、発光素子 8 3 2 と、発光素子 8 3 2 に電流を供給する機能を備えるトランジスタ 8 3 1 とを有する。なお、画素 8 4 0 は、発光素子 8 3 2 及びトランジスタ 8 3 1 に加えて、画像信号の画素 8 4 0 への入力を制御するトランジスタや、画像信号の電位を保持する容量素子など、各種の半導体素子を有していてもよい。

30

【 0 2 1 7 】

駆動回路 8 4 1 は、トランジスタ 8 3 0 と、トランジスタ 8 3 0 のゲート電圧を保持するための容量素子 8 3 3 とを有する。駆動回路 8 4 1 は、実施の形態 1 のインバータ回路、実施の形態 2 のフリップフロップ回路又はシフトレジスタ回路等に対応する。具体的には、トランジスタ 8 3 0 は、実施の形態 1 のトランジスタ 1 0 1 、又は実施の形態 2 のトランジスタ 4 0 1 等に相当する。なお、駆動回路 8 4 1 は、トランジスタ 8 3 0 及び容量素子 8 3 3 に加えて、トランジスタや容量素子などの各種の半導体素子を有していても良い。

【 0 2 1 8 】

40

トランジスタ 8 3 1 は、絶縁表面を有する基板 8 0 0 上に、ゲートとして機能する導電膜 8 1 6 と、導電膜 8 1 6 上のゲート絶縁膜 8 0 2 と、導電膜 8 1 6 と重なる位置においてゲート絶縁膜 8 0 2 上に位置する半導体膜 8 1 7 と、ソース端子またはドレイン端子として機能し、半導体膜 8 1 7 上に位置する導電膜 8 1 5 及び導電膜 8 1 8 とを有する。導電膜 8 1 6 は走査線としても機能する。

【 0 2 1 9 】

トランジスタ 8 3 0 は、絶縁表面を有する基板 8 0 0 上に、ゲートとして機能する導電膜 8 1 2 と、導電膜 8 1 2 上のゲート絶縁膜 8 0 2 と、導電膜 8 1 2 と重なる位置においてゲート絶縁膜 8 0 2 上に位置する半導体膜 8 1 3 と、ソース端子またはドレイン端子として機能し、半導体膜 8 1 3 上に位置する導電膜 8 1 4 及び導電膜 8 1 9 とを有する。

50

【0220】

容量素子833は、絶縁表面を有する基板800上に、導電膜812と、導電膜812上のゲート絶縁膜802と、導電膜812と重なる位置においてゲート絶縁膜802上に位置する導電膜819とを有する。

【0221】

また、導電膜814、導電膜815、導電膜818、導電膜819上には、絶縁膜820及び絶縁膜821が、順に積層されるように設けられている。そして、絶縁膜821上には、陽極として機能する導電膜822が設けられている。導電膜822は、絶縁膜820及び絶縁膜821に形成されたコンタクトホール823を介して、導電膜818に接続されている。

10

【0222】

また、導電膜822の一部が露出するような開口部を有した絶縁膜824が、絶縁膜821上に設けられている。導電膜822の一部及び絶縁膜824上には、EL層825と、陰極として機能する導電膜826とが、順に積層するように設けられている。導電膜822と、EL層825と、導電膜826とが重なっている領域が、発光素子832に相当する。

【0223】

なお、本発明の一態様では、トランジスタ830及びトランジスタ831は、非晶質、微結晶、多結晶又は单結晶である、シリコン又はゲルマニウムなどの半導体が半導体膜に用いられていても良いし、酸化物半導体などのワイドギャップ半導体が半導体膜に用いられても良い。

20

【0224】

トランジスタ830及びトランジスタ831の半導体膜に、非晶質、微結晶、多結晶又は单結晶である、シリコン又はゲルマニウムなどの半導体が用いられる場合、一導電性を付与する不純物元素を上記半導体膜に添加して、ソース端子またはドレイン端子として機能する不純物領域を形成する。例えば、リンまたはヒ素を上記半導体膜に添加することで、n型の導電性を有する不純物領域を形成することができる。また、例えば、ボロンを上記半導体膜に添加することで、p型の導電性を有する不純物領域を形成することができる。

【0225】

トランジスタ830及びトランジスタ831の半導体膜に、酸化物半導体が用いられる場合、ドーパントを上記半導体膜に添加して、ソース端子またはドレイン端子として機能する不純物領域を形成しても良い。ドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの15族元素などを用いることができる。例えば、窒素をドーパントとして用いた場合、不純物領域中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

30

【0226】

なお、シリコン半導体としては、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、单結晶シリコンウエハーに水素イオン等を注入した後に表層部を剥離した单結晶シリコンなどを用いることができる。

40

【0227】

酸化物半導体膜としては、少なくともIn、Ga、Sn及びZnから選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属の酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体や、二元系金属の酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体や、In-Ga-O系酸化

50

物半導体、一元系金属の酸化物である $In - O$ 系酸化物半導体、 $Sn - O$ 系酸化物半導体、 $Zn - O$ 系酸化物半導体などを用いることができる。また、上記酸化物半導体に In と Ga と Sn と Zn 以外の元素、例えば SiO_2 を含ませてもよい。

【0228】

例えば、 $In - Ga - Zn - O$ 系酸化物半導体とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物半導体、という意味であり、その組成は問わない。

【0229】

また、酸化物半導体膜は、化学式 $InMO_3 (ZnO)_m (m > 0)$ で表記される薄膜を用いることができる。ここで、Mは、 Zn 、 Ga 、 Al 、 Mn 及び Co から選ばれた一または複数の金属元素を示す。例えばMとして、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、または Ga 及び Co などがある。10

【0230】

また、酸化物半導体として $In - Zn - O$ 系の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、 $In : Zn = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$) とする。例えば、 $In - Zn - O$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。 Zn の比率を上記範囲に収めることで、移動度の向上を実現することができる。20

【0231】

なお、電子供与体 (ドナー) となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体 (purified Oxide Semiconductor) は、i型 (真性半導体) 又は i型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、2 eV以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げることができる。

【0232】

具体的に、高純度化された酸化物半導体を半導体膜に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu m$ でチャネル長が $10 \mu m$ の素子であっても、ソース端子とドレイン端子間の電圧 (ドレイン電圧) が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} A$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100 zA / \mu m$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行うことができる。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定している。その結果、トランジスタのソース端子とドレイン端子間の電圧が 3 V の場合に、 $数十 yA / \mu m$ という、極めて低いオフ電流密度が得られることが分かっている。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低いことが分かる。40

【0233】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレイン端子をソース端子とゲートよりも高い電位とした状態において、ソース端子の電位を基準としたときのゲートの電位が 0 以下であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル

10

20

30

40

50

型トランジスタにおいては、ドレイン端子をソース端子とゲートよりも低い電位とした状態において、ソース端子の電位を基準としたときのゲートの電位が0以上であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。

【0234】

酸化物半導体膜は、例えばIn(インジウム)、Ga(ガリウム)、及びZn(亜鉛)を含むターゲットを用いたスパッタ法により形成することができる。In-Ga-Zn系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または3:1:4で示されるIn-Ga-Zn系酸化物のターゲットを用いる。前述の原子数比を有するIn-Ga-Zn系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶または後述するCACCが形成されやすくなる。

10

【0235】

また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0236】

そして、具体的に酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて形成すればよい。成膜時に、基板温度を100以上600以下、好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて成膜室を排気すると、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

20

【0237】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分または水素(水酸基を含む)が多量に含まれていることがある。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減(脱水化または脱水素化)するために、酸化物半導体膜に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、加熱処理を施す。

30

【0238】

酸化物半導体膜に加熱処理を施すことで、酸化物半導体膜中の水分または水素を脱離させることができる。具体的には、250以上750以下、好ましくは400以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3分間以上6分間以下程度で行えば良い。加熱処理にRTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

40

【0239】

なお、上記加熱処理により、酸化物半導体膜から酸素が脱離し、酸化物半導体膜内に酸素欠損が形成される場合がある。よって、本発明の一態様では、酸化物半導体膜と接するゲート絶縁膜などの絶縁膜として、酸素を含む絶縁膜を用いる。そして、酸素を含む絶縁膜を形成した後、加熱処理を施すことで、上記絶縁膜から酸化物半導体膜に酸素が供与されるようにする。上記構成により、ドナーとなる酸素欠損を低減し、酸化物半導体膜に含ま

50

れる酸化物半導体の、化学量論的組成を満たすことができる。酸化物半導体膜には、化学量論的組成を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体膜をi型に近づけることができ、酸素欠損によるトランジスタの電気的特性のばらつきを軽減し、電気的特性の向上を実現することができる。

【0240】

なお、酸素を酸化物半導体膜に供与するための加熱処理は、窒素、超乾燥空気、または希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは200以上400以下、例えば250以上350以下で行う。上記ガスは、水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下であることが望ましい。

【0241】

酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0242】

好ましくは、酸化物半導体膜は、C AAC - OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜とする。

【0243】

C AAC - OS 膜は、完全な単結晶ではなく、完全な非晶質でもない。C AAC - OS 膜は、非晶質相に結晶部および非晶質部を有する結晶 - 非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM: Transmission Electron Microscope）による観察像では、C AAC - OS 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってC AAC - OS 膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、C AAC - OS 膜は、粒界に起因する電子移動度の低下が抑制される。

【0244】

C AAC - OS 膜に含まれる結晶部は、c軸がC AAC - OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0245】

なお、C AAC - OS 膜において、結晶部の分布が一様でなくてもよい。例えば、C AAC - OS 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C AAC - OS 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0246】

C AAC - OS 膜に含まれる結晶部のc軸は、C AAC - OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C AAC - OS 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。結晶部は、成膜した際に、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0247】

C AAC - OS 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0248】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0249】

10

20

30

40

50

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することが考えられる。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜が成膜されるものと考えられる。

【 0 2 5 0 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 2 5 1 】

成膜時の不純物混入を低減することで、不純物によって結晶が崩れることを抑制できる。
10 例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素など）を低減すればよい。
。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 80 以下、
好ましくは - 100 以下である成膜ガスを用いる。

【 0 2 5 2 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが促進されると考えられる。したがって、基板加熱温度を 100 以上 740
以下、好ましくは 200 以上 500 以下として成膜することが好ましい。成膜時の
基板加熱温度を高めることで、基板に到達した平板状のスパッタリング粒子が基板上でマイグレーションし、スパッタリング粒子の平らな面が基板に平行となるように酸化物半導
体膜が形成されるものと考えられる。
20

【 0 2 5 3 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージ
を軽減すると好ましい。成膜ガス中の酸素割合は、30 体積 % 以上、好ましくは 100 体
積 % とする。

【 0 2 5 4 】

スパッタリング用ターゲットの一例として、I n - G a - Z n - O 化合物ターゲットにつ
いて以下に示す。

【 0 2 5 5 】

I n O_x 粉末、G a O_y 粉末およびZ n O_z 粉末を所定の m o l 数比で混合し、加圧処理
後、1000 以上 1500 以下の温度で加熱処理することで多結晶である I n - G
a - Z n - O 化合物ターゲットとする。なお、X、Y および Z は任意の正数である。ここ
で、所定の m o l 数比は、例えば、I n O_x 粉末、G a O_y 粉末およびZ n O_z 粉末が、
2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。
。なお、粉末の種類、およびその混合する m o l 数比は、作製するスパッタリング用タ
ーゲットによって適宜変更すればよい。
30

【 0 2 5 6 】

次いで、本発明の半導体装置が有するトランジスタの、具体的な構成の一例について説明
する。

【 0 2 5 7 】

図 13 (A) に示すトランジスタは、チャネルエッチ構造の、ボトムゲート型である。
40

【 0 2 5 8 】

そして、図 13 (A) に示すトランジスタは、絶縁表面上に形成されたゲート電極（ゲー
ト）1602 と、ゲート電極 1602 上のゲート絶縁膜 1603 と、ゲート絶縁膜 160
3 上においてゲート電極 1602 と重なっている半導体膜 1604 と、半導体膜 1604
上に形成された導電膜 1605、導電膜 1606 とを有する。さらに、トランジスタは、
半導体膜 1604、導電膜 1605 及び導電膜 1606 上に形成された絶縁膜 1607 を
、その構成要素に含めても良い。

【 0 2 5 9 】

なお、図 13 (A) に示したトランジスタは、半導体膜 1604 と重なる位置において絶
縁膜 1607 上に形成されたバックゲート電極を、更に有していても良い。
50

【0260】

図13(B)に示すトランジスタは、チャネル保護構造の、ボトムゲート型である。

【0261】

そして、図13(B)に示すトランジスタは、絶縁表面上に形成されたゲート電極1612と、ゲート電極1612上のゲート絶縁膜1613と、ゲート絶縁膜1613上においてゲート電極1612と重なっている半導体膜1614と、半導体膜1614上に形成されたチャネル保護膜1618と、半導体膜1614上に形成された導電膜1615、導電膜1616とを有する。さらに、トランジスタは、チャネル保護膜1618、導電膜1615及び導電膜1616上に形成された絶縁膜1617を、その構成要素に含めても良い。

10

【0262】

なお、図13(B)に示したトランジスタは、半導体膜1614と重なる位置において絶縁膜1617上に形成されたバックゲート電極を、更に有していても良い。

【0263】

チャネル保護膜1618を設けることによって、半導体膜1614のチャネル形成領域となる部分に対する、後の工程における、エッチング時のプラズマやエッチング剤による膜減りなどのダメージを防ぐことができる。従ってトランジスタの信頼性を向上させることができる。

【0264】

図13(C)に示すトランジスタは、ボトムコンタクト構造の、ボトムゲート型である。

20

【0265】

そして、図13(C)に示すトランジスタは、絶縁表面上に形成されたゲート電極1622と、ゲート電極1622上のゲート絶縁膜1623と、ゲート絶縁膜1623上の導電膜1625、導電膜1626と、ゲート絶縁膜1623上においてゲート電極1622と重なっており、なおかつ導電膜1625、導電膜1626上に形成された半導体膜1624とを有する。さらに、トランジスタは、導電膜1625、導電膜1626、及び半導体膜1624上に形成された絶縁膜1627を、その構成要素に含めても良い。

【0266】

なお、図13(C)に示したトランジスタは、半導体膜1624と重なる位置において絶縁膜1627上に形成されたバックゲート電極を、更に有していても良い。

30

【0267】

図13(D)に示すトランジスタは、ボトムコンタクト構造の、トップゲート型である。

【0268】

そして、図13(D)に示すトランジスタは、絶縁表面上に形成された導電膜1645、導電膜1646と、絶縁表面及び導電膜1645、導電膜1646上に形成された半導体膜1644と、導電膜1645、導電膜1646、及び半導体膜1644上に形成されたゲート絶縁膜1643と、ゲート絶縁膜1643上において半導体膜1644と重なっているゲート電極1642とを有する。さらに、トランジスタは、ゲート電極1642上に形成された絶縁膜1647を、その構成要素に含めても良い。

【0269】

40

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0270】

(実施の形態4)

図14に、表示装置の一形態に相当する、パネルの一例について説明する。図14に示すパネルは、基板700と、基板700上の画素部701、信号線駆動回路702、走査線駆動回路703、及び端子704とを有する。

【0271】

画素部701は複数の画素を有し、各画素には、表示素子と、当該表示素子の動作を制御する単数または複数のトランジスタとが設けられている。走査線駆動回路703は、各画素に接続された走査線への電位の供給を制御することで、画素部701が有する画素を選

50

択する。信号線駆動回路 702 は、走査線駆動回路 703 により選択された画素への画像信号の供給を制御する。

【0272】

信号線駆動回路 702 及び走査線駆動回路 703 の一方又は双方は、実施の形態 1 のインバータ回路、実施の形態 2 のフリップフロップ回路又は実施の形態 2 のシフトレジスタ回路を含む。こうすれば、実施の形態 1 及び実施の形態 2 で説明した効果を奏すことができるとともに、画素部 701 を大きくすることができる。また、画素部 701 に多くの画素を設けることができる。

【0273】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

10

【0274】

(実施の形態 5)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）などの電子機器に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラやデジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 15 に示す。

20

【0275】

図 15 (A) は携帯型ゲーム機であり、筐体 5001、筐体 5002、表示部 5003、表示部 5004、マイクロホン 5005、スピーカー 5006、操作キー 5007、スタイルス 5008 等を有する。携帯型ゲーム機の駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定した携帯型ゲーム機を提供することができる。表示部 5003 または表示部 5004 に本発明の一態様に係る半導体装置を用いることで、高画質の携帯型ゲーム機を提供することができる。なお、図 15 (A) に示した携帯型ゲーム機は、2 つの表示部 5003 と表示部 5004 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

30

【0276】

図 15 (B) は表示機器であり、筐体 5201、表示部 5202、支持台 5203 等を有する。表示機器の駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定した表示機器を提供することができる。表示部 5202 に本発明の一態様に係る半導体装置を用いることで、高画質の表示機器を提供することができる。なお、表示機器には、パーソナルコンピュータ用、TV 放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

30

【0277】

図 15 (C) はノート型パーソナルコンピュータであり、筐体 5401、表示部 5402、キーボード 5403、ポインティングデバイス 5404 等を有する。ノート型パーソナルコンピュータの駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定したノート型パーソナルコンピュータを提供することができる。表示部 5402 に本発明の一態様に係る半導体装置を用いることで、高画質のノート型パーソナルコンピュータを提供することができる。

40

【0278】

図 15 (D) は携帯情報端末であり、第 1 筐体 5601、第 2 筐体 5602、第 1 表示部 5603、第 2 表示部 5604、接続部 5605、操作キー 5606 等を有する。第 1 表示部 5603 は第 1 筐体 5601 に設けられており、第 2 表示部 5604 は第 2 筐体 5602 に設けられている。そして、第 1 筐体 5601 と第 2 筐体 5602 とは、接続部 56

50

05により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により可動となっている。第1表示部5603における映像を、第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された半導体表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、半導体表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を半導体表示装置の画素部に設けることでも、付加することができる。携帯情報端末の駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定した携帯情報端末を提供することができる。第1表示部5603、或いは第2表示部5604に本発明の一態様に係る半導体装置を用いることで、高画質の携帯情報端末を提供することができる。10

【0279】

図15(E)は携帯電話であり、筐体5801、表示部5802、音声入力部5803、音声出力部5804、操作キー5805、受光部5806等を有する。受光部5806において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。携帯電話の駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定した携帯電話を提供することができる。表示部5802に本発明の一態様に係る半導体装置を用いることで、高画質の携帯電話を提供することができる。

【0280】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。20

【符号の説明】

【0281】

1 1 配線

1 1 A 配線

1 1 B 配線

1 2 配線

1 3 配線

1 3 A 配線

1 3 B 配線

1 3 C 配線

1 4 配線

2 1 配線

2 2 配線

2 3 配線

2 4 配線

2 5 配線

2 6 配線

3 1 配線

3 2 配線

3 3 配線

3 4 配線

1 0 0 回路

1 0 1 トランジスタ

1 0 2 トランジスタ

2 0 0 回路

2 0 1 トランジスタ

2 0 2 トランジスタ

2 0 3 トランジスタ

2 0 4 容量素子

2 0 5 トランジスタ

30

40

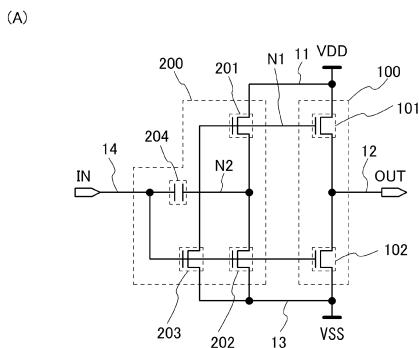
50

3 0 0	回路	
3 0 0 A	回路	
3 0 0 B	回路	
3 0 0 C	回路	
3 0 1	抵抗素子	
3 0 2	容量素子	
3 0 3	トランジスタ	
3 0 4	トランジスタ	
3 0 5	トランジスタ	
3 0 6	トランジスタ	10
3 0 7	トランジスタ	
4 0 1	トランジスタ	
4 0 2	トランジスタ	
4 0 3	トランジスタ	
4 0 4	トランジスタ	
4 0 5	トランジスタ	
4 0 6	トランジスタ	
4 0 7	トランジスタ	
4 0 8	トランジスタ	
4 0 9	トランジスタ	20
5 0 0	回路	
6 0 0	フリップフロップ回路	
6 0 0 _ 1	フリップフロップ回路	
6 0 0 _ 2	フリップフロップ回路	
6 0 0 _ 3	フリップフロップ回路	
7 0 0	基板	
7 0 1	画素部	
7 0 2	信号線駆動回路	
7 0 3	走査線駆動回路	
7 0 4	端子	30
8 0 0	基板	
8 0 2	ゲート絶縁膜	
8 1 2	導電膜	
8 1 3	半導体膜	
8 1 4	導電膜	
8 1 5	導電膜	
8 1 6	導電膜	
8 1 7	半導体膜	
8 1 8	導電膜	
8 1 9	導電膜	40
8 2 0	絶縁膜	
8 2 1	絶縁膜	
8 2 2	導電膜	
8 2 3	コンタクトホール	
8 2 4	絶縁膜	
8 2 5	E L 層	
8 2 6	導電膜	
8 3 0	トランジスタ	
8 3 1	トランジスタ	
8 3 2	発光素子	50

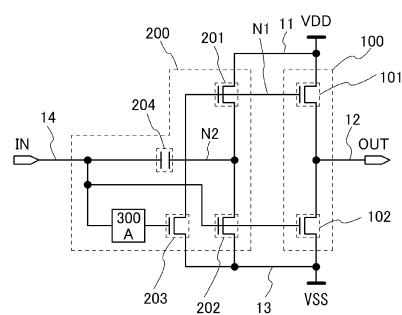
8 3 3	容量素子	
8 4 0	画素	
8 4 1	駆動回路	
1 6 0 2	ゲート電極	
1 6 0 3	ゲート絶縁膜	
1 6 0 4	半導体膜	
1 6 0 5	導電膜	
1 6 0 6	導電膜	
1 6 0 7	絶縁膜	
1 6 1 2	ゲート電極	10
1 6 1 3	ゲート絶縁膜	
1 6 1 4	半導体膜	
1 6 1 5	導電膜	
1 6 1 6	導電膜	
1 6 1 7	絶縁膜	
1 6 1 8	チャネル保護膜	
1 6 2 2	ゲート電極	
1 6 2 3	ゲート絶縁膜	
1 6 2 4	半導体膜	
1 6 2 5	導電膜	20
1 6 2 6	導電膜	
1 6 2 7	絶縁膜	
1 6 4 2	ゲート電極	
1 6 4 3	ゲート絶縁膜	
1 6 4 4	半導体膜	
1 6 4 5	導電膜	
1 6 4 6	導電膜	
1 6 4 7	絶縁膜	
5 0 0 1	筐体	
5 0 0 2	筐体	30
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	
5 2 0 2	表示部	
5 2 0 3	支持台	
5 4 0 1	筐体	40
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	50

5 8 0 2	表示部	
5 8 0 3	音声入力部	
5 8 0 4	音声出力部	
5 8 0 5	操作キー	
5 8 0 6	受光部	
M 1	トランジスタ	
M 2	トランジスタ	
M 3	トランジスタ	
M 4	トランジスタ	
M 1 1	トランジスタ	10
M 1 2	トランジスタ	
M 1 3	トランジスタ	
M 1 4	トランジスタ	
M 1 5	トランジスタ	
M 1 6	トランジスタ	
M 1 7	トランジスタ	
M 1 8	トランジスタ	
M 1 9	トランジスタ	
C 1 1	容量素子	
V D D	電位	20
V S S	電位	
N 1	ノード	
N 2	ノード	
N 3	ノード	
N 4	ノード	
S P	信号	
R E	信号	
C K	信号	
C K B	信号	
I N	信号	30
S S P	信号	
O U T	信号	
S O U T	信号	
S O U T a	信号	
S O U T b	信号	
S O U T _ 1	信号	
S O U T _ i	信号	
S O U T _ N	信号	

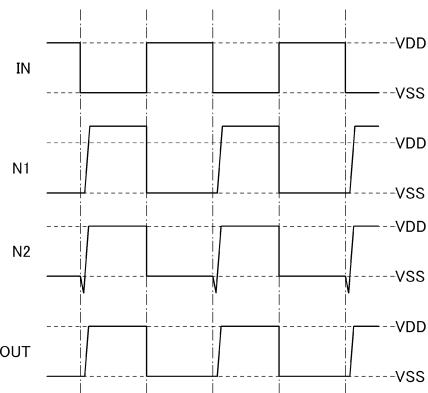
【図1】



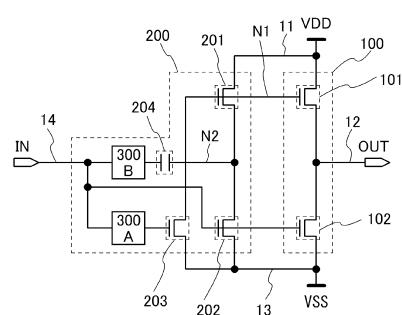
【 図 2 】



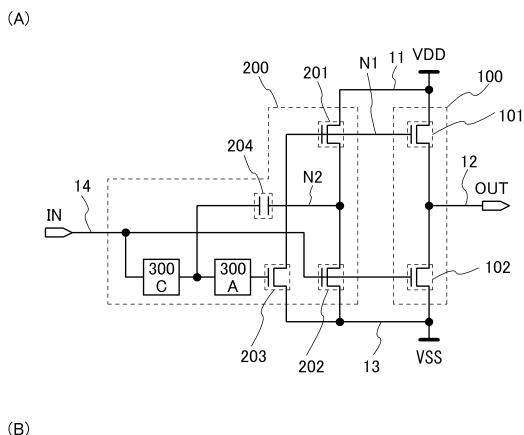
(B)



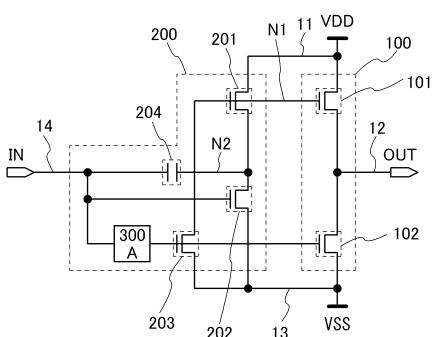
(B)



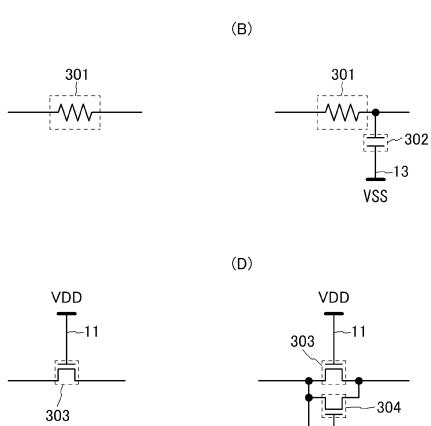
【図3】



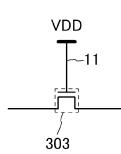
(B)



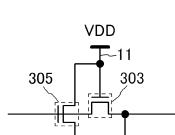
【 図 4 】



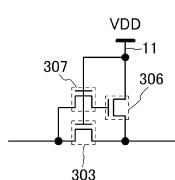
(E)



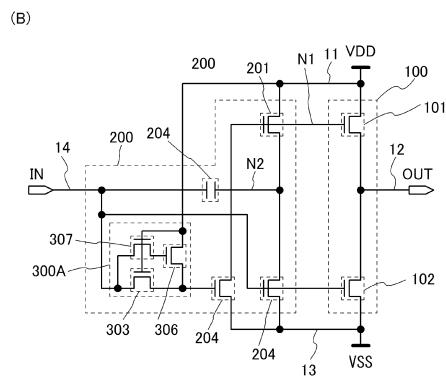
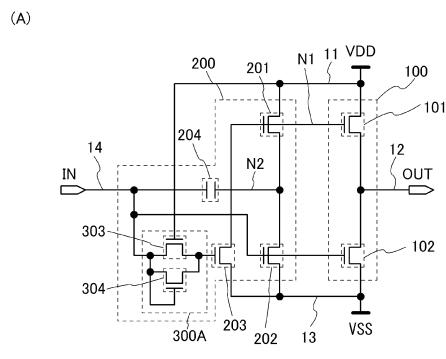
(一)



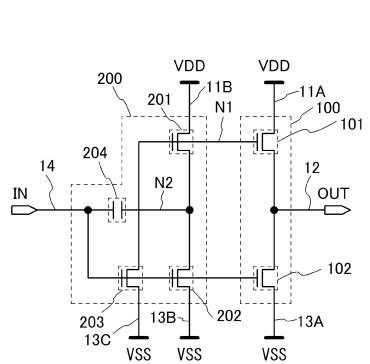
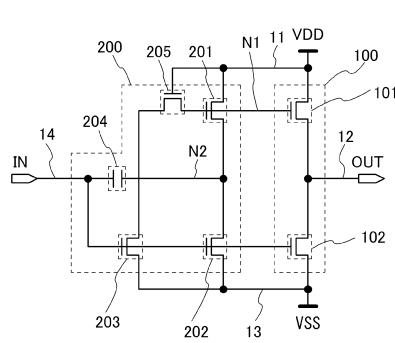
(F)



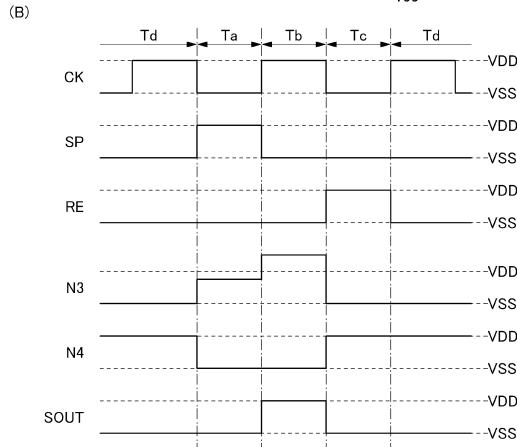
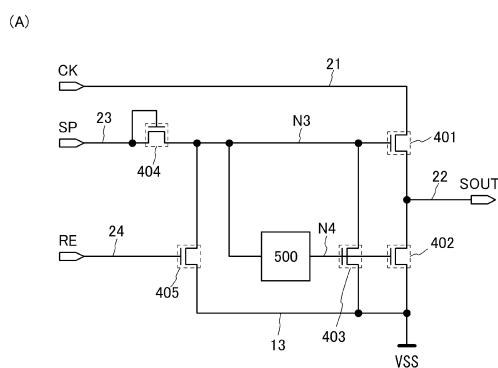
【図5】



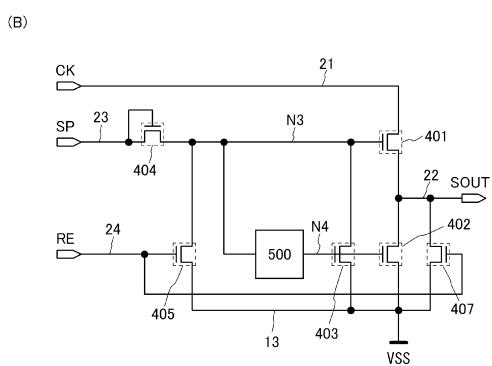
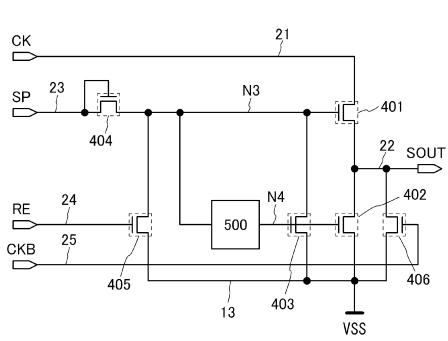
【図6】



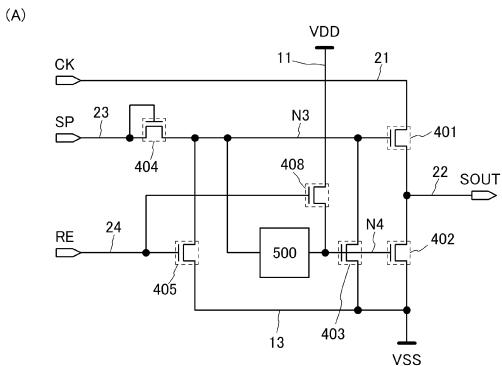
【図7】



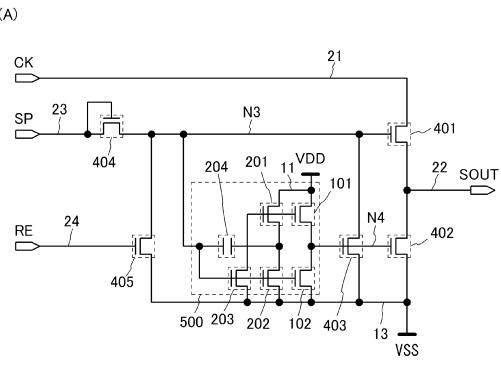
【図8】



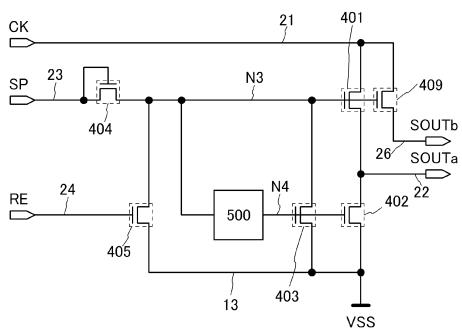
【図9】



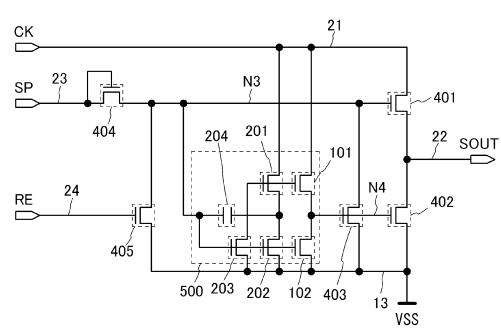
【 図 1 0 】



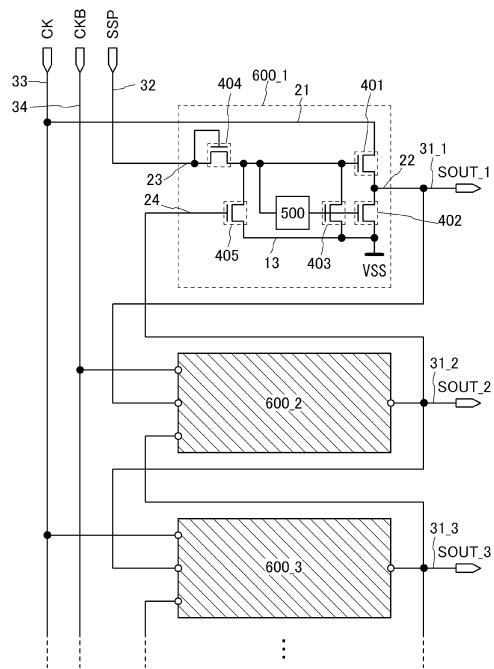
(B)



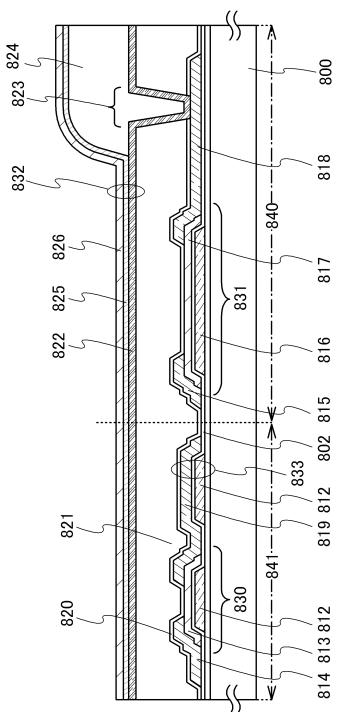
(B)



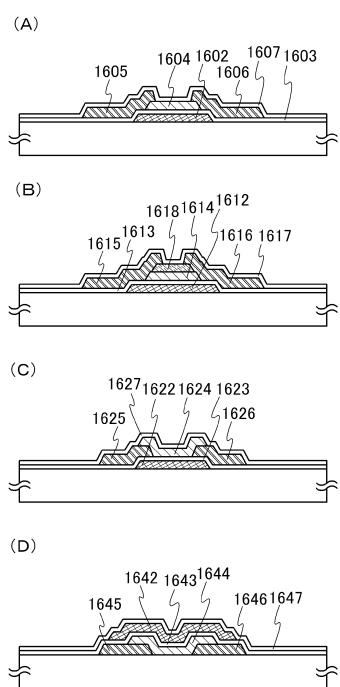
【図 1 1】



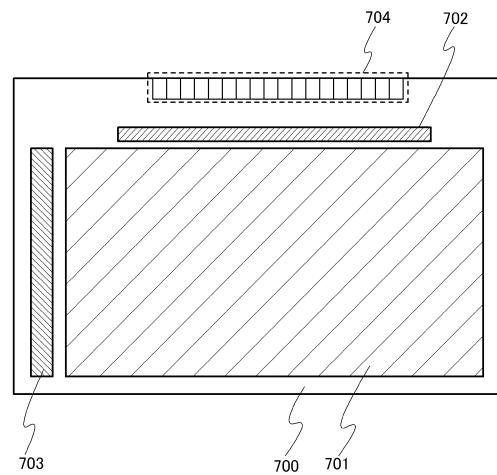
【図12】



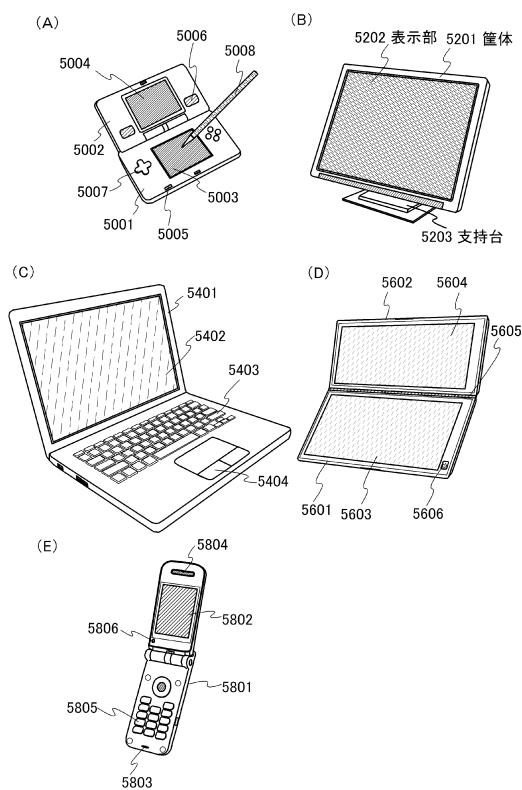
【図13】



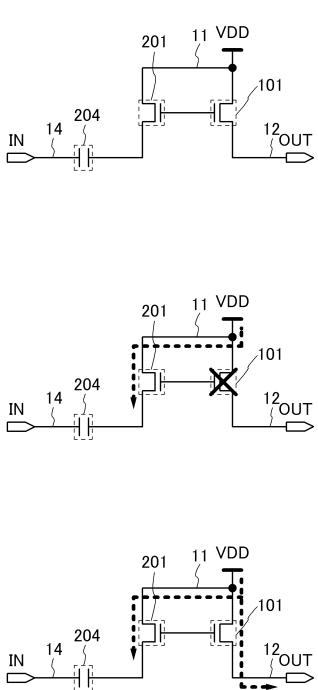
【図14】



【図15】

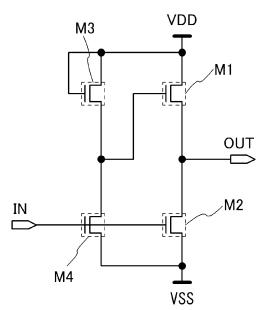


【図16】

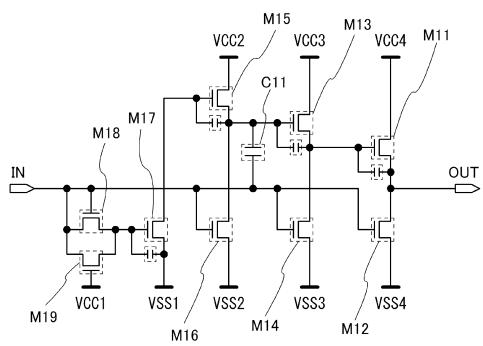


【図17】

(A)



(B)



フロントページの続き

(51)Int.Cl.		F I		
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/20
H 0 1 L	21/8234	(2006.01)	G 0 9 G	3/20
H 0 1 L	27/06	(2006.01)	G 0 9 G	3/20
H 0 1 L	27/08	(2006.01)	G 0 9 G	3/20
H 0 1 L	29/786	(2006.01)	G 0 9 G	3/20
			H 0 1 L	27/06
			H 0 1 L	27/08
			H 0 1 L	29/78
				6 2 2 E
				6 2 3 H
				6 1 1 A
				6 1 1 J
				6 2 1 F
				1 0 2 A
				3 3 1 E
				6 1 8 B

(56)参考文献 特開2003-179479 (JP, A)

特開2005-123865 (JP, A)

特開2009-188867 (JP, A)

特開昭59-016424 (JP, A)

特開昭60-140924 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 3 K	1 9 / 0 9 4 4
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 0
G 0 9 G	3 / 3 6
H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 7 / 0 6
H 0 1 L	2 7 / 0 8
H 0 1 L	2 9 / 7 8 6
H 0 3 K	1 7 / 0 6
H 0 3 K	1 9 / 0 9 4