

Figure 1 is a block diagram of the circuit. It shows a central output terminal (出力端子) connected to two N-channel MOS transistors (111 and 112) and a 113pF capacitor. The gates of these transistors are driven by a 113pF capacitor (113pFチャネルトランジスタ) and an analog switch circuit (アナログスイッチ回路). The output terminal is also connected to a 112pF capacitor (112pFチャネルトランジスタ). The circuit is divided into two main sections: a top section (100) labeled '電源発生回路' (Power Supply Generation Circuit) and a bottom section (120) labeled '電源スイッチ制御回路' (Power Switch Control Circuit). The top section includes a series of resistors (R) and capacitors (VR(N), VR(M+1), VR(M), VR(M-1), VR(1)) connected to a power source (H側電源) and ground (L側電源). The bottom section includes a series of resistors (R) and capacitors (VL(N), VL(M+1), VL(M), VL(M-1), VL(1)) connected to a power source (H側電源) and ground (L側電源). A control signal (φ, Nφ) is applied to the gates of the transistors and the output terminal.

【特許請求の範囲】

【請求項 1】

複数の階調電圧を発生する階調発生回路と、
各々前記複数の階調電圧のうちの 1 つの階調電圧を選択する複数のアナログスイッチ回路を有する階調セクタ回路と、

前記階調セクタ回路の動作を制御するスイッチ制御回路とを備えた半導体スイッチであって、

前記複数のアナログスイッチ回路の各々は、前記複数の階調電圧のうちの選択すべき階調電圧に接続されたソースを持つ MOS トランジスタを有し、

前記スイッチ制御回路は、

前記 MOS トランジスタのオン・オフを制御するように当該 MOS トランジスタのゲート電圧を供給するタイミング制御回路と、

前記 MOS トランジスタのソース電圧とほぼ等しい電圧を前記 MOS トランジスタのバックゲート電圧として供給するバックゲート電圧制御回路とを有することを特徴とする半導体スイッチ。

【請求項 2】

請求項 1 記載の半導体スイッチにおいて、

前記バックゲート電圧制御回路は、前記 MOS トランジスタのソース・バックゲート間の PN 接合を順方向にバイアスしない電圧を前記 MOS トランジスタのバックゲート電圧として供給することを特徴とする半導体スイッチ。

【請求項 3】

請求項 1 記載の半導体スイッチにおいて、

前記バックゲート電圧制御回路は、前記階調発生回路と同様の内部構成を有することを特徴とする半導体スイッチ。

【請求項 4】

請求項 3 記載の半導体スイッチにおいて、

前記階調発生回路及び前記バックゲート電圧制御回路の各々は、H 側電源と L 側電源との間に接続された抵抗ストリング回路を有することを特徴とする半導体スイッチ。

【請求項 5】

請求項 3 記載の半導体スイッチにおいて、

前記階調発生回路及び前記バックゲート電圧制御回路の各々は、H 側電源と L 側電源との間に直列に接続された電流源と抵抗ストリング回路とダイオードとを有することを特徴とする半導体スイッチ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体スイッチに関し、特に、オン抵抗を低く抑え、小型、安価で、スイッチング応答に優れた半導体スイッチに関するものである。

【背景技術】

【0002】

半導体スイッチの従来技術について図 6 を用いて説明する。図 6 に示す半導体スイッチは、階調電圧を発生する階調発生回路 400、アナログスイッチ回路 410、スイッチ制御回路 420 から構成され、階調発生回路 400 の任意の階調電圧 V_M を、アナログスイッチ回路 410 を介して出力端子に伝達する。

【0003】

アナログスイッチ回路 410 は、一般的に、図 6 に示すように P チャネル MOS トランジスタ 412 と N チャネル MOS トランジスタ 411 の並列接続で構成されており、P チャネル MOS トランジスタ 412 と N チャネル MOS トランジスタ 411 のソース及びドレインがそれぞれ共通接続されている。また、アナログスイッチ回路 410 をオン/オフさせる電圧はスイッチ制御回路 420 から供給され、P チャネル MOS トランジスタ 41

10

20

30

40

50

2のゲート端子に接続されるHIGHレベルもしくはLOWレベルの信号をとすると、NチャネルMOSトランジスタ411のゲート端子に接続される信号Nは、信号のHIGHレベルとLOWレベルを反転させた信号となる。また、NチャネルMOSトランジスタ411のバックゲート端子、すなわち、Pウェルは、最低電位L側電源に接続され、PチャネルMOSトランジスタ412のバックゲート端子、すなわち、Nウェルは、最高電位であるH側電源に接続される。

【0004】

この従来のCMOS構造のアナログスイッチ回路410は、信号NのHIGHレベルの電圧がNチャネルMOSトランジスタ411のゲート端子に与えられると、NチャネルMOSトランジスタ411が導通状態となると同時に、信号のLOWレベルの電圧がPチャネルMOSトランジスタ412のゲート端子に与えられ、PチャネルMOSトランジスタ412も導通状態となる。したがって、アナログスイッチ回路410は、導通(ON)状態となり、階調電圧VMが出力端子へ伝達される。

10

【0005】

次に信号NのLOWレベルの電圧がNチャネルMOSトランジスタ411のゲート端子に与えられると、NチャネルMOSトランジスタ411が遮断状態となると同時に、信号のHIGHレベルの電圧がPチャネルMOSトランジスタ412のゲート端子に与えられ、PチャネルMOSトランジスタ412も遮断状態となる。したがって、アナログスイッチ回路410は、遮断(OFF)状態となり、階調電圧VMは出力端子へ伝達されない。

20

【0006】

ここで、PチャネルMOSトランジスタ412に供給される電圧のうち、ソース電圧よりもバックゲート電圧が低いとPチャネルMOSトランジスタ412のソースであるPウェルとバックゲートであるNウェル間に存在するPN接合にリーク電流が発生するため、PチャネルMOSトランジスタ412のバックゲート電圧はソース電圧以上の電圧が望ましく、従来技術ではPチャネルMOSトランジスタ412のバックゲート電圧は最高電位であるH側電源に接続されている。同様にNチャネルMOSトランジスタ411においても供給される電圧のうち、ソース電圧よりもバックゲート電圧が高いとソースであるNウェルとバックゲートであるPウェル間に存在するPN接合にリーク電流が発生するため、NチャネルMOSトランジスタ411のバックゲート電圧はソース電圧以下の電圧が望ましく、従来技術ではNチャネルMOSトランジスタ411のバックゲート電圧は最低電位であるL側電源に接続されている。

30

【0007】

しかしながら、従来技術では、アナログスイッチ回路410における各々のMOSトランジスタ411, 412のソース電極の電位とバックゲート電極の電位との間に電位差が生じる。そのため、基板バイアス効果によってMOSトランジスタ411, 412のしきい値電圧が上昇する。そして、アナログスイッチ回路410の入力電圧VMが中間電位付近のアナログ電圧である場合に特に基板バイアス効果の影響が大きくなり、アナログスイッチ回路410のオン抵抗が高くなる。また、中間電位付近ではアナログスイッチ回路410のゲート端子を駆動するゲート・ソース間電圧自体が小さくなる。

40

【0008】

通常、MOSトランジスタは、ゲート・ソース間の電位差が、しきい値電圧よりも大きくなるとオンするが、このようにゲート・ソース間電圧が小さく、しきい値電圧が大きくなると、オン抵抗が高くなり、信号の伝達が困難となる。これにより、動作速度が低下し、アナログスイッチ回路410の出力端子から出力される電圧精度の誤差が大きくなる。更に、MOSトランジスタ411, 412のゲート・ソース間の電位差が、しきい値電圧を上回らない場合はアナログスイッチ回路410がオンしない状態となる。

【0009】

上記問題を回避するには、MOSトランジスタのサイズ変更、低しきい値電圧化、及びディプレッション型のMOSトランジスタを用いる方法があるが、リーク電流の増大やチ

50

ップコスト上昇の原因となる（特許文献１参照）。

【特許文献１】特開２００３－３３８７４５号公報

【発明の開示】

【発明が解決しようとする課題】

【００１０】

基板バイアス効果は、トリプルウェル構造など、深さ方向に複数のウェルが存在するプロセスで構成されるＭＯＳトランジスタにおいて、チップの面積増大を招くもののＭＯＳトランジスタのソース端子とバックゲート端子を接続し、等電位とすることで、対策できるようになる。

【００１１】

10

しかしながら、図７に示すようにトリプルウェル構造にてＭＯＳトランジスタのソース端子とバックゲート端子を接続したとしても、ＮチャネルＭＯＳトランジスタ４１１のバックゲートとなるＰウェルとそのＰウェルの外側に位置するＮウェルがＰＮ接合の逆バイアスを形成しており、このＰＮ接合に逆バイアスリーク電流 I_3 が発生する。不図示のＰチャネルＭＯＳトランジスタ４１２についても当該ＰチャネルＭＯＳトランジスタのバックゲートとなるＮウェルとそのＮウェルの外側に位置するＰウェルがＰＮ接合の逆バイアスを形成しており、逆バイアスリーク電流が発生する。これらの逆バイアスリーク電流は、ＰＮ接合の接合間電位差が高くなるにつれて増大する。近年の微細プロセスにおいては基板電流やホットキャリアの影響により、リーク電流はより顕著になってきている。

【００１２】

20

逆バイアスリーク電流 I_3 はアナログスイッチ回路４１０の接続先である階調発生回路４００から供給され、本来、階調発生回路４００に流れる電流は、Ｈ側電源からＬ側電源へ分岐することなく流れることが望ましいが（ $I_2 = I_1$ ）、逆バイアスリーク電流 I_3 が階調発生回路４００からアナログスイッチ回路４１０に分流することにより $I_2 = I_1 - I_3$ となる結果、階調発生回路４００における抵抗分圧による階調電圧に誤差が生じ、アナログスイッチ回路４１０の出力端子から出力される電圧の精度が低下する。

【００１３】

したがって、本発明の目的は、半導体スイッチにおいて、ＭＯＳトランジスタのしきい値電圧が高いプロセスや低電圧での回路設計が必要な場合においても、オン抵抗が低く、更に微細化プロセスであっても、リーク電流を防止でき、高速動作及び出力電圧の高精度化を実現することにある。

30

【課題を解決するための手段】

【００１４】

上記目的の達成を図るために、本発明の半導体スイッチは、アナログスイッチ回路を構成するＭＯＳトランジスタのソース・バックゲート間の電圧を低く保つことにより、基板バイアス効果の影響を受けにくく、オン抵抗の低い半導体スイッチを実現でき、出力電圧の精度の高い動作を実現できるものである。

【００１５】

具体的に説明すると、本発明に係る半導体スイッチは、複数の階調電圧を発生する階調発生回路と、各々前記複数の階調電圧のうちの１つの階調電圧を選択する複数のアナログスイッチ回路を有する階調セクタ回路と、前記階調セクタ回路の動作を制御するスイッチ制御回路とを備えた半導体スイッチであって、前記複数のアナログスイッチ回路の各々は、前記複数の階調電圧のうちの選択すべき階調電圧に接続されたソースを持つＭＯＳトランジスタを有し、前記スイッチ制御回路は、前記ＭＯＳトランジスタのオン・オフを制御するように当該ＭＯＳトランジスタのゲート電圧を供給するタイミング制御回路と、前記ＭＯＳトランジスタのソース電圧とほぼ等しい電圧を前記ＭＯＳトランジスタのバックゲート電圧として供給するバックゲート電圧制御回路とを有することを特徴とするものである。

40

【発明の効果】

【００１６】

50

本発明により、半導体スイッチにおいて、オン抵抗が低く、リーク電流を防止でき、高速動作及び出力電圧の精度の高い動作を実行することができる。

【発明を実施するための最良の形態】

【0017】

《第1の実施形態》

本発明の第1の実施形態による半導体スイッチについて、図1と図2を参照しながら説明する。本第1の実施形態の半導体スイッチは、階調発生回路100と階調セクタ回路110とスイッチ制御回路120から構成され、スイッチ制御回路120は、タイミング制御回路121とバックゲート電圧制御回路122から構成される。

【0018】

ここで、階調発生回路100は、H側電源とL側電源との間に、複数の抵抗素子Rを直列に接続した抵抗ストリング回路で構成されている。抵抗素子Rの個数をN個とすると、抵抗間の接続点に発生する階調電圧の個数はN - 1個となる。H側電源とL側電源の電圧、抵抗素子Rの大きさ及び数は、半導体スイッチの用途に基づいて設計により決定される。階調セクタ回路110は、複数のアナログスイッチ回路111により構成され、複数のアナログスイッチ回路111は、入力側を階調発生回路100の各抵抗素子R間の接続点にそれぞれ接続されており、出力側は階調セクタ回路110の出力端子に接続されている。

【0019】

図2では、アナログスイッチ回路111の1つの回路図のみを表示し、バックゲート電圧制御回路122を階調発生回路100と同様の抵抗ストリング回路で構成している。図2において、アナログスイッチ回路111はNチャネルMOSトランジスタ112とPチャネルMOSトランジスタ113とが並列接続された構成であり、PチャネルMOSトランジスタ113のゲート信号がLOWレベルであり、NチャネルMOSトランジスタ112のゲート信号NがHIGHレベルである場合にストリング抵抗の1つの接続点から供給される電圧、例えばVR(M)が出力端子に伝達される。逆に、PチャネルMOSトランジスタ113のゲート信号がHIGHレベルであり、NチャネルMOSトランジスタ112のゲート信号NがLOWレベルである場合には、入力側の電圧VR(M)は出力端子に伝達されない。MOSトランジスタ112, 113のゲート端子に接続されるゲート信号とその反転信号Nとは、スイッチ制御回路120のタイミング制御回路121により供給される。

【0020】

バックゲート電圧制御回路122は、H側電源とL側電源との間に、抵抗素子Rを直列に接続したストリング抵抗により構成されており、抵抗素子の個数をN個とすると、抵抗間の接続点に発生する階調電圧の個数はN - 1個となる。ここで、バックゲート電圧制御回路122の抵抗間の接続点に発生する階調電圧を低電圧側から順にVL(1)、VL(2)、・・・VL(N)とし、低電圧側から数えた任意のM番目の階調電圧をVL(M)、M - 1番目の階調電圧をVL(M - 1)、M + 1番目の階調電圧をVL(M + 1)とする。同様に、階調発生回路100の抵抗間の接続点に発生する階調電圧を低電圧側から順にVR(1)、VR(2)、・・・VR(N)とし、低電圧側から数えた任意のM番目の階調電圧をVR(M)、M - 1番目の階調電圧をVR(M - 1)、M + 1番目の階調電圧をVR(M + 1)とする。

【0021】

バックゲート電圧制御回路122と階調発生回路100のそれぞれの抵抗値と抵抗数を等しいものとする、双方の低電位からM番目の電圧VR(M)とVL(M)は等しい電圧となる。階調電圧VR(M)を入力とするアナログスイッチ回路111において、アナログスイッチ回路111を構成するPチャネルMOSトランジスタ113のバックゲート端子にはバックゲート電圧制御回路122のVL(M + 1)電位を接続し、アナログスイッチ回路111を構成するNチャネルMOSトランジスタ112のバックゲート端子にはバックゲート電圧制御回路122のVL(M - 1)電位を接続する。

10

20

30

40

50

【 0 0 2 2 】

上記のように、階調発生回路 1 0 0 とバックゲート電圧制御回路 1 2 2 とを等しい構成とすることにより、半導体の製造過程において製造ばらつきが発生した場合においても、階調発生回路 1 0 0 とバックゲート電圧制御回路 1 2 2 の各階調電圧 $V_L(M)$ と $V_R(M)$ とは H 側電源と L 側電源の電圧の抵抗分圧により決定するため、 $V_L(M)$ と $V_R(M)$ はほぼ等しい値となり、PチャネルMOSトランジスタ 1 1 3 のバックゲート電圧 $V_L(M+1)$ はPチャネルMOSトランジスタ 1 1 3 のソース電位 $V_R(M)$ より高い電圧となり、NチャネルMOSトランジスタ 1 1 2 のバックゲート電圧 $V_L(M-1)$ はNチャネルMOSトランジスタ 1 1 2 のソース端子よりも低い電圧となる。よって、NチャネルMOSトランジスタ 1 1 2 とPチャネルMOSトランジスタ 1 1 3 のソース・バックゲート間のPN接合の順方向リークを確実に防止できるとともに、基板バイアス効果の影響を受けにくく、オン抵抗の小さい半導体スイッチを実現できる。

10

【 0 0 2 3 】

このとき、抵抗の製造ばらつきが小さい場合は、NチャネルMOSトランジスタ 1 1 2 のバックゲートを $V_L(M)$ に接続し、PチャネルMOSトランジスタ 1 1 3 のバックゲートを $V_L(M)$ に接続してもよい。

【 0 0 2 4 】

また、図 3 に示されるように、MOSトランジスタのバックゲートからバックゲートの外周のウェルに流れ込む電流、例えばNチャネルMOSトランジスタ 1 1 2 であればPウェルからNウェルに流れ込むPN接合逆バイアスリーク電流は、階調発生回路 1 0 0 から供給されるのではなく、バックゲート電圧制御回路 1 2 2 から供給されるため、 $I_2 = I_1$ となる結果、階調発生回路 1 0 0 の電圧ずれを引き起こすことなく階調電圧を出力端子に伝達できる。なお、PチャネルMOSトランジスタ 1 1 3 の場合にNウェルからPウェルに流れ込む逆バイアスリーク電流もバックゲート電圧制御回路 1 2 2 から供給されるが、図示を省略する。

20

【 0 0 2 5 】

《 第 2 の実施形態 》

本発明の第 2 の実施形態による半導体スイッチについて図 4 を参照しながら説明する。第 2 の実施形態の半導体スイッチはアナログスイッチ回路 2 1 1 とスイッチ制御回路 2 2 0 と階調発生回路 2 0 0 から構成される。また、スイッチ制御回路 2 2 0 はタイミング制御回路 1 2 1 とバックゲート電圧制御回路 2 2 2 とバイアス回路 2 2 3 から構成される。

30

【 0 0 2 6 】

ここで、タイミング制御回路 1 2 1 は第 1 の実施形態と同じ構成であるため、図 1 及び図 2 と同様の構成部分については同一の符号を付して、その詳細な説明を省略する。

【 0 0 2 7 】

階調発生回路 2 0 0 はH側電源とL側電源の間にPチャネルMOSトランジスタ M_2 と、複数個の抵抗素子 R と、ダイオード D_0 とが直列接続された構成となる。また、バックゲート電圧制御回路 2 2 2 はH側電源とL側電源の間にPチャネルMOSトランジスタ M_1 と、複数個の抵抗素子 R と、ダイオード D_1 とが直列接続された構成となる。なお、ダイオード D_0 は、並列に接続された F 個のダイオードから構成され、ダイオード D_1 においても、並列に接続された F 個のダイオードから構成される。PチャネルMOSトランジスタ M_1 とPチャネルMOSトランジスタ M_2 のゲート電圧は共通接続されており、バイアス回路 2 2 3 に接続されている。

40

【 0 0 2 8 】

上記構成は、第 1 の実施形態に記載された半導体スイッチを使用したバンドギャップリファレンス回路であり、アナログスイッチ回路 2 1 1 の出力端子には電源電圧と周囲温度に依存しない基準電圧が出力される。

【 0 0 2 9 】

図 5 に、図 4 中のバイアス回路 2 2 3 の具体的回路構成を示す。図 5 のバイアス回路 3 0 0 は、第 1 のカレントミラー回路を構成するPチャネルMOSトランジスタ M_{301} 及

50

びM302と、第2のカレントミラー回路を構成するNチャネルMOSトランジスタM303及びM304と、NチャネルMOSトランジスタM303のソースとL側電源に接続されたダイオードD3と、NチャネルMOSトランジスタM304のソースとL側電源間に直列に接続された抵抗素子R1及びダイオードD2とから構成される。

【0030】

なお、ダイオードD2は、並列に接続されたF個のダイオードから構成される。ダイオードD3及びダイオードD2の接合総面積をそれぞれS1、S2とし、その面積比S2/S1をFとする。以上のように構成されたバンドギャップリファレンス回路について、以下にその動作を説明し、バンドギャップリファレンス回路の出力電圧である基準電圧の電圧式を求める。

10

【0031】

ここで前提として、バイアス回路300の第1のカレントミラー回路を構成するPチャネルMOSトランジスタM301及びM302のゲート長及びゲート幅の大きさは等しく、第2のカレントミラー回路を構成するNチャネルMOSトランジスタM303及びM304のゲート長及びゲート幅の大きさは等しいものとする。

【0032】

ボルツマン定数をk、絶対温度をT、電子の電荷量をqとすると、PチャネルMOSトランジスタM302のソース・ドレイン間電流I2は、

$$I_2 = (kT/q) \cdot \ln(F) / R_1 \cdots (1)$$

で表される。ここで、演算記号LNはeを底とする自然対数である。この電流I2は電源電圧に依存せず、物理定数、抵抗値R1並びにダイオードD3及びダイオードD2の接合総面積比Fによって決定される。

20

【0033】

バイアス回路223(300)のバイアス出力はバックゲート電圧制御回路222のPチャネルMOSトランジスタM1と階調発生回路200のPチャネルMOSトランジスタM2のゲート端子に接続されており、バイアス回路223(300)のPチャネルMOSトランジスタM302と階調発生回路200のPチャネルMOSトランジスタM2とバックゲート電圧制御回路222のPチャネルMOSトランジスタM1はカレントミラーを構成している。

【0034】

30

よって、PチャネルMOSトランジスタM302とPチャネルMOSトランジスタM1とPチャネルMOSトランジスタM2のゲート長がそれぞれ等しく、ゲート幅がそれぞれ等しいとすると、PチャネルMOSトランジスタM302に流れる電流I2と等しい電流がPチャネルMOSトランジスタM1とPチャネルMOSトランジスタM2に流れる。

【0035】

ここで階調発生回路200の複数の抵抗素子の抵抗値をR、個数をN個とし、L側電源から数えたM番目の階調電圧をVR(M)、ダイオードD0の順方向電圧をVD0とすると、VR(M)は、

$$V_R(M) = (M \cdot R / R_1) \cdot (kT/q) \cdot \ln(F) + V_{D0} \cdots (2)$$

で表される。

40

【0036】

また、バックゲート電圧制御回路222の複数の抵抗素子の抵抗値をR、個数をN個とし、L側電源から数えたM番目の階調電圧をVL(M)、ダイオードD1の順方向電圧をVD1とすると、VL(M)は、

$$V_L(M) = (M \cdot R / R_1) \cdot (kT/q) \cdot \ln(F) + V_{D1} \cdots (3)$$

で表される。

【0037】

また、バックゲート電圧制御回路222におけるL側電源から数えたM-1番目の階調出力VL(M-1)は、

$$V_L(M-1) = [(M-1) \cdot R / R_1] \cdot (kT/q) \cdot \ln(F) + V_{D1} \cdots$$

50

(4)

で表され、バックゲート電圧制御回路 2 2 2 における L 側電源から数えた $M + 1$ 番目の階調出力 $V_L (M + 1)$ は、

$$V_L (M + 1) = [(M + 1) \cdot R / R_1] \cdot (k T / q) \cdot \ln (F) + V_{D1} \dots \quad (5)$$

で表せる。

【 0 0 3 8 】

アナログスイッチ回路 2 1 1 の P チャネル MOS トランジスタ 2 1 3 のバックゲートには $V_L (M + 1)$ が接続され、アナログスイッチ回路 2 1 1 の N チャネル MOS トランジスタ 2 1 2 のバックゲートには $V_L (M - 1)$ が接続される。

10

【 0 0 3 9 】

また、 $V_R (M)$ の電圧をアナログスイッチ回路 2 1 1 を介して出力端子 V_{out} に出力するので、

$$V_{out} = V_R (M) = [(M \cdot R) / R_1] \cdot (k T / q) \cdot \ln (F) + V_{D0} \dots \quad (6)$$

で表される。

【 0 0 4 0 】

出力電圧 V_{out} の温度特性は、

$$V_{out} / T = V_R (M) / T = [(M \cdot R) / R_1] \cdot (k / q) \cdot \ln (F) + V_{D0} / T \dots \quad (7)$$

20

で表される。

【 0 0 4 1 】

また、バックゲート電圧制御回路 2 2 2 の階調電圧 $V_L (M)$ の温度特性は、

$$V_L (M) / T = [(M \cdot R) / R_1] \cdot (k / q) \cdot \ln (F) + V_{D1} / T \dots \quad (8)$$

で表される。

【 0 0 4 2 】

ここで、ダイオードの順方向電圧 V_F の温度依存性は $-2 \text{ mV} /$ であることが知られており、(7) 式の右辺がゼロとなるような階調発生回路 2 0 0 とスイッチ制御回路 2 2 0 の抵抗素子 R の個数 M 、抵抗値 R 、抵抗値 R_1 、接合総面積比 F の定数を選択することで、周囲温度に依存しない $V_R (M)$ 、 $V_L (M)$ 及び出力電圧 V_{out} を得ることができる。例えば、 $R_1 = 5.0 \text{ k}$ 、 $R = 5.0 \text{ k}$ 、 $M = 11$ とし、接合面積比 F を 8 とすると、 $V_R (M)$ 、 $V_L (M)$ 、 V_{out} の温度特性は $-0.3 \text{ mV} /$ となる。

30

【 0 0 4 3 】

以上のように本実施形態の半導体スイッチによれば、回路構成及び、(2)、(4)、(5) 式から明らかなように P チャネル MOS トランジスタ 2 1 3 のソース端子よりバックゲート端子の方が高電位であり、N チャネル MOS トランジスタ 2 1 2 のソース端子よりバックゲート端子の方が低電位となるため、アナログスイッチ回路 2 1 1 において、N チャネル MOS トランジスタ 2 1 2 と P チャネル MOS トランジスタ 2 1 3 のソース・バックゲート間の PN 接合の順方向リークを確実に防止できる。また、(7)、(8) 式から明らかなように、バックゲート電圧制御回路 2 2 2 の階調電圧 $V_L (M)$ と階調発生回路 2 0 0 の階調電圧 $V_R (M)$ とが共に等しい温度依存性と電源電圧依存性を持つので、周囲温度や電源電圧が変動しても $V_L (M)$ と $V_R (M)$ の電圧のずれが小さく、基板バイアス効果の影響を低減することが可能となる。PN 接合逆バイアスリーク電流は、階調発生回路 2 0 0 から供給されるのではなく、バックゲート電圧制御回路 2 2 2 から供給されるため、階調発生回路 2 0 0 の電圧ずれを引き起こすことがなく、出力電圧の精度の高い動作を実行することができる。

40

【 0 0 4 4 】

なお、低しきい値電圧化を実現するにあたって、H 側電源と L 側電源間電圧以下の耐圧を持つ MOS トランジスタを用いて、半導体スイッチを構成することで、低オン抵抗、高

50

速スイッチングが可能である。

【 0 0 4 5 】

また、上記第 1 及び第 2 の実施形態では、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを並列接続したアナログスイッチ回路を用いていたが、PチャネルMOSトランジスタのみで構成されるアナログスイッチ、又はNチャネルMOSトランジスタのみで構成されるアナログスイッチを用いても同様の効果を得ることができる。

【 0 0 4 6 】

また、上記第 1 及び第 2 の実施形態で用いられた抵抗素子として、各々半導体プロセスで製造可能な抵抗素子である、ポリシリコンを用いた抵抗素子、拡散抵抗を用いた抵抗素子、ウェル抵抗を用いた抵抗素子を用いても同様の効果を得ることができる。

10

【 0 0 4 7 】

また、上記第 2 の実施形態で用いたダイオードは半導体プロセスで製造可能なPN接合を有する素子であればよく、例えばMOSトランジスタのソース及びドレイン端子とバックゲート端子との間のPN接合を利用しても同様の効果を得ることができる。

【産業上の利用可能性】

【 0 0 4 8 】

本発明は、半導体スイッチに有用であり、特に階調発生回路や電源回路を構成する半導体スイッチに特に有用である。

【図面の簡単な説明】

【 0 0 4 9 】

20

【図 1】本発明に係る半導体スイッチの全体構成を示すブロック図である。

【図 2】本発明の第 1 の実施形態に係る半導体スイッチの詳細構成図である。

【図 3】図 2 中のNチャネルMOSトランジスタにトリプルウェル構造を採用した場合の断面図である。

【図 4】本発明の第 2 の実施形態に係る半導体スイッチの詳細構成図である。

【図 5】図 4 中のバイアス回路の具体例を示す回路図である。

【図 6】従来の半導体スイッチの構成例を示す回路図である。

【図 7】図 6 中のNチャネルMOSトランジスタにトリプルウェル構造を採用した場合の断面図である。

30

【符号の説明】

【 0 0 5 0 】

1 0 0 , 2 0 0 , 4 0 0 階調発生回路

1 1 0 階調セクタ回路

1 1 1 , 2 1 1 , 4 1 0 アナログスイッチ回路

1 1 2 , 2 1 2 , 4 1 1 NチャネルMOSトランジスタ

1 1 3 , 2 1 3 , 4 1 2 PチャネルMOSトランジスタ

1 2 0 , 2 2 0 , 4 2 0 スイッチ制御回路

1 2 1 , 4 2 1 タイミング制御回路

1 2 2 , 2 2 2 バックゲート電圧制御回路

2 2 3 , 3 0 0 バイアス回路

40

D 0 , D 1 , D 2 , D 3 ダイオード

M 1 , M 2 , M 3 0 1 , M 3 0 2 PチャネルMOSトランジスタ

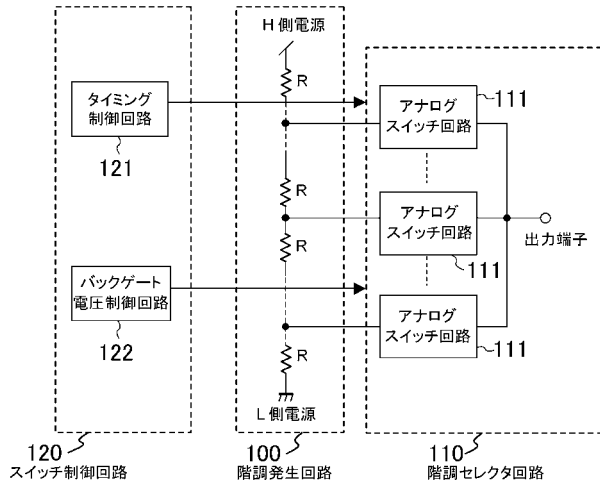
M 3 0 3 , M 3 0 4 NチャネルMOSトランジスタ

R , R 1 抵抗素子

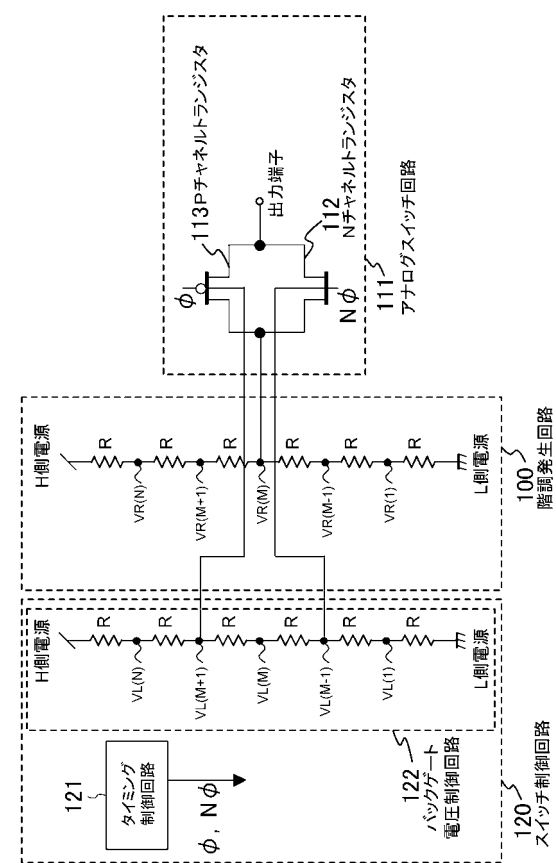
V R (1) ~ V R (N) , V L (1) ~ V L (N) 階調電圧

, N アナログスイッチ回路のオン/オフ制御信号

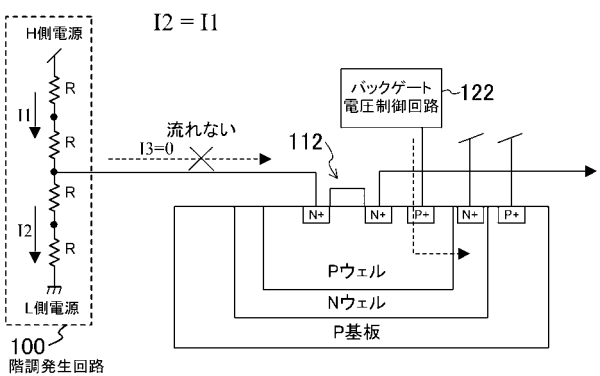
【図 1】



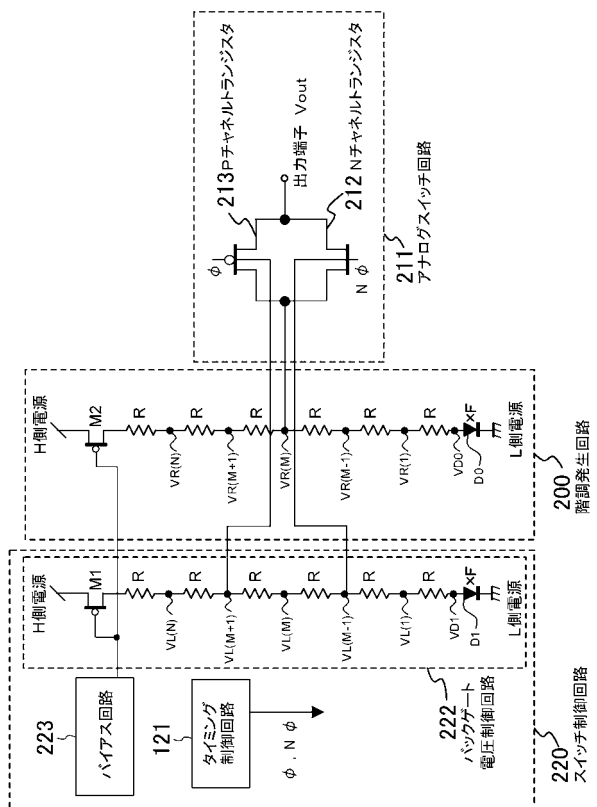
【図 2】



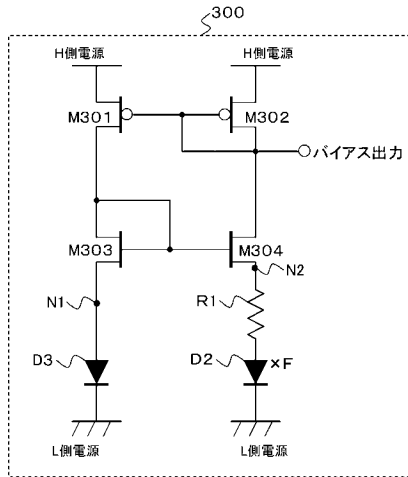
【図 3】



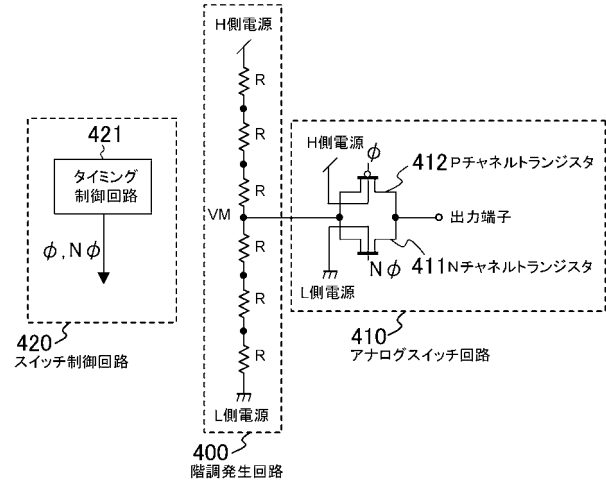
【図 4】



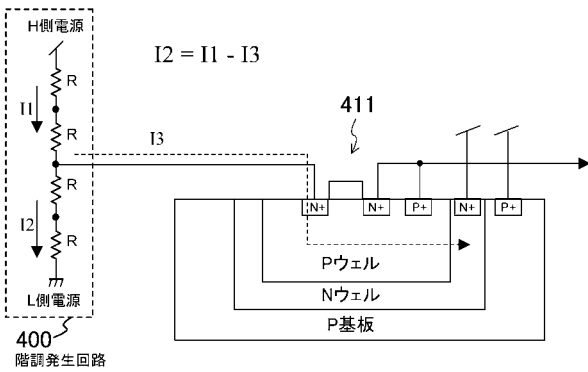
【図 5】



【図 6】



【図 7】



フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 串間 貴仁

大阪府門真市大字門真 1 0 0 6 番地 パナソニック半導体システムテクノ株式会社内

(72)発明者 小島 友和

大阪府門真市大字門真 1 0 0 6 番地 パナソニック半導体システムテクノ株式会社内

F ターム(参考) 5J055 AX02 BX17 CX01 DX13 DX14 DX22 DX74 DX82 EX07 EY03

EY21 EZ12 FX13 FX32 GX01 GX07

5J056 AA00 BB02 BB49 DD28 EE04 FF06